

公告本

申請日期	P. 3. 13
案 號	P0106023
類 別	HciL 21/76

A4
C4

527683

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	電介質膜之形成方法
	英 文	誘電体膜の形成方法
二、發明 創作人	姓 名	1. 大見 忠弘 TADAHIRO OHMI 2. 須川 成利 SHIGETOSHI SUGAWA
	國 籍	均日本
三、申請人	住、居所	1. 日本國宮城縣仙台市青葉區米袋2丁目1-17-301 2. 日本國宮城縣仙台市青葉區荒卷字青葉05東北大學大學 院工學研究科電子工學專攻内
	姓 名 (名稱)	大見 忠弘 TADAHIRO OHMI
三、申請人	國 籍	日本
	住、居所 (事務所)	日本國宮城縣仙台市青葉區米袋2丁目1-17-301
三、申請人	代 表 人 姓 名	

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000年03月13日 特願2000-115940 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

技術領域

本發明係有關一般半導體裝置及其製造方法，尤其是有關絕緣膜的形成方法，及包含快閃記憶體元件之可以電力改寫資訊的非揮發性半導體記憶體元件及其製造方法。

半導體記憶體元件包含有揮發性記憶體裝置之動態隨機存取記憶體(DRAM)及靜態隨機存取記憶體(SRAM)，及非揮發性記憶體之遮罩唯讀記憶體(Mask ROM)、可程式唯讀記憶體(PROM)、可抹除可程式化唯讀記憶體(EPROM)及電子可抹除可程式化唯讀記憶體(EEPROM)等，而快閃記憶體，亦即每一個記憶單元中有一個電晶體的EEPROM，為發揮其體積小、容量大、耗電低的特徵，經過相當大的努力加以改良。尤其是為求在低電壓下長時間穩定的驅動快閃記憶體，均勻且優異膜質的電介質膜是不可或缺的。

此外，具有均勻且漏電流少之優異膜質的絕緣膜，除了快閃記憶體之外，對具有電容器之其他各種半導體裝置，例如在強電介質半導體記憶體元件中，也是構成強電介質電容器之強電介質膜的重要材料。此外，具有均勻且漏電流少之優異膜質的高電介質膜，也是在閘極長度為 $0.1\mu\text{m}$ 以下之高速半導體裝置中作為閘極絕緣膜的重要材料。

背景技術

首先，參照圖1之具有一般疊層型閘極(stacked-gate)構造的快閃記憶體元件概念來說明先前的快閃記憶體元件。

參照圖1所示，快閃記憶體元件係在矽基板1700上構成，

五、發明說明(2)

其包含：源極區域1701及汲極區域1702，其係形成在上述矽基板1700中；隧道閘極氧化膜1703，其係形成在上述矽基板1700上之上述源極區域1701與汲極區域1702之間；及漂浮閘極1704，其係形成在上述隧道閘極氧化膜1703上，在上述漂浮閘極1704上依序疊層有矽氧化膜1705、矽氮化膜1706及矽氧化膜1707，並在上述矽氧化膜1707上形成有控制閘極1708。亦即，如圖1所示，具有疊層構造之快閃記憶體元件係堆疊成將絕緣膜1705、1706及1707構成的絕緣構造夾在漂浮閘極1704與控制閘極1708之間。

由於設置在上述漂浮閘極1704與控制閘極1705之間的上述絕緣構造，係為了抑制漂浮閘極1704與控制閘極1705之間的漏電流，因此，通常具有所謂的ONO構造，亦即是以氧化物膜1705及1707夾住氮化物膜1706。一般的快閃記憶體元件，係以熱氧化法形成隧道閘極氧化膜1703及矽氧化膜1705，或是以CVD法形成矽氮化膜1706及矽氧化膜1707。有時也以CVD法形成矽氧化膜1705。隧道閘極氧化膜1703的膜厚約為8nm，而與絕緣膜1705、1706、1707之膜厚的總和，以氧化膜厚換算，則約為15nm。此外，除該記憶體元件之外，還在同一個矽基板上形成有具有厚度約3~7nm之閘極氧化膜的低電壓用電晶體與具有厚度約15~30nm之閘極氧化膜的高電壓用電晶體。

如此構成疊層構造的快閃記憶體元件上，如藉由在寫入資訊時外加約5~7V至汲極1702，再外加約12V以上的高電壓至控制閘極1708上，將汲極區域1702附近產生的通道熱

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

電子通過隧道絕緣膜1703儲存在漂浮閘極內。此外，於刪除如此儲存的電子時，將汲極區域1702漂浮，將控制閘極1708接地，於源極區域1701上外加約12V以上的高電壓，將儲存在漂浮閘極1704內的電子自上述源極區域1701中除去。

但是，先前之快閃記憶體元件於寫入及刪除資訊操作時需要高電壓，因外加高電壓而產生大量的基板電流，會導致隧道絕緣膜老化及元件特性降低的問題。此外，因外加高電壓也含有寫入次數受限及過度刪除等的問題。

先前之快閃記憶體元件上必須外加高電壓的原因，係由於絕緣膜1705、1706及1707構成之ONO膜的膜厚較厚。

先前的成膜技術係在漂浮閘極1704上形成作為上述絕緣膜1705的氧化膜時，在使用熱氧化等高溫處理時，會產生多晶矽閘極1704與上述氧化膜的界面因熱預算(Thermal Budget)等影響而惡化的問題。另外，為避免該問題發生，欲以CVD等低溫處理來形成氧化膜時，則很難形成高品質的薄氧化膜。基於此種因素，在先前的快閃記憶體元件上增加絕緣膜1705、1706及1707的膜厚，就必須抑制絕緣膜的漏電流。

但是，因增加絕緣膜1705、1706及1707的膜厚，導致先前快閃記憶體元件上的寫入及刪除電壓必然提高，結果上述隧道閘極絕緣膜1703也必須增厚以承受高電壓。

膜厚雖薄，但是漏電流少之具有優異膜質的絕緣膜，除了快閃記憶體之外，也是其他各種半導體裝置所需要的。

五、發明說明(4)

發明之揭示

因此，本發明之概括性的課題在提供一種有效之電介質膜的形成方法來解決上述課題。

本發明更具體之課題在提供一種高品質且均勻氧化膜、氮化膜或氧氮化膜的形成方法，可以在實質上不產生漏電流而減少膜厚。

本發明之其他課題在提供一種氧化膜的形成方法，

其特徵為包含：形成步驟，其係在基板上形成氧化膜；及

改變步驟，其係將形成在上述基板上的氧化膜暴露在原子狀氧 O^* 下，來改變膜質。

採用本發明時，原子狀氧 O^* 容易侵入形成在上述基板上的氧化膜中，彌補(終端)上述氧化膜中的懸空鍵(Dangling Bond)或弱鍵(Weak Bond)。因而，縱使是以CVD法所形成的 SiO_2 膜，因暴露在該原子狀氧 O^* 下，以致具有接近熱氧化膜的膜質。亦即，本發明所形成的氧化膜具有界面等級少，與化學計量組成實際相同的組成，且漏電流少的特徵。藉由微波激勵Kr與氧的混合氣體，可以有效的生成上述原子狀氧 O^* 。

本發明之其他課題在提供一種氮化膜的形成方法，可以改善已經形成之氮化膜的膜質。

本發明之其他課題在提供一種氮化膜的形成方法，

其特徵為包含：形成步驟，其係在基板上形成氮化膜；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

改變步驟，其係將形成在上述基板上的氮化膜暴露在氮化氫自由基 NH^* 下，來改變膜質。

採用本發明時，氮化氫自由基 NH^* 容易侵入形成在上述基板上的氮化膜中，彌補上述氮化膜中的瑕疵。因而，接受處理之矽氮化膜具有接近 Si_3N_4 之化學計量的組成，具有界面等級少，且漏電流少的特徵。再者，該實施處理的矽氮化膜中儲存的失真減少。藉由微波激勵 Kr 與氧的混合氣體，可以有效的生成上述氮化氫自由基 NH^* 。

本發明之其他課題在提供一種氧化膜的形成方法，其係在基板上形成氧化膜，且係在上述基板上以CVD法堆積上述氧化膜，同時以電漿中生成的原子狀氧處理上述堆積的氧化膜。

本發明之其他課題在提供一種氧化膜的形成方法，其特徵為包含：

形成步驟，其係在處理室內導入含 Kr 或 Ar 的惰性氣體與氧氣，藉由微波激勵來形成電漿；及

堆積步驟，其係在上述處理室中導入處理氣體，藉由以上述電漿使上述處理氣體活化，在上述處理室中，於基板上堆積氧化膜，

且在堆積的同時，以上述電漿中生成之原子狀氧 O^* 處理上述氧化膜。

本發明之其他課題在提供一種氮化膜的形成方法，其係在基板上形成氮化膜，且以CVD法在上述基板上堆積上述氮化膜，同時藉由電漿中生成之氮化氫基來處理上述堆積

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

之氮化膜。

本發明之其他課題在提供一種氮化膜的形成方法，其特徵為包含：

形成步驟，其係在處理室內導入含Kr或Ar構成之惰性氣體與氮氣及氫氣的氣體，藉由微波激勵來形成電漿；及

堆積步驟，其係在上述處理室中導入處理氣體，藉由以上述電漿使上述處理氣體活化，在上述處理室中，於基板上堆積氮化膜，

且在堆積的同時，以上述電漿中生成之氮化氫自由基NH*處理上述氮化膜。

本發明之其他課題在提供一種氧氮化膜的形成方法，其係在基板上形成氧氮化膜，且以CVD法在上述基板上堆積上述氧氮化膜，同時藉由電漿中生成之原子狀氧及氮化氫基來處理上述堆積之氧氮化膜。

本發明之其他課題在提供一種氧氮化膜的形成方法，其特徵為包含：

形成步驟，其係在處理室內導入含Kr或Ar構成之惰性氣體、氧氣、氮氣及氫氣的氣體，藉由微波激勵來形成電漿；及

堆積步驟，其係在上述處理室中導入處理氣體，藉由以上述電漿使上述處理氣體活化，在上述處理室中，於基板上堆積氧氮化膜，

且在堆積的同時，以上述電漿中生成之原子狀氧及氮化氫基處理上述氧氮化膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 7 ）

本發明之其他課題在提供一種氧化膜的形成方法，其係在基板上形成氧化膜，且以濺射法在上述基板上堆積上述氧化膜，同時藉由電漿中生成之原子狀氧來處理上述堆積之氧化膜。

本發明之其他課題在提供一種氧化膜的濺射方法，其特徵為包含：

堆積步驟，其係在處理室中，以靶子(Target)的濺射，在基板上堆積氧化膜；

形成步驟，其係在上述處理室中，以微波激勵含Kr或Ar之惰性氣體及氧氣來形成電漿；及

處理步驟，其係以上述電漿中生成之原子狀氧O*處理上述氧化膜。

本發明之其他課題在提供一種氮化膜的形成方法，其係在基板上形成氮化膜，且以濺射法在上述基板上堆積上述氮化膜，同時藉由電漿中生成之氮化氫基來處理上述堆積之氮化膜。

本發明之其他課題在提供一種氮化膜的濺射方法，其特徵為包含：

堆積步驟，其係在處理室中，以靶子的濺射，在基板上堆積氮化膜；

形成步驟，其係在上述處理室中，以微波激勵含Kr或Ar構成之惰性氣體與氮氣及氫氣的氣體來形成電漿；及

處理步驟，其係以上述電漿中生成之氮化氫自由基NH*處理上述氮化膜。

五、發明說明(8)

本發明之其他課題在提供一種氧氮化膜的形成方法，其係在基板上形成氧氮化膜，且以濺射法在上述基板上堆積上述氧氮化膜，同時藉由電漿中生成之原子狀氧及氮化氫基來處理上述堆積之氧氮化膜。

本發明之其他課題在提供一種氧氮化膜的濺射方法，其特徵為包含：

堆積步驟，其係在處理室中，以靶子的濺射，在基板上堆積氧氮化膜；

形成步驟，其係在上述處理室中，以微波激勵含Kr或Ar構成之惰性氣體、氧氣、氮氣及氫氣的氣體來形成電漿；及

處理步驟，其係以上述電漿中生成之原子狀氧O*及氮化氫自由基NH*處理上述氧氮化膜。

本發明之其他課題在提供一種閘極絕緣膜的形成方法，其係在基板上疊層氮化膜及高電介質膜。

本發明之其他課題在提供一種閘極絕緣膜的形成方法，其特徵為在基板上形成閘極絕緣膜，且包含：

氮化膜形成步驟，其係在基板表面上形成；

處理步驟，其係以氮化氫自由基NH*處理上述氮化膜；

高電介質膜堆積步驟，其係堆積在上述被處理的氮化膜上；及

氮化膜形成步驟，其係藉由以氮化氫自由基NH*處理上述高電介質膜的表面來形成。

本發明之其他課題在提供一種閘極絕緣膜的形成方法，

五、發明說明（ 9 ）

其特徵為在基板上形成閘極絕緣膜，且包含：

氮化膜形成步驟，其係在基板表面上形成；

處理步驟，其係以氮化氫自由基 NH^* 及原子狀氧 O^* 處理上述氮化膜；

高電介質膜形成步驟，其係在上述被處理之氮化膜上形成；及

氮化膜形成步驟，其係藉由以氮化氫自由基 NH^* 處理上述高電介質膜的表面來形成氮化膜。

本發明之其他特徵及優點，可經由參照圖式所進行之發明的詳細說明獲得瞭解。

圖式之簡要說明

圖1為先前之快閃記憶體元件剖面構造的概略剖面構造圖；

圖2為使用輻射線隙縫天線之電漿裝置的概念圖；

圖3為以本發明第一種實施例形成之氧化膜，其氧化膜厚與處理室內氣壓的關係圖；

圖4為以本發明第一種實施例形成之氧化膜，其氧化膜厚與氧化時間的關係圖；

圖5為以本發明第一種實施例形成之矽氧化膜中之 Kr 密度在深度方向的分佈圖；

圖6係顯示以本發明第一種實施例形成之矽氧化膜的界面等級密度；

圖7為以本發明第一種實施例形成之矽氧化膜中之界面等級密度與耐絕緣壓的關係圖；

五、發明說明（10）

圖8A，8B為以本發明第一種實施例形成之矽氧化膜中之界面等級密度及耐絕緣壓與處理室內總壓的關係圖；

圖9為以本發明第二種實施例形成之氮化膜，其氮化膜厚與處理室內氣壓的關係圖；

圖10為以本發明第二種實施例形成之矽氮化膜的電流電壓特性圖；

圖11A，11B為以本發明第三種實施例形成之多晶矽膜的氧化處理、氮化處理及氧氮化處理圖；

圖12A，12B為以本發明第四種實施例形成之CVD氧化膜的改變處理圖；

圖13為顯示CVD氧化膜的改變處理效果；

圖14A，14B為以本發明第五種實施例形成之高電介質膜的改變處理圖；

圖15A，15B為以本發明第六種實施例形成之高電介質膜的改變處理圖；

圖16A，16B為以本發明第七種實施例形成之低介電常數絕緣膜的改變處理圖；

圖17A~17E為以本發明第八種實施例形成之氮化膜的改變處理圖；

圖18為以本發明第九種實施例進行改變處理，同時執行氧化膜的成膜處理圖；

圖19為以本發明第十種實施例進行改變處理，同時執行高電介質膜的濺射處理圖；

圖20為以本發明第十一種實施例形成之快閃記憶體元件

五、發明說明（11）

的剖面構造圖；

圖21~24為以本發明第十二種實施例形成之快閃記憶體元件的製造步驟圖；

圖25為以本發明第十三種實施例形成之快閃記憶體元件的剖面構造圖；

圖26為以本發明第十四種實施例形成之快閃記憶體元件的剖面構造圖；

實施發明之最佳態樣

以下列舉實施例來詳細說明本發明：

第一種實施例

首先說明使用電漿形成低溫的氧化膜。

圖2係為求實現本發明之氧化方法，一種使用輻射線隙縫天線之微波電漿處理裝置的剖面圖（參照WO98/33362號公報）。本實施例的新特徵為，於形成氧化膜時，使用Kr作為電漿激勵氣體。

參照圖2可知，上述微波電漿處理裝置具有真空容器（處理室）101，其係具備保持被處理基板103的試樣台104，使上述處理室101內形成真空，自形成於上述處理室101部分壁面的簇射板102導入Kr氣體及O₂氣體，將處理室內的壓力設定在約1Torr。再將矽晶圓等的圓形基板作為上述被處理基板103，放置於具有加熱機構的試樣台104上，將試樣溫度設定在約400℃。該溫度宜設定在200-550℃的範圍內，只要在該範圍內，均可獲得與下述概略相同的結果。

其次，通過輻射線隙縫天線106及電介質板107，自連接

五、發明說明 (12)

有外部微波源的同軸波導管105，供應2.45GHz的微波至處理室101內，在處理室101內生成高密度的電漿。所供應之微波頻率在900MHz以上，10GHz以下的範圍內時，均可獲得與下述概略相同的結果。本實施例中之簇射板102與基板103的間隔為6cm，該間隔較窄時較能快速成膜。

圖2之微波電漿處理裝置可以在上述被處理基板103的表面形成超過 $1 \times 10^{12} \text{cm}^3$ 的電漿密度。此外因形成之高密度電漿係以微波激勵，因此電子溫度低，被處理基板103表面的電漿電位在10V以下。因而不致因電漿而損傷被處理基板103的表面，此外，因處理室101不產生電漿濺射，因此被處理基板103也不致遭污染。此外，因電漿處理係在簇射板102與被處理基板103之間的狹窄空間內進行，因此，反應生成物迅速自上述空間流向側方，因自形成在試樣保持台104周圍之大容積空間排氣，因此可以進行非常均勻的處理。

如此形成之Kr氣體與O₂氣體混合的高密度激勵電漿中，處於中間激勵狀態的Kr*與O₂分子撞擊，有效產生原子狀氧O*，以該原子狀氧促使基板表面氧化。先前之矽表面係由H₂O分子或O₂分子進行氧化，處理溫度高達800°C以上，而以本發明之原子狀氧，可以在550°C以下的極低溫度氧化。

此外，由於本發明之氧化膜的改質方法可以在550°C以下的低溫進行，因此，作為氧化膜中之懸空鍵的氫不致脫離，可以恢復缺氧狀態。此與以後說明之氮化膜或氧氮化

五、發明說明 (13)

膜的形成相同。

欲增大Kr*與O₂的撞擊機會，雖然處理室101內的壓力宜較高，但是若過高，則會造成產生之O*間的撞擊，而還原成O₂分子，因而當然需要保持在最適切的氣壓。

圖3顯示上述處理室101內之Kr與氧氣的壓力比保持在Kr97%，氧氣3%，於改變處理室101的總壓時所獲得的氧化膜厚度。不過圖3的實驗係在矽基板溫度設定在400°C，來進行10分鐘的氧化處理。

參照圖3可知，上述處理室101內之氣壓為1Torr(約133Pa)時所獲得之氧化膜的膜厚最大，該壓力及其附近的氧化條件最適切。而且，不論基板矽的面方位為100面或111面，該最適切壓力均不改變。

圖4顯示使用上述Kr/O₂高密度電漿之矽基板表面進行氧化處理時所獲得之氧化膜之膜厚與氧化時間的關係。不過在圖4中，顯示矽基板之面取向分別為(100)面與(111)面時的兩種結果。此外，圖4中也顯示先前以900°C之乾熱氧化與氧化時間的關係。

參照圖4可知，以基板溫度400°C，處理室內壓力1Torr(約133pa)之Kr/O₂高密度電漿氧化處理的氧化速度比在基板溫度為900°C，在大氣壓下乾熱氧化時的氧化速度快。

此外可知，先前之900°C乾熱氧化時，雖然(111)面方位矽之氧化膜的生長速度比(100)面方位矽要快，不過在Kr/O₂高密度電漿氧化時則相反，(111)面方位矽的生長速

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（14）

度比(100)面方位矽慢。由於原本Si基板係(111)面方位之矽的面原子密度大於(100)面，因此，當氧基的供應量相同時，(111)面的氧化速度應該比(100)面要慢。使用Kr/O₂高密度電漿的矽基板表面氧化時，如該預測，(111)面上也與(100)面同樣的形成有緻密的氧化膜。而先前的熱氧化處理時，雖然(111)面的氧化速度大於(100)面的氧化速度，但是，此係由於形成(111)面的氧化膜比形成在(100)面上的氧化膜稀疏。

圖5為使用全反射螢光X射線分光裝置檢查以上述程序形成之矽氧化膜中之Kr密度在深度方向的分佈，不過圖5的實驗中，矽氧化膜的 formed 係將Kr中的氧氣分壓設定在3%，處理室內壓力在1Torr(約133Pa)，基板溫度在400℃下進行。

參照圖5可知，Kr的面密度隨接近矽/矽氧化膜界面而逐漸減少，矽氧化膜表面上含有約 $2 \times 10^{11} \text{cm}^2$ 的密度。亦即，圖5顯示以使用Kr/O₂高密度電漿之矽基板表面氧化所形成之矽氧化膜的膜厚在4nm以上時，Kr濃度實質上一定，並隨接近矽/矽氧化膜的界面，Kr濃度逐漸減少。採用本發明之矽氧化膜的 formed 方法時，在矽氧化膜中含有 10^{10}cm^2 以上之面密度的Kr。不論是(100)面上或是(111)面上均同樣獲得圖5的結果。

圖6為以低頻C-V測定求得氧化膜之界面等級密度的結果。矽氧化膜的 formed 係使用圖2所示的裝置，在基板溫度400度下成膜。稀有氣體中的氧氣分壓固定在3%，處理室

五、發明說明 (15)

內的壓力固定在1Torr(約133Pa)。為求加以比較，也同時顯示在900度，氧氣100%的環境下成膜之熱氧化膜的界面等級密度。

參照圖6可知，不論是(100)面或是(111)面，使用Kr氣體成膜之氧化膜的界面等級密度均低，且與900°C之乾氧化環境下成膜之(100)面上形成之熱氧化膜的界面等級密度相同。反之，在(111)面上形成之熱氧化膜的界面等級密度則比其大一位數以上。

此係因以下機制的結果：

從氧化膜上觀察矽結晶時，(100)面上出現2條矽原子鍵(結合手)，(111)面上出現1條與3條交互出現的矽原子鍵。因而，先前的(111)面進行熱氧化處理時，當(111)面上之矽原子的3條鍵與氧原子結合時，該矽原子後方的鍵伸展時成弱鍵，切斷時成懸空鍵，以致界面等級增加。

而當Kr與O₂之混合氣體進行高密度激勵電漿氧化時，在中間激勵狀態下的Kr*與O₂分子撞擊，而有效產生原子狀氧O*，該原子狀氧有效到達弱鍵及懸空鍵的位置，構成矽-氧新的結合，也減低(111)面上的界面等級。

在處理室內之壓力為1Torr(約133Pa)下成膜來測定矽氧化膜成膜環境中，Kr中的氧分壓與矽氧化膜之耐絕緣壓，及成膜之矽氧化膜中之界面等級密度的關係時，(100)面與(111)面均獲得同樣的結果，Kr中的氧分壓為3%時，界面等級密度最小，獲得與熱氧化膜中之界面等級密度相等的值。此外，矽氧化膜之耐絕緣壓也在氧分壓為3%附近時最

五、發明說明(16)

大。因此，使用Kr/O₂混合氣體進行氧化時的氧分壓宜在2-4%。

圖7顯示矽氧化膜成膜時之壓力與矽氧化膜之耐絕緣壓、界面等級密度的關係。此時的氧分壓為3%。

參照圖7可知，成膜時壓力約為1Torr(約133Pa)時，矽氧化膜的耐絕緣壓最大，界面等級密度最小。從圖7的結果可知，使用Kr/O₂混合氣體形成氧化膜時的壓力以800-1200mTorr(約107~約160Pa)最適當。不論是(100)面或是(111)面上均獲得圖7同樣的結果。

此外有關氧化膜的耐壓特性、洩漏特性、耐熱載子性、流入應力(Stress)電流時之矽氧化膜迄至破壞之電荷量QBD(Charge-to-Breakdown)等之電力特性、可靠性的特性等方面，使用Kr/O₂高密度電漿氧化矽基板表面所形成的氧化膜，可獲得與900°C之熱氧化同樣良好的特性。

圖8A，8B係將所獲得之矽氧化膜之應力電流激勵洩漏電流特性與先前之熱氧化膜做比較。而圖8A，8b中的氧化膜膜厚為3.2nm。

參照圖8A，8B可知，先前的熱氧化膜當注入電荷時，漏電流增加，而以本發明之Kr/O₂進行電漿氧化時，縱使注入100C/cm²的電荷，也不會改變電流特性。亦即，本發明之矽氧化膜縱使流入隧道電流，迄至氧化膜老化的使用壽命極長，最適合用作快閃記憶體元件的隧道氧化膜。

如上所述，藉由Kr/O₂高密度電漿生長的氧化膜儘管在400°C的低溫下氧化，不論是(100)面或是(111)面均具有先

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

前之(100)面之高溫熱氧化膜相同甚至更優異的特性。此種效果的獲得也是因氧化膜中含有Kr。由於氧化膜中含有Kr，因而緩和膜中及Si/SiO₂界面上的應力，減低膜中電荷及界面等級密度，並大幅改善矽氧化膜的電力特性。如圖5所示，密度含 10^{10}cm^2 以上之Kr者，特別有助於改善矽氧化膜的電力特性及可靠性。

第二種實施例

其次說明使用高密度微波電漿在低溫下形成氮化膜。

用於形成氮化膜的裝置與圖2的裝置相同，在形成氮化膜時，係使用Ar或Kr作為電漿激勵氣體。

亦即，將上述真空容器(處理室)101內排氣成高度真空狀態，一種範例是藉由自簇射板102導入Ar氣體與NH₃氣體，將處理室101內的壓力設定在約100mTorr(約13pa)。再將矽晶圓等的圓形基板103放置在上述試樣台104上，將基板溫度設定在約500℃。不過基板溫度只要在400-550℃的範圍內，均可獲得概略相同的結果。

其次，通過輻射線隙縫天線106及電介質板107，自上述同軸波導管105，供應2.45GHz的微波至處理室內，在處理室內生成高密度的電漿。所供應之微波頻率在900MHz以上，10GHz以下的範圍內時，均可獲得概略相同的結果。此外，本實施例中之簇射板102與基板103的間隔是設定在6cm，該間隔較窄時較能快速成膜。本實施例係以使用輻射線隙縫天線的電漿裝置成膜為例，不過也可以使用其他方法將微波導入處理室內。

五、發明說明 (18)

本實施例之電漿激勵氣體係使用Ar，不過，若使用Kr也可以獲得同樣的結果。此外，本實施例係使用NH₃作為電漿處理器體，不過也可以使用N₂與H₂等的混合氣體。

激勵有Ar或Kr與NH₃(或N₂與H₂)之混合氣體的高密度電漿中，藉由處於中間激勵狀態的Ar*或Kr*，有效產生NH*自由基，以該NH*自由基，將基板表面氮化。先前並無有關係表面直接氮化的報告，氮化膜雖係以電漿CVD法等形式，不過該方法無法獲得使用於電晶體閘極膜的高品質氮化膜。但是採用本實施例的矽氮化方式，無須選擇矽的面方位，不論是(100)面或是(111)面，均可在低溫下形成高品質的氮化膜。

不過，本發明的矽氮化膜形成步驟中，含氫是其中一個重要的條件。藉由電漿中含氫，矽氮化膜中及界面的懸空鍵即形成Si-H、N-H鍵加以彌補，致使矽氮化膜及界面無電子陷波(Trap)。本發明之氮化膜中含Si-H鍵與N-H鍵，可分別藉由測定紅外線吸收光譜、X射線光電子分光光譜來確認。因含有氫，因此也沒有CV特性的磁滯，若基板溫度約在500°C以上時，也可以抑制矽/矽氮化膜界面密度低至 $3 \times 10^{10} \text{ cm}^{-2}$ 。使用稀有氣體(Ar或Kr)與N₂/H₂的混合氣體，形成矽氮化膜時，氫氣的分壓設定在0.5%以上，大幅減少膜中的電子及空穴陷波。

此外，由於本發明之氮化膜的改質方法可以在550°C以下的低溫進行，因此，作為氮化膜中之懸空鍵的氫不致脫離。

五、發明說明（19）

圖9顯示上述程序形成之矽氮化膜之膜厚與壓力的關係，其中Ar：NH₃的分壓比設定為98：2，成膜時間設定為30分鐘。

參照圖9可知，當降低處理室101內的壓力，並增加稀有氣體（Ar或Kr）賦予NH₃（或N₂/H₂）的能量時，可加快氮化膜的生長速度。從氮化的效率化觀點來看，氣壓宜在50~100mTorr（約6~13Pa）。此外，稀有氣體中之NH₃（或N₂/H₂）的分壓宜在1~10%的範圍，最好是在2~6%。

本實施例之矽氮化膜的介電常數為7.9，約為矽氧化膜的兩倍。

圖10顯示本實施例之矽氮化膜的電流電壓特性。而圖10中所示的結果係使用Ar/N₂/H₂氣體，Ar：N₂：H₂的分壓比設定在93：5：2，並形成厚度為4.2nm的矽氮化膜（相當於介電常數換算成氧化膜為2.1nm），在圖10中將該結果與厚度為2.1nm之熱氧化膜做比較。

參照圖10可知，外加1V電壓時，可獲得比矽氧化膜低四位數以上的漏電流特性。這顯示所獲得之矽氮化膜為適用於快閃記憶體元件上之抑制漂浮閘極與控制閘極間漏電流用的絕緣膜。

不論矽的面方位為何，不論是（100）面或是（111）面，上述之成膜條件、物理性、電力性的特性均相同，採用本實施例時，在各面方位均可獲得優異膜質的矽氮化膜。本發明的效果也與除了如氧化膜中所含的Si-H鍵、N-H鍵之外，還含有Ar或Kr有關，因而緩和氮化膜中及矽/氮化膜界

五、發明說明 (20)

面上的應力，減低矽氮化膜中之固定電荷及界面等級密度，大幅改善其電力特性及可靠性。尤其是，與圖5所示之矽氧化膜同樣的，密度中含有 10^{10}cm^2 以上的Ar或Kr者，特別有助於改善矽氮化膜的電力特性及可靠性。

第三種實施例

以上說明之氧化膜及氮化膜的形成方法，同樣也適用於多晶矽的氧化與氮化，可以在多晶矽上形成良好品質的氧化膜及氮化膜。

以下，參照圖11(A)，(B)來說明以本發明之第三種實施例在多晶矽膜上形成電介質膜的方法。

參照圖11(A)可知，於覆蓋絕緣膜202的矽基板201上堆積有多晶矽膜203。藉由以圖11(B)的步驟，在圖2說明之微波電漿處理裝置的處理容器101內，將該多晶矽膜203暴露在Kr或Ar與氧之高密度混合氣體電漿中，在多晶矽膜203的表面上可形成膜質優良，亦即界面等級密度小，漏電流少的矽氧化膜204。

此外在圖11(B)的步驟中，藉由將上述多晶矽膜203暴露在Kr或Ar與 NH_3 或 N_2 與 H_2 之高密度混合氣體電漿中，同樣的可以在上述多晶矽膜203的表面形成膜質優良的氮化膜205。

此外，在圖11(B)的步驟中，藉由將上述多晶矽膜203暴露在Kr或Ar與氧及 NH_3 ，或 N_2 與 H_2 之高密度混合氣體電漿中，可以在上述多晶矽膜203的表面形成膜質優良的氧氮化膜206。

五、發明說明(21)

形成於絕緣膜上之多晶矽的(111)面方位與絕緣膜垂直方向的狀態穩定，且形成緻密、結晶性良好的高品質多結晶矽，不過，實際上具有其他面方位之結晶粒也存在於多晶矽內。採用本實施例之氧化膜、氮化膜或氧氮化膜的形成方法時，如上述說明，不論矽的面方位為何，均可形成高品質的氧化膜、氮化膜或氧氮化膜。此外，形成在絕緣膜上之多晶矽不論是否摻雜有P型及N型雜質，採用本實施例之氧化膜或氮化膜的形成方法，均可實施生長速度概略相等的成膜。因而，圖11(A)，(B)的程序最適於在低溫下，於快閃記憶體之漂浮電極之第一多晶矽閘極等的多晶矽膜上，形成膜厚薄且高品質的氧化膜、氮化膜及氧氮化膜。此外，由於本發明之氧化膜、氮化膜及氧氮化膜可以在550℃以下的低溫形成，因此，粒晶生長受到限制，多晶矽表面不致粗糙。

此外，由於本發明之氧氮化膜的改質方法可以在550℃以下的低溫進行，因此，以氧氮化膜中之懸掛鍵為終端的氫不致脫離。

第四種實施例

圖12A，12B顯示以本發明第四種實施例實施CVD氧化膜的改質(事後回火)處理。

參照圖12A可知，在Si基板301上以CVD法堆積有SiO₂膜302，將如此堆積的SiO₂膜302在圖12B的步驟中，藉由暴露在含Kr或Ar與氧之混合氣體的電漿中，在電漿中與中間激勵狀態之Kr*或Ar*與氧之反應所形成的原子狀氧O*侵入

五、發明說明(22)

上述 SiO_2 膜302中，使上述 SiO_2 膜302的膜質改變。

更具體而言，上述原子狀氧 O^* 在上述CVD- SiO_2 膜302中彌補懸空鍵，CVD- SiO_2 膜302於圖12B的事後回火處理後，改變成具有近似熱氧化膜之密度與構造，尤其是具有理想的化學計量組成。

圖13顯示對如此形成之CVD- SiO_2 膜(NSG膜)實施與先前第一種實施例相同的 Kr/O_2 電漿處理，進行膜表面改質時之蝕刻速度與蝕刻量的關係。

參照圖13可知，在僅堆積CVD- SiO_2 膜的狀態下，顯示出對熱氧化膜極大的蝕刻速度，而在實施上述 Kr/O_2 電漿處理時，相當於 $20\mu\text{m}$ 深度之起出約10分鐘的蝕刻速度減慢，可以獲得相當於熱氧化膜的小蝕刻速度。這顯示在CVD- SiO_2 膜中，以上述 Kr/O_2 電漿處理所生成的原子狀氧 O^* 侵入，上述CVD- SiO_2 膜緻密化。該緻密的 SiO_2 膜具有適宜界面等級等的瑕疵少，漏電流減低的特徵。

本實施例之CVD- SiO_2 膜的改質電漿處理，原子狀氧 O^* 的生成效率高，最適於採用上述的 Kr/O_2 電漿處理，不過也可以採用 Ar/O_2 電漿處理。

第五種實施例

圖14A，14B顯示以本發明第五種實施例進行高電介質膜的事後回火處理。

參照圖14A可知，藉由以 Kr/O_2 電漿直接氧化等，在Si基板401表面形成有 SiO_2 層間絕緣膜402，經由省略圖式的Ti等密接層，在上述 SiO_2 層間絕緣膜402上形成有Pt電極層

五、發明說明（23）

403。再以CVD法，其係使用 TaCl_5 或 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 作為原料，在上述Pt電極層403上堆積含 Ta_2O_5 的高電介質膜404。上述 Ta_2O_5 膜404於堆積之後大量缺氧，結果在圖14A的步驟中，上述 Ta_2O_5 膜404上無法獲得大的漏電流，且本來高的介電常數比。

如此形成之圖14A的構造，在以下圖14B的步驟中，於上述圖2之高密度電漿處理裝置中，在與先前第一種實施例相同的條件下暴露在 Kr/O_2 電漿中。

圖14B的步驟中，以該電漿處理步驟，在電漿中有效生成原子狀氧 O^* ，生成之原子狀氧 O^* 有效的侵入上述 Ta_2O_5 膜404內，來彌補缺氧。此時，上述 Ta_2O_5 膜404的厚度至多約為數十毫微米，上述原子狀氧 O^* 導入上述強電介質膜404的整個厚度方向。

本實施例之彌補缺氧步驟可以藉由使用圖14B的電漿處理步驟，在 550°C 以下的低溫進行，不需要如先前的在氧氣環境中進行高溫急速熱處理(RTA)。同時先前形成在Si基板401中的活性元件，也不致發生擴散區域之雜質分佈剖面改變的問題。

如此被電漿處理的 Ta_2O_5 膜顯示高電介質材料上固有的大介電常數比。另外，本實施例之上述高電介質膜404並不限定於 Ta_2O_5 膜，也可以採用 ZrO_2 膜或 HfO_2 膜。

繼續圖14B的步驟，藉由在上述 Ta_2O_5 膜404上形成電極層，其包含Pt及 SrRuO_3 等導電性氧化物，可以形成高電介質電容。

五、發明說明（24）

另外，本實施例縱使使用Ar/O₂電漿來取代Kr/O₂電漿，也可以有效生成原子狀氧O*。

第六種實施例

圖15A，15B顯示以本發明第六種實施例進行高電介質膜的事後回火處理。

參照圖15A可知，藉由以Kr/O₂電漿直接氧化等，在Si基板501表面形成有SiO₂層間絕緣膜502，經由省略圖式的Ti等密接層，在上述SiO₂層間絕緣膜502上形成有Pt電極層503。再以Sol Gel法或濺射法在上述Pt電極層503上堆積包含BST(BaSrTiO₃)或SBT(SrBi₂(Ta)₂O₃)的強電介質504。上述強電介質504堆積後成為非結晶性，在圖15A的步驟中，上述強電介質504上無法獲得強電介質膜上特有之大的開關電荷Q_{sw}。

如此形成之圖15A的構造，在以下圖15B的步驟中，於上述圖2之高密度電漿處理裝置中，在與先前第一種實施例相同的條件下暴露在Kr/O₂電漿中。

圖15B的步驟中，以該電漿處理步驟，在電漿中有效生成原子狀氧O*，生成之原子狀氧O*有效的侵入上述強電介質膜504內，將其結晶化的同時來彌補缺氧。此時，上述強電介質膜504的厚度至多約為數十毫微米，上述原子狀氧O*導入上述強電介質膜504的整個厚度方向。

本實施例之結晶化及彌補缺氧步驟可以藉由使用圖15B的電漿處理步驟，在550°C以下的低溫進行，不需要如先前的在氧氣環境中進行高溫急速熱處理(RTA)。同時先前形成

五、發明說明(25)

在Si基板501中的活性元件，也不致發生擴散區域之雜質分佈剖面改變的問題。

如此被電漿處理的強電介質膜504具有強電介質材料上固有的大的開關電荷 Q_{sw} 。另外，本實施例之上述高電介質膜504並不限定於BST或SBT膜，也可以採用PZT膜及PLZT膜。

繼續圖15B的步驟，藉由在上述強電介質膜504上形成電極層，其包含Pt及 $SrRuO_3$ 等導電性氧化物，可以形成高電介質電容。

第七種實施例

圖16A，16B顯示以本發明第七種實施例進行低介電常數絕緣膜的事後回火處理。

參照圖16A可知，以CVD法在Si基板601上形成摻雜F的 $SiO_2(SiOF)$ 膜602，作為低介電常數層間絕緣膜，圖16B步驟中，在上述圖2之微波電漿處理裝置中，對上述SiOF膜602，在與上述第一種實施例相同條件下進行Kr/ O_2 電漿處理，將其表面及膜內改質。

該表面改質的結果，在上述SiOF膜602上形成導體圖案時，不僅可以提高該導體圖案與上述SiOF膜602之間的密接性，還可以減少配線間的漏電流，改善耐壓。

第八種實施例

圖17A~17E顯示以本發明第八種實施例形成高介電常數閘極絕緣膜的方法。

參照圖17a可知，在Si基板701上，以CVD法形成厚度為

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(26)

1毫微米以下的SiN702，圖17B步驟中，於上述圖2之微波電漿處理裝置中，在與上述第二種實施例相同的條件下，將上述SiN膜702暴露在Kr/NH₃電漿中。

圖17B的步驟中，隨上述Kr/NH₃電漿生成的氮化氫自由基NH*侵入上述SiN膜702中，彌補懸空鍵等的瑕疵。結果，上述SiN膜702的界面等級密度減少，改變成具有類似化學計量組成之Si₃N₄的組成，且漏電流特性優異的矽氮化膜。

其次，圖17C的步驟中，在經過以上述Kr/NH₃電漿進行事後回火處理的矽氮化膜702上，藉由以ZrCl₄及H₂O為原料的CVD法或原子層沉積(atomic layer deposition, ALD)法等，堆積膜厚為數毫微米，含ZrO₂的高電介質膜703。

其次，在圖17D步驟中，將圖17C的構造導入上述圖2的微波電漿處理裝置中，將上述高電介質膜703暴露在Kr/NH₃電漿中。該事後回火處理的結果，使上述高電介質膜703的表面氮化，在上述高電介質膜703的表面形成氮化膜703A。

其次在圖17E的步驟中，於圖17D的構造上形成多晶矽閘極704。

本實施例中，形成在上述Si基板701上的氮化膜702並不限定於矽氮化膜，也可以採用鋁氮化膜。此外，上述高電介質膜703並不限定於ZrO₂膜，也可以採用HfO₂膜及Ta₂O₅膜。

五、發明說明 (27)

採用本實施例時，由於在圖17B的步驟中，於上述Si基板701上形成有介電常數比為7.9之緻密且瑕疵少的SiN膜702，因此，縱使在圖17C的步驟中，於其上形成由金屬氧化膜構成的高電介質膜703時，仍可以有效的阻止氧氣自上述高電介質膜703侵入上述Si基板701，避免實際增加整個閘極絕緣膜之膜厚的問題。

此外，藉由在圖17D的步驟中，於上述高電介質膜703的表面上先形成氮化膜，縱使在爾後步驟中，在還原環境中進行處理時，也可以避免上述高電介質膜703被還原的問題。

第九種實施例

圖18顯示以本發明第九種實施例在基板上形成氧化膜的方法。

參照圖18可知，本實施例使用CVD裝置120，其具備排氣泵121A，其係以泵121B排氣，還具備微波窗122A，122B及與其共同作用的微波天線123A，123B。

在上述處理室121中設置載台124，其具有加熱器124A，上述載台124上放置被處理基板125。此外，在上述處理室121中，與上述被處理基板125相對設置有簇射板126，自管線126A供應之處理氣體經由上述簇射板126導入上述處理室120中。此外，上述處理室121中與上述微波窗122A，122B鄰接，形成有氣體導入通路127，其係將自管線127A所供應的Kr/O₂電漿氣體導入上述處理室121中。上述微波天線123A，123B也可以採用圖2裝置所使用的輻射線隙縫

五、發明說明(28)

天線。此外，上述微波天線123A，123B也可以採用號角天線。

所構成之CVD裝置120，藉由自上述天線123A，123B供應微波，在上述處理室121中，以低能量形成高密度的電漿，有效生成 Kr^* 及原子狀氧 O^* 。

本實施例還藉由以上述簇射板126供應 $Ta(OC_2H_5)_5$ 及 O_2 等原料氣體，在上述被處理基板125的表面附近堆積 Ta_2O_5 膜。

此時，在堆積該 Ta_2O_5 膜的同時，接受以先前圖12A，12B之實施例中說明之原子狀氧 O^* 的回火處理，結果所形成之 Ta_2O_5 膜的膜質，尤其是界面等級密度及漏電流特性都更加改善。而且，採用本實施例時，由於係同時進行 Ta_2O_5 膜的堆積與回火處理，因此步驟減少。

本實施例之上述CVD膜125並不限定於 Ta_2O_5 ， SiO_2 膜及BSG膜、BPSG膜等氧化膜，或氮化膜，甚至氧氮化膜都適用。

本實施例之上述被處理基板125上堆積氮化膜時，只需由上述氣體導入通路127供應 Kr 與 NH_3 混合氣體，或 Kr 、 N_2 、 H_2 的混合氣體即可。此時，由於也是在堆積矽氮化膜的同時，以氮化氫自由基 NH^* 進行回火處理，因此，所獲得的氮化膜具有界面等級密度低，漏電流少，也可以作為半導體裝置之間極絕緣膜使用的特性。

本實施例之上述被處理基板125上堆積氧氮化膜時，藉由自上述氣體導入通路127供應 Kr 與 O_2 ，及 NH_3 或含 N_2 及 H_2

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (29)

的混合氣體，也可以在上述被處理基板125上堆積界面等級密度低，漏電流少的氮化膜。

第十種實施例

其次，參照圖19說明使用本發明第十種實施例之Kr/O₂電漿激勵之原子狀氧O*或Kr/NH₃電漿激勵之氮化氫自由基NH*的濺射處理。不過圖19中，與先前說明相同的部分註記相同的對照符號，並省略其說明。

本實施例係使用圖19所示的濺射裝置130來取代上述CVD裝置120。

參照圖19可知，上述濺射裝置130中，與上述被處理基板125相對配置有以高頻電源131A供應高頻的BST等靶子131，此外，在上述靶子131的附近設有磁鐵132。此外，圖19的濺射裝置130中設有氣體導入通路133，來取代上述的簇射板126。

再者，圖19的構成係對應於上述微波窗122A，設有一般的號角天線123C作為微波天線。

所構成之濺射裝置130，藉由上述靶子131的濺射，在上述被處理基板125上形成有BST膜等的氧化膜，不過此時係藉由自上述氣體導入通路127將Kr氣體或Kr/O₂氣體導入上述處理室121中，再自上述微波天線123C導入微波，在上述處理裝置中有效生成原子狀氧O*，結果，形成在上述被處理基板125上的BST膜，在堆積的同時以原子狀氧O*進行事後回火處理。此外，也可以上述氣體導入通路133導入其他氣體。

五、發明說明（30）

再者，圖19的濺射裝置130中，係使用氮化物作為上述靶子131，藉由自上述氣體導入通路供應Ar氣體或Kr氣體與NH₃氣體之混合氣體，或Ar氣體或Kr氣體，及N₂氣體與H₂氣體的混合氣體，可以在上述被處理基板125上堆積氮化膜。此時，所堆積的氮化膜係接受電漿中生成之氮化氫自由基NH*的事後回火處理。

再者，圖19的濺射裝置130中，係使用氧氮化矽作為上述靶子131，藉由自上述氣體導入通路供應Ar氣體或Kr氣體與氧氣及NH₃氣體之混合氣體，或Ar氣體或Kr氣體，及N₂氣體、H₂氣體與氧氣的混合氣體，可以在上述被處理基板125上堆積氧氮化膜。此時，所堆積的氧氮化膜係接受電漿中生成之原子狀氧O*及氮化氫基NH*的事後回火處理。

第十一種實施例

其次，說明本發明第十一種實施例之快閃記憶體元件的製造步驟，該實施例包含高電壓用電晶體及低電壓用電晶體，其係具有使用以上述微波電漿，在低溫下形成低溫氧化膜與氮化膜技術之多晶矽/矽化物疊層構造的閘極。

圖20顯示本實施例之快閃記憶體元件1000的概略剖面構造。

參照圖20可知，快閃記憶體元件1000係在矽基板1001上構成，其包含：隧道氧化膜1002，其係形成在上述矽基板1001上；及第一多晶矽閘極1003，其係形成在上述隧道氧化膜1002上，構成漂浮閘極，上述多晶矽閘極1003上依次形成有矽氮化膜1004、矽氧化膜1005、矽氮化膜1006及矽

五、發明說明（31）

氧化膜1007，並在上述矽氮化膜1007上形成有第二多晶矽閘極1008，構成控制閘極。圖20中省略源極區域、汲極區域、接觸孔、配線圖案等圖式。

本實施例之快閃記憶體中的上述矽氧化膜1002、1005、1007由於係以先前說明的矽氧化膜形成方法所形成，此外，矽氮化膜1004、1006係以先前說明之矽氮化膜形成方法所形成，因此，這些膜的膜厚縱使減少至先前之氧化膜、氮化膜的一半，仍可確保良好的電力特性。

其次，參照圖21~圖24說明包含本實施例之快閃記憶體元件的半導體積體電路製造方法。

參照圖21可知，在矽基板1101上以場(Field)氧化膜1102區分有快閃記憶單元區域A、高電壓用電晶體區域B及低電壓用電晶體區域C，各個區域A~C中形成有矽氧化膜1103。上述場氧化膜1102可以選擇氧化法(LOCOS法)及淺溝渠分離法等形成。

本實施例中係使用Kr作為電漿激勵氣體來形成氧化膜及氮化膜。形成氧化膜及氮化膜時，係使用圖2的微波電漿處理裝置。

其次在圖22的步驟中，在上述記憶單元區域A中除去矽氧化膜1103，再於上述記憶單元區域A上形成約5nm厚的隧道氧化膜1104。形成上述隧道氧化膜1104時，係將真空容器(處理室)101內抽成真空，自簇射板102導入氮氣及氧氣，處理室內壓力設定在約1Torr(約133Pa)，矽晶圓的溫度設定在450℃，自同軸波導管105供應之頻率為2.56GHz

五、發明說明 (32)

之微波，通過輻射線隙縫天線106及電介質板107供應至處理室內，生成高密度的電漿。

圖22的步驟中，形成上述隧道氧化膜1104後，再堆積第一多晶矽層1105，以覆蓋上述隧道氧化膜1104，繼續藉由氫基處理，使堆積之多晶矽層1105的表面平坦化。其次，以繪製圖案自上述高電壓用電晶體區域B及低電壓用電晶體區域C除去上述第一多晶矽層1105，僅在上述記憶單元區域A的隧道氧化膜1104上保留上述第一多晶矽1105。

其次，於圖23的步驟中，在上述圖22的構造上依次形成下部氮化膜1106A、下部氧化膜1106B、上部氮化膜1106C及上部氧化膜1106D，使用圖2之微波電漿處理裝置形成具有NONO構造的絕緣膜1106。

進一步詳細說明如下，在圖2之微波電漿處理裝置中，將真空容器(處理室)101內排氣成高度真空狀態，再自簇射板102導入氬氣、氮氣及氫氣，將處理室內的壓力設定在約100mTorr(約13Pa)，將矽晶圓的溫度設定在500°C。繼續在該狀態下，將自上述同軸波導管105供應之頻率為2.45GHz之微波，通過輻射線隙縫天線106及電介質板107供應至處理室內，在處理室內生成高密度的電漿。致使上述多晶矽表面上形成有厚度約2nm的矽氮化膜，構成上述的下部氮化膜1106A。

其次，於暫時停止供應微波後，停止導入氬氣、氮氣及氫氣，將真空容器(處理室)101內排氣。其次，自上述簇射板102導入氬氣及氧氣，將處理室內的壓力設定在約

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (33)

1Torr(約133Pa)的狀態下，再度藉由供應2.45GHz的微波，在上述處理室101內生成高密度的電漿，形成厚度約2nm的矽氧化膜，構成上述下部氧化膜1106B。

其次，於暫時停止供應微波後，停止導入氬氣及氧氣，將真空容器(處理室)101內排氣。再自上述簇射板102導入氬氣、氮氣及氫氣，將處理室內的壓力設定在約100mTorr(約13Pa)，在該狀態下，藉由供應2.45GHz的微波，在上述處理室101內生成高密度的電漿，藉由該高密度處理，再形成厚度為3nm的矽氮化膜。

最後，於暫時停止供應微波後，停止導入氬氣、氮氣及氫氣，將真空容器(處理室)101內排氣，自上述簇射板102導入氬氣及氧氣，將處理室內的壓力設定在約1Torr(約133Pa)。在該狀態下，再度藉由供應2.45GHz的微波，在上述處理室101內生成高密度的電漿，形成厚度約2nm的矽氧化膜，構成上述上部氧化膜1106D。

亦即，藉由該步驟可以形成膜厚為9nm，具有NONO構造的絕緣膜1106。如此形成的NONO膜1106不必顧慮多晶矽的面方位，各個氧化膜及氮化膜的膜厚及膜質均極為均勻。

圖23的步驟中，再繪製圖案，在高電壓用電晶體區域B及低電壓用電晶體區域C中選擇性的除去如此形成之絕緣膜1106。

其次在圖24的步驟中，於高電壓用電晶體區域B及低電壓用電晶體區域C上，注入閥壓控制用的離子，再除去上述區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（34）

域B及C上的氧化膜1103。繼續在上述高電壓用電晶體區域B上形成厚度為7nm的閘極氧化膜1107，其次在低電壓用電晶體區域上形成厚度為3.5nm的閘極氧化膜1108。

之後，於圖24的步驟中，在包含上述場氧化膜1102的整個構造上依次形成第二多晶矽層1109及矽化層1110，再藉由繪製其圖案，在上述高電壓用及低電壓用電晶體區域B，C上，分別形成閘極1111B，1111C。其次，在記憶單元區域中，繪製上述多晶矽層1109及矽化層1110圖案，形成閘極1111A。

最後，按照標準的半導體步驟，逐步形成源極、汲極、形成絕緣膜、形成接觸及形成配線等，完成元件的製造。

如此形成之NONO膜1106中的矽氧化膜及矽氮化膜的膜厚雖然非常薄，但是仍具有良好的電力特性，形成緻密且高品質的膜。由於該矽氧化膜及矽氮化膜係在低溫下形成，因此，在閘極多晶矽與氧化膜之間的界面上不致產生熱預算等，可以獲得良好的界面特性。

在平面上配置數個本發明之快閃記憶體元件，所構成之快閃記憶體積體電路裝置，可以低電壓執行資訊的寫入及刪除操作，抑制基板電流的發生，可以抑制隧道絕緣膜的老化，穩定元件的特性。本發明之快閃記憶體元件具有優異的低洩漏特性，僅以約7V的電壓即可執行寫入、刪除操作，記憶體保持時間比先前增加一位數以上，可改寫次數增加約一位數以上。

第十二種實施例

五、發明說明（35）

其次，說明本發明第十二種實施例之快閃記憶體元件，其具有多晶矽/矽化物疊層構造的閘極，其係使用以上述高密度微波電漿，在低溫下形成氧化膜與氮化膜的技術。

圖25顯示本實施例之快閃記憶體元件1500的概略剖面構造。

參照圖25可知，快閃記憶體元件1500係在矽基板1501上形成，其包含：隧道氮化膜1502，其係形成在上述矽基板1501上；及第一多晶矽閘極1503，其係形成在上述隧道氮化膜1502上，構成漂浮閘極，上述第一多晶矽閘極1503上依次形成有矽氧化膜1504、矽氮化膜1505及矽氧化膜1506。再於上述矽氧化膜1506上形成有第二多晶矽電極1507，構成控制閘極。圖25中省略源極區域、汲極區域、接觸孔、配線圖案等圖式。

圖25之快閃記憶體元件1500中之上述矽氧化膜1502、1504及1506係以先前說明之使用高密度微波電漿的矽氧化膜形成方法所形成，此外，矽氮化膜1505係以先前說明之使用高密度微波電漿的矽氮化膜形成方法所形成。

其次，說明本實施例之快閃記憶體積體電路的製作方法。

本實施例之迄至上述繪製第一多晶矽層1503圖案的步驟與先前之圖21及圖22的步驟相同。不過，本實施例之上述隧道氮化膜1502的形成，係將真空容器(處理室)101內排氣後，自簇射板102導入氫氣、氮氣及氫氣，將處理室內的壓力設定在100mTorr(約13Pa)，供應2.45GHz的微波，於處

五、發明說明（36）

理室內生成高密度電漿，厚度約為4nm。

繼續，於形成上述第一多晶矽層1503後，於上述區域A中，在上述第一多晶矽層上依次形成下部矽氧化膜1504、矽氮化膜1505及上部矽氧化膜1506，形成具有ONO構造的絕緣體膜。

進一步詳細說明如下，將先前圖2說明之微波電漿處理裝置的真空容器(處理室)101內排氣成高度真空狀態，自簇射板102導入氬氣及氧氣，將處理室101內的壓力設定在約1Torr(約133Pa)。在該狀態下，供應2.45GHz的微波至上述處理室101內，藉由生成高密度電漿，在上述第一多晶矽層1503的表面形成厚度約2nm的矽氧化膜。

其次，以CVD法在上述矽氧化膜上形成3nm的矽氮化膜後，將真空容器(處理室)101內排氣，再自簇射板102導入氬氣、氮氣及氫氣，將處理室內的壓力設定在1Torr(約133Pa)。在該狀態下，再度藉由供應2.45GHz的微波，在上述處理室101內生成高密度電漿，藉由將上述矽氮化膜暴露在隨高密度電漿形成之氮化氫基NH*中，轉換成緻密的矽氮化膜。

其次，以CVD法在上述緻密之矽氮化膜上形成厚度約2nm的矽氧化膜，再度以微波電漿裝置，自簇射板102導入氬氣及氧氣，將處理室101內的壓力設定在1Torr(約133Pa)。在該狀態下，再度藉由供應2.45GHz的微波至上述處理室101中，在上述處理室101中生成高密度電漿。以上述CVD法形成之氧化膜暴露在隨上述高密度電漿形成之

五、發明說明 (37)

原子狀氧O*中，將上述CVD矽氧化膜轉換成緻密的矽氧化膜。

如此，在上述多晶矽膜1503上形成膜厚約7nm的ONO膜，而所形成之ONO膜不論多晶矽的面方位為何，均具有均勻的膜厚。之後，在該ONO膜上進行圖案繪製步驟，除去對應於高電壓用及低電壓用電晶體區域B、C的部分，繼續，藉由執行與先前第十一種實施例相同的步驟來完成元件製作。

該快閃記憶體元件具有優異之低洩漏特性，可以約6V的電壓執行寫入、刪除操作，與先前實施例之快閃記憶體1000同樣的，記憶體保持時間可以比先前增加一位數以上，可改寫次數增加約一位數以上。

第十三種實施例

其次，說明本發明第十三種實施例之快閃記憶體元件1600，其具有多晶矽/矽疊層構造的閘極，其係使用以上述微波高密度電漿，在低溫下形成氧化膜與氮化膜的技術。

圖26顯示上述快閃記憶體元件1600的概略剖面構造。

參照圖26可知，本實施例之快閃記憶體元件1600係在矽基板1601上形成，其包含：隧道氮化膜1602，其係形成在上述矽基板1601上；及第一多晶矽閘極1603，其係形成在上述隧道氮化膜1602上，構成漂浮閘極，上述第一多晶矽閘極1603上依次形成有矽氮化膜1604及矽氧化膜1605。再於上述矽氧化膜1605上形成有第二多晶矽電極1606，構成控制閘極。

五、發明說明（38）

圖26中省略源極區域、汲極區域、接觸孔、配線圖案等圖式。

圖26之快閃記憶體元件1600中之上述矽氧化膜1602及1605係以先前說明之矽氧化膜形成方法所形成，此外，矽氮化膜1604係以先前說明之矽氮化膜形成方法所形成。

其次，說明本實施例之快閃記憶體積體電路的製造方法。

本實施例之迄至上述繪製第一多晶矽層1603圖案的步驟與第一種實施例的步驟相同，在區域A中形成上述第一多晶矽層1603後，在上述第一多晶矽層1603上依次形成矽氮化膜及矽氧化膜，形成具有NO構造的絕緣體膜。

進一步詳細說明，上述NO膜係使用圖2之微波電漿處理裝置，採取如下的步驟形成。

將真空容器(處理室)101內抽成真空，自簇射板102導入氬氣、氮氣及氧氣，將處理室內的壓力設定在約100mTorr(約13Pa)。在該狀態下，供應2.45GHz的微波，在處理室101內生成高密度電漿，藉由上述多晶矽層1603的氮化反應，形成膜厚約3nm的矽氮化膜。

其次，以CVD法形成厚度約2nm的矽氮化膜，再於上述微波電漿處理裝置中，自簇射板102導入氬氣及氧氣，將處理室內的壓力設定在1Torr(約133Pa)。在該狀態下，藉由供應2.45GHz的微波，在處理室內生成高密度電漿，將以CVD法形成之氧化膜暴露在隨上述高密度電漿形成之原子狀氧O*中，將上述CVD氧化膜轉換成緻密的矽氧化膜。

五、發明說明（39）

如此形成之NO膜具有約5nm的膜厚，不論多晶矽的面方位為何，均具有極均勻的膜厚。如此形成後的NO膜進行圖案繪製步驟，選擇性的除去形成在高電壓用及低電壓用電晶體區域B、C的部分。

繼續，藉由執行與圖24相同的步驟來完成元件製作。

如此形成的快閃記憶體元件具有優異之低洩漏特性，可以約5V的電壓執行寫入、刪除操作，與先前實施例之快閃記憶體元件同樣的，記憶體保持時間可以比先前增加一位數以上，可改寫次數增加約一位數以上。

以上實施例中顯示之記憶單元、高電壓用電晶體、低電壓用電晶體的形成方法僅列舉一種範例，本發明並不限定於此。本發明之氮化膜的形成，也可使用氫來取代氮，此外，也可以使用具有多晶矽/矽化、多晶矽/高融點金屬/非結晶矽或多晶矽等疊層構造的膜來取代上述第一及第二的多晶矽層。

此外，為了形成本發明的氧化膜、氮化膜，除了圖2之微波電漿處理裝置之外，也可以使用可以電漿在低溫下形成氧化膜之其他的電漿處理用裝置。本發明之實施例中係列舉使用以輻射線隙縫天線的電漿裝置成膜，不過也可以使用其他方法將微波導入處理室內。

此外，也可以使用兩段簇射板型電漿處理裝置，其係自第一簇射板放出氮氣或氫氣等電漿氣體，將處理氣體自不同於上述第一氣體放出部的第二簇射板放出，來取代圖2之微波電漿處理裝置。此時，也可以自上述第二簇射板放出

五、發明說明(40)

氧氣。此外，也可以設計成以上述第一多晶矽電極形成快閃記憶體元件之漂浮閘極的同時，以相同的第一多晶矽電極來形成高電壓用電晶體閘極的處理。

以上，係藉由適切的實施例來說明本發明，不過本發明並不限定於這些特定的實施例，只要符合本發明的要旨，可以做各種改變。

產業上利用的可行性

本發明係藉由以氮或氫作為惰性氣體之電漿隨伴生成的原子狀氧 O^* 或氮化氫自由基 NH^* ，藉由處理形成在上述基板上的氧化膜或氮化膜或氧氮化膜，來彌補上述膜中的懸空鍵或弱鍵，縱使是以CVD法等形成之膜質差的絕緣膜，仍可以提高膜質。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：電介質膜之形成方法）

本發明提供一種絕緣膜之形成方法，其包括：形成步驟，其係在基板上形成絕緣膜；及膜質改變步驟，其係將上述絕緣膜暴露在隨伴以Kr或Ar作為惰性氣體之電漿所生成的原子狀氧O*或原子狀氮化氫NH*下，來改變膜質。

英文發明摘要（發明之名稱：誘電体膜の形成方法）

本発明は、基板上に絶縁膜を形成する工程と、前記絶縁膜をKrあるいはArを不活性ガスとしたプラズマに伴い生成された原子状酸素O*あるいは原子状窒化水素NH*に曝し、膜質を改変する工程とよりなる絶縁膜の形成方法を提供する。

六、申請專利範圍

述電漿使上述處理氣體活性化，在上述處理室中，於基板上堆積氧化膜；

上述氧化膜於堆積的同時，由上述電漿中生成之原子狀氧 O^* 處理。

8. 一種氮化膜的形成方法，其特徵為包含：

形成步驟，其係在處理室內導入由氮或氬構成之惰性氣體與含氮及氬氣體，藉由微波激勵形成電漿；及

堆積步驟，其係在上述處理室中導入處理氣體，藉由以上述電漿使上述處理氣體活性化，在上述處理室中，於基板上堆積氮化膜；

上述氮化膜於堆積的同時，由上述電漿中生成之氮化氬自由基 NH^* 處理。

9. 一種氧氮化膜的形成方法，其特徵為包含：

形成步驟，其係在處理室內導入由氮或氬構成之惰性氣體、氧氣與含氮及氬氣體，藉由微波激勵形成電漿；及

堆積步驟，其係在上述處理室中導入處理氣體，藉由以上述電漿使上述處理氣體活性化，在上述處理室中，於基板上堆積氧氮化膜；

上述氧氮化膜於堆積的同時，由上述電漿中生成之原子狀氧及氮化氬自由基處理。

10. 一種氧化膜的濺射方法，其特徵為包含：

堆積步驟，其係在處理室中，以靶子的濺射，於基板上堆積氧化膜；

形成步驟，其係在上述處理室中，藉由微波激勵由氮或氬

六、申請專利範圍

構成之惰性氣體與氧氣來形成電漿；及

處理步驟，其係以上述電漿中生成之原子狀氧O*處理上述氧化膜。

11. 一種氮化膜的濺射方法，其特徵為包含：

堆積步驟，其係在處理室中，以靶子的濺射，於基板上堆積氮化膜；

形成步驟，其係在上述處理室中，藉由微波激勵氮或氫構成之惰性氣體與含氮及氫氣體來形成電漿；及

處理步驟，其係以上述電漿中生成之氮化氫自由基NH*處理上述氮化膜。

12. 一種氧氮化膜的濺射方法，其特徵為包含：

堆積步驟，其係在處理室中，以靶子的濺射，於基板上堆積氧氮化膜；

形成步驟，其係在上述處理室中，藉由微波激勵由氮或氫構成之惰性氣體、氧氣與含氮及氫氣體來形成電漿；及

處理步驟，其係以上述電漿中生成之原子狀氧O*及氮化氫自由基NH*處理上述氧氮化膜。

13. 一種閘極絕緣膜的形成方法，其係在基板上形成閘極絕緣膜，其特徵為包含：

氮化膜形成步驟，其係在基板表面上形成；

處理步驟，其係以氮化氫自由基NH*處理上述氮化膜；

高電介質膜堆積步驟，其係堆積在上述經處理的氮化膜上；及

氮化膜形成步驟，其係藉由以氮化氫自由基NH*處理上述

六、申請專利範圍

高電介質膜的表面來形成。

14. 一種閘極絕緣膜的形成方法，其係在基板上形成閘極絕緣膜，其特徵為包含：

 氧氮化膜形成步驟，其係在基板表面上形成；

 處理步驟，其係以氮化氫自由基 NH^* 及原子狀氧 O^* 處理上述氧氮化膜；

 高電介質膜形成步驟，其係形成在上述被處理的氧氮化膜上；及

 氮化膜形成步驟，其係藉由以氮化氫自由基 NH^* 處理上述高電介質膜的表面來形成。

裝

訂

線

圖 1

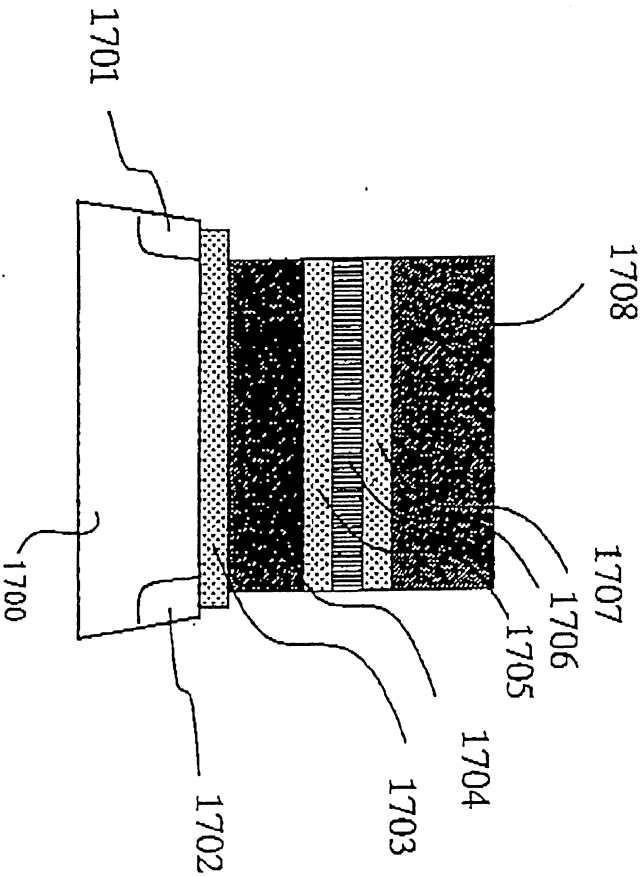


圖 2

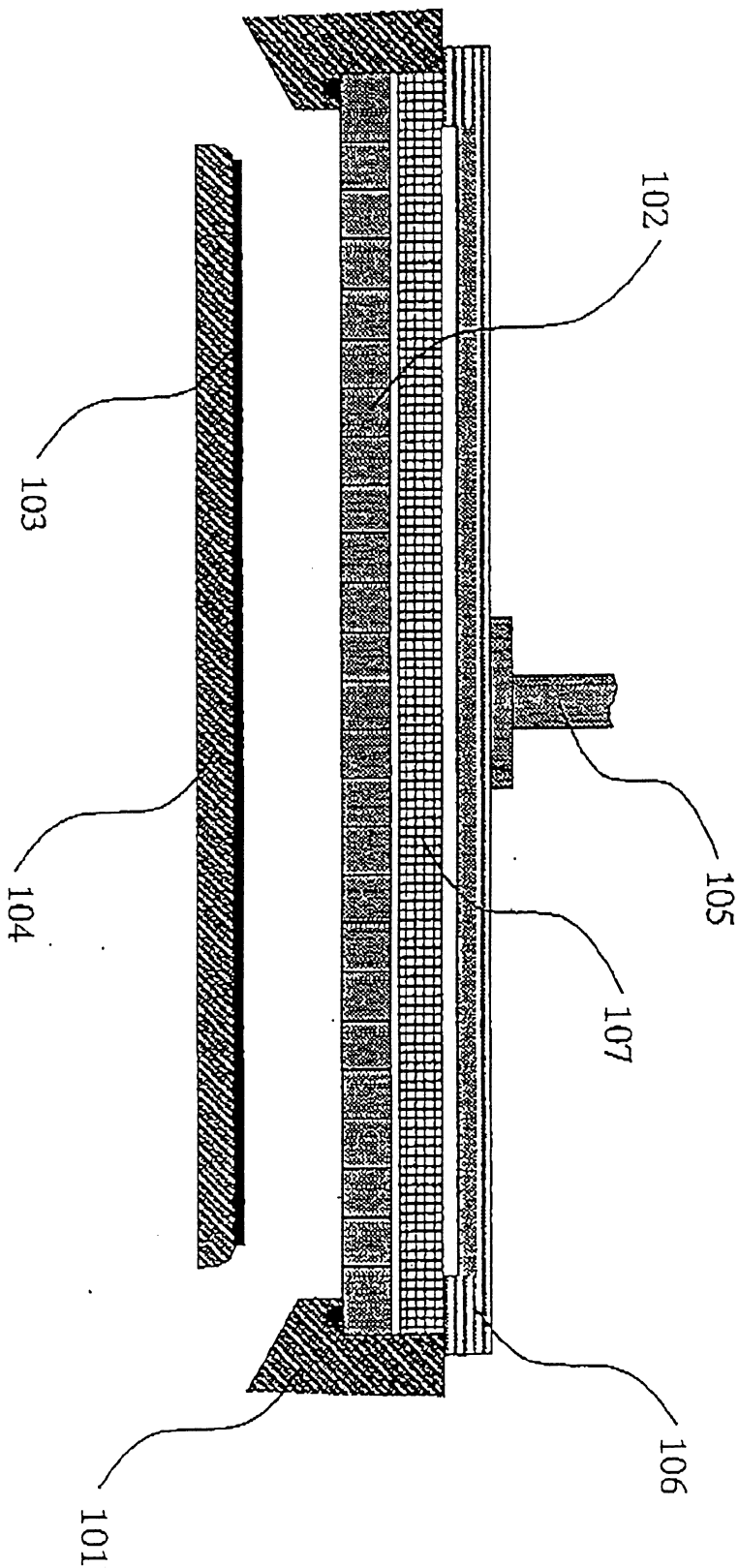


圖 3

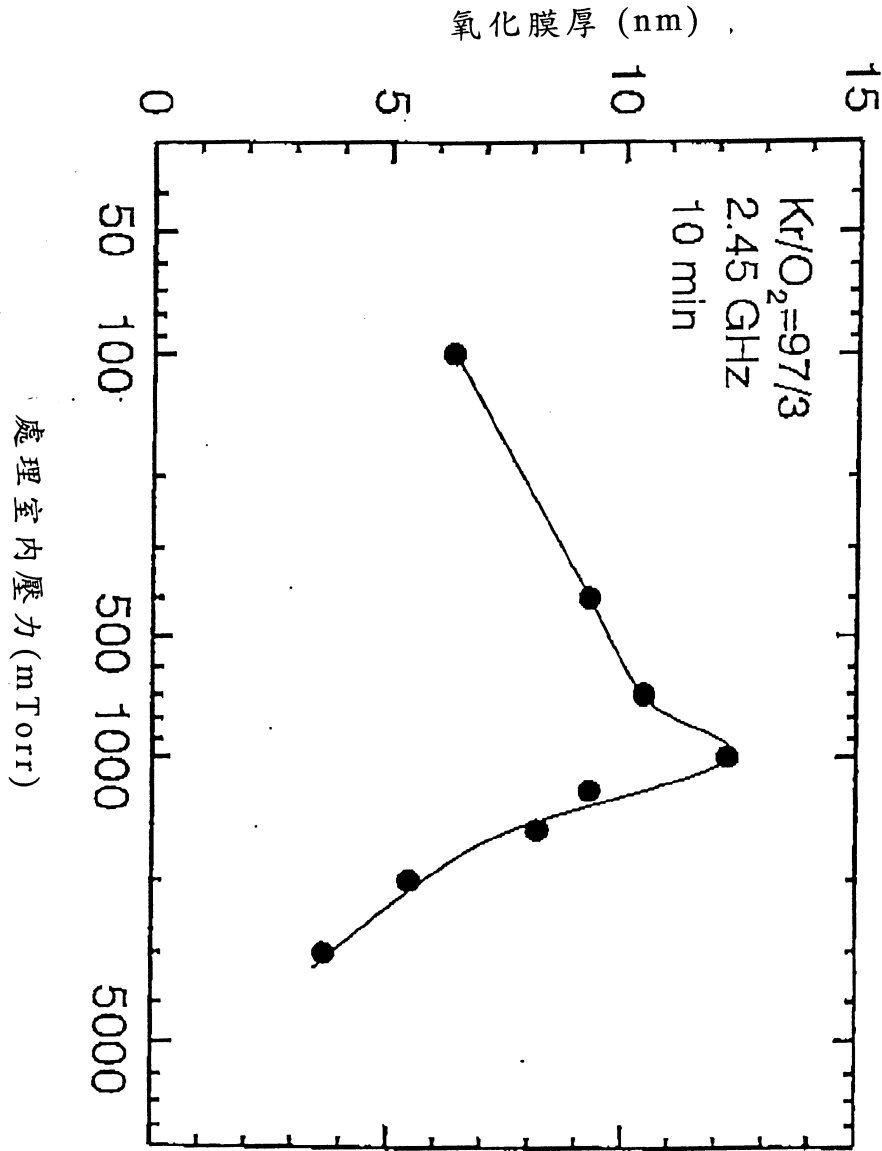


圖 4

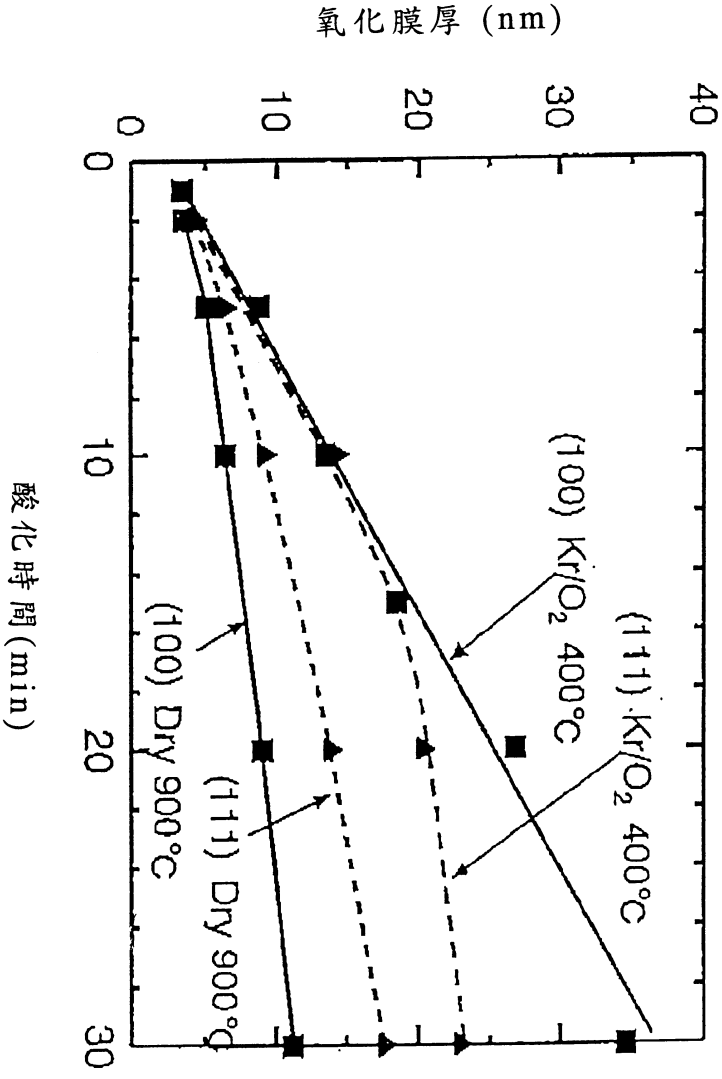


圖 5

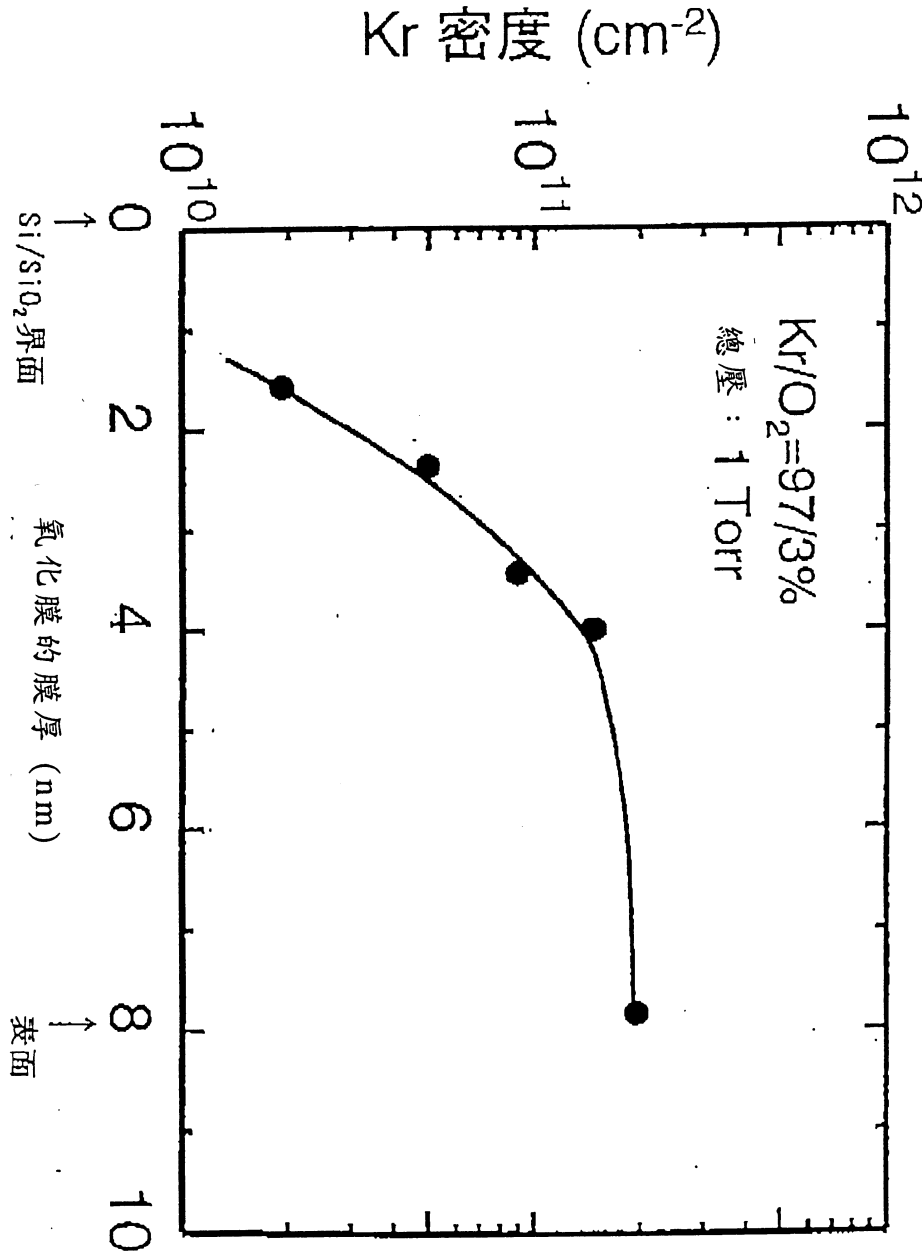
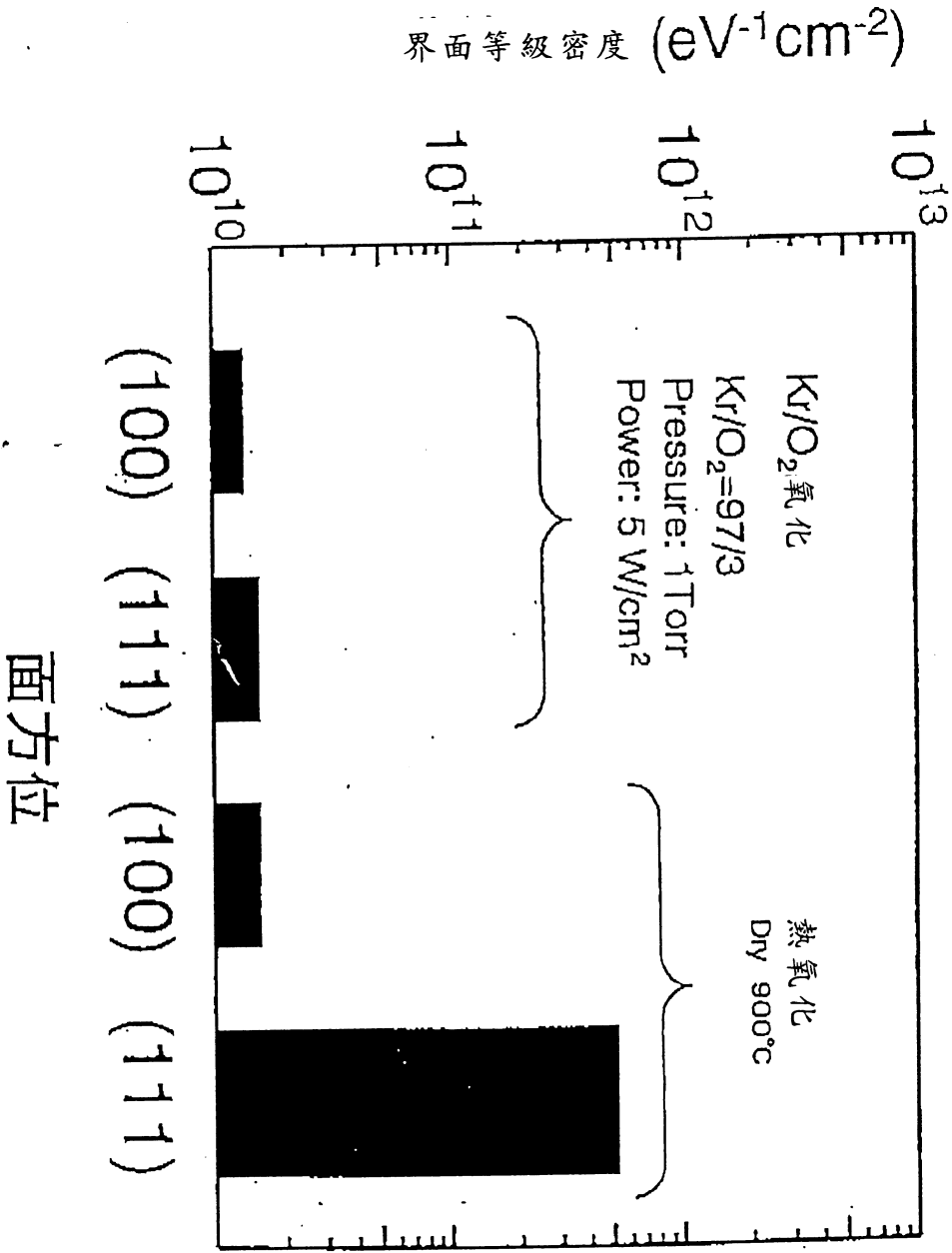


圖 6



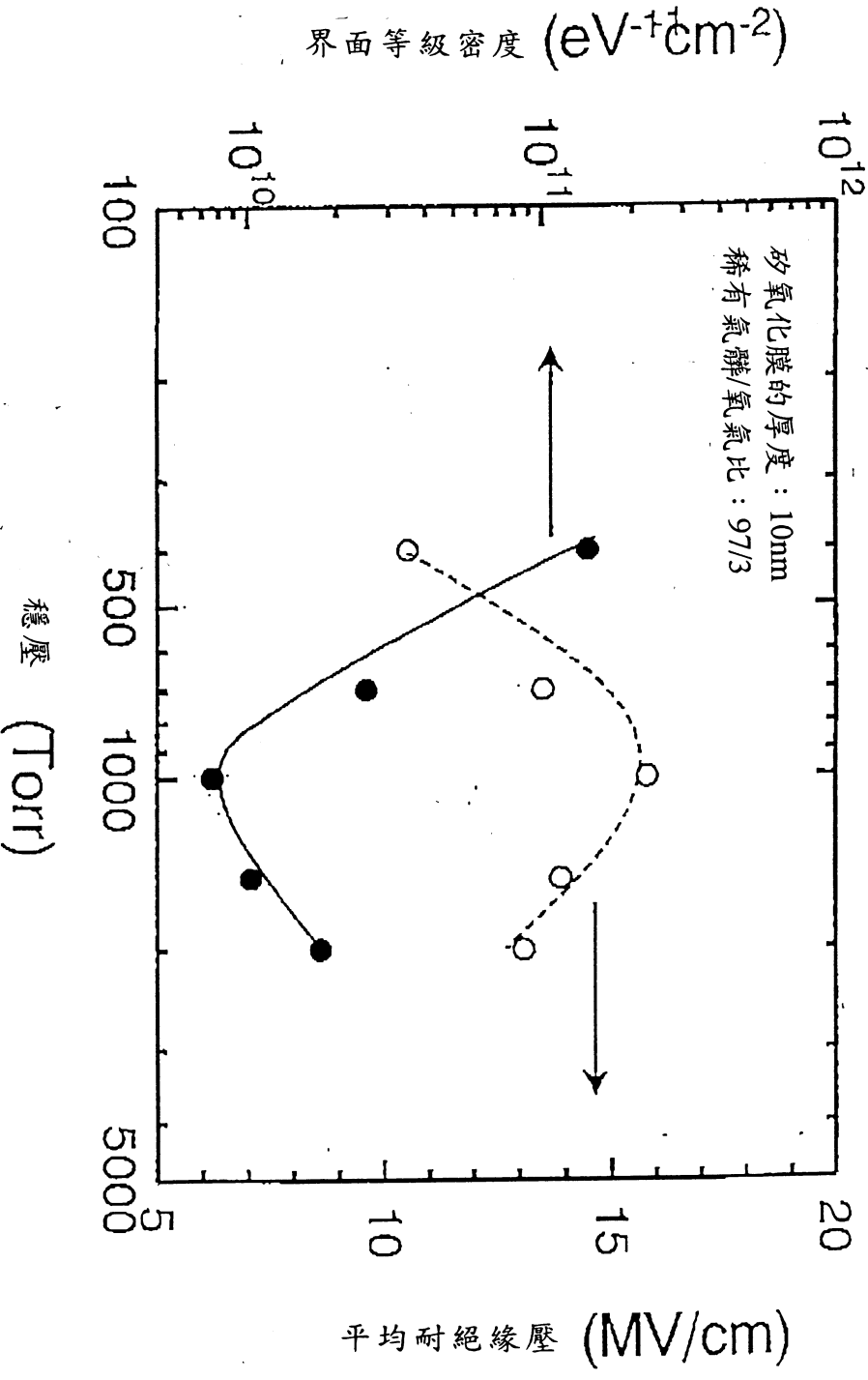


圖 7

圖 8A

熱氧化

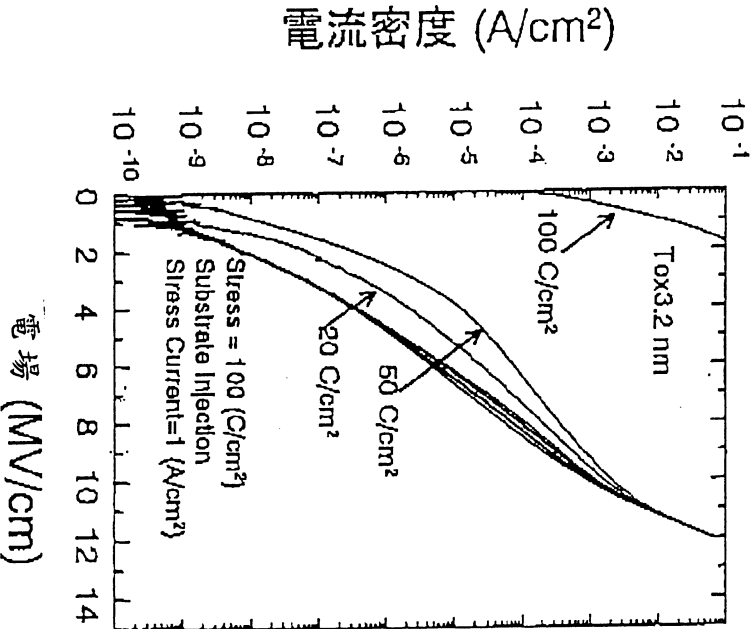
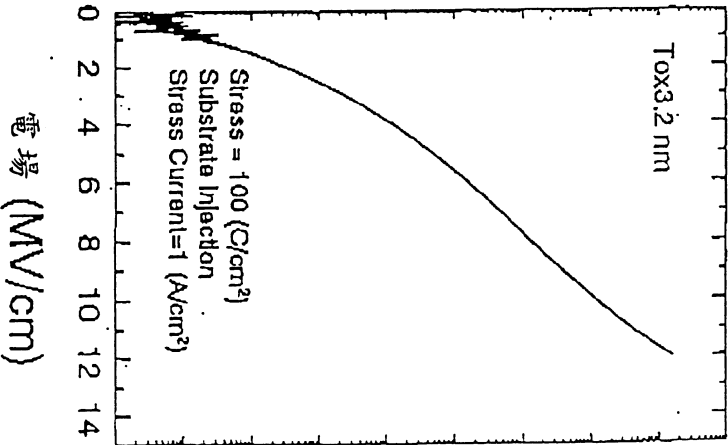


圖 8B

Kr/ O_2 電漿



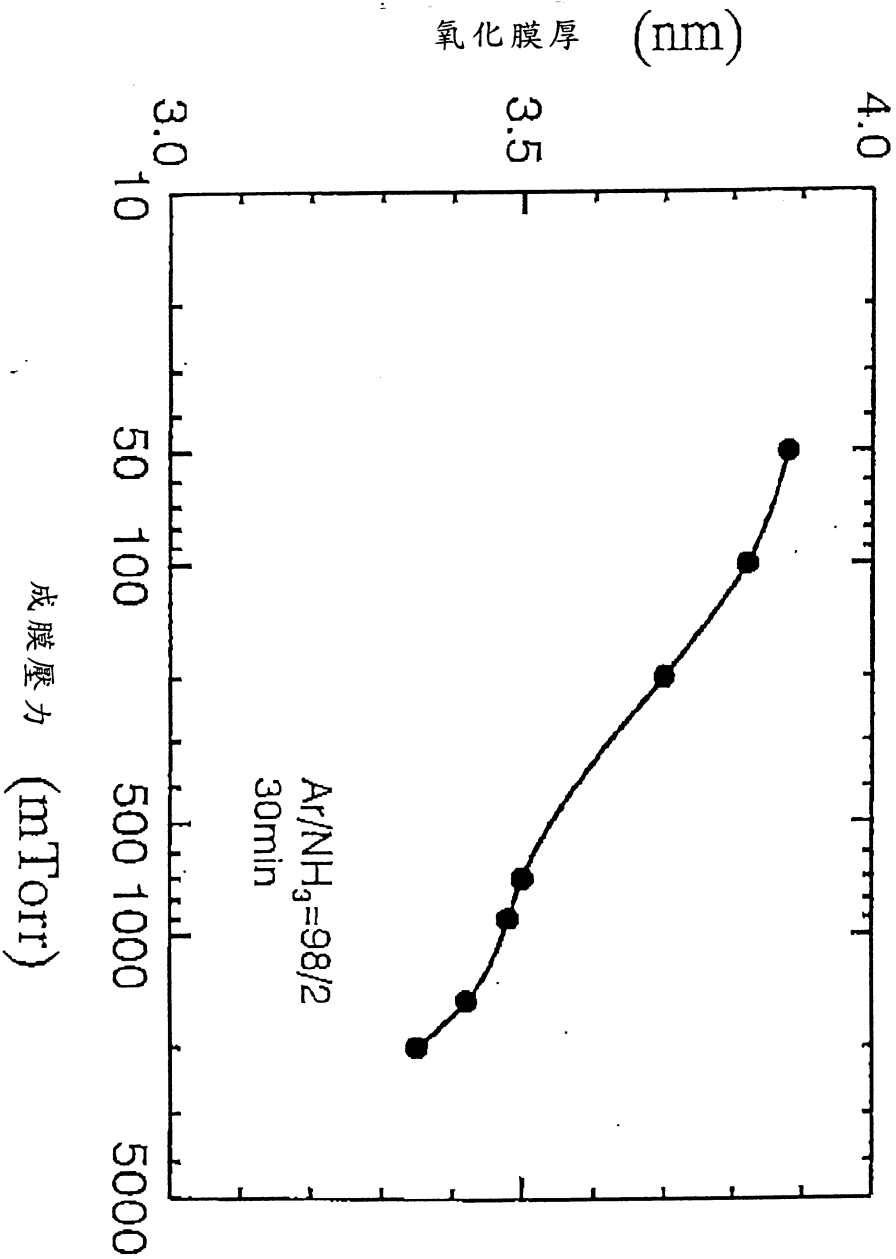


圖 9

圖 10

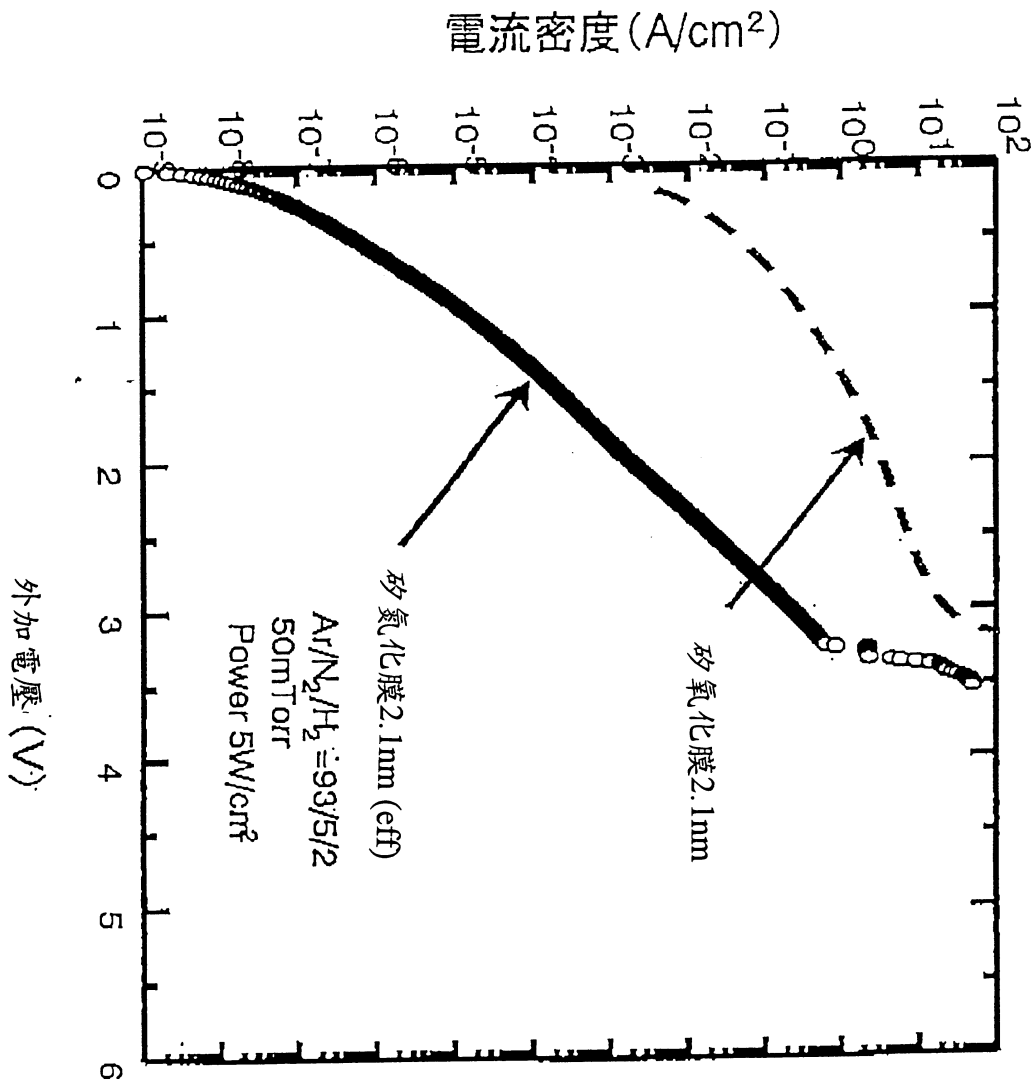


圖 11A

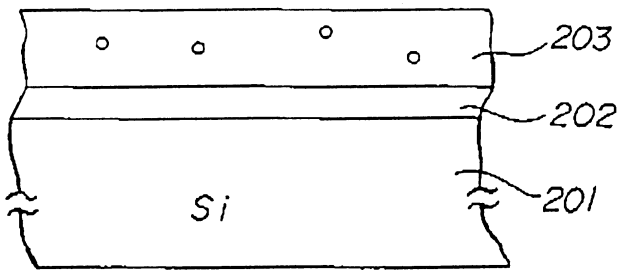


圖 11B

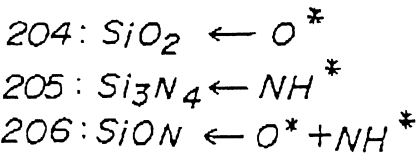
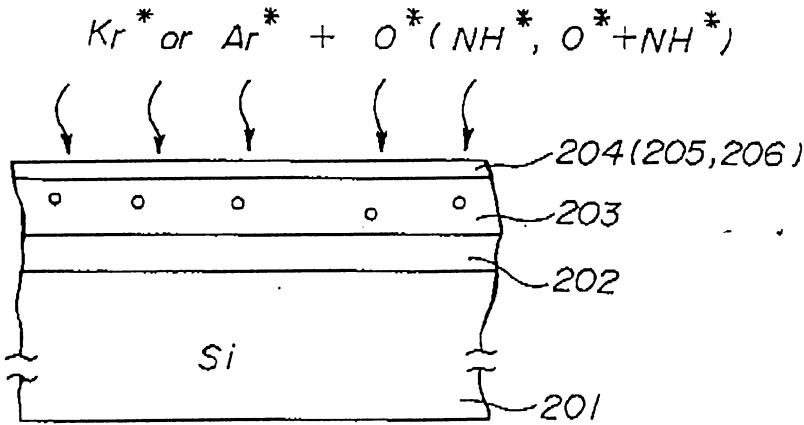


圖 12A

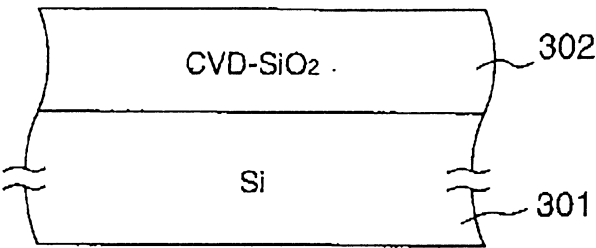


圖 12B

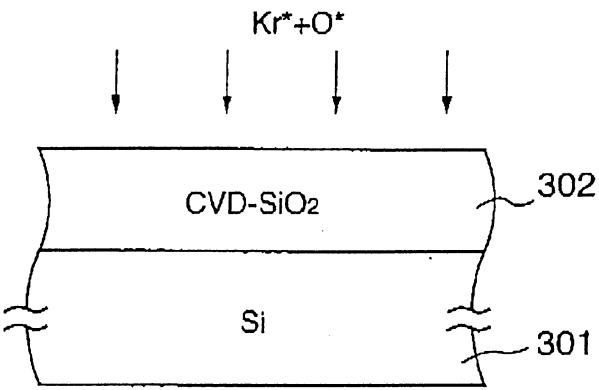


圖 13

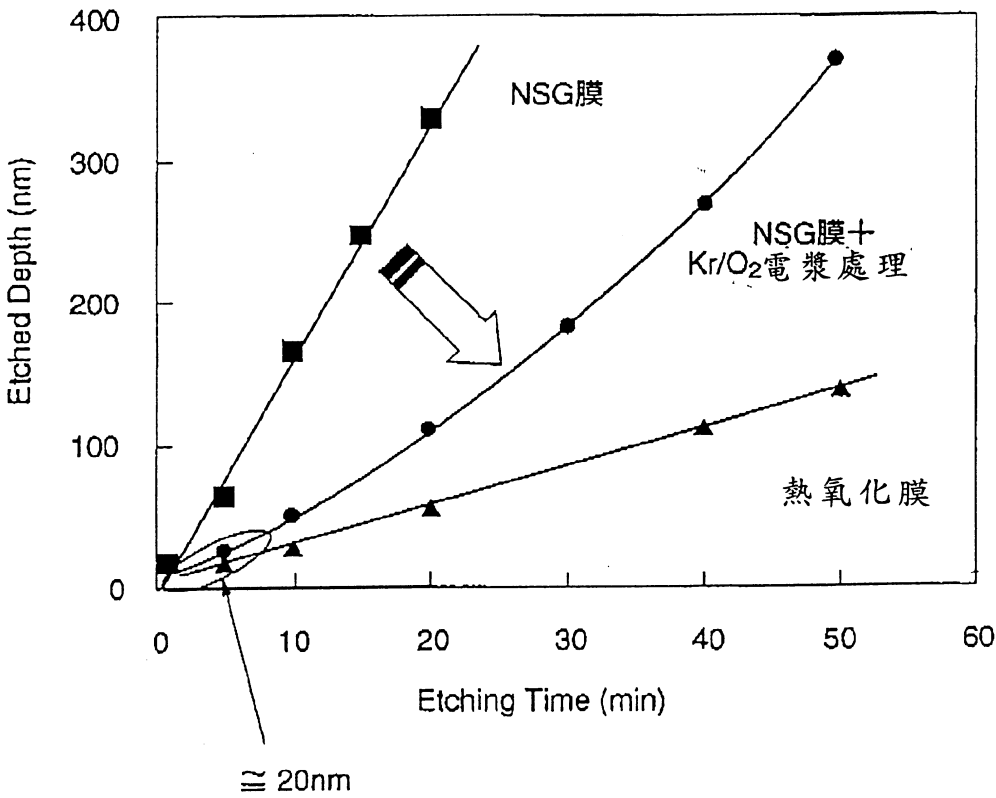


圖 14A

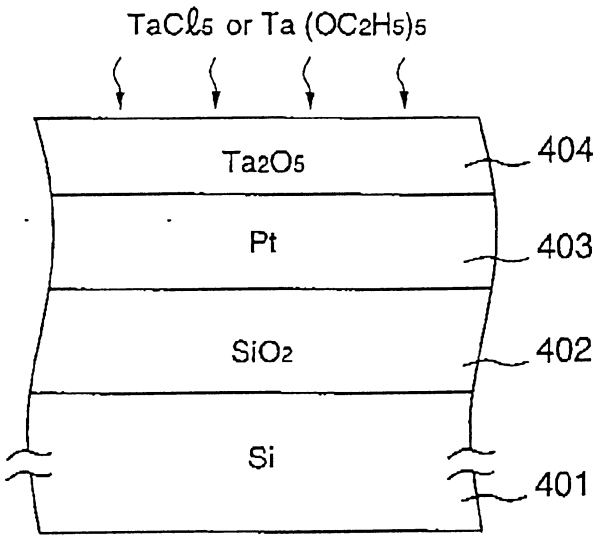


圖 14B

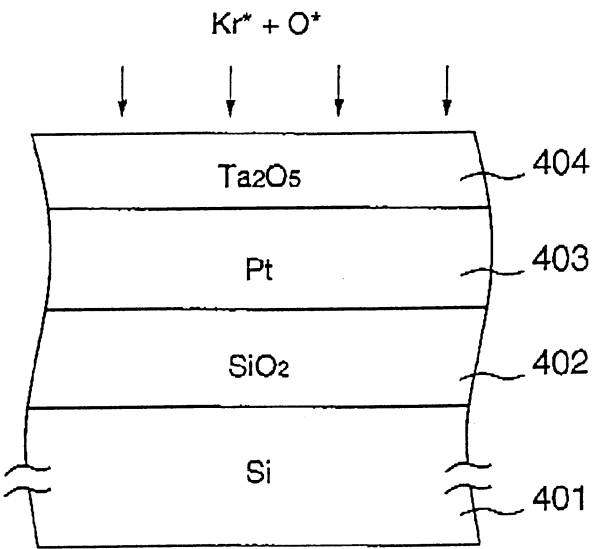


圖 15A

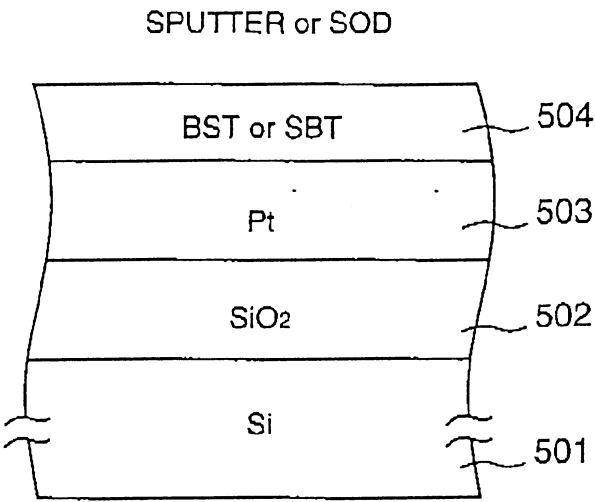


圖 15B

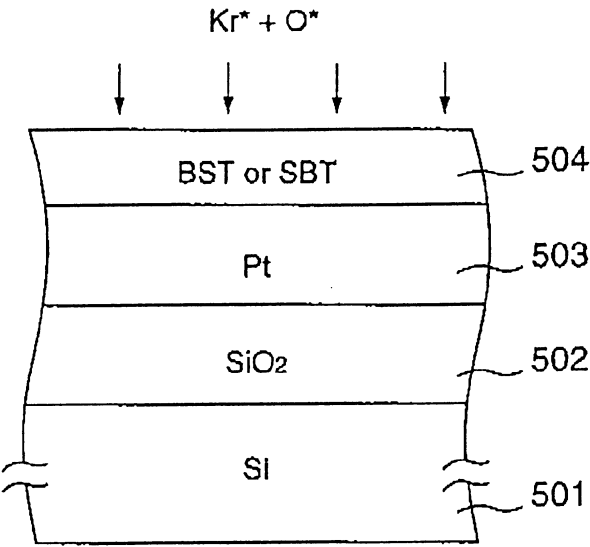


圖 16A

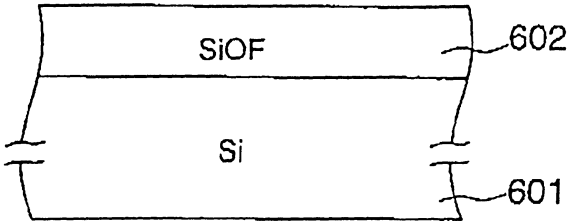


圖 16B

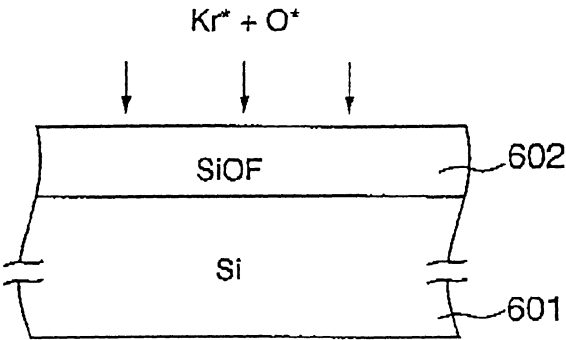


圖 17A

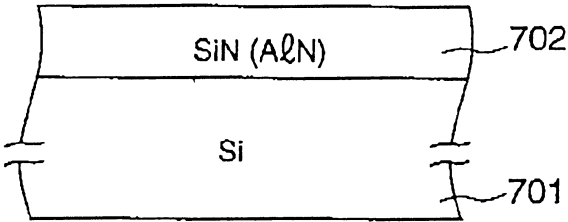


圖 17B

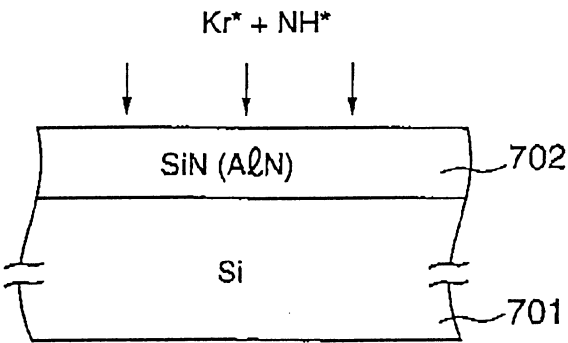


圖 17C

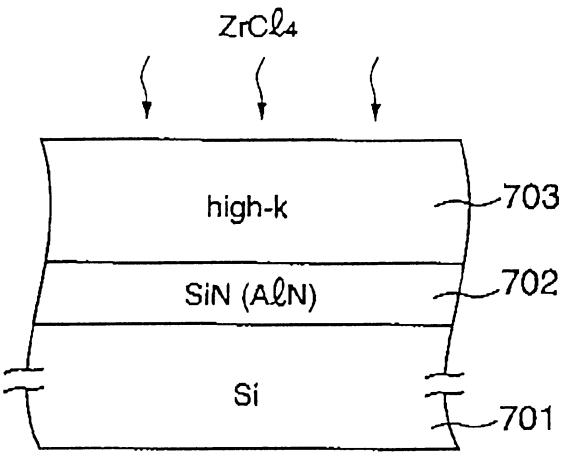


圖 17D

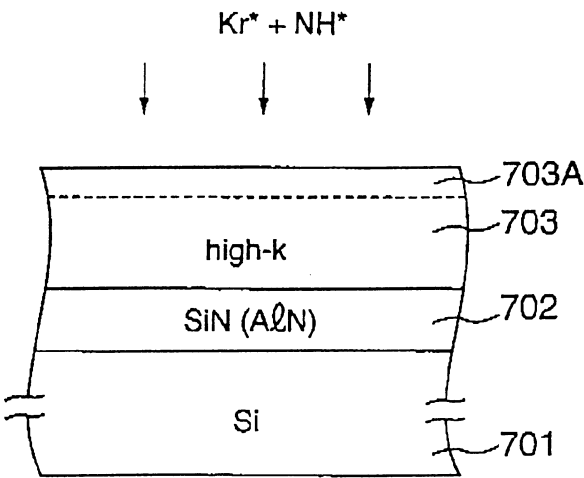


圖 17E

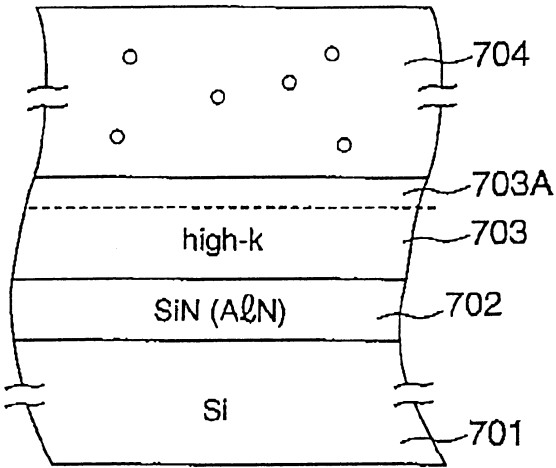


圖 18

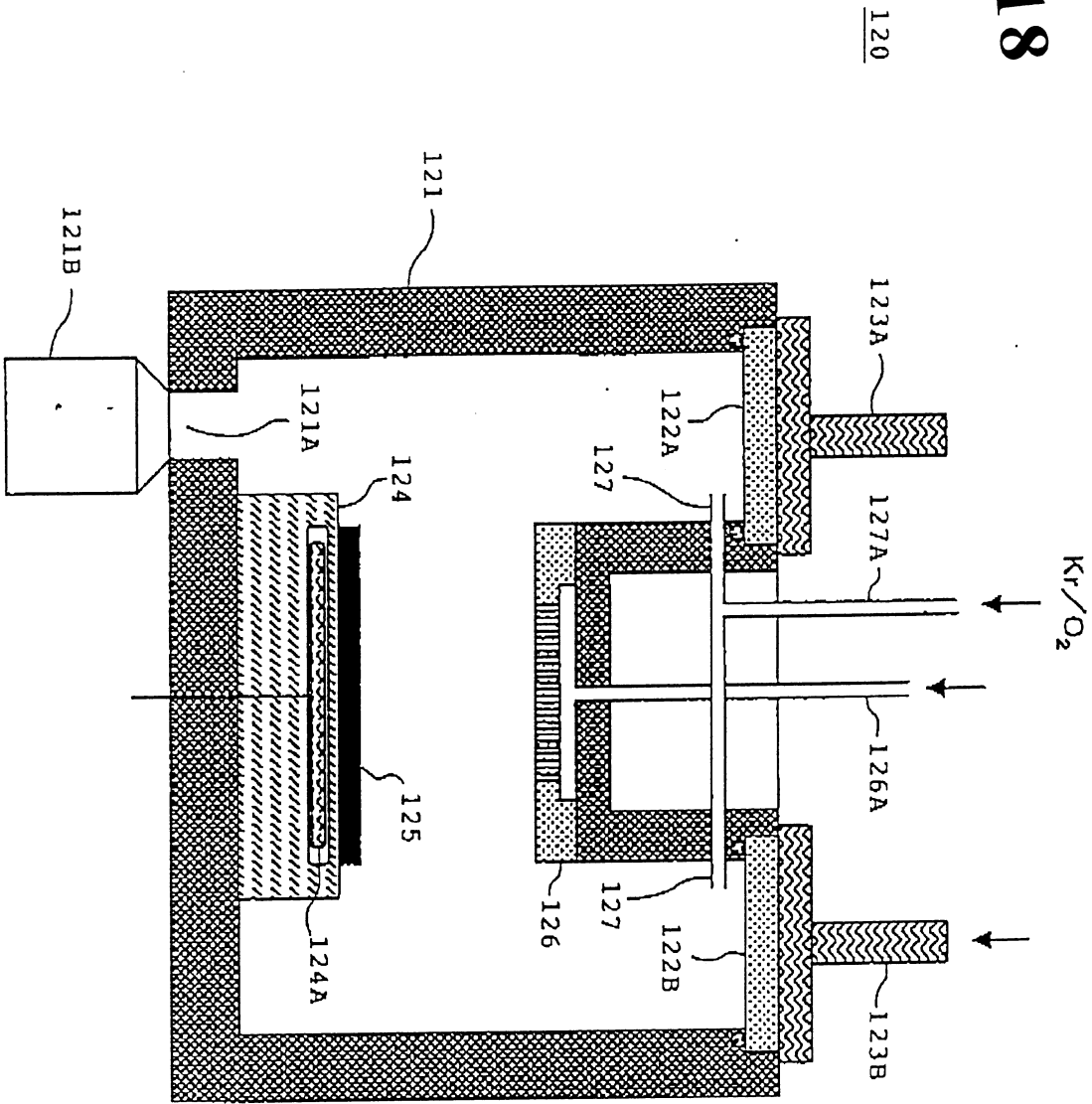


圖 19

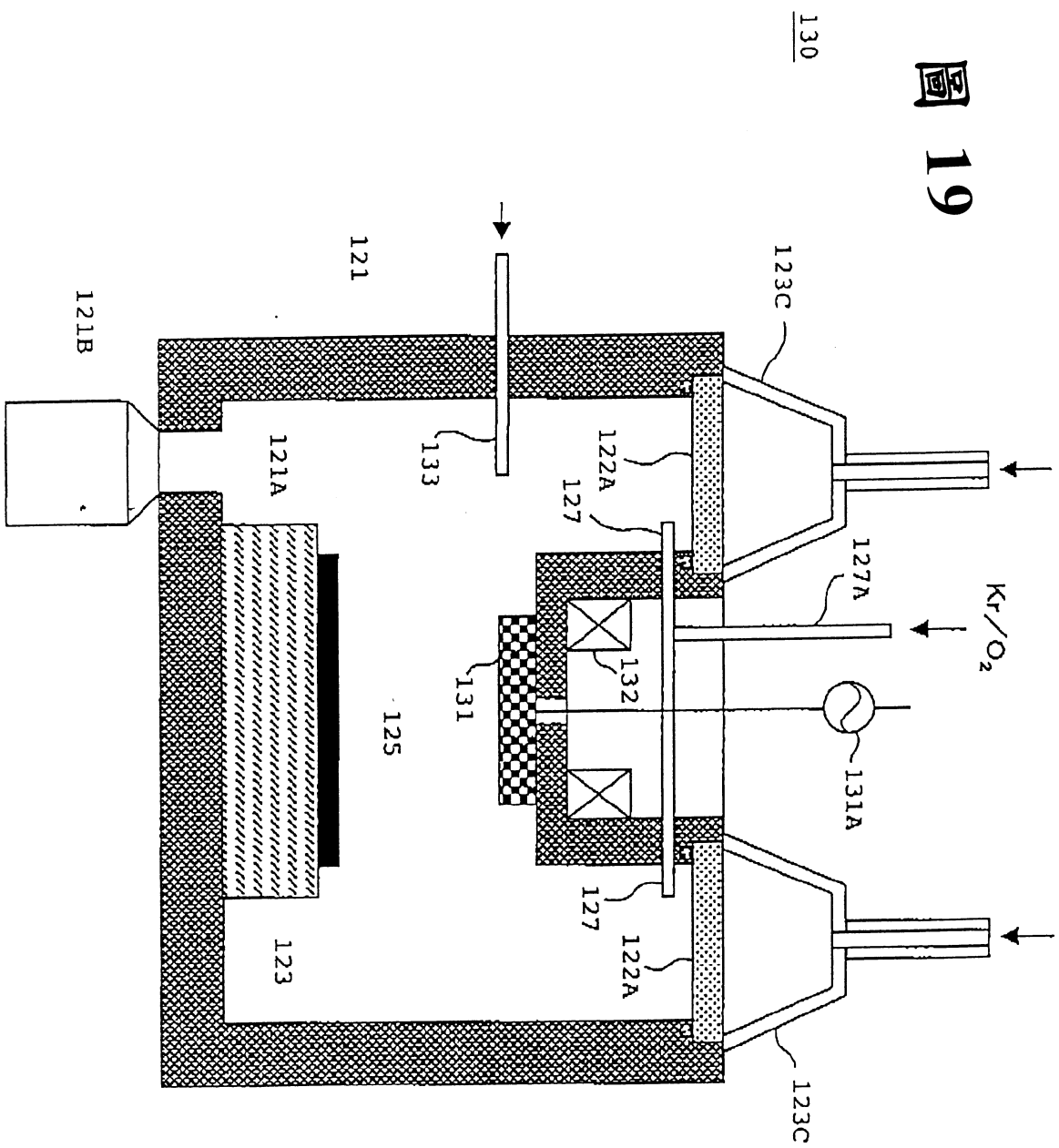


圖 20

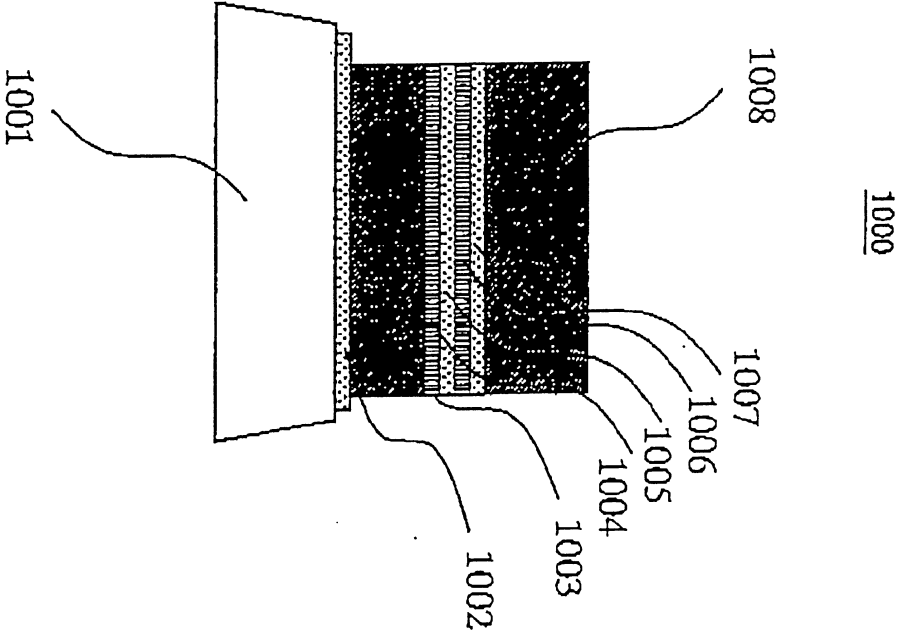
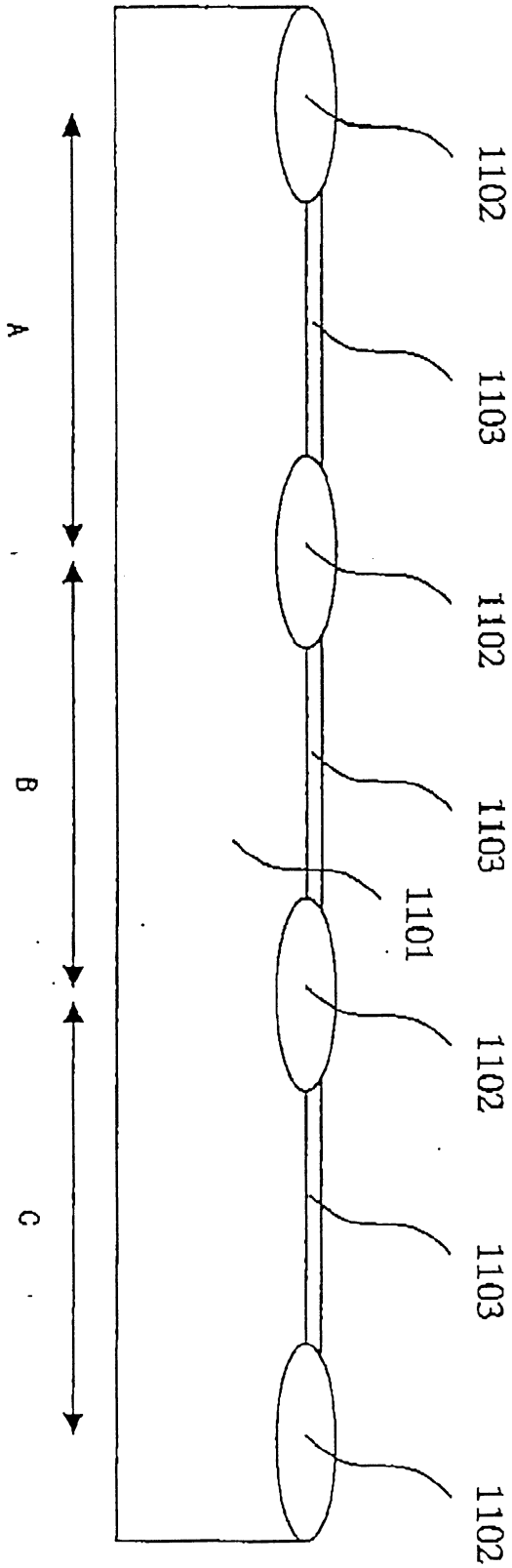


圖 21



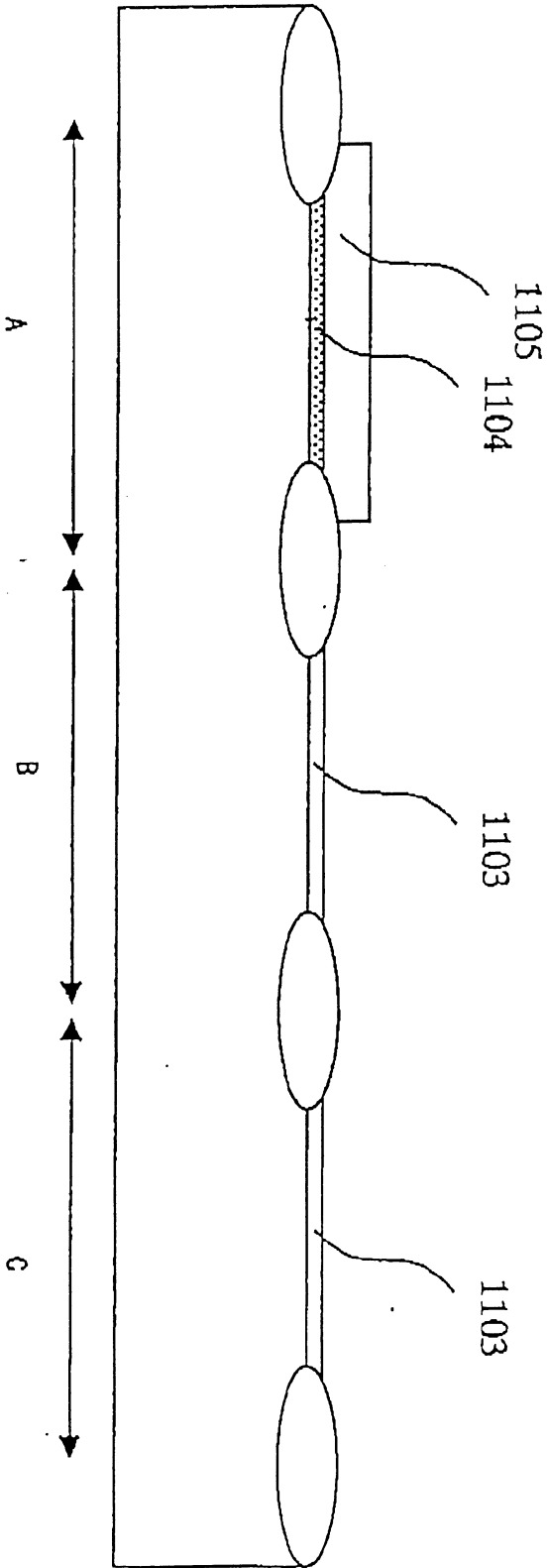


圖 22

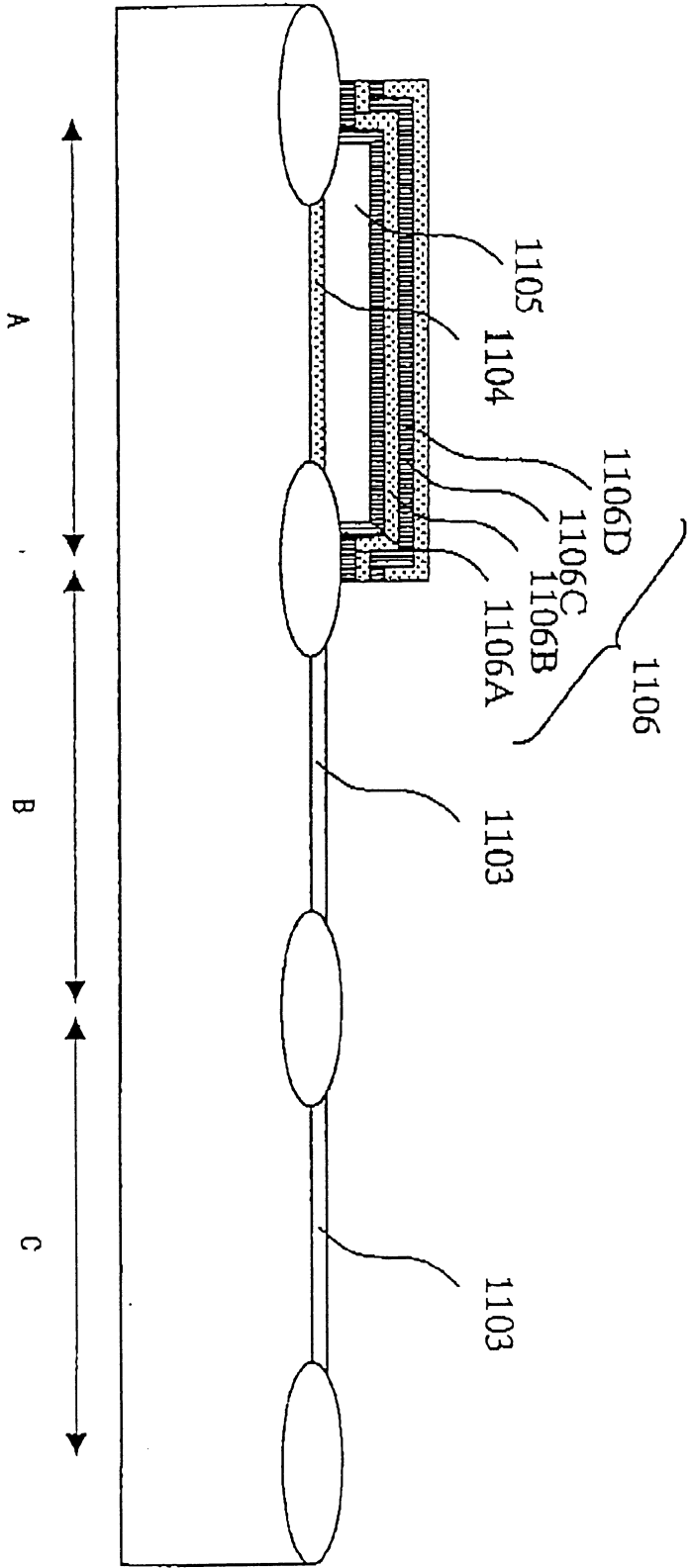


圖 23

圖 24

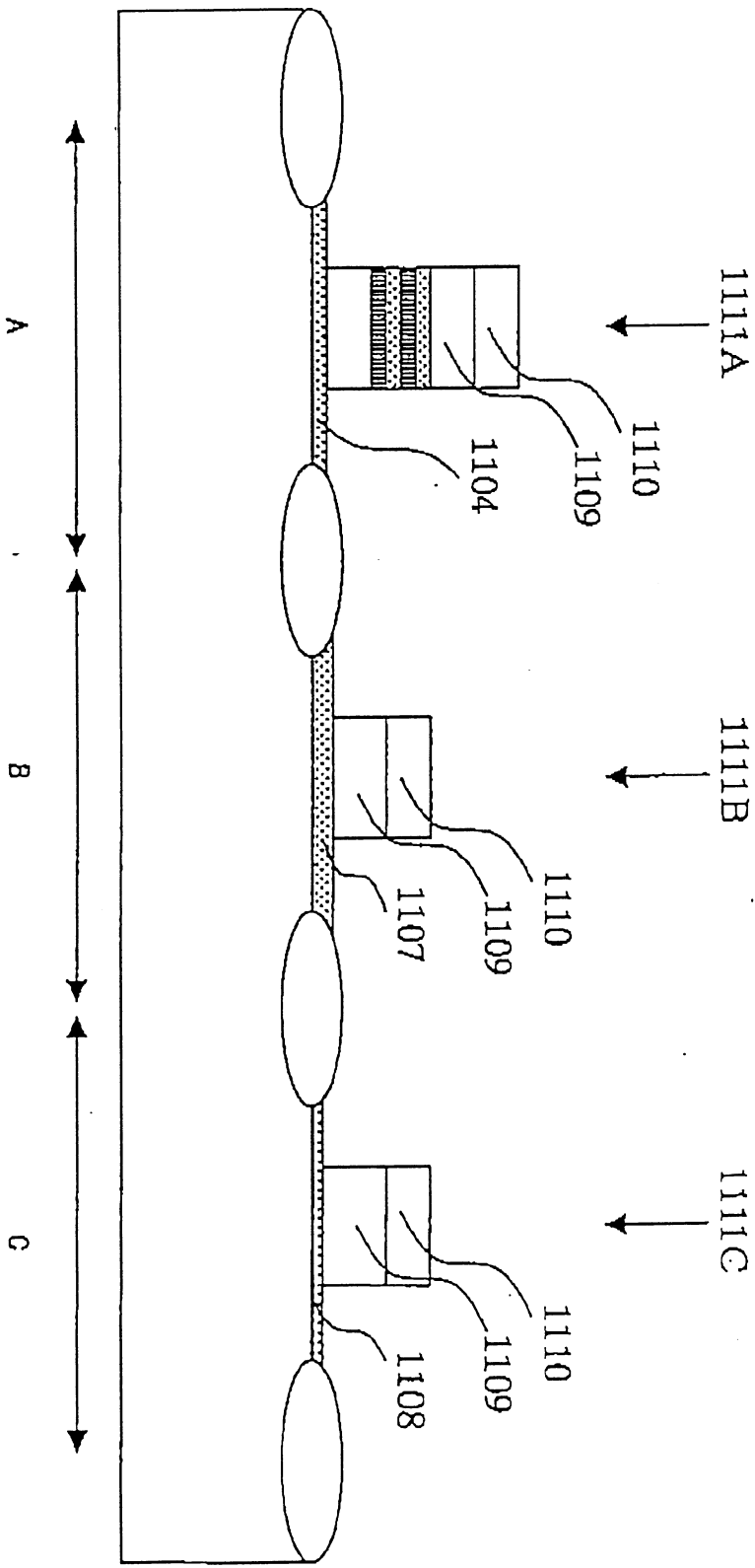


圖 25

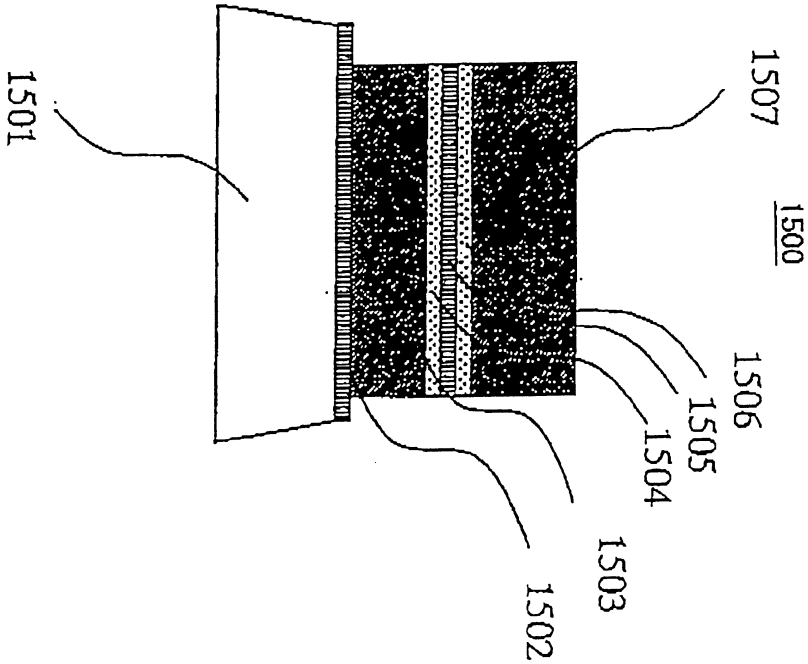
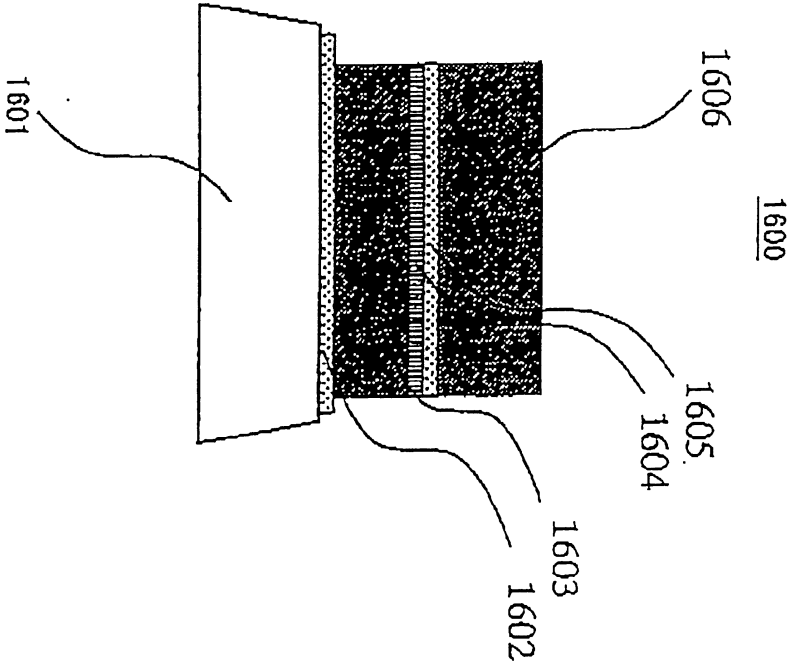


圖 26



六、申請專利範圍

1. 一種氧化膜的形成方法，其特徵為包含：
形成步驟，其係在基板上形成氧化膜；及
改變步驟，其係將形成在上述基板上的氧化膜暴露在原子狀氧 O^* 中，來改變膜質。
2. 如申請專利範圍第1項之氧化膜的形成方法，其中上述改變膜質步驟包含：激勵步驟，其係在氬或氬與氧氣的混合氣體中，以微波激勵電漿；及暴露步驟，其係將上述氧化膜暴露在上述電漿中。
3. 如申請專利範圍第1項之氧化膜的形成方法，其中改變膜質步驟係在 550°C 以下的基板溫度下進行。
4. 一種氮化膜的形成方法，其特徵為包含：
形成步驟，其係在基板上形成氮化膜；及
改變步驟，其係將形成在上述基板上的氮化膜暴露在氮化氫自由基 NH^* 中，來改變膜質。
5. 如申請專利範圍第4項之氮化膜的形成方法，其中上述改變膜質步驟包含：激勵步驟，其係在氬或氬與含氮及氫之氣體的混合氣體中，以微波激勵電漿；及暴露步驟，其係將上述氮化膜暴露在上述電漿中。
6. 如申請專利範圍第4項之氮化膜的形成方法，其中改變膜質步驟係在 550°C 以下的基板溫度下進行。
7. 一種氧化膜的形成方法，其特徵為包含：
形成步驟，其係在處理室內導入由氬或氬構成之惰性氣體與氧氣，藉由微波激勵形成電漿；及
堆積步驟，其係在上述處理室中導入處理氣體，藉由以上