

公告本

299530

申請日期	82.10.2.
案 號	82.108121
類 別	H03K3/00 Int.Cl ⁶

A4
C4
299530

(以上各欄由本局填註)

發明 專利 說明 書

一、發明 創作名稱	中 文	用於產生重置信號之積體電路
	英 文	Integrated Circuit for Generating a Reset Signal
二、發明 創作人	姓 名	魯道夫華特 (Rudolph Walter)
	籍 貫 (國籍)	美國
	住、居所	美國 81825 慕尼黑霍克哈姆街 4a 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	籍 貫 (國籍)	德國
	住、居所 (事務所)	德國 慕尼黑威田巴契廣場 2 號
	代 表 人 姓 名	1. 寇爾伯 (Korbert prokurist) 2. 福克斯 (Dr. Fuchs Prokurist)

經濟部中央標準局員工消費合作社印製

裝
訂

五、發明說明(1)

發明背景

發明範圍

本發明係有關於一用以產生重置信號之積體電路。

當開啟一複合電路，特別是複合積體電路之供電時，某些電路組件將處於不定狀態而有危險存在。而且，未定狀態通常導致功能失效而可能傷害到電路或連接至此電路之電子組件。

為排除此類之功能失效，已知常提供者有開機重置電路；當供電時就產生一經常性之單信號脈衝（所謂的重置信號），意即在開啟電源時，故意讓關鍵電路或電路組件處於一預定之起始狀態，而避免上述之缺失。

發明簡要

於是本發明之目的即欲提供一當開啟電源時可產生一重置信號之積體電路，其可克服迄今所知此一般型裝置之上述缺失。其可靠地符合下列規格：

- 在供電快速或後慢上升時，電路之功能皆為可靠；
- 甚至即使供電不能達到或超出滿載時，其應回應該複合電路製造商所指定之供電限值；
- 在操作中或另言之，在供電後及接著執行重置程序後，應可靠地預防再觸發重置信號；以及
- 電路之組件應儘可能地少且空間儘可能地小。

進而，提供之積體電路應可當作一複合積體電路之組件。

五、發明說明(2)

如本發明，綜觀前述及其它目的，提供一產生重置信號之積體電路，含一第一供電位端以及一第二供電位端；串接在此二供電位端之間之兩第一電晶體；第一電晶體，其具一源極，汲極和閘極且各有其第一和第二互補通道型之一；一串接網路，當作分壓電路連接在第一和第二供電位端之間，此串接網路至少含兩個第二電晶體。其各含一源極，汲極和閘極並且分別有互補通道型之一，以及此串接網路至少含一組件，其在操作中有電壓降；第一通道型電晶體之源極。其接至第一供電位端；第二通道型之源極，其接至第二供電位端；兩第一電晶體之汲極，其形成一第一電路節點而在操作中產生一重置信號；第二通道型之第二電晶體之閘極，其接至第一電路節點；第一通道型之第一和第二電晶體之閘極，其皆接至此串接網路之第一通道型之第一電晶體之汲極，形成第二節點；以及第二通道型之第一電晶體之閘極，其接至第二電路節點。

如本發明之另一特性，至少第一和第二組件在操作中至少有一組件有電壓降，而第二通道型之第一電晶體之閘極，至少接至第二組件以形成第三電路節點而且至少經由第二組件接至第二電路節點。

如本發明進一步之特性，兩第一電晶體中至少一個之閘極以電容耦合至第二供電位。

如本發明之附加特性，第一電路節點以電容耦合至第

五、發明說明(3)

一 供電位。

如本發明之額外特性，至少在操作中具電壓降組件之至少一個組件為歐姆電阻。

還有，如本發明之另一特性，至少在操作中具電壓降組件之至少一個組件為二極體。

還有，如本發明之進一步特性，至少一個二極體為具互相連接閘極與汲極之電晶體。

綜觀本發明之目的，提供一產生重置信號之積體電路，包含第一電路部份，如產生重置信號之積體電路；第二電路部份，如產生重置信號之積體電路，除了第二電路部份之第二電路節點連接至第一電路部份之第一電路節點，而不是經由第一通道型之第二電晶體接在第一供電位端與第二電路節點之間；以及產生在電路部份第一電路節點之重置信號。

如本發明之另一特性，提供一反相器，連接在第二電路部份第二電路節點與第一電路部份第一電路節點之間。

如本發明進一步之特性，反相器為第二電路部份串接網路之一個組件。

如本發明之附加特性，更提供一與第二電路部份結構相同之電路部份，此進一步之電路部份之第二電路節點連接至第二電路部份之第一電路節點。

如本發明之額外特性，提供承續此進一步電路部份之電路部份，其結構與第二電路部份相同，各進一步電路

五、發明說明(4)

部份之第二電路節點連接至前述承續電路部份之第一電路節點。

還有，如本發明之另一特性，提供一數位化之類比電位端而非第一電路部份之第一供電位端；大量之第二電路部份，其各含一第二電路節點連接至第一電路部份之第一電路節點；具分壓器，彼此電壓值不同之第二電路部份之串接網路。

如本發明之伴隨特性，提供一數位化之類比電位端而非第一電路部份之第一供電位端；大量之第二電路部份，其各含一第二電路節點連接至第一電路部份之第一電路節點；有非第一供電位端，亦非攜載各第二電路部份不同參考電位之參考電位端。

本發明之其它特性將在隨附之請求範圍中清楚解釋。

雖然本發明在此有產生重置信號之積體電路之具體實例之圖示及描述，然而我們卻不想將其侷限在所示之細節中，因為只要不偏離本發明之精神且在對等請求項目之圍內，皆可作修改之結構之變更。

當配合隨圖研讀，從以下特定具體實例之描述，將可最佳了解本發明之結構，操作方法和額外目的以及好處。

圖示之簡述

✓ 圖1至10係表示本發明優異特性及應用之電路圖。

較佳具體實例之描述

現詳細參考電路圖，首先，特別是圖1，如本發明所

五、發明說明(5)

具者為一積體電路之基本結構，但其已藉兩電容來擴展(以下將敘述)以形成有利之基本結構之具體實例。在其基本結構中，如本發明之電路含兩第一電晶體Q1, Q2, 其通道型式彼此互補。其中之一第一電晶體Q1為第一型或p通道型。相對地，另一第一電晶體Q2為第二型或n通道型。此兩第一電晶體Q1和Q2以其通道路徑彼此串接並且位於第一供電位端 V_{DD} 和第二供電位端 V_{SS} 之間。在現在及下例中，假設操作中第一供電位 V_{DD} 遠正於第二供電位 V_{SS} 。作為分壓器電路之串接網路N，亦位於此二供電位 V_{DD} 和 V_{SS} 端之間，與此二個為一電晶體Q1, Q2並聯。此網路N包含兩第二電晶體Q3, Q4；其同樣為相反之通道型。其中之一第二電晶體Q3為第一或p通道型，而另一第二電晶體Q4為第二或n通道型。電阻R1位於兩第二電晶體Q3和Q4之間。操作中R1有電壓降，如同第二電晶體Q3, Q4沿其通道路徑有壓降一般。然而，如精於本技術之每個人所熟知般，沿電阻R1之電壓降主要決定於電阻R1之本質(即，例如體積)，而沿第二電晶體Q3, Q4之電壓降主要決定於其通道路徑是否有導通(低阻抗軌道電阻)或阻塞(高阻抗軌道電阻)。對照電阻R1之阻抗，第二電晶體Q3和Q4之阻抗是可切換的，即可藉操作之狀況以不穩定之方式加以變化。

第一通道型之兩電晶體Q1, Q3之源極接至第一供電位端 V_{DD} 。第二通道型之兩電晶體Q2, Q4之源極接至第二

五、發明說明(6)

供電位端 V_{SS} 。

兩第一電晶體 $Q1$, $Q2$ 之汲極形成第一電路節點 $N1$ 。操作時，一重置信號 OUT 存在於此節點 $N1$ 。進而，第一電路節點 $N1$ 接至第二通道型之第二電晶體 $Q4$ 之閘極，故操作時，重置信號 OUT 可回授至第二通道型之第二電晶體 $Q4$ 之閘極並且控制此電晶體 $Q4$ 。第一通道型之第一和第二電晶體 $Q1$, $Q3$ 之閘極，雙雙接至第一通道型之第二電晶體 $Q3$ 之汲極，形成第二電路節點 $N2$ 。第一通道型之第一和第二電晶體 $Q1$, $Q3$ 於是用作電流鏡映電路。

在圖 1 之具體實例中，第二通道型之第一電晶體 $Q2$ 之閘極直接接至第二電路節點 $N2$ ，故在此具體實例中，此二第一電晶體 $Q1$, $Q2$ 形成一 CMOS 反相器。

如本發明，除電路之基本結構外，圖 1 之電路也有一電容 C ，一方面位於兩第一電晶體 $Q1$, $Q2$ 之閘極與另一方面位於第二供電位 V_{SS} 之間；而且更有一電容 C_{OUT} ，其位於第一電路節點 $N1$ 和第一供電位 V_{DD} 之間。電容 C , C_{OUT} 作用為過濾掉可能抵達不同電路節點 $N1$, $N2$ 處之任何干擾信號，另言之，即例如，讓不想要之干擾電壓尖峰加以平順下來。

如圖 1 所示之本發明電路之功能如下：

首先，假設供電位 V_{DD} , V_{SS} 皆有接地值。第二供電位 V_{SS} 在操作繼續時皆保持此值。反之開啟第一供電位 V_{DD} 。另言之，第一供電位 V_{DD} 端之電位值上升時，從

五、發明說明(7)

第二供電位 V_{SS} 開始至接近所要之第一供電位 V_{DD} 之終值，如 3V 或 5V。

兩電路節點 $N1$ ， $N2$ 當時之最初值，即現值為第一供電位 V_{DD} 。另言之，從第二供電位值 V_{SS} 開始，然後兩電路節點 $N1$ ， $N2$ 之電位值隨第一供電位 V_{DD} 之上升而上升。於是重置信號 OUT 也有一前緣。直到重置信號達到某值，此時當然作為分壓器電路之串接網路 N 之一組件之第二通道型之第二電晶體 $Q4$ ，由於重置信號 OUT 施加在 $Q4$ 之閘極而導通。此時指定為 $t1$ 。因第二通道型之第二電晶體 $Q4$ 之汲極被拉向第二供電位 V_{SS} ，另言之即地之方向，故在時間 $t1$ 時，網路 N 之各種組件之電壓狀況於是就跟著變化。於是，雖然由於電阻 $R1$ 之關係，第二電路節點 $N2$ 之電位在第二供電位 V_{SS} 值方向下降，與第二通道型之第二電晶體 $Q4$ 阻礙之狀況比較，它只是下降一點。

從時間 $t1$ 開始，由於第一通道型（其藉電來導通）兩電晶體 $Q1$ ， $Q3$ 之電流鏡映性質以及由於串接網路 N 之分壓器性質，兩電路節點 $N1$ ， $N2$ 之電位於是低於第一供電位 V_{DD} 之現值。儘管只能上升至第二通道型之第一電晶體 $Q2$ 導通之值。假如第一供電位值 V_{DD} 再上升一點，則兩電路節點 $N1$ ， $N2$ 之電位也同時上升一點。此時間可指定為 $t2$ 。假如此時（時間為 $t2$ ）第二通道型之第一電晶體 $Q2$ 被電導通，則第二供電位 V_{SS} 切向第一電路節點 $N1$ ，故重置信號 OUT 大概下降至第二供電位之值 V_{SS} 。然而，

五、發明說明(8)

第二通道型之第二電晶體 Q4 也再被阻擋。由於串接網路 N 分壓器之性質，此對第二電路節點 N2 之效應為其電位再次在第一供電位 V_{DD} 值之方向上升。此甚至強烈地切換第二通道型之第一電晶體 Q2。一旦第二電路節點 N2 之電位上升至差第一供電位 V_{DD} 之現值最多為第一通道型電晶體 Q1, Q3 之操作電壓值，則此兩電晶體 Q1, Q3 阻塞，故如本發明，一方面在供電位 V_{SS} , V_{DD} 端之間無(不再)橫向電流能流經電路，而且另一方面，重置信號 OUT 通常大概等於第二供電位 V_{SS} ：事實上假如第二電路節點 N2 之電位竟然在第二供電位 V_{SS} 方向下降(其將有危險，即第二通道型之第一電晶體 Q2 將再被阻塞)，則第一通道型之第二電晶體 Q3 將再次導通，以致於第二電路節點之電位將再於第一供電位 V_{DD} 值方向上升。但是則，第二通道型之第一電晶體 Q2 保持導通而重置信號 OUT 保持其(低)值。

如本發明之電路有下列好處，其可從上述中輕易達到。

第一供電位 V_{DD} 之特值，即第二通道型之第一電晶體 Q2 從阻塞改變至導道狀態時之值(在此，假設重置信號 OUT 之值實質上等於第二供電位 V_{SS} 之值)可藉定義分壓器之比例來輕易定義，即藉串接網路 N 適當尺寸之組件，亦即藉定義第二電晶體 Q3, A4 在導通狀態之軌道阻抗以及定義歐姆電阻 R1 之阻抗。如本發明，如電路被用作所謂的“開啟電源偵測”電路，則可能藉簡單之方法來定

五、發明說明(9)

義將被偵測為“開機”之第一供電位 V_{DD} 之值。

進而，電路功能非常可靠，因在開啟第一供電位 V_{DD} 之初，電路之所有電路節點皆以電位(第二供電位 V_{SS})來定義。

進而，本發明之電路與第一供電位 V_{DD} 之上升時間無關，或另言之，與第一供電位 V_{DD} 之是否在開機時快速或慢速上升無關。此無關性得到保證(由於串接網路 N 之分壓器功能)，第二通道型之第二電晶體 Q4 比第二通道型之第一電晶體 Q2 早些導通。

圖 2 表示本發明之更有益的改良電路，其中第二通道型第一電晶體 Q2 之閘極經由第二電阻 R2 接至第二電路節點 N2。於是，在圖 2 之具體實例中，具分壓器性質之串接網路 N 由第一通道型第二電晶體 Q3 之串接網路，兩電阻 R1, R2 以及第二通道型第二電晶體 Q4 所組成。第二通道型第一電晶體 Q2 之閘極與兩電阻 R1, R2 間之接點形成第三電路節點 N3。類似圖 1 電路之相當具體實例及為達相同目的，第二通道型第一電晶體 Q2 之閘極經由電容 C' 有利地接至第二供電位 V_{SS} 。在此具體實例中，兩第一電晶體 Q1, Q2 之閘極電位因此彼此不同，故全體電路之體積可如所願地比圖 1 來得甚至更簡單。

在圖 3 之具體實例中，電阻 R1, R2 為二極體 D1, D2 所取代。於是操作中同樣可達到精確定義之電壓降(沿二極體 D1, D2)。除了全體電路體積所指定之第一供電位

五、發明說明 (10)

V_{DD} 值外，這些電壓降與第一供電位 V_{DD} 之現值無關。

圖 4 和 5 中，二極體 D1 和 D2 分別為 n 通道和 p 通道型之電晶體，其汲極各分別連接至相關之閘極。也可能提供一各含一二極體 D1 (或 D2) 以及一電阻 R1 (或 R2) 之串接電路而非一個別之二極體 D1, D2 或電阻 R1, R2。

聯合圖 6-10 將描述本發明電路之一些可能有利之應用。

圖 6 之具體實例用作產生許多不同之重置信號 OUT1, OUT2。包含一第一電路部份 P1，其結構如同以上已經描述之具體實例之一，例如圖 2 (雖然省略了電容 C, C', C_{OUT})。第二電路部份 P2 連接在第一電路部份 P1 之下游，即，接在其後。第二電路部份 P2 之結構與第一電路部份相同，因此與本發明積體電路之基本結構相同，除了下列例外：串接網路 N 中省略了第一通道型之第二電晶體 Q3。而改為第二電路部份 P2 之第二電路節點 N2₂ 連接至第一電路部份 P1 之第一電路節點 N1₁。如所示，此連接可為直接地或經由反相器 I。反相器 I 如同圖 2 之第二電晶體 Q3 當作串接網路 N 之一樣組件。此連接亦可藉電晶體當作二極體。操作中，第一電路部份 P1 之第一電路節點 N1 產生第一重置信號 OUT1。此信號同時作為第二電路部份 P2 之輸入信號。第二電路部份 P2 之第一電路節點 N1₂ 產生第二重置信號 OUT2。靠此架構可以串汲方式產生兩重置信號 OUT1, OUT2，其中第二重置信號 OUT2 決定於第一重置信號 OUT1 之樣子。此二重置信號 OUT1, OUT2

五、發明說明(11)

之樣子又分別決定於其相關電路部份 P1 和 P2 之體積尺寸。

圖 7 表示本發明串汲電路之進一步之例子：此應用含圖 6 例子中之第一電路部份 P1 和第二電路部份 P2。第二電路部份 P2 後接一進一步之電路部份 PX。進一步電路部份 PX 之結構與第二電路部份 P2 相同。進一步電路部份 PX 跟在第二電路部份 P2 之後，如同第二電路部份 P2 跟在第一電路部份 P1 之後一般。此串汲電路部份 P1, P2, PX 可繼續串接多個進一步電路部份 PX，如圖 8 所示總共有二個進一步電路部份 PX。圖 7 也表示第二電路部份 P2 或進一步電路部份 PX 之反相器 I 可以閘極接至汲極之電晶體 T 來取代。

圖 9 表示本發明電路之另一有利之應用，即作為一類比／數位轉換電路。此電路含一個第一電路部份 P1 和（例如）三個第二電路部份 P2。第一電路部份 P1 之結構與圖 6 例子中之第一電路部份 P1 相同。然而，操作中第一供電位 V_{DD} 端並未接至 V_{DD} ，而是接至將被數位化之類比電位端 V_A 。第二電路部份 P2 之結構，例如，與圖 6 之第二電路部份 P2 相同。然而，第二電路部份 P2 之組件，特別是應用串接網路 N 部份，其第二電路部份 P2 之體積不同於下一第二電路部份 P2。第二電路部份 P2 在輸入端互相連接：其第二電路節點 N2₂ 例如（如所示）經由反相器 I 各連接至第一電路部份 P1 之第一電路節點 N1₁。操作中，給予適當尺寸之電路部份 P1, P2，重置信訊 OUT1

五、發明說明 (12)

，OUT2和OUT3就成為類比電位 V_A 值之函數，其中 V_A 係施加在第一電路部份P1上且被數位比。

圖10之架構相當於圖9，除了第二電路部份P2中之第一供電位 V_{DD} 端末接至第一供電位 V_{DD} ，而接至個別之參考電位 V_1 ， V_2 和 V_3 。參考電位 V_1 ， V_2 和 V_3 彼此不同。第二電路部份P2之串接網路N之尺寸如圖9之架構圖，彼此不同。然而，也可以彼此結構相同。再次地，操作中給予電路部份P1，P2適當之尺寸及參考電位 V_1 ， V_2 ， V_3 ，重置信號OUT1，OUT2，OUT3就成為類比電位 V_A 值之函數，其中 V_A 係施加在第一電路部份P1上且被數位化。

如圖6-10所示之反相器各有一應用串接網路N之組件。於是其尺寸影響應用串接網路N之分壓器性質。

四、中文發明摘要(發明之名稱：用於產生重置信號之積體電路)

用以產生重置信號之一種積體電路，其包含一電路部份具兩第一電晶體串接在第一和第二供電位端之間而且分別各為第一和第二互補通道型之其中一型。作為分壓器電路之串接網路，連接在第一和第二供電位端之間。串接網路包含至少兩第二電晶體，其各分別為互補通道型之其中一型並且至少一個組件在操作中具電壓降。第一通道型電晶體之源極連接至第一供電位端。第二通道型電晶體之源極連接至第二供電位端。兩第一電晶體之汲極形成第一電路節點並於操作中在此產生一重置信號。第二通道型第二電晶體之閘極連接至第二電路節點。第一通道型之第一和第二電晶體之閘極二者皆連接至串接網路之第一通道型之第二電晶體之汲極，以形成第二電路節點。第二通道型第一電晶體之閘極連接至第二電路節點。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

附註：本案已向 歐洲 國(地區)申請專利、申請日期：1992年 9月30日 案號：92116741.7

四、中文發明摘要(發明之名稱: Integrated Circuit for Generating a Reset Signal)

An integrated circuit for generating a reset signal includes a circuit part having two first transistors being connected in series between terminals for a first and a second supply potential and each having a respective one of first and second mutually complementary channel types. A serial network acting as a voltage divider circuit is connected between the terminals for the first and the second supply potentials. The serial network includes at least two second transistors each having a respective one of the mutually complementary channel types and at least one element having a voltage drop during operation. The sources of the transistors of the first channel type are connected to the terminal for the first supply potential. The sources of the transistors of the second channel type are connected to the terminal for the second supply potential. The drains of the two first transistors form a first circuit node at which a reset signal is created in operation. The gate of the second transistor of the second channel type is connected to the first circuit node. The gates of the first and second transistors of the first channel type both are connected to the drain of the second transistor of the first channel type of the serial network, forming a second circuit node. The gate of the first transistor of the second channel type is connected to the second circuit node.

附註: 本案已向

國(地區) 申請專利, 申請日期:

案號:

六、申請專利範圍

1. 一種用以產生一重置信號之積體電路，其包含：

- 一個第一供電位端和一個第二供電位端；
- 兩第一電晶體，串接在該第一和第二供電位端之間，該第一電晶體各有一源極，汲極和閘極且各有第一和第二互補通道型；
- 一串接網路，用作分壓器電路且連接在第一和第二供電位端之間，該串接網路包含至少兩第二電晶體，該第二電晶體各有一源極，汲極和閘極且分別各為互補通道型之其中一種型，以及該串接網路包含至少一在操作中會有壓降之組件；
- 該第一通道型電晶體之源極接至該第一供電位端；
- 該第二通道型電晶體之源極接至該第二供電位端；
- 該兩第一電晶體之汲極形成第一電路節點，並於操作中在此產生重置信號；
- 該第二通道型第二電晶體之閘極接至該第一電路節點；
- 該第一通道型之第一和第二電晶體之閘極二者均接至該串接網路之第一通道型之第二電晶體之汲極，而形成第二電路節點；以及
- 該第二通道型第一電晶體之閘極接至第二電路節點。

2. 如申請專利範圍第1項之積體電路，其中操作中具電壓降之該最少一個組件至少為第一和第二組件，而第二通道型之該第一電晶體之閘極則至少接至該第二組

六、申請專利範圍

件以形成第三電路節點，且至少經由該第二組件接至該第二電路節點。

3.如申請專利範圍第1項之積體電路，其中至少該兩第一電晶體其中之一之閘極以電容耦合至第二供電位。

4.如申請專利範圍第1項之積體電路，其中該第一電路節點以電容耦合至第一供電位。

5.如申請專利範圍第1項之積體電路，其中操作中至少具電壓降之一個組件，至少為歐姆電阻。

6.如申請專利範圍第1項之積體電路，其中操作中至少具電壓降之一個組件，至少為二極體。

7.如申請專利範圍第6項之積體電路，其中，該至少一個二極體為閘極與汲極互接一起之電晶體。

8.一種用以產生多個重置信號之積體電路，包含：

一第一電路部份，包含：

第一供電位端和第二供電位端；

兩第一電晶體，串接在該第一和第二供電位端之間，該第一電晶體各含一源極，汲極和閘極且各分別為第一和第二互補通道型之其中一型；

作為分壓器電路之串接網路，且接至該第一和第二供電位端之間，該串接網路含至少兩第二電晶體，其具一源極，汲極和閘極，且分別各為互補通道型之其中一型，而且該串接網路至少含一個在操作中具電壓降之組件；

六、申請專利範圍

第一通道型之該電晶體之源極接至該第一供電位端；
第二通道型之該電晶體之源極接至該第二供電位端；
該第一電晶體之汲極形成第一電路節點，並於操作中在此產生一重置信號；

第二通道型之該第二電晶體之閘極接至該第一電路節點；

第一通道型之該第一和第二電晶體之閘極二者均接至該串接網路第一通道型之該第二電晶體之汲極，並形成第二電路節點；以及

第二通道型之該第一電晶體之閘極接至第二電路節點；

一 第二電路部份，包含：

第一供電位端和第二供電位端；

兩第一電晶體，串接在該第一和第二供電位端之間，該第一電晶體各含一源極，汲極和閘極且各分別為第一和第二互補通道型之其中一型；

作為分壓器電路之串接網路，且包含一第二電晶體，其具一源極，汲極和閘極以及第二通道型，該串接網路至少含一在操作中具電壓降之一樣組件；

第一通道型之該第一電晶體之源極接至該第一供電位端；

第二通道型之該電晶體之源極接至該第二供電位端；
該兩第一電晶體之汲極形成第一電路節點，並於操

六、申請專利範圍

作中在此產生一重置信號；

第二通道型之該第二電晶體之閘極接至該第一電路節點；

第一通道型之該第一電晶體之閘極形成第二電路節點；以及

第二通道型之該第一電晶體之閘極接至第二電路節點；以及

該第二電路部份之該第二電路節點接至該第一電路部份之該第一電路節點。

9. 如申請專利範圍第8項之積體電路，包含一反相器，接在該第二電路部份之該第二電路節點和該第一電路部份之該第一電路節點之間。
10. 如申請專利範圍第9項之積體電路，其中該相反器為該第二電路部份之該串接網路之一組件。
11. 如申請專利範圍第8項之積體電路，包含進一步之電路部份，其結構與該第二電路部份相同，該進一步電路部份之該第二電路節點接至該第二電路部份之該電路節點。
12. 如申請專利範圍第8項之積體電路，包含進一步電路部份之連續電路，其結構與該第二電路部份相同，該進一步電路部份之第二電路節點接至該連續電路之該前一電路部份之該第一電路節點。
13. 一種用以產生多個重置信號之積體電路，包含：

六、申請專利範圍

一 第一電路部份，包含：

要數位化之類比電位端及第二供電位端；

兩第一電晶體串接在該類比電位端和該第二供電位端之間，該第一電晶體各有一源極，汲極及閘極並且分別各為第一和第二互補通道型之其中一型；

作為分壓器電路之串接網路，且接至該類比電位端和該第二供電位端之間，該串接網路含至少兩第二電晶體，其具一源極，汲極和閘極，且分別各為互補通道型之其中一型，而且該串接網路至少含一個在操作中具電壓降之組件；

第一通道型之該電晶體之源極接至該類比電位端；

第二通道型之該電晶體之源極接至該第二供電位端；

該兩第一電晶體之汲極形成第一電路節點，並於操作中在此產生一重置信號；

第二通道型之該第二電晶體之閘極連接至該第一電路節點；

第一通道型之該第一和第二電晶體之閘極二者皆連接至該串接網路之第一通道型之該第二電晶體之汲極，以形成第二電路節點；以及

第二通道型之該第一電晶體之閘極連接至第二電路節點；

六、申請專利範圍

多個第二電路部份，各包含：

第一供電位端及第二供電位端；

兩第一電晶體串接在該第一和第二供電位端之間，該第一電晶體各有一源極，汲極及閘極並且分別各為第一和第二互補通道型之其中一型；

作為分壓器電路之串接網路，且含一第二電晶體，其具一源極，汲極和閘極，且為第二通道型，該串接網路至少含一個在操作中具電壓降之組件；第一通道型之該第一電晶體之源極接至該第一供電位端；

第二通道型之該電晶體之源極接至該第二供電位端；

該兩第一電晶體之汲極形成第一電路節點並於操作中在此產生一重置信號；

第二通道型之該第二電晶體之閘極連接至該第一電路節點；

第一通道型之該第一電晶體之閘極形成第二電路節點；以及

第二通道型之該第一電晶體之閘極連接至第二電路節點；

該第二電路部份之該各串接網路，其具分壓器且其值彼此不同；以及

各該第二電路部份之該第二電路節點連接至該第

六、申請專利範圍

一 電路部份之該第一電路節點。

14. 一種用以產生多個重置信號之積體電路，包含：

一 第一電路部份，包含：

要數位化之類比電位端及第二供電位端；

兩第一電晶體串接在該類比電位端和該第二供電位端之間，該第一電晶體各有一源極，汲極及閘極並且分別各為第一和第二互補通道型之其中一型；

作為分壓器電路之串接網路，且接至該類比電位端和該第二供電位端之間，該串接網路含至少兩第二電晶體，其具一源極，汲極和閘極，且分別各為互補通道型之其中一型，而且該串接網路至少含一個在操作中具電壓降之組件；

第一通道型之該電晶體之源極接至該類比電位端；

第二通道型之該電晶體之源極接至該第二供電位端；

該兩第一電晶體之汲極形成第一電路節點，並於操作中在此產生一重置信號；

第二通道型之該第二電晶體之閘極連接至該第一電路節點；

第一通道型之第一和第二電晶體之閘極二者均連接至該串接網路之第一通道型之該第二電晶體之汲極，以形成第二電路節點；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第二通道型之該第一電晶體之閘極連接至第二電路節點；

多個第二電路部份，各包含：

一參考電位端和一第二供電位端；

兩第一電晶體串接在該參考電位端和該第二供電位端之間，該第一電晶體各有一源極，汲極及閘極並且分別各為第一和第二互補通道型之其中一型；

作為分壓器電路之串接網路，且含一第二電晶體，其具一源極，汲極和閘極，且為第二通道型，該串接網路至少含一個在操作中具電壓降之組件；第一通道型之該第一電晶體之源極連接至該參考電位端；

第二通道型之該電晶體之源極連接至該第二供電位端；

該兩第一電晶體之汲極形成第一電路節點並於操作中在此產生一重置信號；

第二通道型之該第二電晶體之閘極連接至該第一電路節點；

第一通道型之該第一電晶體之閘極形成第二電路節點；以及

第二通道型之該第一電晶體之閘極連接至第二電路節點；

六、申請專利範圍

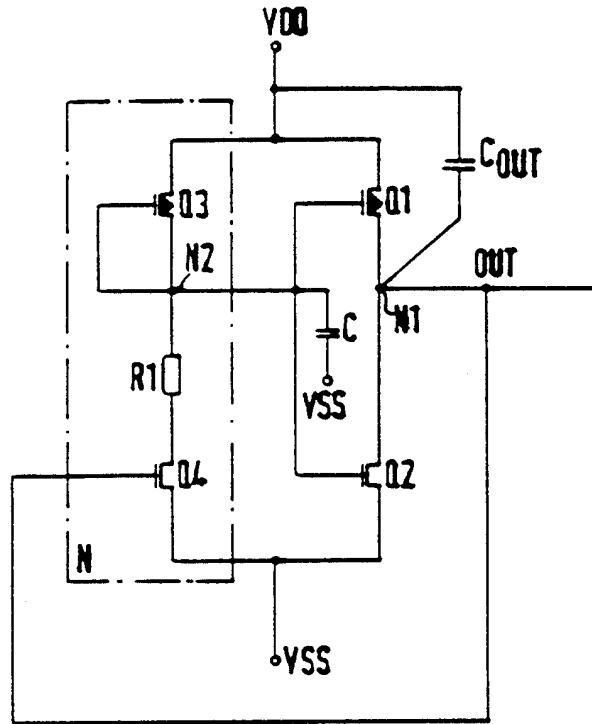
各該第二電路部份之參考電位端，攜載不同之參考電位；以及

各該第二電路部份之該第二電路節點連接至該第一電路部份之該第一電路節點。

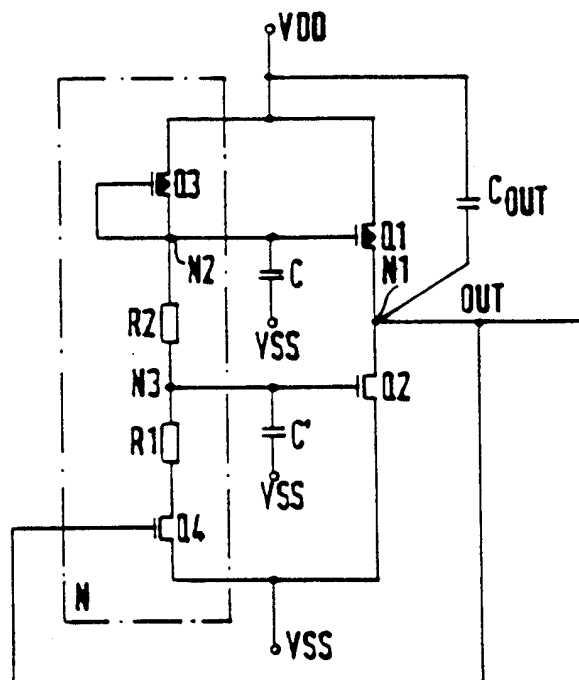
(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

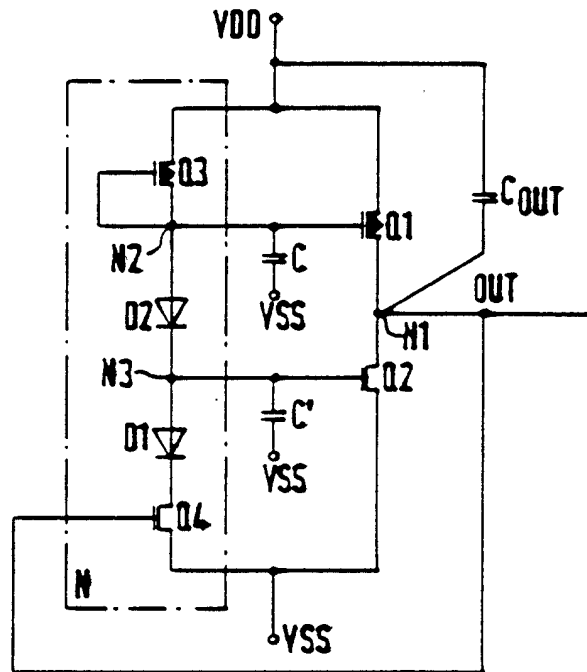
第 1 圖



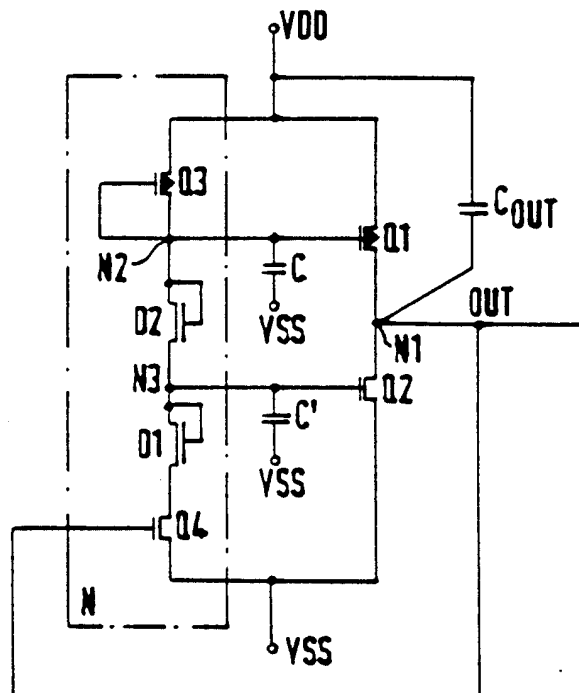
第 2 圖



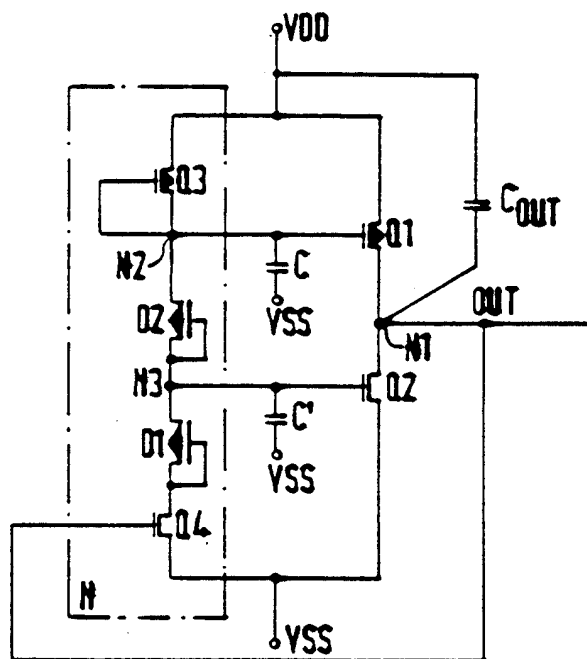
第 3 圖



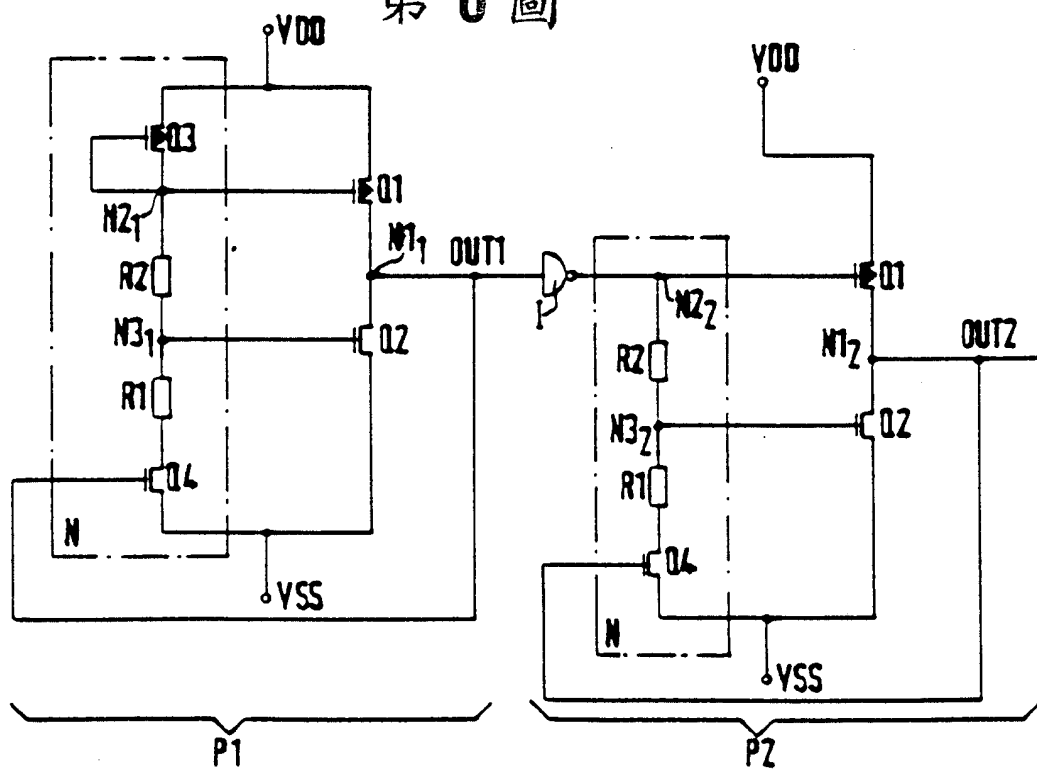
第 4 圖



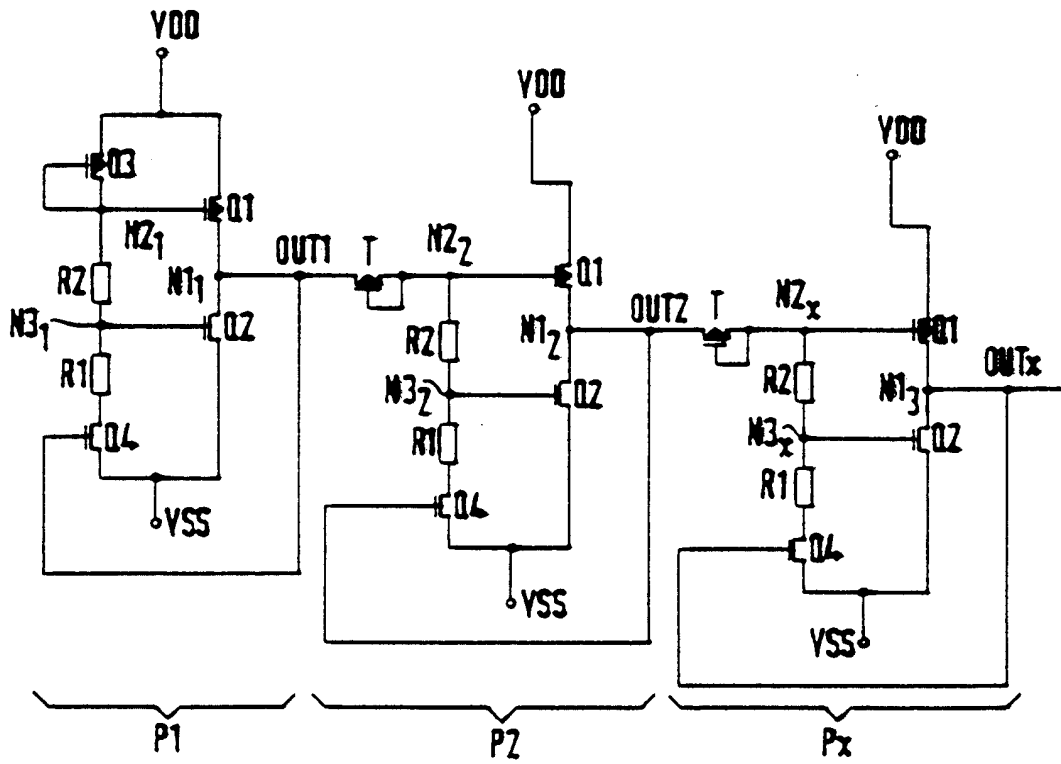
第 5 圖



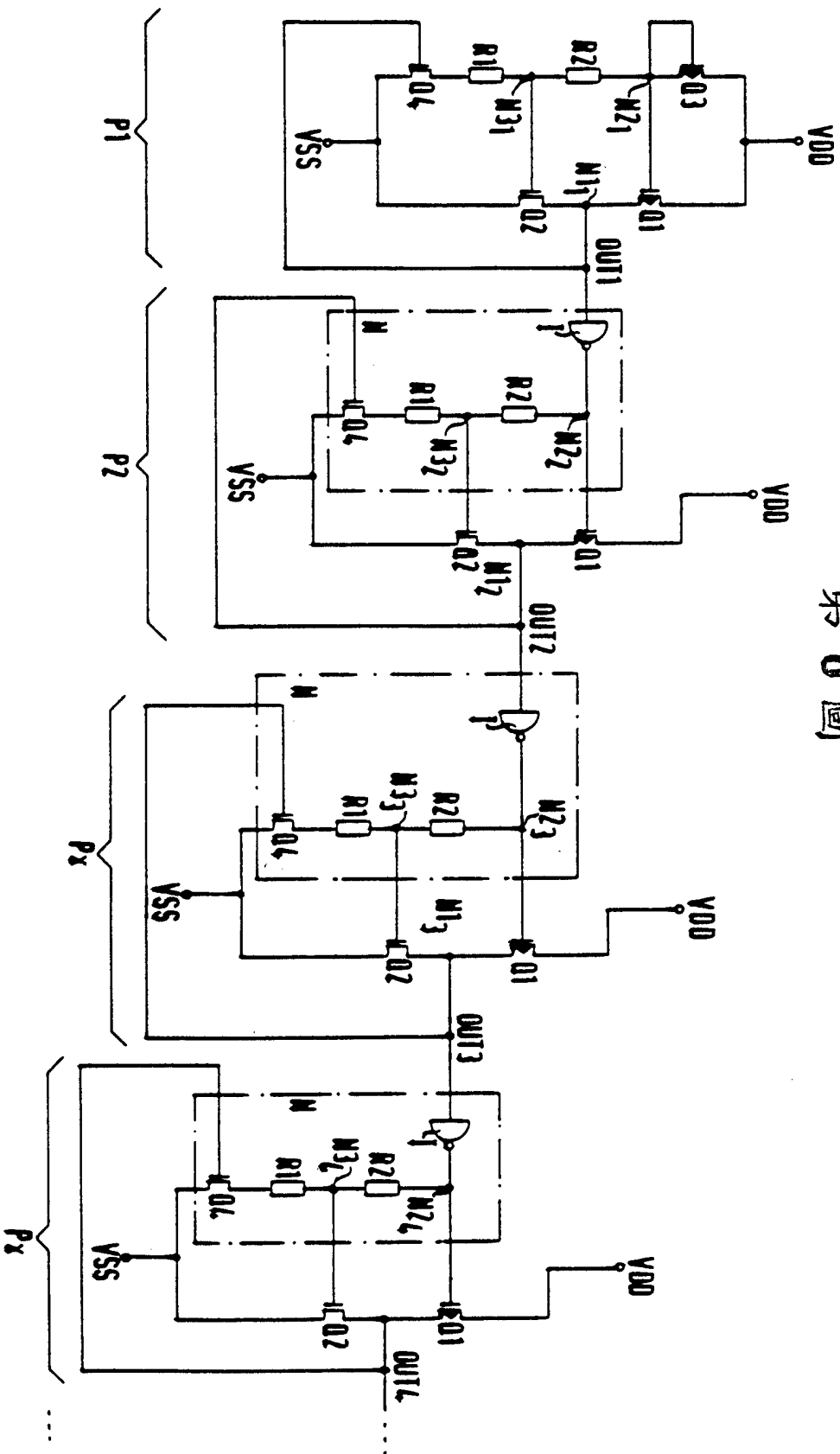
第 6 圖



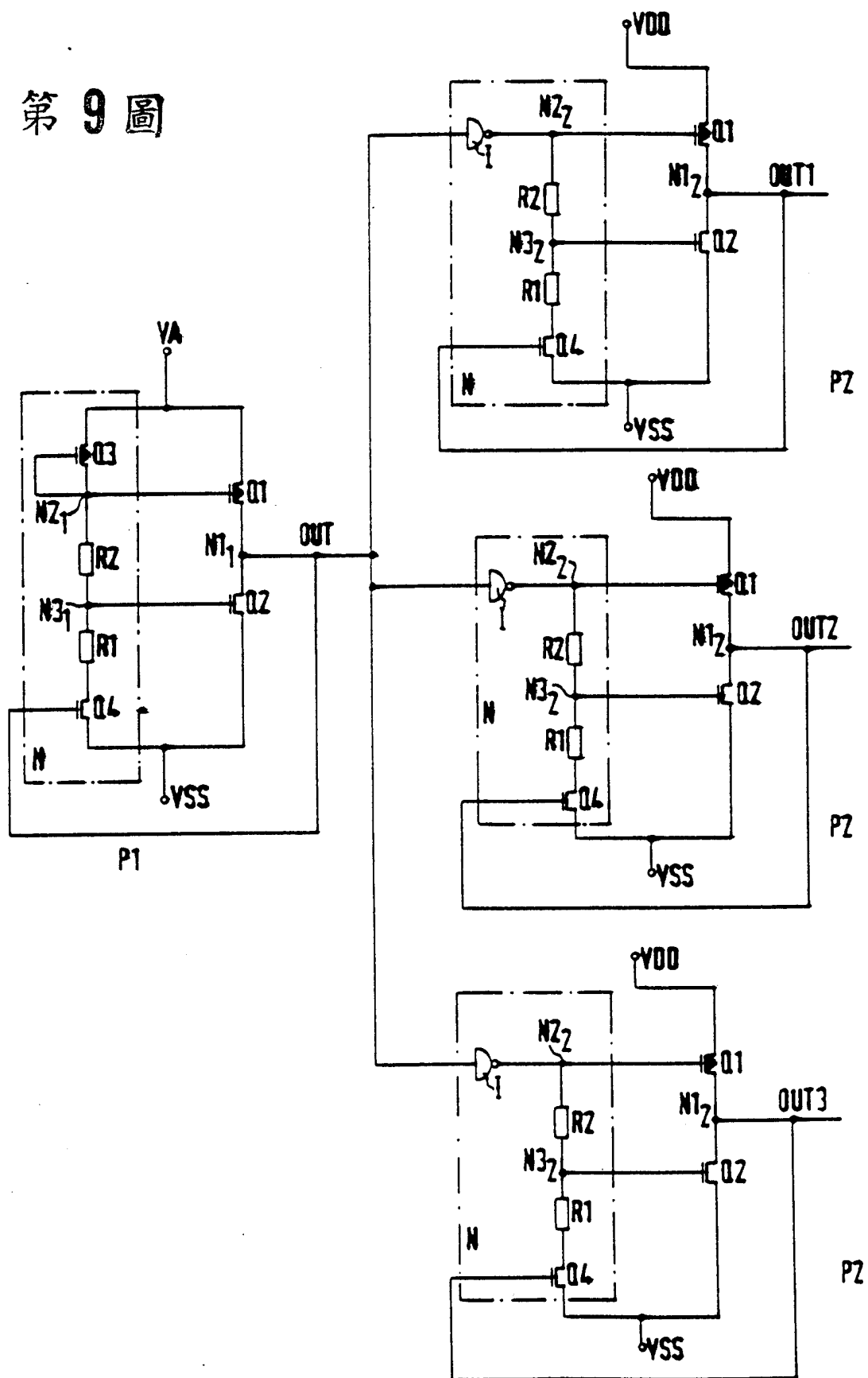
第 7 圖



第 8 圖



第 9 圖



第10圖

