

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7100577号  
(P7100577)

(45)発行日 令和4年7月13日(2022.7.13)

(24)登録日 令和4年7月5日(2022.7.5)

(51)国際特許分類

F I

G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 3 8
G 0 9 G	3/20 (2006.01)	G 0 9 F	9/30	3 6 5
G 0 9 G	3/3233(2016.01)	G 0 9 G	3/20	6 1 1 H
H 0 1 L	27/32 (2006.01)	G 0 9 G	3/20	6 8 0 G
H 0 1 L	51/50 (2006.01)	G 0 9 G	3/20	6 8 0 H

請求項の数 9 (全19頁) 最終頁に続く

(21)出願番号 特願2018-513064(P2018-513064)  
 (86)(22)出願日 平成29年3月10日(2017.3.10)  
 (86)国際出願番号 PCT/JP2017/009691  
 (87)国際公開番号 WO2017/183355  
 (87)国際公開日 平成29年10月26日(2017.10.26)  
 審査請求日 令和2年3月2日(2020.3.2)  
 審判番号 不服2021-5713(P2021-5713/J1)  
 審判請求日 令和3年5月6日(2021.5.6)  
 (31)優先権主張番号 特願2016-85682(P2016-85682)  
 (32)優先日 平成28年4月22日(2016.4.22)  
 (33)優先権主張国・地域又は機関  
 日本国(JP)

(73)特許権者 000002185  
 ソニーグループ株式会社  
 東京都港区港南1丁目7番1号  
 (74)代理人 110002147  
 特許業務法人酒井国際特許事務所  
 (72)発明者 山崎 崇  
 東京都港区港南1丁目7番1号 ソニー  
 株式会社内  
 合議体  
 審判長 中塚 直樹  
 審判官 居島 一仁  
 審判官 佐藤 久則

最終頁に続く

(54)【発明の名称】 表示装置および電子機器

## (57)【特許請求の範囲】

## 【請求項1】

発光部及び前記発光部を駆動するための駆動回路を備えた発光素子を複数有し、  
 前記駆動回路は、  
 前記発光部を制御する駆動トランジスタと、  
シリコン半導体基板に形成されたMOSトランジスタにより構成されて映像信号の書き込みを制御する映像信号書き込みトランジスタと、  
 容量素子と、  
 を備え、  
 前記駆動トランジスタは、前記シリコン半導体基板に積層された配線層間膜に形成される薄膜トランジスタにより構成されて、一方のソース・ドレイン領域が電流供給線に接続され、他方のソース・ドレイン領域が前記発光部及び前記容量素子の第1ノードに接続され、ゲート電極が前記容量素子の第2ノードに接続され、  
 前記映像信号書き込みトランジスタは、一方のソース・ドレイン領域がデータ線に接続され、他方のソース・ドレイン領域が前記駆動トランジスタのゲート電極及び前記容量素子の第2ノードに接続され、ゲート電極が走査線に接続され、  
 前記駆動トランジスタは、前記映像信号書き込みトランジスタ及び前記容量素子とは異なる層に配置されるとともに前記シリコン半導体基板表面に対する法線方向から見て少なくとも一部が重なる位置に形成され、  
 前記駆動トランジスタのキャリア移動度は、前記映像信号書き込みトランジスタのキャリ

ア移動度より低い、表示装置。

【請求項 2】

前記映像信号書き込みトランジスタは、nチャネル型のMOSトランジスタである、請求項 1 に記載の表示装置。

【請求項 3】

前記容量素子は、前記駆動トランジスタ及び前記映像信号書き込みトランジスタの間に配置される、請求項 1 に記載の表示装置。

【請求項 4】

前記容量素子は、MIMキャパシタである、請求項 3 に記載の表示装置。

【請求項 5】

前記容量素子は、前記シリコン半導体基板上に形成されるとともに前記映像信号書き込みトランジスタに隣接して配置される、請求項 1 に記載の表示装置。

【請求項 6】

前記容量素子は、MIS (Metal Insulator Semiconductor) キャパシタである、請求項 5 に記載の表示装置。

【請求項 7】

前記映像信号書き込みトランジスタのゲート酸化膜厚と、前記MISキャパシタの絶縁膜厚とが異なる、請求項 6 に記載の表示装置。

【請求項 8】

前記MISキャパシタは、10nm以下の膜厚の絶縁膜を備える、請求項 6 に記載の表示装置。

【請求項 9】

請求項 1 に記載の表示装置を備える、電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置および電子機器に関する。

【背景技術】

【0002】

近年、有機エレクトロルミネッセンス素子（以下、単に、「有機EL素子」と略称する場合がある）を用いた有機エレクトロルミネッセンス表示装置（以下、単に、「有機EL表示装置」と略称する場合がある）が注目されている。有機EL表示装置は、自発光型であり、消費電力が低いという特性を有しており、また、高精細度の高速ビデオ信号に対しても十分な応答性を有するので、実用化に向けての開発、商品化が鋭意進められている（例えば特許文献1、2など参照）。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2013-44890号公報

特開2012-255874号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

有機EL表示装置は、駆動回路の微細化を進めることで、高精細化を実現できる。そこで、駆動回路の微細化を進めるにあたり、画面の表示性能を低下させずに、駆動回路を微細化することが求められる。

【0005】

そこで、本開示では、画面の表示性能の向上及び高精細化が可能な、新規かつ改良された表示装置および電子機器を提案する。

【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 0 6 】

本開示によれば、発光部及び前記発光部を駆動するための駆動回路を備えた発光素子を複数有し、前記駆動回路は、前記発光部を制御する駆動トランジスタと、映像信号の書き込みを制御する映像信号書き込みトランジスタと、容量素子と、を備え、前記駆動トランジスタは、一方のソース・ドレイン領域が電流供給線に接続され、他方のソース・ドレイン領域が前記発光部及び前記容量素子の第1ノードに接続され、ゲート電極が前記容量素子の第2ノードに接続され、前記映像信号書き込みトランジスタは、一方のソース・ドレイン領域がデータ線に接続され、他方のソース・ドレイン領域が前記駆動トランジスタのゲート電極に接続され、ゲート電極が走査線に接続され、前記駆動トランジスタと、前記映像信号書き込みトランジスタとはキャリア移動度が異なる、表示装置が提供される。

10

## 【 0 0 0 7 】

また本開示によれば、上記の表示装置を備える、電子機器が提供される。

## 【 発明の効果 】

## 【 0 0 0 8 】

以上説明したように本開示によれば、画面の表示性能の向上及び高精細化が可能な、新規かつ改良された表示装置および電子機器を提供することが出来る。

## 【 0 0 0 9 】

なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

20

## 【 図面の簡単な説明 】

## 【 0 0 1 0 】

【 図 1 】 駆動トランジスタ及び映像信号書き込みトランジスタの断面例を示す説明図である。

【 図 2 】 本開示の実施の形態に係る有機EL表示装置の構成例を示す説明図である。

【 図 3 】 画素アレイ部11のそれぞれの画素15の構成例を示す説明図である。

【 図 4 】 画素15の動作例をタイミングチャートで示す説明図である。

【 図 5 】 画素15に形成される映像信号書き込みトランジスタTsig及び駆動トランジスタTdrvの断面の構成例を示す説明図である。

【 図 6 】 画素15に形成される映像信号書き込みトランジスタTsig及び駆動トランジスタTdrvの断面の別の構成例を示す説明図である。

30

【 図 7 】 画素15の断面例を示す説明図である。

【 図 8 】 画素15の断面例を示す説明図である。

【 図 9 】 駆動トランジスタTdrvの電圧電流特性の例を示す説明図である。

【 図 10 】 画素15の別の断面例を示す説明図である。

## 【 発明を実施するための形態 】

## 【 0 0 1 1 】

以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

40

## 【 0 0 1 2 】

なお、説明は以下の順序で行うものとする。

## 1. 本開示の実施の形態

## 1.1. 概要

## 1.2. 表示装置及び画素の構成例

## 1.3. 画素の動作例

## 1.4. 断面例

## 2. まとめ

## 【 0 0 1 3 】

< 1. 本開示の実施の形態 >

50

## [ 1 . 1 . 概要 ]

まず、本開示の実施の形態について詳細に説明する前に、本開示の実施の形態の概要について説明する。

## 【 0 0 1 4 】

上述したように、近年、有機 E L 素子を用いた有機エレクトロルミネッセンス表示装置（以下、単に、「有機 E L 表示装置」と略称する場合がある）が注目されている。有機 E L 表示装置は、自発光型であり、消費電力が低いという特性を有しており、また、高精細度の高速ビデオ信号に対しても十分な応答性を有するので、実用化に向けての開発、商品化が鋭意進められている。

## 【 0 0 1 5 】

有機 E L 表示装置の画素を駆動させる駆動回路の一つに、1つの画素あたり、有機 E L 素子を駆動するための駆動トランジスタと、映像信号を書き込むための映像信号書き込みトランジスタの2つのトランジスタで構成される 2 T r 駆動回路がある。

## 【 0 0 1 6 】

有機 E L 表示装置の駆動回路を、シリコン半導体プロセスによってシリコンウェハ上に形成すると、微細化が容易になる。駆動回路が微細化出来ると、有機 E L 表示装置の高精細化を実現できる。一方、駆動トランジスタに n チャンネル型 M O S トランジスタを用い、駆動トランジスタの動作の安定化のために p 型ウェルを設置した場合、有機 E L 素子が発光すると、駆動トランジスタのソース電位も上昇する。駆動トランジスタのソース電位が上昇すると、p 型ウェルと駆動トランジスタとの電位も上昇する。p 型ウェルと駆動トランジスタとの電位も上昇すると、いわゆる基板バイアス効果に起因して駆動トランジスタの電流が減少する。駆動トランジスタの電流が減少すると、有機 E L 素子の輝度が低下する。

## 【 0 0 1 7 】

そこで、上記特許文献 1 では、基板バイアス効果を抑制するために、p 型シリコン基板に形成された埋め込み n 型ウェル内の p 型ウェルに駆動トランジスタを形成し、駆動トランジスタのソースと p 型ウェルとを電氣的に接続する技術が開示されている。この技術では基板バイアス効果の抑制は可能になるが、その一方で駆動トランジスタの p 型ウェルを、隣接する駆動回路間で電氣的に分離する必要がある。

## 【 0 0 1 8 】

図 1 は、駆動トランジスタ及び映像信号書き込みトランジスタの断面例を示す説明図である。図 1 に示したのは、p 型シリコン基板に形成された埋め込み n 型ウェル内の p 型ウェルに駆動トランジスタが形成されている例を示したものである。図 1 に示したように、駆動トランジスタの p 型ウェルを、隣接する駆動回路間で電氣的に分離するために、駆動トランジスタの p 型ウェル間に n 型ウェルを形成すると、駆動回路の微細化が困難になる。

## 【 0 0 1 9 】

駆動回路を微細化しようとするれば、駆動トランジスタのサイズを、n 型ウェル領域を形成するスペースを確保するために小さくする必要がある。しかし、例えばゲート長を縮小すると、駆動トランジスタの特性ばらつきが増大する。駆動トランジスタの特性ばらつきの増大は、各駆動回路に設けられる有機 E L 素子の輝度のばらつきが増大することに繋がり、画面のユニフォームリティが損なわれる。従って、p 型シリコン基板に形成された埋め込み n 型ウェル内の p 型ウェルに駆動トランジスタを形成すると、駆動回路の微細化と、画面のユニフォームリティを向上させることとを両立させることが困難になる。

## 【 0 0 2 0 】

また、駆動トランジスタとして単結晶シリコンウェハに形成した M O S トランジスタを用いる技術もある。しかし、単結晶シリコンウェハに形成した M O S トランジスタを駆動トランジスタとして用いると、移動度補正が過剰にかかり、画面のユニフォームリティが損なわれる。特許文献 2 では、移動度補正が過剰にかかる現象に起因する表示むらを抑制する技術が開示されている。特許文献 2 では、駆動トランジスタの p 型ウェル（バックゲート）の電位を、閾値電圧が高くなるように制御することで、移動度補正が過剰にかかることを避ける技術が開示されている。しかし、基板バイアスを制御する回路や端子を設けると

10

20

30

40

50

、駆動回路の高集積密度化、すなわち、表示装置の高精細化の妨げとなる。

【 0 0 2 1 】

そこで本件開示者は、上述した内容に鑑み、有機 E L 素子などの自発光デバイスを用いた表示装置において、画面の表示性能の向上及び高精細化が可能な技術について鋭意検討を行った。その結果、本件開示者は、以下で説明するように、自発光デバイスを用いた表示装置において、画面の表示性能の向上及び高精細化が可能な技術を考案するに至った。

【 0 0 2 2 】

以上、本開示の実施の形態の概要について説明した。

【 0 0 2 3 】

[ 1 . 2 . 表示装置及び画素の構成例 ]

続いて、本開示の実施の形態に係る有機 E L 表示装置の構成例を説明する。図 2 は、本開示の実施の形態に係る有機 E L 表示装置の構成例を示す説明図である。以下、図 2 を用いて本開示の実施の形態に係る有機 E L 表示装置の構成例について説明する。

【 0 0 2 4 】

なお、以下の回路構成の説明においては、「電氣的に接続」を単に「接続」と記載するし、この「電氣的に接続」は、直接に接続されることに限らず、他のトランジスタ（スイッチングトランジスタが典型例である）その他の電気素子（能動素子に限らず受動素子でもよい）を介して接続されることも含む。

【 0 0 2 5 】

図 2 に示したように、本開示の実施の形態に係る有機 E L 表示装置 1 は、画素アレイ部 1 1 と、ライトスキャナ 1 2 と、ドライブスキャナ 1 3 と、水平セレクタ 1 4 と、を含んで構成される。

【 0 0 2 6 】

画素アレイ部 1 1 は、有機 E L 素子 O L E D を含む複数の画素 1 5 が行列状に 2 次元配置される。有機 E L 表示装置 1 がカラー表示に対応している場合、カラー画像を形成する単位となる 1 つの画素（単位画素）は複数の副画素（サブピクセル）から構成され、この副画素それぞれが図 2 の画素 1 5 に相当する。具体的には、カラー表示対応の表示装置において、1 つの画素は、例えば、赤色（R）光を発光する副画素、緑色（G）光を発光する副画素、青色（B）光を発光する副画素の 3 つの副画素から構成される。なお、1 つの画素としては、R G B 3 色の副画素の組み合わせに限られるものではなく、3 色の副画素にさらに 1 色または複数色の副画素を加えて 1 つの画素を構成することも可能である。具体的には、輝度向上のために白色（W）光を発光する副画素を加えて 1 つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも 1 つの副画素を加えて 1 つの画素を構成したりすることも可能である。

【 0 0 2 7 】

画素アレイ部 1 1 においては、m 行 n 列の画素 1 5 の配列に対して、行方向（画素行の画素の配列方向）に沿って走査線 W S と電源供給線 D S とが、画素行毎に配線されている。さらに、m 行 n 列の画素 1 5 の配列に対して、列方向（画素列の画素の配列方向）に沿って信号線 1 6 が画素列毎に配線されている。

【 0 0 2 8 】

走査線 W S は、ライトスキャナ 1 2 の対応する行の端にそれぞれ接続されている。電源供給線 D S は、ドライブスキャナ 1 3 の対応する行の端にそれぞれ接続されている。

【 0 0 2 9 】

ライトスキャナ 1 2 は、クロックパルスに同期してスタートパルスを順にシフト（転送）するシフトレジスタ回路等によって構成されている。ライトスキャナ 1 2 は、画素アレイ部 1 1 のそれぞれの画素 1 5 への映像信号の信号電圧の書込みに際して、走査線 W S に対して書込み走査信号を順次供給することによって、画素アレイ部 1 1 のそれぞれの画素 1 5 を行単位で順番に走査（線順次走査）する。

【 0 0 3 0 】

ドライブスキャナ 1 3 は、クロックパルスに同期してスタートパルスを順にシフトするシ

10

20

30

40

50

フトレジスタ回路等によって構成されている。ドライブスキナ13は、ライトスキナ12による線順次走査に同期して、第1電源電位 $V_{ccp}$ と、第1電源電位 $V_{ccp}$ よりも低い第2電源電位 $V_{ini}$ とで切替え可能な電源電位を電源供給線DSに供給する。この電源電位の第1電源電位 $V_{ccp}$ 、第2電源電位 $V_{ini}$ の切替えによって、それぞれの画素15の発光状態と非発光状態との制御が行われる。

【0031】

水平セクタ14は、図示せぬ信号供給源から供給される輝度情報に応じた映像信号の信号電圧 $V_{sig}$ と基準電圧 $V_{ofs}$ とを選択的に出力する。ここで、基準電圧 $V_{ofs}$ は、映像信号の信号電圧 $V_{sig}$ の基準となる電位（例えば、映像信号の黒レベルに相当する電位）であり、後述する閾値補正処理の際に用いられる。

10

【0032】

水平セクタ14から出力される信号電圧 $V_{sig}$ および基準電圧 $V_{ofs}$ は、信号線16を介して画素アレイ部11のそれぞれの画素15に対して、ライトスキナ12による走査によって選択された画素行の単位で書込まれる。すなわち、水平セクタ14は、信号電圧 $V_{sig}$ を行単位で書込む線順次書込みの駆動形態をとっている。

【0033】

以上、図2を用いて本開示の実施の形態に係る有機EL表示装置1の構成例について説明した。続いて、画素アレイ部11のそれぞれの画素15の具体的な構成例について説明する。

【0034】

図3は、本開示の実施の形態に係る有機EL表示装置1における、画素アレイ部11のそれぞれの画素15の構成例を示す説明図である。以下、図3を用いて画素15の構成例について説明する。

20

【0035】

図3に示したように、画素15は、有機EL素子OLEDと、駆動トランジスタ $T_{drv}$ と、映像信号書き込みトランジスタ $T_{sig}$ と、保持容量 $C_s$ と、補助容量 $C_{el}$ と、を含んで構成される。

【0036】

有機EL素子OLEDは、全ての画素15に対して共通に配線された電源供給線DSにカソード電極が接続されている。そして有機EL素子OLEDを駆動するための駆動回路は、駆動トランジスタ $T_{drv}$ と、映像信号書き込みトランジスタ $T_{sig}$ と、保持容量 $C_s$ と、補助容量 $C_{el}$ と、で構成される。

30

【0037】

駆動トランジスタ $T_{drv}$ は、一方の電極（ソース・ドレイン電極）が有機EL素子OLEDのアノード電極に接続され、他方の電極（ソース・ドレイン電極）が電源供給線DSに接続されている。また駆動トランジスタ $T_{drv}$ のバックゲートは接地されている。

【0038】

映像信号書き込みトランジスタ $T_{sig}$ は、一方の電極（ソース・ドレイン電極）が信号線16に接続され、他方の電極（ソース・ドレイン電極）が駆動トランジスタ $T_{drv}$ のゲート電極に接続されている。また、映像信号書き込みトランジスタ $T_{sig}$ のゲート電極は、走査線WSに接続されている。

40

【0039】

駆動トランジスタ $T_{drv}$ および映像信号書き込みトランジスタ $T_{sig}$ において、一方の電極とは、ソース・ドレイン領域に電氣的に接続された金属配線をいい、他方の電極とは、ドレイン・ソース領域に電氣的に接続された金属配線をいう。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

【0040】

本実施形態では、駆動トランジスタ $T_{drv}$ と、映像信号書き込みトランジスタ $T_{sig}$ とで、キャリア移動度が異なるトランジスタを用いる。例えば、映像信号書き込みトラン

50

ジスタ T s i g には、シリコン ( S i ) 半導体基板上に形成した M O S トランジスタを用い、駆動トランジスタ T d r v には薄膜トランジスタ ( T h i n F i l m T r a n s i s t o r ; T F T ) を用い、それぞれ使い分ける。本実施形態では、映像信号書き込みトランジスタ T s i g には、例えば n チャンネル型の M O S T F T が用いられる。なお、映像信号書き込みトランジスタ T s i g の導電型は p チャンネル型であってもよい。

【 0 0 4 1 】

S i 半導体基板上に形成した M O S トランジスタは、多結晶もしくは非晶質の T F T を用いる場合に比べチャネル移動度が高く、特性バラつきが小さいという特長を有する。本実施形態に係る有機 E L 表示装置 1 は、映像信号書き込みトランジスタ T s i g に、S i 半導体基板上に形成した M O S トランジスタを用いることで、この特長から、パネル外部からの映像信号を、その品質を高く維持したまま、駆動トランジスタ T d r v のゲート端子に入力することが出来る。

10

【 0 0 4 2 】

一方、T F T はボディ領域が電氣的に浮遊状態のため基板バイアス効果を受けないという特長を有する。従って、本実施形態に係る有機 E L 表示装置 1 は、駆動トランジスタに T F T を用いることで、基板バイアス効果による駆動電流の低下、すなわち、表示装置としては輝度の劣化を抑制することができる。さらに、単結晶 S i - M O S トランジスタに比べて T F T はチャネル移動度が低いため、図 3 に示した画素 1 5 において、上述したような過剰な移動度補正がかかってしまうことがなく、画面のユニフォームリティが損なわれるようなことも無い。本実施形態では、駆動トランジスタ T d r v のキャリア移動度は、映像信号書き込みトランジスタ T s i g のキャリア移動度より低くなるよう形成される。図 3 に示した画素 1 5 において、駆動トランジスタ T d r v のキャリア移動度が映像信号書き込みトランジスタ T s i g のキャリア移動度より低くなるよう形成されることで、本実施形態に係る有機 E L 表示装置 1 は、画面の表示性能の向上が可能となる。

20

【 0 0 4 3 】

保持容量 C s は、一方の電極 ( 第 1 ノード ) が駆動トランジスタ T d r v の他方のソース・ドレイン領域、および、有機 E L 素子 O L E D のアノード電極に接続されており、他方の電極 ( 第 2 ノード ) が駆動トランジスタ T d r v のゲート電極および映像信号書き込みトランジスタ T s i g のソース・ドレイン領域に接続されている。

【 0 0 4 4 】

補助容量 C e l は、一方の電極が有機 E L 素子 O L E D のアノード電極に、他方の電極が電源供給線 D S にそれぞれ接続されている。補助容量 C e l は、有機 E L 素子 O L E D の等価容量の容量不足分を補うべく、その等価容量の補助となって、保持容量 C s に対する映像信号の書き込みゲインを高めるために設けられている。

30

【 0 0 4 5 】

なお図 3 においては、補助容量 C e l の他方の電極が電源供給線 D S に接続されるように構成されているが、補助容量 C e l の他方の電極の接続先としては、電源供給線 D S に限られるものではなく、固定電位のノードであればよい。補助容量 C e l の他方の電極を固定電位のノードに接続することで、有機 E L 素子 O L E D の容量不足分を補い、保持容量 C s に対する映像信号の書き込みゲインを高めることができる。

40

【 0 0 4 6 】

以上、図 3 を用いて画素 1 5 の具体的な構成例について説明した。続いて、有機 E L 表示装置 1 の画素 1 5 の動作例について説明する。

【 0 0 4 7 】

[ 1 . 3 . 画素の動作例 ]

図 4 は、本開示の実施の形態に係る有機 E L 表示装置 1 の画素 1 5 の動作例をタイミングチャートで示す説明図である。以下、図 4 を用いて本開示の実施の形態に係る有機 E L 表示装置 1 の画素 1 5 の動作例について説明する。

【 0 0 4 8 】

図 4 に示したタイミングチャートには、電源供給線 D S の電位、走査線 W S の電位、信号

50

線 16 の電位 ( $V_{sig} / V_{ofs}$ )、図 3 の画素 15 における駆動トランジスタ  $T_{drv}$  のゲート電位  $G_{ate}$  および駆動トランジスタ  $T_{drv}$  のソース  $S_{ource}$  のそれぞれの変化が示されている。

【0049】

図 4 において、時刻  $t_0$  以前は、前の表示フレーム（前フレーム）における有機 EL 素子 OLED の発光期間となる。前フレームの発光期間では、電源供給線 DS の電位が第 1 電源電位（以下、高電位という） $V_{ccp}$  にあり、また、映像信号書き込みトランジスタ  $T_{sig}$  が非導通状態にある。

【0050】

ここで、駆動トランジスタ  $T_{drv}$  は、飽和領域で動作するように設計されている。これにより、駆動トランジスタ  $T_{drv}$  のゲート - ソース間電圧  $V_{gs}$  に応じた駆動電流（ドレイン - ソース間電流） $I_{ds}$  が、電源供給線 DS から駆動トランジスタ  $T_{drv}$  を通して有機 EL 素子 OLED に供給される。そして、有機 EL 素子 OLED は、駆動電流  $I_{ds}$  の電流値に応じた輝度で発光する。

10

【0051】

時刻  $t_0$  になると、線順次走査の新しい表示フレーム（現フレーム）に入る。駆動トランジスタ  $T_{drv}$  の閾値電圧を  $V_{th}$  とすると、電源供給線 DS の電位が、高電位  $V_{ccp}$  から、信号線 16 の基準電圧  $V_{ofs}$  に対して  $V_{ofs} - V_{th}$  よりも十分に低い第 2 電源電位（以下、低電位という） $V_{ini}$  に切替わる。

【0052】

ここで、有機 EL 素子 OLED の閾値電圧を  $V_{thel}$ 、共通電源供給線の電位（カソード電位）を  $V_{cath}$  とする。このとき、低電位  $V_{ini}$  を、 $V_{ini} < V_{thel} + V_{cath}$  とすると、 $S_{ource}$  の電位が低電位  $V_{ini}$  に略等しくなるため、有機 EL 素子 OLED は逆バイアス状態となって消光する。

20

【0053】

続いて、時刻  $t_1$  において、走査線 WS の電位が低電位側から高電位側に遷移することで、映像信号書き込みトランジスタ  $T_{sig}$  が導通状態となる。このとき、水平セクタ 14 から信号線 16 に対して基準電圧  $V_{ofs}$  が供給されている状態にあるため、 $G_{ate}$  の電位が基準電圧  $V_{ofs}$  になる。また、 $S_{ource}$  の電位は、基準電圧  $V_{ofs}$  よりも十分に低い電位、すなわち低電位  $V_{ini}$  にある。

30

【0054】

またこのとき、駆動トランジスタ  $T_{drv}$  のゲート - ソース間電圧  $V_{gs}$  は  $V_{ofs} - V_{ini}$  となる。ここで、 $V_{ofs} - V_{ini}$  が駆動トランジスタ  $T_{drv}$  の閾値電圧  $V_{th}$  よりも大きくないと、後述する閾値補正処理を行うことができないため、 $V_{ofs} - V_{ini} > V_{th}$  となる関係に設定する必要がある。

【0055】

このように、 $G_{ate}$  の電位を基準電圧  $V_{ofs}$  に固定し、かつ、 $S_{ource}$  の電位を低電位  $V_{ini}$  に固定して初期化する処理が、後述する閾値補正処理（ $V_{th}$  補正）を行う前の準備（閾値補正準備）の処理である。

【0056】

続いて、時刻  $t_2$  において、電源供給線 DS の電位が低電位  $V_{ini}$  から高電位  $V_{ccp}$  に切替わると、 $G_{ate}$  の電位が基準電圧  $V_{ofs}$  に保たれた状態で閾値補正処理（ $V_{th}$  補正）が開始される。すなわち、 $G_{ate}$  の電位から駆動トランジスタ  $T_{drv}$  の閾値電圧  $V_{th}$  を減じた電位に向けて  $S_{ource}$  の電位が上昇を開始する。

40

【0057】

この閾値補正処理が進むと、やがて駆動トランジスタ  $T_{drv}$  のゲート - ソース間電圧  $V_{gs}$  が駆動トランジスタ  $T_{drv}$  の閾値電圧  $V_{th}$  に収束する。この閾値電圧  $V_{th}$  に相当する電圧は保持容量  $C_s$  に保持される。

【0058】

なお、閾値補正処理を行う期間（閾値補正期間）において、電流が専ら保持容量  $C_s$  側に

50

流れ、有機EL素子OLED側には流れないようにするために、有機EL素子OLEDがカットオフ状態となるように、電源供給線には電位V<sub>catch</sub>を設定しておくこととする。

【0059】

続いて時刻t<sub>3</sub>において、走査線WSの電位が低電位側に遷移することで、映像信号書き込みトランジスタT<sub>sig</sub>が非導通状態となる。このとき、駆動トランジスタT<sub>drv</sub>のゲート電極が信号線16から電氣的に切り離されることによってフローティング状態になる。しかしながら、ゲート-ソース間電圧V<sub>gs</sub>が駆動トランジスタT<sub>drv</sub>の閾値電圧V<sub>th</sub>に等しいために、駆動トランジスタT<sub>drv</sub>はカットオフ状態にある。したがって、駆動トランジスタT<sub>drv</sub>に駆動電流I<sub>ds</sub>は流れない。

【0060】

続いて時刻t<sub>4</sub>において、信号線16の電位が基準電圧V<sub>ofs</sub>から映像信号の信号電圧V<sub>sig</sub>に切替わる。続いて、時刻t<sub>5</sub>において、走査線WSの電位が高電位側に遷移することで、映像信号書き込みトランジスタT<sub>sig</sub>は、導通状態となって映像信号の信号電圧V<sub>sig</sub>をサンプリングし、映像信号を画素15に書込む。

【0061】

この映像信号書き込みトランジスタT<sub>sig</sub>による信号電圧V<sub>sig</sub>の書込みにより、Gateの電位が信号電圧V<sub>sig</sub>になる。そして、映像信号の信号電圧V<sub>sig</sub>による駆動トランジスタT<sub>drv</sub>の駆動の際に、駆動トランジスタT<sub>drv</sub>の閾値電圧V<sub>th</sub>が、保持容量C<sub>s</sub>に保持された閾値電圧V<sub>th</sub>に相当する電圧と相殺される。

【0062】

このとき、有機EL素子OLEDは、カットオフ状態（ハイインピーダンス状態）にある。従って、映像信号の信号電圧V<sub>sig</sub>に応じて電源供給線DSから駆動トランジスタT<sub>drv</sub>に流れる駆動電流I<sub>ds</sub>は、有機EL素子OLEDの等価容量および補助容量C<sub>el</sub>に流れ込む。これにより、有機EL素子OLEDの等価容量および補助容量C<sub>el</sub>の充電が開始される。

【0063】

有機EL素子OLEDの等価容量および補助容量C<sub>el</sub>が充電されることにより、Sourceの電位が時間の経過とともに上昇していく。このとき、すでに、駆動トランジスタT<sub>drv</sub>の閾値電圧V<sub>th</sub>の画素毎のばらつきがキャンセルされており、駆動トランジスタT<sub>drv</sub>の駆動電流I<sub>ds</sub>は、駆動トランジスタT<sub>drv</sub>の移動度μに依存したものとなる。なお、駆動トランジスタT<sub>drv</sub>の移動度μは、駆動トランジスタT<sub>drv</sub>のチャネルを構成する半導体薄膜の移動度である。

【0064】

ここで、映像信号の信号電圧V<sub>sig</sub>に対する保持容量C<sub>s</sub>の保持電圧（駆動トランジスタT<sub>drv</sub>のゲート-ソース間電圧）V<sub>gs</sub>の比率、すなわち書き込みゲインが1（理想値）であると仮定する。すると、Sourceの電位がV<sub>ofs</sub> - V<sub>th</sub> + Vの電位まで上昇することで、駆動トランジスタT<sub>drv</sub>のゲート-ソース間電圧V<sub>gs</sub>はV<sub>sig</sub> - V<sub>ofs</sub> + V<sub>th</sub> - Vとなる。

【0065】

すなわち、Sourceの電位の上昇分Vは、保持容量C<sub>s</sub>に保持された電圧（V<sub>sig</sub> - V<sub>ofs</sub> + V<sub>th</sub>）から差し引かれるように、すなわち、保持容量C<sub>s</sub>の充電電荷を放電するように作用する。言い換えると、Sourceの電位の上昇分Vは、保持容量C<sub>s</sub>に対して負帰還がかけられたことになる。従って、Sourceの電位の上昇分Vは負帰還の帰還量となる。

【0066】

このように、駆動トランジスタT<sub>drv</sub>に流れる駆動電流I<sub>ds</sub>に応じた帰還量Vでゲート-ソース間電圧V<sub>gs</sub>に負帰還をかけることで、駆動トランジスタT<sub>drv</sub>の駆動電流I<sub>ds</sub>の移動度μに対する依存性を打ち消すことができる。この処理が、駆動トランジスタT<sub>drv</sub>の移動度μの画素毎のばらつきを補正する移動度補正処理である。

【0067】

10

20

30

40

50

続いて、時刻  $t_6$  において、走査線  $W S$  が低電位側に遷移することで、映像信号書き込みトランジスタ  $T s i g$  が非導通状態となる。これにより、駆動トランジスタ  $T d r v$  のゲート電極は、信号線 16 から電氣的に切り離されるためにフローティング状態になる。

【0068】

ここで、駆動トランジスタ  $T d r v$  のゲート電極がフローティング状態にあるときは、駆動トランジスタ  $T d r v$  のゲート - ソース間に保持容量  $C s$  が接続されていることにより、 $S o u r c e$  の電位の変動に連動して  $G a t e$  の電位も変動する。

【0069】

このように、駆動トランジスタ  $T d r v$  のゲート電位がソース電位の変動に連動して変動する動作が、言い換えると、保持容量  $C s$  に保持されたゲート - ソース間電圧  $V g s$  を保ったまま、駆動トランジスタ  $T d r v$  のゲート電位およびソース電位が上昇する動作が、いわゆるブートストラップ動作である。

10

【0070】

駆動トランジスタ  $T d r v$  のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ  $T d r v$  の駆動電流  $I d s$  が有機  $E L$  素子  $O L E D$  に流れ始めることにより、有機  $E L$  素子  $O L E D$  のアノード電位が上昇する。

【0071】

そして、有機  $E L$  素子  $O L E D$  のアノード電位が  $V t h e l + V c a t h$  を越えると、有機  $E L$  素子  $O L E D$  に駆動電流が流れ始め、有機  $E L$  素子  $O L E D$  が発光を開始する。また、有機  $E L$  素子  $O L E D$  のアノード電位の上昇は、駆動トランジスタ  $T d r v$  のソース電位、すなわち  $S o u r c e$  の電位の上昇に他ならない。そして、 $S o u r c e$  の電位が上昇すると、保持容量  $C s$  のブートストラップ動作により、 $G a t e$  の電位も連動して上昇する。

20

【0072】

このとき、ブートストラップゲインが 1 (理想値) であると仮定した場合、 $G a t e$  の電位の上昇量は  $S o u r c e$  の電位の上昇量に等しくなる。従って、発光期間中、駆動トランジスタ  $T d r v$  のゲート - ソース間電圧  $V g s$  は、 $V s i g - V o f s + V t h - V$  で一定に保持される。そして、時刻  $t_7$  で信号線 16 の電位が映像信号の信号電圧  $V s i g$  から基準電圧  $V o f s$  に切替わる。

【0073】

上述した一連の回路動作において、閾値補正準備、閾値補正、信号電圧  $V s i g$  の書き込み (信号書き込み)、および移動度補正の各処理動作は、1 水平走査期間 (1 H) において実行される。また、信号書き込みおよび移動度補正の各処理動作は、時刻  $t_5 \sim t_6$  の期間において並行して実行される。

30

【0074】

以上、図 4 を用いて本開示の実施の形態に係る有機  $E L$  表示装置 1 の画素 15 の動作例について説明した。続いて、本開示の実施の形態に係る有機  $E L$  表示装置 1 の画素 15 の断面の例を説明する。

【0075】

[ 1.4. 断面例 ]

本開示の実施の形態に係る有機  $E L$  表示装置 1 の画素 15 は、上述したように、映像信号書き込みトランジスタ  $T s i g$  には、 $S i$  半導体基板上に形成した  $M O S$  トランジスタを用い、駆動トランジスタ  $T d r v$  には  $T F T$  を用い、それぞれ使い分ける。

40

【0076】

図 5 は、本開示の実施の形態に係る有機  $E L$  表示装置 1 の画素 15 に形成される映像信号書き込みトランジスタ  $T s i g$  及び駆動トランジスタ  $T d r v$  の断面の構成例を示す説明図である。

【0077】

映像信号書き込みトランジスタ  $T s i g$  は、 $S i$  基板 101 にソース・ドレイン領域 111、112 が形成され、ゲート絶縁膜 115 上に、ゲート電極 114 がサイドウォール 1

50

13に囲まれるよう形成される。

【0078】

一方、駆動トランジスタTdrvは、Si基板101上に形成された酸化膜102の上部にソース・ドレイン領域121、122が形成され、ゲート絶縁膜124上に、ゲート電極125が形成される。

【0079】

このように映像信号書き込みトランジスタTsigにはSi基板101に形成したMOSトランジスタを用い、駆動トランジスタTdrvにはTFTを用いることで、本開示の実施の形態に係る有機EL表示装置1は、映像の高品質化及びユニフォーミティの低下の回避が可能となる。

10

【0080】

図6は、本開示の実施の形態に係る有機EL表示装置1の画素15に形成される映像信号書き込みトランジスタTsig及び駆動トランジスタTdrvの断面の別の構成例を示す説明図である。図6に示したのは、SOI(Silicon on Insulator)基板を用いた場合の映像信号書き込みトランジスタTsig及び駆動トランジスタTdrvの断面例である。

【0081】

SOI基板を用いる場合、Si基板101上に埋め込み酸化膜103を形成し、埋め込み酸化膜103の上にソース・ドレイン領域121、122が形成され、ゲート絶縁膜124上に、ゲート電極125が形成されることで駆動トランジスタTdrvが形成される。また埋め込み酸化膜103の上にソース・ドレイン領域111、112が形成され、ゲート絶縁膜115上に、ゲート電極114がサイドウォール113に囲まれるよう形成されることで映像信号書き込みトランジスタTsigが形成される。

20

【0082】

なおSOI基板を用いる場合、映像信号書き込みトランジスタTsigは、動作を安定にするためにボディ領域を接地し、駆動トランジスタTdrvはボディ領域を意図的に浮遊状態にすればよい。駆動トランジスタTdrvのチャネル移動度を下げるには、駆動トランジスタTdrvを形成する領域のみに、選択的に不純物(例えば、アルゴン(Ar)など)をイオン注入してSOI層を非晶質化した後に、図6のように駆動トランジスタTdrvを形成すればよい。また駆動トランジスタTdrvのチャネル移動度を下げるために、駆動トランジスタTdrvを形成する領域のSOI層を選択的に除去した後に駆動トランジスタTdrvとして用いるTFTを形成してもよい

30

【0083】

このように、映像信号書き込みトランジスタTsigにはSi基板に形成したMOSトランジスタを用い、駆動トランジスタTdrvにはTFTを用いることで、駆動トランジスタTdrvと駆動トランジスタTdrvとを、ウェル分離を用いて電氣的に分離する方法に比べ、駆動トランジスタTdrvの基板バイアス効果の抑制が省スペースで実現できる。

【0084】

図7は、画素15の断面例を示す説明図であり、映像信号書き込みトランジスタTsig及び駆動トランジスタTdrvを水平方向に並べて形成した場合の例を示す説明図である。

40

【0085】

図7に示したように映像信号書き込みトランジスタTsig及び駆動トランジスタTdrvを水平方向に並べて形成しても良いが、画素15をより高精細化するために、映像信号書き込みトランジスタTsig及び駆動トランジスタTdrvを積層させて形成してもよい。すなわち、Si基板に映像信号書き込みトランジスタTsigを形成し、映像信号書き込みトランジスタTsigの上部に積層された配線層にTFTとして駆動トランジスタTdrvを形成しても良い。

【0086】

図8は、本開示の実施の形態に係る有機EL表示装置1の画素15の断面例を示す説明図である。図8に示した画素15は、Si基板101上に映像信号書き込みトランジスタT

50

s i g を形成し、映像信号書き込みトランジスタ T s i g の上部に配線層間膜 1 3 1、1 3 2、1 3 3 を形成し、配線層間膜 1 3 3 が形成された領域に保持容量 C s 及び駆動トランジスタ T d r v が形成されている。そして図 8 に示した画素 1 5 は、駆動トランジスタ T d r v の上部に配線層間膜 1 3 4、1 3 5、1 3 6 が形成されるとともに、配線層間膜 1 3 5 の上部にアノード電極 1 5 1、有機材料層 1 5 2、カソード電極 1 5 3 が形成されている。なおアノード電極 1 5 1、有機材料層 1 5 2、カソード電極 1 5 3 によって有機 E L 素子 O L E D が構成される。

【 0 0 8 7 】

映像信号書き込みトランジスタ T s i g の一方のソース・ドレイン領域には、コンタクトホール及びコンタクトビア 1 4 0 を介して映像信号線 ( V s i g ) 1 6 が接続され、ゲート電極 1 1 4 にはコンタクトホール及びコンタクトビア 1 4 0 を介して走査線 W S が接続される。また、駆動トランジスタ T d r v の一方のソース・ドレイン領域 1 2 1 には、コンタクトホール及びコンタクトビア 1 4 0 を介して電源供給線 D S が接続されており、ゲート電極 1 2 5 にはコンタクトホール及びコンタクトビア 1 4 0 を介して保持容量 C s の一方の電極 1 6 1 が接続されている。保持容量 C s の他方の電極 1 6 2 は、有機 E L 素子 O L E D のアノード電極 1 5 1 に接続される。

【 0 0 8 8 】

S i 基板に映像信号書き込みトランジスタ T s i g を形成し、映像信号書き込みトランジスタ T s i g の上部に積層された配線層に T F T として駆動トランジスタ T d r v を形成することで、高精細化のために駆動回路を微細化してもトランジスタサイズを小さくしなくて済む。従って、本開示の実施の形態に係る有機 E L 表示装置は、映像信号書き込みトランジスタ T s i g と駆動トランジスタ T d r v とを図 8 のように積層させて形成することで、トランジスタ特性のバラつきに起因するユニフォーム性の劣化を回避出来るという効果を有する。

【 0 0 8 9 】

また、S i 基板に映像信号書き込みトランジスタ T s i g を形成し、映像信号書き込みトランジスタ T s i g の上部に積層された配線層に T F T として駆動トランジスタ T d r v を形成することで、駆動トランジスタ T d r v のゲート長を短くしなくて済むという効果もある。駆動トランジスタ T d r v のゲート長が短くなると、ドレイン電圧に依存して駆動トランジスタ T d r v の電流が増加するからである。

【 0 0 9 0 】

図 9 は、駆動トランジスタ T d r v の電圧電流特性の例を示す説明図である。図 9 に示したグラフの破線は理想的な電圧電流特性の例であり、実線は実際の電圧電流特性の例である。理想的には、駆動トランジスタ T d r v のドレイン - ソース間の電圧 V d s がある程度まで低下しても、駆動トランジスタ T d r v のドレイン電流 I d は不変である。しかし駆動トランジスタ T d r v のゲート長が短くなると、実際には、駆動トランジスタ T d r v のドレイン - ソース間の電圧 V d s が低下するにつれてドレイン電流 I d も低下するために、輝度が劣化する。

【 0 0 9 1 】

しかし、駆動トランジスタ T d r v のゲート長を長くすることで、駆動トランジスタ T d r v の電圧電流特性を理想的な状態に近付けることが出来る。すなわち、駆動トランジスタ T d r v のゲート長を長くすることで、電圧 V d s の低下によってもドレイン電流 I d が低下せず、輝度の劣化を回避出来る。すなわち、駆動トランジスタ T d r v を定電流源に近い状態で使用できることになる。

【 0 0 9 2 】

また、映像信号書き込みトランジスタ T s i g と駆動トランジスタ T d r v とを並べて形成すると、基板内に形成される P N 接合における寄生容量や寄生リークに起因し、隣接している駆動回路が誤動作を起こし、本来出力したいものとは違う情報が表示される場合がありうる。これに対し、図 8 のように、映像信号書き込みトランジスタ T s i g と駆動トランジスタ T d r v とを、配線層間膜 1 3 1、1 3 2、1 3 3 を介して (例えば、5 0 0

10

20

30

40

50

nm以上の酸化膜を介して)遠ざけることで、このような誤動作を回避することが出来る。

【0093】

図8に示したのは、保持容量CsをMIMキャパシタとした例であるが、保持容量CsをMIS(Metal Insulator Semiconductor)キャパシタとしてもよい。

【0094】

図10は、本開示の実施の形態に係る有機EL表示装置1の画素15の別の断面例を示す説明図である。図10に示した画素15は、保持容量CsをMISキャパシタとした例である。保持容量Csを、配線層に形成したMIMキャパシタとする場合に比べ、MISキャパシタは誘電体膜の膜厚を薄くできる。例えば、MISキャパシタは誘電体膜の膜厚を10nm以下の酸化膜とすることが出来る。このため、映像信号書き込みトランジスタTsigのゲート酸化膜厚と、MISキャパシタで構成した保持容量Csの絶縁膜厚とを異ならせることが出来る。従って、保持容量CsをMISキャパシタとすることで、小面積ながらも高い容量を確保することが出来る。

10

【0095】

なお、図10に示したように映像信号書き込みトランジスタTsigと保持容量Csとを並べて形成する場合、保持容量Csには映像信号書き込みトランジスタTsigと同じ絶縁膜を用いてもよく、保持容量Csの高容量化のために、映像信号書き込みトランジスタTsigと保持容量Csの誘電体膜とを個別に作り分けても良い。

【0096】

<2.まとめ>

以上説明したように本開示の実施の形態によれば、駆動トランジスタと、映像信号書き込みトランジスタとでキャリア移動度が異なるトランジスタ、例えば、映像信号書き込みトランジスタには単結晶Si基板上に形成されたMOSトランジスタを用い、駆動トランジスタにはTFETを用いる、有機EL表示装置1が提供される。

20

【0097】

本開示の実施の形態に係る有機EL表示装置1は、駆動トランジスタと、映像信号書き込みトランジスタとでキャリア移動度が異なるトランジスタを用いることで、信号品質を高く維持できるとともに、輝度劣化を起こさず、また移動度補正が過剰にかかることに起因する画面のユニフォームリティが損なわれることを回避出来る。

30

【0098】

本開示の実施の形態に係る有機EL表示装置1は、キャリア移動度が異なる駆動トランジスタと、映像信号書き込みトランジスタとを、配線層間膜を介して積層させて形成することができる。駆動トランジスタと、映像信号書き込みトランジスタとを配線層間膜を介して積層させることで、駆動トランジスタのゲート長を長くすることができ、駆動トランジスタTdrvを定電流源に近い状態で使用できる。また駆動トランジスタと、映像信号書き込みトランジスタとを配線層間膜を介して積層させることで、駆動トランジスタと、映像信号書き込みトランジスタとの間のカップリングを抑制し、本来出力したいものとは違う情報が表示される誤動作を回避することが出来る。

【0099】

本開示の実施の形態に係る有機EL表示装置1は、様々な機器に搭載することが可能である。例えば、本開示の実施の形態に係る有機EL表示装置1は、テレビジョン受像機、パーソナルコンピュータ、携帯電話、高機能携帯電話(スマートフォン)、タブレット型携帯端末、携帯型音楽プレーヤ、ゲーム機、デジタルスチルカメラ、デジタルビデオカメラ、腕時計型、頭部装着型、ペンダント型その他のウェアラブルコンピュータ等、様々な機器に搭載できる。

40

【0100】

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例

50

または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

【 0 1 0 1 】

例えば、上記実施形態では、発光素子として有機 E L 素子を用いていたが、本技術はかかる例に限定されない。例えば、無機エレクトロルミネッセンス発光部、LED 発光部、半導体レーザー発光部等の自発光型の発光部を用いた表示装置に対しても、上記実施形態と同様に、駆動トランジスタと、映像信号書き込みトランジスタとはキャリア移動度が異なるトランジスタを用いてもよい。

【 0 1 0 2 】

また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

【 0 1 0 3 】

なお、以下のような構成も本開示の技術的範囲に属する。

( 1 )

発光部及び前記発光部を駆動するための駆動回路を備えた発光素子を複数有し、

前記駆動回路は、

前記発光部を制御する駆動トランジスタと、

映像信号の書き込みを制御する映像信号書き込みトランジスタと、

容量素子と、

を備え、

前記駆動トランジスタは、一方のソース・ドレイン領域が電流供給線に接続され、他方のソース・ドレイン領域が前記発光部及び前記容量素子の第 1 ノードに接続され、ゲート電極が前記容量素子の第 2 ノードに接続され、

前記映像信号書き込みトランジスタは、一方のソース・ドレイン領域がデータ線に接続され、他方のソース・ドレイン領域が前記駆動トランジスタのゲート電極及び前記容量素子の第 2 ノードに接続され、ゲート電極が走査線に接続され、

前記駆動トランジスタと、前記映像信号書き込みトランジスタとはキャリア移動度が異なる、表示装置。

( 2 )

前記駆動トランジスタのキャリア移動度は、前記映像信号書き込みトランジスタのキャリア移動度より低い、前記 ( 1 ) に記載の表示装置。

( 3 )

前記映像信号書き込みトランジスタはシリコン半導体基板上に形成され、前記駆動トランジスタは薄膜トランジスタを用いる、前記 ( 1 ) に記載の表示装置。

( 4 )

前記駆動トランジスタは、nチャネル型の MOS トランジスタである、前記 ( 2 ) に記載の表示装置。

( 5 )

前記駆動トランジスタは配線層に形成される、前記 ( 2 ) または ( 3 ) に記載の表示装置。

( 6 )

前記駆動トランジスタと前記映像信号書き込みトランジスタとは水平方向において少なくとも一部が重なる位置に形成される、前記 ( 5 ) に記載の表示装置。

( 7 )

前記容量素子は、前記駆動トランジスタのソース・ドレイン領域を第 1 ノードとして、前記映像信号書き込みトランジスタのソース・ドレイン領域を第 2 ノードとする、前記 ( 1 ) ~ ( 6 ) のいずれかに記載の表示装置。

( 8 )

前記容量素子は、MIS ( Metal Insulator Semiconductor ) キャパシタである前記 ( 7 ) に記載の表示装置。

10

20

30

40

50

( 9 )

前記映像信号書き込みトランジスタのゲート酸化膜厚と、前記M I S キャパシタの絶縁膜厚とが異なる、前記( 8 )に記載の表示装置。

( 1 0 )

前記( 1 ) ~ ( 9 ) のいずれかに記載の表示装置を備える、電子機器。

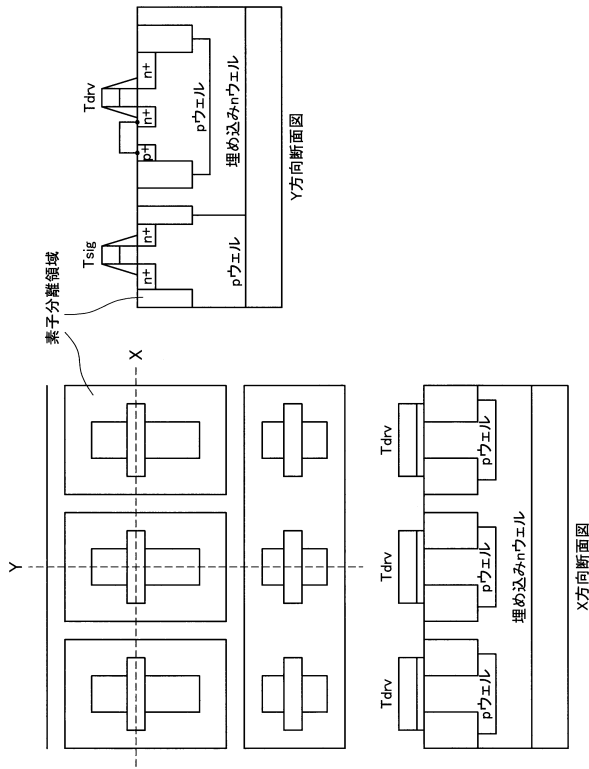
【符号の説明】

【 0 1 0 4 】

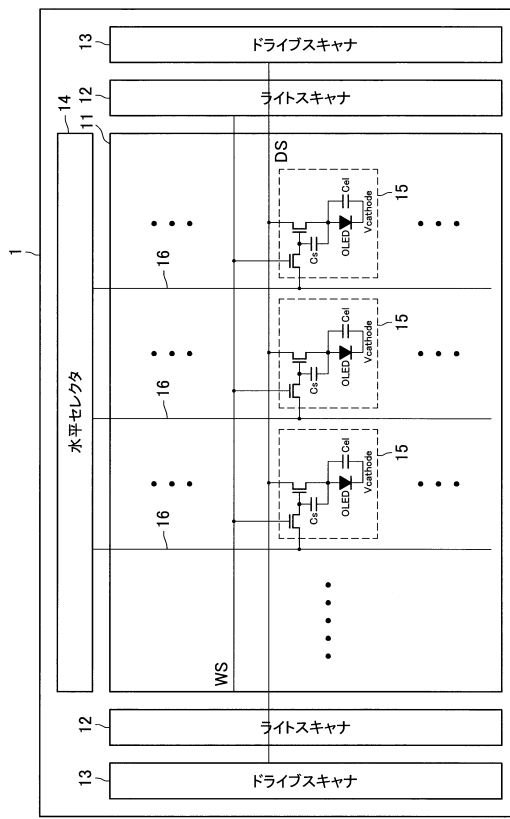
1	: 有機E L表示装置	
1 1	: 画素アレイ部	
1 2	: ライトスキャナ	10
1 3	: ドライブスキャナ	
1 4	: 水平セレクタ	
1 5	: 画素	
1 6	: 信号線	
3 2	: 電源供給線	
1 0 1	: S i 基板	
1 0 2	: 酸化膜	
1 0 3	: 埋め込み酸化膜	
1 1 1	: ソース・ドレイン領域	
1 1 2	: ソース・ドレイン領域	20
1 1 3	: サイドウォール	
1 1 4	: ゲート電極	
1 1 5	: ゲート絶縁膜	
1 2 1	: ソース・ドレイン領域	
1 2 2	: ソース・ドレイン領域	
1 2 4	: ゲート絶縁膜	
1 2 5	: ゲート電極	
1 3 1	: 配線層間膜	
1 3 2	: 配線層間膜	
1 3 3	: 配線層間膜	30
1 3 4	: 配線層間膜	
1 3 5	: 配線層間膜	
1 3 6	: 配線層間膜	
1 4 0	: コンタクトホール及びコンタクトビア	
1 5 1	: アノード電極	
1 5 2	: 有機材料層	
1 5 3	: カソード電極	
1 6 1	: 電極	
1 6 2	: 電極	
C s	: 保持容量	40
C e l	: 補助容量	
D S	: 電源供給線	
T d r v	: 駆動トランジスタ	
T s i g	: 映像信号書き込みトランジスタ	
W S	: 走査線	

【図面】

【図 1】



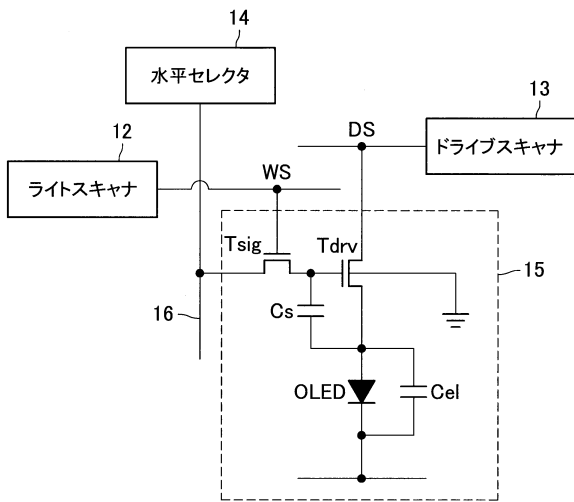
【図 2】



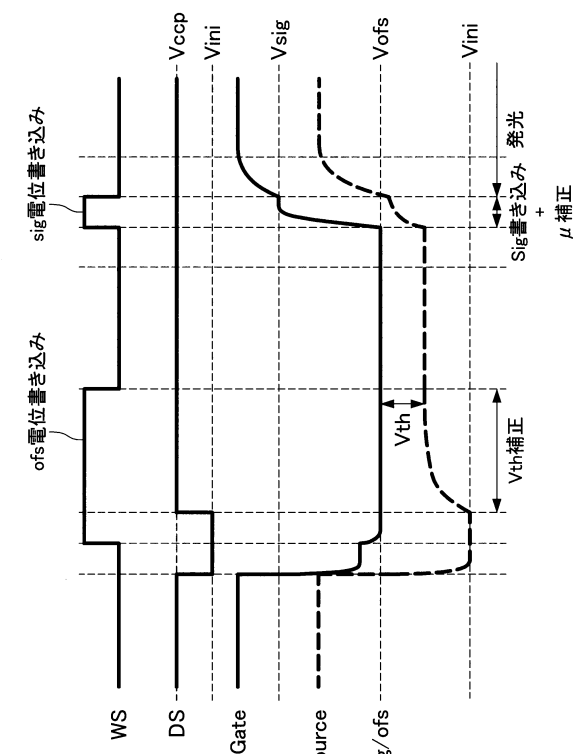
10

20

【図 3】



【図 4】

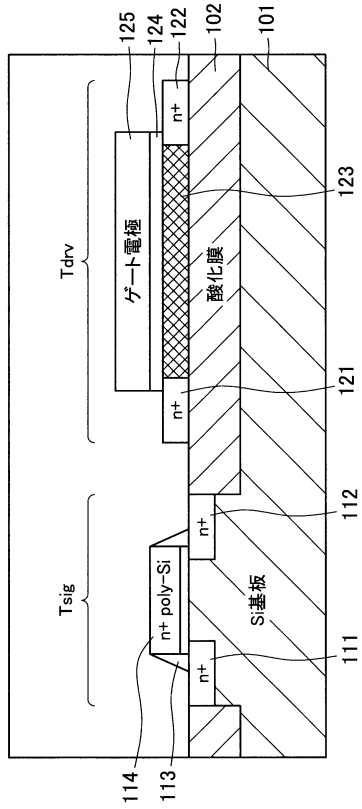


30

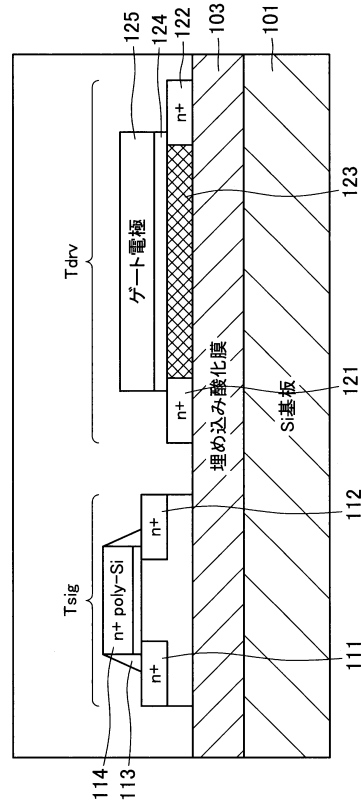
40

50

【図5】



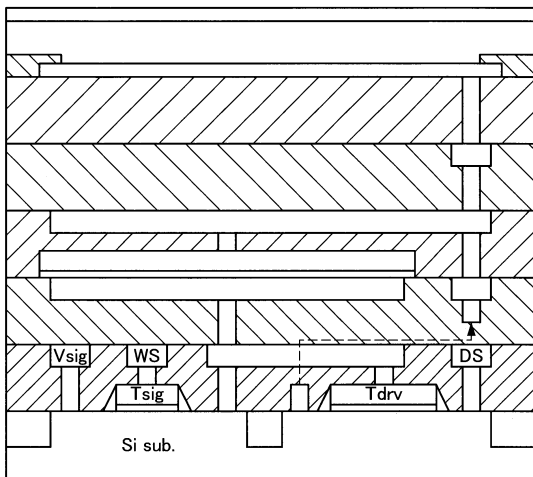
【図6】



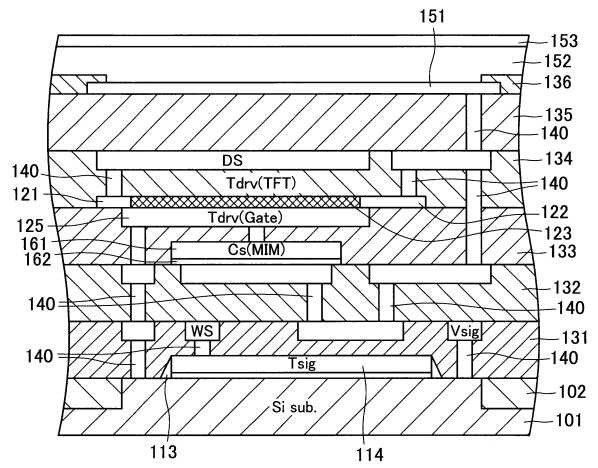
10

20

【図7】



【図8】



30

40

50



## フロントページの続き

## (51)国際特許分類

F I			
G 0 9 G	3/3233		
H 0 1 L	27/32		
H 0 5 B	33/14		A

## (56)参考文献

特開 2 0 1 5 - 1 9 4 5 7 7 ( J P , A )  
特開 2 0 1 3 - 4 4 8 9 0 ( J P , A )  
特開 2 0 0 5 - 3 0 0 7 8 6 ( J P , A )  
米国特許出願公開第 2 0 1 6 / 0 0 6 4 4 2 1 ( U S , A 1 )  
米国特許出願公開第 2 0 1 6 / 0 0 5 8 0 4 ( U S , A 1 )

## (58)調査した分野 (Int.Cl. , D B 名)

G09F 9/30-9/46  
H01L 27/32, 29/786, 51/50  
H05B 33/00-33/28