



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년02월18일  
 (11) 등록번호 10-0943112  
 (24) 등록일자 2010년02월10일

(51) Int. Cl.  
 G11C 11/15 (2006.01) G11C 11/16 (2006.01)  
 G11C 11/00 (2006.01)  
 (21) 출원번호 10-2004-7021252  
 (22) 출원일자 2003년04월29일  
 심사청구일자 2008년04월29일  
 (85) 번역문제출일자 2004년12월27일  
 (65) 공개번호 10-2005-0009762  
 (43) 공개일자 2005년01월25일  
 (86) 국제출원번호 PCT/US2003/013179  
 (87) 국제공개번호 WO 2004/003922  
 국제공개일자 2004년01월08일  
 (30) 우선권주장  
 10/186,141 2002년06월28일 미국(US)  
 (56) 선행기술조사문헌  
 US5953248 A  
 JP2004528665 A  
 전체 청구항 수 : 총 5 항

(73) 특허권자  
**에버스핀 테크놀로지스, 인크.**  
 미국, 애리조나 85224, 챌들러, 노스 엘마 스퀸  
 로드 1300  
 (72) 발명자  
**나하스, 요셉, 제이.**  
 미국 78731 텍사스주 오스틴 젠틀 브리즈 테라스  
 5824  
**안드레, 토마스, 더블유.**  
 미국 78732 텍사스주 오스틴 라티머 드라이브  
 3508  
 (뒷면에 계속)  
 (74) 대리인  
**양영준, 장수길**

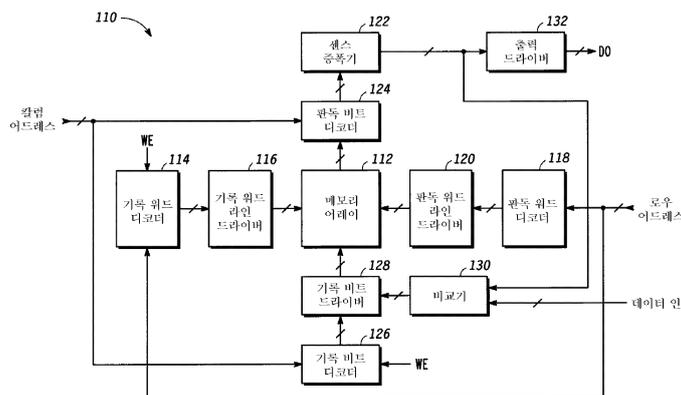
심사관 : 윤난영

**(54) 토글 메모리를 기록하는 회로 및 방법**

**(57) 요약**

메모리 상태가 기록될 새로운 데이터와 이미 메모리(112)에 저장된 것과 다른 경우에만 토글되도록, 토글 기록 동작이 메모리(112)로부터의 데이터 관독에 응답하여 조건적으로 중단되는 토글 메모리(112), 특히 MRAM을 기록하는 회로 및 방법.

**대표도**



(72) 발명자

서브라마니안, 키트라, 케이.

미국 78750 텍사스주 오스틴 피크페어 드라이브  
10601

가르니, 브래들리, 제이.

미국 78735 텍사스주 오스틴 이글 페더 드라이브  
4532

---

**특허청구의 범위**

**청구항 1**

토글 메모리를 판독 및 기록하는 방법 - 상기 토글 메모리는 자기저항 랜덤 액세스 메모리 (MRAM:magneto-resistive random access memory)임 - 으로서,

상기 토글 메모리의 선정된 어드레스 위치의 판독 동작을 개시하는 단계;

상기 선정된 어드레스 위치에서 현재 저장된 값에 영향을 주지 않고 상기 선정된 어드레스 위치에서 기록 토글링 동작의 일부를 개시하는 단계;

상기 선정된 어드레스 위치에서의 현재 저장된 데이터 값과 상기 선정된 어드레스 위치에 기록될 새로운 값을 비교하여 상기 새로운 값이 상기 현재 저장된 데이터 값과 다르거나 일치하는지를 결정하는 단계; 및

상기 새로운 값이 상기 현재 저장된 데이터 값과 다른 경우에 상기 선정된 어드레스 위치에서 상기 기록 토글링 동작을 완성하거나, 상기 기록될 새로운 값이 상기 현재 저장된 데이터 값과 동일한 경우에 상기 선정된 어드레스 위치에서 상기 기록 토글링 동작을 종료하는 단계

를 포함하는 토글 메모리 판독 및 기록 방법.

**청구항 2**

제1항에 있어서,

상기 선정된 위치에서의 MRAM 셀은 제1 전류 경로 및 상기 제1 전류 경로에 직교하는 제2 전류 경로를 갖고,

개시되는 상기 토글링 동작의 일부는 상기 제1 전류 경로를 통해 제1 전류를 도전시키는 단계를 포함하는 토글 메모리 판독 및 기록 방법.

**청구항 3**

제2항에 있어서, 상기 선정된 어드레스에서 상기 토글링 동작을 완성하는 단계는,

상기 제2 전류 경로를 통해 제2 전류로 상기 MRAM을 토글링하는 단계를 더 포함하는 토글 메모리 판독 및 기록 방법.

**청구항 4**

제1항에 있어서,

상기 선정된 어드레스 위치에서 상기 기록 토글링 동작을 완성하기 이전에 다른 선정된 어드레스 위치의 다른 판독 동작을 개시하는 단계를 더 포함하는 토글 메모리 판독 및 기록 방법.

**청구항 5**

제1항에 있어서,

상기 기록 토글링 동작을 개시하는데 이용되는 기록 워드 라인 드라이버와 분리되고 떨어져 있는 판독 워드 라인 드라이버로 상기 판독을 개시하는 단계를 더 포함하는 토글 메모리 판독 및 기록 방법.

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

## 명세서

### 기술분야

[0001] 본 발명은 메모리 기록에 관한 것으로, 특히 토글하는 메모리에 기록하는 것에 관한 것이다.

### 배경기술

[0002] 비휘발성 메모리 디바이스는 전자 시스템에서 매우 중요한 컴포넌트이다. 플래시(FLASH)는 오늘날 이용되는 주요한 비휘발성 메모리 디바이스이다. 전형적인 비휘발성 메모리 디바이스는 유동 산화물 층에 트랩된 전하들을 이용하여 정보를 저장한다. 플래시 메모리의 단점은 높은 전압 요구 및 느린 프로그램 및 삭제 시간을 포함한다. 또한, 플래시 메모리는 메모리 오류 이전에  $10^4$ - $10^6$  사이클의 낮은 기록 내구성을 가지고 있다. 뿐만 아니라, 적당한 데이터 보존을 유지하기 위해, 게이트 산화물의 스케일링은 일렉트로닉스에 의해 보여지는 터널링 배리어에 의해 제한된다. 그러므로, 플래시 메모리는 스케일링될 수 있는 치수가 제한된다.

[0003] 이들 단점들을 극복하기 위해, 자기 메모리 디바이스가 평가받고 있다. 하나의 그러한 디바이스는 자기저항 RAM(이하에서는 "MRAM"으로 지칭됨)이다. 그러나, 상용으로 실용화되기 위해서는, MRAM은 현재의 메모리 기술에 필적할 만한 메모리 밀도를 가져야 하고, 장래 세대를 위해 스케일링가능해야 하며, 저전압에서 동작가능하

고, 낮은 전력 소비를 가져야 하며, 경쟁력있는 판독/기록 속도를 가져야 한다.

[0004] MRAM 디바이스에 대해, 비휘발성 메모리 상태의 안정성, 판독/기록 사이클의 반복성, 및 메모리 소자-대-소자 스위칭 필드 균일성은 그 설계 특성의 3가지 가장 중요한 양상들이다. MRAM의 메모리 상태는 전력에 의해 유지되기보다는 자기 모멘트 벡터의 방향에 의해 유지된다. 데이터 저장은 자계를 인가하여 MRAM 디바이스내의 자기 재료를 2개의 가능한 메모리 상태들 중 하나로 자화시킴으로써 달성된다. 데이터의 조회는 MRAM 디바이스의 두개의 상태들 사이의 저항 차이를 감지함으로써 달성된다. 기록을 위한 자계는 자기 구조의 외부에 존재하는 스트립 라인 또는 자기 구조 자체를 통해 전류를 통과시킴으로써 생성된다.

[0005] MRAM 디바이스의 횡적 치수가 감소됨에 따라, 3가지 문제가 발생한다. 첫 번째로, 스위칭 필드는 주어진 형상 및 막 두께에 대해 증가하고, 이는 스위칭하는데 더 큰 자계가 요구된다. 두 번째로, 전체 스위칭 크기가 감소되어 역전을 위한 에너지 배리어가 감소된다. 에너지 배리어는 자기 모멘트 벡터를 하나의 상태로부터 다른 상태로 스위칭하는데 필요한 에너지 양을 지칭한다. 에너지 배리어는 MRAM 디바이스의 데이터 보유 및 에러 레이트를 결정하고, 배리어가 너무 작다면 열변동(thermofluctuation)(초상자성(superparamagnetism))으로 인해 원하지 않은 역전이 발생할 수 있다. 작은 에너지 배리어를 가지는 주요한 문제는 하나의 어레이에서 하나의 MRAM 디바이스를 선택적으로 스위칭하는 것이 극도로 어렵게 된다는 점이다. 선택가능성(selectability)은 다른 MRAM 디바이스를 우연히 스위칭하지 않는 스위칭을 가능하게 한다. 마지막으로, 스위칭 필드는 형상에 의해 생성되므로, 스위칭 필드는 MRAM 디바이스가 그 크기가 감소함에 따라 형태 변동에 더 민감하게 된다. 더 작은 치수에서 포토리소그래피 스케일링이 더 어렵게 됨에 따라, MRAM 디바이스는 밀접한 스위칭 분포를 유지하는 것이 어려울 것이다.

[0006] 그러므로, 종래 기술에 본질적으로 내재하는 상기 및 다른 결점들을 치유하는 것이 매우 유익하다.

### 실시예

[0025] 토글 메모리는 메모리 셀의 상태를 역전시키거나 이들을 동일한 로직 상태로 유지함으로써 기록된다. 이들 중 어느 것이 선택되는 지를 결정하기 위해, 기록될 로직 상태는 이미 존재하는 상태와 비교되어야 한다. 이 경우에, 이러한 비교가 완료되기 이전에 기록 시퀀스가 시작된다. 비교 결과가 로직 상태가 역전되어 있는 것으로 된 경우, 기록 시퀀스가 계속된다. 로직 상태가 동일하게 유지된 것이라면, 기록 시퀀스가 종료된다.

[0026] 이제, 본 발명의 양호한 실시예에 따라 MRAM 어레이(3)의 단순화된 단면도를 예시하는 도 1을 참조한다. 본 예시에서, 단지 하나의 자기저항 메모리 디바이스(10)가 도시되어 있지만, MRAM 어레이(3)는 다수의 MRAM 디바이스(10)로 구성되어 있고 기록 방법을 설명할 때의 단순함을 위해 단지 하나의 그러한 디바이스를 도시하고 있다.

[0027] MRAM 디바이스(10)는 기록 워드 라인(20) 및 기록 비트 라인(30)을 포함한다. 기록 워드 라인(20) 및 기록 비트 라인(30)은 전류가 그 사이로 통과될 수 있도록 도전성 재료를 포함한다. 본 예시에서, 기록 워드 라인(20)은 MRAM 디바이스(10)의 상부에 배치되고, 기록 비트 라인(30)은 MRAM 디바이스(10)의 기저부에 배치되며, 워드 라인(20)에 90도 각도로 지향된다(도 2 참조). 대안으로서, 기록 워드 라인(20)은 MRAM 디바이스(10)의 기저부에 배치되고, 워드 비트 라인(30)이 MRAM 디바이스(10)의 상부에 배치될 수 있다.

[0028] MRAM 디바이스(10)는 제1 자기 영역(15), 터널링 배리어(16) 및 제2 자기 영역(17)을 포함하는 터널 접합을 포함하고, 터널링 배리어(16)는 제1 자기 영역(15)과 제2 자기 영역(17)의 사이에 샌드위치된다. 바람직한 실시예에서, 자기 영역(15)은 3개-층 구조(18)를 포함하고, 이는 2개의 강자성층(45, 55)들간의 반-강자성 결합 스페이스 층(65)을 가지고 있다. 반-강자성 결합 스페이스 층(65)은 두께(86)를 가지고 있고, 강자성층(45, 55)은 두께(41, 51)를 각각 가지고 있다. 또한, 자기 영역(17)은 3개-층 구조(19)를 가지고 있고, 이는 2개의 강자성층(46, 56)간의 반-강자성 결합 스페이스 층(66)을 가지고 있다. 반-강자성 결합 스페이스 층(66)은 두께(87)를 가지고 있고, 강자성층(46, 56)은 각각 두께(42, 52)를 가지고 있다.

[0029] 일반적으로, 반-강자성 결합 스페이스 층(65, 66)은 원소 Ru, Os, Re, Cr, Rh, Cu 또는 그 조합들 중 적어도 하나를 포함한다. 또한, 강자성층(45, 55, 46 및 56)은 원소 Ni, Fe, Mn, Co 또는 그 조합들 중 적어도 하나를 포함한다. 또한, 자기 영역(15, 17)은 3개-층 구조와 다른 합성 반-강자성(SAF) 층 재료 구조를 포함할 수 있고, 본 실시예에서 3개-층 구조의 이용은 단지 예시의 목적을 위해서이다. 예를 들어, 하나의 그러한 합성 반-강자성층 재료 구조는 강자성층/반강자성 결합 스페이스 층/강자성층/반강자성 결합 스페이스 층/강자성층 구조의 5개-층 스택을 포함할 수 있다.

- [0030] 강자성층(45, 55)은 각각 반강자성 결합 스페이서 층(65)의 결합에 의해 통상 반-평행하게 유지되는 자기 모멘트 벡터(57, 53)를 각각 가지고 있다. 또한, 자기 영역(15)은 결과적인 자기 모멘트 벡터(40)를 가지고 있고, 자기 영역(17)은 결과적인 자기 모멘트 벡터(50)를 가지고 있다. 결과적인 자기 모멘트 벡터(40, 50)는 기록 워드 라인(20) 및 기록 비트 라인(30)으로부터 하나의 각도, 바람직하게는 45도의 각도인 방향으로 이방성 용이-축을 따라 배향된다(도 2 참조). 또한, 자기 영역(15)은 자유로운 자기 영역으로서, 이는 결과적인 자기 모멘트 벡터(40)가 인가된 자계의 존재하에서 자유롭게 회전할 수 있다는 것을 의미한다. 자기 영역(17)은 편형 자기 영역으로서, 이는 결과적인 자기 모멘트 벡터(50)가 적당하게 인가된 자계의 존재하에서 자유롭게 회전할 수 없다는 것을 의미하며, 이는 참조 층으로서 이용된다.
- [0031] 반-강자성 결합층이 각 3개-층 구조(18)에서 2개의 강자성층 사이에 예시되어 있지만, 강자성층은 정자계(magnetostatic) 또는 다른 특징과 같이 다른 수단을 통해 반-강자성으로 결합될 수 있다는 것은 자명하다. 예를 들어, 셀의 어스펙트 비가 5 이하로 감소되는 경우, 강자성층은 정자계 플럭스 클로저(magnetostatic flux closure)로부터 반-평행하게 결합된다.
- [0032] 바람직한 실시예에서, MRAM 디바이스(10)는 비-원형 플랜에서 길이/폭 비가 1 내지 5의 범위를 가지는 3개-층 구조(18)를 가지고 있다. 그러나, 여기에서는 원형인 플랜을 예시한다(도 2 참조). MRAM 디바이스(10)는 바람직한 실시예에서 형태 이방성으로부터 스위칭 필드로의 기여를 최소화시키기 위해, 그리고 디바이스를 횡적으로 더 작은 치수로 스케일링하는 포토리소그래피 처리를 이용하는 것이 더 용이하기 때문에, 모양이 원형이다. 그러나, MRAM 디바이스(10)는 정사각형, 타원형, 직사각형 또는 다이아몬드형과 같은 다른 형태를 가질 수 있고, 여기에서는 단순화를 위해 원형인 것으로 예시되어 있다.
- [0033] 또한, MRAM 어레이(3)의 제조 동안에, 각 연속층(즉, 30, 55, 65, 등)은 순차적으로 피착되거나 다르게 형성되며, 각 MRAM 디바이스(10)는 반도체 산업에서 주지된 기술들 중 임의의 하나에서 선택적 피착, 포토리소그래피 처리, 에칭 등에 의해 정의될 수 있다. 적어도 강자성층(45 및 55)의 피착 동안에, 자계가 제공되어 이 쌍에 대한 바람직한 용이 자기 축을 설정한다(유도된 이방성). 제공된 자계는 자기 모멘트 벡터(53 및 57)에 대한 바람직한 이방성 축을 생성한다. 바람직한 축은 이하에 설명되는 바와 같이 기록 워드 라인(20) 및 기록 비트 라인(30)의 사이에서 45도의 각도가 되도록 선택된다.
- [0034] 이제, 본 발명에 따라 MRAM 어레이(3)의 단순화된 평면도를 예시하는 도 2를 참조한다. MRAM 디바이스(10)의 설명을 단순화시키기 위해, 모든 방향은 도시된 바와 같이 x- 및 y-축 시스템(100), 시계방향 회전 방향(94), 및 반시계방향 회전 방향(96)으로 참조된다. 설명을 더 단순화시키기 위해, MRAM 디바이스(10)가 결과적인 자기 모멘트 벡터(40)뿐만 아니라, 자기 모멘트 벡터(53, 57)와 영역(15)에서 하나의 3개-층 구조를 포함하도록 N은 2라고 더 가정된다. 또한, 영역(15)의 자기 모멘트 벡터들만이 스위칭되므로 예시되어 있다.
- [0035] 기록 방법이 작용하는 방법을 예시하기 위해, 자기 모멘트 벡터(53, 57)에 대한 바람직한 이방성 축이 음의 x- 및 음의 y-방향에 대해 45도 각도로 지향되고, 양의 x- 및 양의 y-방향에 대해 45도 각도로 지향되어 있다고 가정한다. 하나의 예로서, 도 2는 자기 모멘트 벡터(53)가 음의 x- 및 음의 y-방향에 대해 45도 각도로 지향되어 있는 것을 도시하고 있다. 자기 모멘트 벡터(57)는 일반적으로 자기 모멘트 벡터(53)에 반-평행하게 향하게 되므로, 양의 x- 및 양의 y-방향에 대해 45도 각도로 지향된다. 이러한 초기 배향은 이하에 설명되는 바와 같이, 기록 방법의 예들을 도시하는데 이용된다.
- [0036] 양호한 실시예에서, 기록 워드 전류(60)는 양의 x-방향으로 흐르는 경우에 양인 것으로 정의되고, 기록 비트 전류(70)는 양의 y-방향으로 흐르는 경우에 양인 것으로 정의된다. 기록 워드 라인(20) 및 기록 비트 라인(30)의 목적은 MRAM 디바이스(10)내에 자계를 생성하는 것이다. 양의 기록 워드 전류(60)는 원주 기록 워드 자계  $H_w(80)$ 를 유도하고, 양의 기록 비트 전류(70)는 원주 기록 비트 자계  $H_b(90)$ 를 유도한다. 이러한 예에서, 기록 워드 라인(20)이 MRAM 디바이스(10) 위에 있으므로, 구성 요소의 면에서,  $H_w(80)$ 는 양의 기록 워드 전류(60)에 대해 양의 y-방향으로 MRAM 디바이스(10)에 인가될 것이다. 마찬가지로, 기록 비트 라인(30)이 MRAM 디바이스(10) 아래에 있으므로, 구성 요소의 면에서,  $H_b(90)$ 은 양의 기록 비트 전류(70)에 대해 양의 x-방향으로 MRAM 디바이스(10)에 인가될 것이다. 양 및 음의 전류에 대한 정의는 임의의 것이고 여기에서 예시의 목적상 정의된다는 것은 자명하다. 전류 흐름을 반전시키는 효과는 MRAM 디바이스(10)내에 유도되는 자계의 방향을 변경하는 것이다. 전류 유도 자계의 양태는 본 기술분야의 숙련자들에게 공지되어 있으므로, 여기에서는 더 상세하게 설명하지 않는다.
- [0037] 이제, SAF 3개-층 구조의 시뮬레이션된 스위칭 양태를 예시한 도 3을 참조한다. 시뮬레이션은 진성 이방성과

동일한 모멘트(거의 균형된 SAF)와 근접하고, 반-강자성으로 결합되며, 그 자화 다이내믹스가 란다우-리프시츠(Landau-Lifshitz) 등식에 의해 기술되는 2개의 단일 도메인 자기층으로 구성된다. x-축은 에르스텟(Oersted) 단위의 기록 워드 라인 자계 크기이고, y-축은 에르스텟 단위의 기록 비트 라인 자계 크기이다. 자계는 도 4에 도시된 바와 같이 펄스 시퀀스(100)로 인가되고, 펄스 시퀀스(100)는 시간 함수로서 기록 워드 전류(60) 및 기록 비트 전류(70)를 포함한다.

[0038] 도 3에 예시된 3개의 동작 영역이 있다. 영역(92)에서는 스위칭이 없다. 영역(95)에서의 MRAM 동작에 대해, 직접 기록 방법이 효력이 있다. 직접 기록 방법을 이용하는 경우, 기록되고 있는 상태가 저장된 상태와 다른 경우에만 상태가 스위칭되므로, MRAM 디바이스의 초기 상태를 결정할 필요가 없다. 기록된 상태의 선택은 기록 워드 라인(20) 및 기록 비트 라인(30) 양쪽의 전류 방향에 의해 결정된다. 예를 들어, '1'이 기록되기를 원한다면, 양쪽 라인에서 전류 방향이 양이 된다. '1'이 이미 요소에 저장되고 '1'이 기록되고 있다면, MRAM 디바이스의 최종 상태는 계속해서 '1'이 될 것이다. 또한, '0'이 저장되어 있고 '1'이 양의 전류로 기록되고 있다면, MRAM 디바이스의 최종 상태는 '1'이 될 것이다. 동일한 결과는 양쪽 기록 워드 및 기록 비트 라인에서 음의 전류를 이용함으로써 '0'을 기록할 때 얻어진다. 그러므로, 어느 상태든 그 초기 상태에 관계없이 전류 펄스의 적절한 극성으로 원하는 '1' 또는 '0'으로 프로그래밍될 수 있다. 본 명세서 전체에 걸쳐, 영역(95)에서의 동작은 "직접 기록 모드"로서 정의될 것이다.

[0039] 영역(97)에서의 MRAM 동작에 대해, 토글 기록 방법이 유효하다. 토글 기록 방법을 이용할 때, 기록 워드 라인(20) 및 기록 비트 라인(30) 양쪽에 대해 동일한 극성 전류 펄스가 선택되는 한 전류 방향에 관계없이 MRAM 디바이스가 기록될 때마다 상태가 스위칭되므로, 기록하기 이전에, MRAM 디바이스의 초기 상태를 결정할 필요가 있다. 예를 들어, '1'이 초기에 저장되어 있는 경우, 디바이스 상태는 하나의 양의 전류 펄스 시퀀스가 기록 워드 및 기록 비트 라인을 통해 흐른 후에 '0'으로 스위칭될 것이다. 저장된 '0' 상태에서 양의 전류 펄스 시퀀스를 반복하는 것은 이를 '1'로 리턴시킨다. 그러므로, 메모리 요소를 원하는 상태로 기록할 수 있기 위해서는, MRAM 디바이스(10)의 초기 상태가 우선 관독되어, 기록될 상태와 비교되어야 한다. 관독 및 비교는 정보를 저장하기 위한 버퍼 및 메모리 상태를 비교하기 위한 비교기를 포함하는 추가 논리 회로를 필요로 할 수 있다. 그리고나서, MRAM 디바이스(10)는 저장된 상태와 기록된 상태가 다른 경우에만 기록된다. 이러한 방법의 장점들 중 하나는, 단지 다른 비트들만이 스위칭되므로, 소비 전력이 낮아진다는 점이다. 토글 기록 방법을 이용하는 추가 장점은 단지 단극 전압이 필요하고 결과적으로, 더 작은 N-채널 트랜지스터가 MRAM 디바이스를 구동하는데 이용될 수 있다는 점이다. 본 명세서 전체에 걸쳐, 영역(97)에서의 동작은 "토글 기록 모드"로서 정의될 것이다.

[0040] 양쪽 기록 방법은 자기 모멘트 벡터(53 및 57)가 이전에 설명된 바와 같이 2개의 바람직한 방향들 중 하나로 향해질 수 있도록 기록 워드 라인(20) 및 기록 비트 라인(30)에 전류를 공급하는 것에 관련된다. 2개의 스위칭 모드를 완전하게 설명하기 위해, 이제 자기 모멘트 벡터(53, 57 및 40)의 시간 전개를 설명하는 특정 예들이 주어진다.

[0041] 이제, 펄스 시퀀스(100)를 이용하여 '1'을 '0'에 기록하기 위한 토글 기록 모드를 예시하는 도 5를 참조한다. 본 예시에서, 시간  $t_0$ 에서, 자기 모멘트 벡터(53, 57)는 도 2에 도시된 바와 같이 바람직한 방향으로 지향된다. 이러한 지향은 '1'로서 정의될 것이다.

[0042] 시간  $t_1$ 에서, 양의 기록 워드 전류(60)가 턴온되어 양의 y-방향으로 지향되는  $H_w(80)$ 를 유도한다. 양의  $H_w(80)$ 의 형상은 거의 균형되게 반-정렬된(anti-aligned) MRAM 3개-층을 "플롭(FLOP)"하도록 유발하여 인가된 필드 방향에 대해 약 90도로 지향되게 된다. 강자성층(45, 55)간의 유한한 반-강자성 교환 상호작용은 자기 모멘트 벡터(53, 57)가 자계 방향을 향해 작은 각도로 편향될 수 있게 하고, 결과적인 자기 모멘트 벡터(40)가 자기 모멘트 벡터(53, 57) 사이의 각도로 범위가 정해지며,  $H_w(80)$ 와 정렬된다. 그러므로, 자기 모멘트 벡터(53)가 시계 방향(94)으로 회전된다. 결과적인 자기 모멘트 벡터(40)가 자기 모멘트 벡터(53, 57)의 벡터 합이므로, 자기 모멘트 벡터(57)도 또한 시계 방향(94)으로 회전된다.

[0043] 시간  $t_2$ 에서, 양의 기록 비트 전류(70)가 턴온되고, 이는 양의  $H_b(90)$ 를 유도한다. 결과적으로, 결과적인 자기 모멘트 벡터(40)는  $H_w(80)$ 에 의해 양의 y-방향 및  $H_b(90)$ 에 의해 양의 x-방향으로 동시에 지향되고 있으므로, 유효 자기 모멘트 벡터(40)의 영향이 양의 x- 및 양의 y-방향의 사이에서 45도의 각도로 일반적으로 지향될 때까지 시계 방향(94)으로 더 회전되게 한다. 결과적으로, 자기 모멘트 벡터(53, 57)는 시계 방향(94)으로 더 회전한다.

- [0044] 시간  $t_3$ 에서, 기록 워드 전류(60)가 턴오프되어  $H_b(90)$ 만이 결과적인 자기 모멘트 벡터(40)를 지향하고 있고, 이는 양의 x-방향으로 지향될 것이다. 양쪽 자기 모멘트 벡터(53 및 57)는 이제 그 이방성 난이-축 불안정 포인트를 통과한 각도로 지향될 것이다.
- [0045] 시간  $t_4$ 에서, 기록 비트 전류(70)가 턴오프되어, 자계력이 결과적인 자기 모멘트 벡터(40)에 작용하지 않고 있다. 결과적으로, 자기 모멘트 벡터(53, 57)가 그 가장 근접한 바람직한 방향으로 지향되게 되어 이방성 에너지를 최소화한다. 이 경우에, 자기 모멘트 벡터(53)에 대한 바람직한 방향은 양의 y- 및 양의 x-방향에 대해 45도 각도이다. 이러한 바람직한 방향은 또한 시간  $t_0$ 에서의 자기 모멘트 벡터의 초기 방향으로부터 180도이며, '0'으로 정의된다. 그러므로, MRAM 디바이스(10)가 '0'으로 스위칭되었다. MRAM 디바이스(10)는 양쪽 기록 워드 라인(20) 및 기록 비트 라인(30)에서 음의 전류를 이용함으로써 자기 모멘트 벡터(53, 57, 40)를 반시계 방향(96)으로 회전시킴으로써 스위칭될 수 있다는 것은 자명하지만, 예시의 목적상 다르게는 도시하지 않는다.
- [0046] 이제, 펄스 시퀀스(100)를 이용하여 '0'에 '1'을 기록하기 위한 토글 기록 모드를 예시하는 도 6을 참조한다. 상기 설명된 바와 같이 각각의 시간  $t_0$ ,  $t_1$ ,  $t_2$ ,  $t_3$  및  $t_4$ 에서 결과적인 자기 모멘트 벡터(40)뿐만 아니라 자기 모멘트 벡터(53, 57)가 예시되어 있고, 동일한 전류 및 자계 방향으로 MRAM 디바이스(10)의 상태를 '0'에서 '1'로 스위칭하는 성능을 도시하고 있다. 그러므로, MRAM 디바이스(10)의 상태는 도 3의 영역(97)에 대응하는 토글 기록 모드로 기록된다.
- [0047] 직접 기록 모드에 대해, 자기 모멘트 벡터(53)는 자기 모멘트 벡터(57)보다 크기가 더 크다고 가정되므로, 자기 모멘트 벡터(40)는 자기 모멘트 벡터(53)와 동일한 방향으로 지시하지만, 제로 필드에서 더 작은 크기를 가지고 있다. 이러한 불균형된 모멘트는, 전체 모멘트를 인가된 필드와 정렬하는 경향이 있는 다이폴 에너지가 거의 균형된 SAF의 대칭을 파괴할 수 있게 한다. 그러므로, 스위칭은 주어진 전류 극성에 대해 하나의 방향으로만 발생할 수 있다.
- [0048] 이제, 펄스 시퀀스(100)를 이용하고 직접 기록 모드를 이용하여 '1'을 '0'에 기록하는 하나의 예를 예시하는 도 7를 참조한다. 여기에서, 다시, 메모리 상태는 처음에 '1'이고 자기 모멘트 벡터(53)는 음의 x- 및 y-방향에 대해 45도 지향되며 자기 모멘트 벡터(57)는 양의 x- 및 y-방향에 대해 45도 지향된다. 양의 기록 워드 전류(60) 및 양의 기록 비트 전류(70)를 가지는 상기 설명된 펄스 시퀀스에 이어서, 기록은 상기 설명된 토글 기록 모드와 유사한 방식으로 발생한다. 유의할 점은, 모멘트들은 시간  $t_1$ 에서 다시 '플롭'하지만, 결과적인 각도는 불균형된 모멘트 및 이방성으로 인해 90도 경사진다는 점이다. 시간  $t_4$  이후에, MRAM 디바이스(10)는 '0'상태로 스위칭되었고 결과적인 자기 모멘트(40)는 원하는 대로 양의 x- 및 양의 y-방향으로 45도 각도로 지향되어 있다. 이제 음의 기록 워드 전류(60) 및 음의 기록 비트 전류(70)만으로 '0'을 '1'에 기록할 때 유사한 결과들이 얻어진다.
- [0049] 이제, 새로운 상태가 이미 저장된 상태와 동일한 경우에 직접 기록 모드를 이용하여 기록하는 예를 예시하는 도 8을 참조한다. 본 예에서, '0'은 이미 MRAM 디바이스(10)에 저장되어 있고, 전류 펄스 시퀀스(100)가 반복되어 '0'을 저장한다. 자기 모멘트 벡터(53 및 57)는 시간  $t_1$ 에서 "플롭"하려고 시도하지만, 불균형된 자기 모멘트가 인가된 자계에 대해 작용해야 하므로 회전이 감소된다. 그러므로, 반전 상태에서부터 회전하는 추가 에너지 배리어가 있다. 시간  $t_2$ 에서, 우세한 모멘트(53)가 양의 x-축에 거의 정렬되고 그 초기 이방성 방향으로부터 45도 이하이다. 시간  $t_3$ 에서, 자계는 양의 x-축을 따라 지향된다. 더 시계방향으로 회전시키기 보다는, 시스템은 인가된 필드에 대해 SAF 모멘트 대칭성을 변경함으로써 그 에너지를 하향시킨다. 패시브 모멘트(57)는 x-축을 교차하고 시스템은 그 원래 방향으로 리턴된 우세한 모멘트(53)로 안정화한다. 그러므로, 자계가 제거되는 시간  $t_4$ 에서, MRAM 디바이스(10)에 저장된 상태가 '0'으로 남아있을 것이다. 이러한 시퀀스는 도 3의 영역(95)으로서 도시된 직접 기록 모드의 메커니즘을 예시하고 있다. 그러므로, 이러한 관례에서, '0'을 기록하는 것은 양쪽 기록 워드 라인(60) 및 기록 비트 라인(70)에서 양의 전류를 필요로 하고, 역으로, '1'을 기록하는 것은 양쪽 기록 워드 라인(60) 및 기록 비트 라인(70)에서 음의 전류가 필요하다.
- [0050] 더 큰 필드가 인가되는 경우, 결과적으로 에너지는 플롭과 연관되어 감소하고 시저(scissor)는 토글 이벤트를 방지하고 있는 불균형 모멘트의 다이폴 에너지에 의해 생성되는 추가 에너지 배리어를 초과한다. 이 포인트에서, 토글 이벤트가 발생하고, 스위칭은 영역(97)에 의해 기술된다.
- [0051] 직접 기록 모드가 적용되는 영역(95)은 확장될 수 있고, 즉 시간  $t_3$  및  $t_4$ 가 동일하거나 가능한 한 동일하게 가

값도록 된 경우에, 토글 모드 영역(97)이 더 높은 자계로 이동될 수 있다. 이 경우에, 자계 방향은 기록 워드 전류(60)가 턴온된 경우에 비트 이방성 축에 대해 45도로 시작하여, 기록 비트 전류(70)가 턴온된 경우에 비트 이방성 축에 대해 평행하게 이동한다. 이러한 예는 전형적인 자계 인가 시퀀스와 유사하다. 그러나, 기록 워드 전류(60) 및 기록 비트 전류(70)가 거의 동시에 턴오프되므로, 자계 방향이 더 이상 회전하지 않는다. 그러므로, 인가된 필드는 양쪽 기록 워드 전류(60) 및 기록 비트 전류(70)가 턴온된 상태에서 결과적인 자기 모멘트 벡터(40)가 이미 과거의 그 난이-축 불안정 포인트를 이동할 만큼 충분히 커야 한다. 토글 기록 모드 이벤트는 자계 방향이 이전과 같이 90도 대신에 단지 45도 회전되어 있으므로 일어날 가능성이 더 낮다. 거의 동일한 하강 시간  $t_3$  및  $t_4$ 를 가지는 장점은, 필드 상승 시간  $t_1$  및  $t_2$ 의 순서에서 더 이상 추가 제한이 없다는 것이다. 그러므로, 자계는 임의의 순서로 턴온될 수 있거나, 거의 일치할 수 있다.

[0052] 상기 설명된 기록 방법은 기록 워드 전류(60) 및 기록 비트 전류(70) 양쪽이 시간  $t_2$  및 시간  $t_3$  사이에서 턴온된 MRAM 디바이스만이 상태를 스위칭하므로 매우 선택적이다. 이러한 특징은 도 9 및 10에 예시되어 있다. 도 9는 기록 워드 전류(60)가 턴온되지 않고 기록 비트 전류(70)가 턴온된 경우의 펄스 시퀀스(100)를 예시하고 있다. 도 10은 MRAM 디바이스(10)의 상태의 대응 양태를 예시하고 있다. 시간  $t_0$ 에서, 결과적인 자기 모멘트 벡터(40)뿐만 아니라 자기 모멘트 벡터(53 및 57)가 도 2에 기술된 바와 같이 지향된다. 펄스 시퀀스(100)에서, 기록 비트 전류(70)는 시간  $t_1$ 에서 턴온된다. 이러한 시간 동안에,  $H_b(90)$ 는 결과적인 자기 모멘트 벡터(40)가 양의 x-방향으로 지향되도록 유발한다.

[0053] 기록 워드 전류(60)는 결코 스위칭 온되지 않으므로, 결과적인 자기 모멘트 벡터(53 및 57)도 그 이방성 난이-축 불안정 포인트를 통해 결코 회전되지 않는다. 결과적으로, 자기 모멘트 벡터(53 및 57)는 기록 비트 전류(70)가 시간  $t_3$ 에서 턴오프되는 경우에 가장 근접한 바람직한 방향으로 자신을 재지향하고, 이 방향은 이 경우에 시간  $t_0$ 에서의 초기 방향이다. 그러므로, MRAM 디바이스(10)의 상태가 스위칭되지 않는다. 기록 워드 전류(60)가 상기 설명된 유사한 시간에 턴온되고 기록 비트 전류(70)가 턴온되지 않는 경우에 동일한 결과가 발생한다는 것은 자명하다. 이러한 특징은, 어레이의 단지 하나의 MRAM 디바이스가 스위칭되고 나머지 디바이스들은 그 초기 상태로 남아있다는 것을 보장한다. 결과적으로, 의도하지 않은 스위칭이 회피되고, 비트 에러 레이트가 최소화된다.

[0054] 도 11에 도시된 것은 메모리 어레이(112), 기록 워드 디코더(114), 기록 워드 라인 드라이버(116), 판독 워드 디코더(118), 판독 워드 라인 드라이버(120), 하나 이상의 센스 증폭기(122), 판독 비트 디코더(124), 기록 비트 디코더(126), 기록 비트 드라이버(128), 비교기(130), 및 출력 드라이버(132)를 포함하는 메모리(110)이다. 이들 구성요소들은 복수의 라인들에 의해 함께 결합된다. 예를 들어, 판독 비트 디코더(124)는 복수의 어드레스 신호들로 구성된 칼럼 어드레스를 수신한다. 메모리 어레이(112)는 토글 동작으로 스위칭될 수 있는 메모리 셀 어레이이다. 메모리 어레이(112)에 대한 메모리 셀 섹션은 도 14에 도시된 메모리 어레이(200)으로서, 180도가 도달될 때까지 기록이 45도의 4 단계로 발생한다는 점에서 도 1의 메모리 어레이(3)에 대해 기술된 방법으로 기록되는 MRAM 셀 어레이이다. 이러한 특별한 바람직한 셀 어레이에서, 기록 동작 및 판독 동작을 위한 분리된 워드 라인 및 비트 라인이 있다.

[0055] 판독 워드 디코더(118)는 로우 어드레스를 수신하고 판독 워드 라인 드라이버(120)에 결합되며, 판독 워드 라인 드라이버(120)는 메모리 어레이(112)에 결합된다. 판독을 위해, 판독 워드 디코더(118)는 로우 어드레스에 기초하여 메모리 어레이(112)에서 판독 워드 라인을 선택한다. 선택된 워드 라인은 판독 라인 드라이버(120)에 의해 구동된다. 칼럼 어드레스를 수신하고 센스 증폭기(122)와 메모리 어레이(112) 사이에 결합되는 판독 비트 디코더(124)는 메모리 어레이(112)로부터 칼럼 어드레스에 기초하여 판독 비트 디코더(124)로부터 판독 비트 라인을 선택하고, 이를 센스 증폭기(122)에 결합시킨다. 센스 증폭기(122)는 로직 상태를 검출하고 이를 출력 드라이버(132) 및 비교기(130)에 결합시킨다. 판독을 위해, 출력 드라이버(132)는 데이터 출력 신호 DO를 제공한다. 기록 동작을 위해, 비교기(130)는 센스 증폭기(122)에 의해 제공되는, 선택된 셀의 로직 상태와, 데이터인에 의해 제공된 대로 기록된 원하는 로직 상태를 비교한다.

[0056] 기록 워드 디코더(114)는 로우 어드레스를 수신하고 기록 워드 라인 드라이버(116)에 결합되며, 기록 워드 라인 드라이버(116)는 메모리 어레이(112)에 결합된다. 기록을 위해, 기록 워드 디코더(114)는 메모리 어레이(112)에서 로우 어드레스에 기초하여 기록 워드 라인을 선택하고, 기록 워드 라인 드라이버는 그 선택된 기록 워드 라인을 구동한다. 기록 비트 디코더(126)는 칼럼 어드레스를 수신하고 기록 비트 드라이버(128)에 결합되며, 기록 비트 드라이버(128)는 메모리 어레이(112)에 결합된다. 기록 비트 디코더(126)는 칼럼 어드레스에 기초하

여 기록 비트 라인을 선택하고, 기록 비트 드라이버(128)는 선택된 셀의 상태를 토글하기 위해 선택된 기록 비트 라인을 구동한다.

[0057] 메모리 어레이(112)가 토글 메모리이므로, 선택된 셀에 대한 원하는 결과적인 로직 상태를 달성하기 위해 셀의 로직 상태가 플립(flip)될 필요가 있는 경우에만 기록 토글 동작이 완료된다. 그러므로, 비교기(130)는 센스 증폭기(122)로부터 선택된 셀에 대한 판독 동작의 출력을 수신하고, 선택된 셀이 이미 원하는 로직 상태를 가지고 있는지를 결정한다. 로우 및 칼럼 어드레스에 의해 결정된 선택된 셀이 원하는 로직 상태를 가지고 있는 경우, 기록 동작이 종료된다. 선택된 셀의 로직 상태가 원하는 상태와 다른 경우, 비교기는 기록이 계속될 기록 비트 드라이버(128)를 지시하고, 선택된 기록 비트 라인에 대한 기록 비트 드라이버가 선택된 기록 비트 라인을 구동한다.

[0058] 도 12에 도시된 것은 기록 워드 라인 WL에 결합되는 기록 워드 라인 드라이버(116), 기록 비트 라인 BL에 결합된 기록 비트 드라이버(128), 및 기록 비트 라인 BL과 기록 워드 라인 WL의 교차점에서 결합되는 셀(134, 136, 138 및 140)을 포함하는 도 11의 메모리(100)의 일부이다. 기록이 발생하기 위해, 전류가 선택된 워드 라인 WL에 제공되지만, 선택된 기록 워드 라인을 따라 메모리 셀에서 제1 각도 변화를 유발하는 충분한 시간동안 선택된 기록 비트 라인에 어떠한 전류도 흐르지 않는다. 전류가 여전히 선택된 기록 워드 라인에 흐르고 있는 동안에, 전류가 선택된 기록 비트 라인을 통해 흘러 선택된 메모리 셀로의 제2 각도 변경을 유발한다. 전류 운반 기록 비트 라인과 기록 워드 라인의 교차점에서만, 이러한 제2 각도 변경이 발생한다. 전류가 기록 비트 라인을 통해 여전히 흐르고 있는 동안, 전류 흐름이 선택된 기록 워드 라인을 통해 종료되어, 선택된 메모리 셀에서 제3 각도 변경을 유발한다. 선택된 기록 비트 라인 및 선택된 기록 워드 라인의 교차점에서만, 이러한 제3 변경이 발생한다. 선택된 메모리 셀의 제4 각도 변경은 선택된 기록 비트 라인을 통한 전류가 종료된 경우에 발생한다.

[0059] 메모리(110)의 기록 동작이 도 13의 타이밍 도를 참조하여 더 설명된다. 판독 동작 및 기록 토글 동작 모두가 도 13에 도시된 바와 같이 판독 워드 라인 WLA를 인에이블시킴으로써 도시된 바와 같은 로우 또는 칼럼 어드레스의 변경에 의해 개시된다. 기록이 로직 상태가 플립될 필요가 있는지를 결정될 때까지 실행될 수 없지만, 그룹에도 불구하고, 기록 사이클은 센스 증폭기가 그 출력을 제공하고 비교기가 로직 상태가 플립될 필요가 있는지를 결정하기 이전에, 기록 워드 라인이 인에이블됨으로써 지적된 바와 같이 시작할 수 있다. 기록 워드 라인을 인에이블시키는 것은(전류가 흐르게 함) 선택된 워드 라인을 따른 모든 셀들뿐만 아니라 선택된 셀에서의 제1 각도 변경을 유발하지만, 이러한 변경은 전류가 기록 비트 라인을 인에이블시키지 않고 종료된 경우에 반전된다.

[0060] 그러므로, 선택된 기록 워드 라인은 제1 각도 변경이 단순히 전류를 제거함으로써 반전되므로 비교기가 그 결정을 수행하기 이전에 인에이블될 수 있다. 선택된 기록 워드 라인 상의 모든 셀들이 제1 각도 변경을 겪고 하나를 제외한 모두가 선택되지 않으므로, 이것이 적용되어야 한다. 그러나, 단지 선택된 셀만이 제2 각도 변경을 겪고 이것은 기록 비트 라인이 인에이블되는 경우에 발생한다. 이것은 비교기가 로직 상태 변경이 원해진다고 결정한 이후에 발생하는 것으로 도시되어 있다. 제1 각도 변경은 0도 내지 45도 인 것으로 도시되어 있고, 제2 각도는 45도 내지 90도인 것으로 도시되어 있다. 제3 각도 변경은 기록 워드 라인이 디스에이블된 경우(전류가 종료된 경우)에 발생하는 것으로 도시되어 있다. 이것은 90도 내지 135도 인 것으로 도시되어 있다. 도시된 최종 각도 변경은 제4 각도 변경이고 기록 비트 라인이 디스에이블된 경우에 발생한다. 이러한 각도 변경은 135도 내지 180도인 것으로 도시되어 있다.

[0061] 이것은 또한 기록의 최종 스테이지가 다른 사이클을 개시하는 다음 어드레스 변경 후에 계속될 수 있다는 것을 보여주고 있다. 하나의 사이클의 시작은 항상 사이클이 기록 사이클이더라도 판독으로 시작한다. 어드레스 A가 어드레스 B로 변경되고, 판독 워드 라인 B가 선택되도록 한다. 이것은 이전에 선택된 셀의 기록을 간섭하지 않는다. 이것은 판독 워드 라인 변경을 예시하지만, 어드레스가 칼럼 단독 변경이어서 선택된 판독 워드 라인이 변경되지 않는 경우라도, 연속된 전류 흐름이 기록 완료에 악영향을 미치지 않는다. 또한, 유의할 점은, 모든 사이클은 어쨌든 판독 동작으로 시작하므로 기록 인에이블이 사이클이 시작할때마다 액티브할 필요는 없다는 점이다. 기록 인에이블 신호는 기록 비트 라인이 액티브하게 될만큼 충분히 일찍 액티브하게 되어야 한다.

[0062] 상기 설명은 선택된 단일 셀에 대해 제시되었지만, 이것은 이해를 용이하게 하기 위함이었다. 실제로는, 통상 다수의 셀들이 선택되고, 이는 구성요소들간의 신호 접속이 복수의 신호 라인인 도 11에 나타나 있다. 그러므로, 예를 들어, 메모리(110)가 x16 메모리이었다면, 비교기(130)는 실제 각 선택된 셀에 대해 하나씩, 16개의 다른 비교를 수행할 것이다. 16개의 비교들 중, 비-매치(non-match)를 나타낸 것들만이 비-매치를 가지는 이들

선택된 셀들의 기록 동작을 유발할 것이다. 매치로 결론지어진 선택된 셀들은 플립되지 않을 것이다.

- [0063] 도 14에 도시된 것은, 메모리 어레이(200)의 일부 및 조합되어 메모리 코어(201)를 형성하는 복수의 드라이버, 디코더 및 센싱 블록들이다. 메모리 어레이(200)의 일부는 MRAM 디바이스(202, 204, 206, 208, 210, 212, 213, 214, 216, 218, 220, 222, 224, 226, 227, 및 228)를 포함한다. 이들 MRAM 디바이스 각각은 3개의 전류 경로들을 가지고 있다. 서로에 대해 수직으로 도시되어 있는, 이들 3개의 경로들 중 제1 전류 경로 및 제2 전류 경로는 기록 경로를 나타낸다. 이들 2개의 경로들은 도 12 및 13에 도시된, 셀의 로직 상태를 스위칭하는 신호를 운반한다. 45도 각도로 저항기로서 도시된 제3 전류 경로는 2개의 가능한 저항 상태들 중 하나로 프로그래밍되는 자기저항 터널 접합을 통한 판독 전류 경로를 나타낸다. 메모리 어레이(200)는 대응하는 MRAM 디바이스(202, 204, 206, 208, 210, 212, 213, 214, 216, 218, 220, 222, 224, 226, 227 및 228) 각각의, 판독 전류 경로인 제2 전류 경로와 직렬로 연결된 선택 트랜지스터(230, 232, 234, 236, 238, 240, 242, 244, 260, 262, 264, 266, 268, 270, 272 및 274)를 더 포함한다. 이러한 선택 트랜지스터의 접속은, 이들 트랜지스터의 하나의 전류 전극이 제3 전류 경로에 결합되고 제2 전류 전극이 그라운드(VSS)에 결합된다. 선택 트랜지스터 디바이스 및 MRAM 디바이스의 각 조합은 메모리 셀을 구성한다.
- [0064] 메모리 코어(201)는 MRAM 디바이스의 제1 전류 경로를 통해 진행하는 기록 워드 라인 WWL0, WWL1, WWL2 및 WWL3을 포함한다. WWL0은 MRAM 디바이스(202, 210, 216 및 224)를 통해 진행한다. WWL1은 MRAM 디바이스(204, 212, 218, 226)를 통해 진행한다. WWL2는 MRAM 디바이스(206, 213, 220, 227)를 통해 진행한다. WWL3은 MRAM 디바이스(208, 214, 222, 228)를 통해 진행한다. 메모리 어레이(200)는 MRAM 디바이스의 제2 전류 경로를 통해 진행하는 기록 워드 라인 WBL0, WBL1, WBL2 및 WBL3을 포함한다. WBL0은 MRAM 디바이스(202, 204, 206 및 208)를 통해 진행한다. WBL1은 MRAM 디바이스(210, 212, 213, 214)를 통해 진행한다. WBL2는 MRAM 디바이스(216, 218, 220, 222)를 통해 진행한다. WBL3은 MRAM 디바이스(224, 226, 227, 228)를 통해 진행한다. 추가 메모리 어레이(200)는 선택 트랜지스터의 게이트에 결합되는 판독 워드 라인 RWL0, RWL1, RWL2 및 RWL3을 포함한다. RWL0은 선택 트랜지스터(230, 238, 260 및 268)에 결합된다. RWL1은 선택 트랜지스터(232, 240, 262 및 270)에 결합된다. RWL2는 선택 트랜지스터(234, 242, 264 및 272)에 결합된다. RWL3은 선택 트랜지스터(236, 244, 266 및 274)에 결합된다. 메모리 어레이(200)는 또한 판독 글로벌 비트 라인 RGBL0, RGBL1, 및 그룹 선택 라인 GS0, GS1, GS2, GS3을 포함한다.
- [0065] 메모리 어레이(200)는 메모리 셀 그룹을 판독 글로벌 비트 라인에 결합시키기 위한 그룹 선택 트랜지스터(250, 252, 254, 256, 276, 278, 280 및 282)를 포함한다. 메모리 어레이(200)는 각각이 그 그룹에 대한 MRAM 디바이스의 제3 전류 경로에 결합되는 로컬 비트 라인(251, 253, 255, 257, 277, 279, 281 및 283)을 포함한다. 즉, 각 그룹에 대해 이들 로컬 비트 라인들 중 하나가 존재한다.
- [0066] 트랜지스터(250, 252)는 함께 판독 글로벌 비트 라인 RGBL0에 결합되는 제1 전류 전극을 가지고 있다. 트랜지스터(254, 256)는 함께 판독 글로벌 비트 라인 RGBL0에 결합되는 제1 전류 전극을 가지고 있다. 트랜지스터(276, 278)는 함께 판독 글로벌 비트 라인 RGBL1에 결합되는 제1 전류 전극을 가지고 있다. 트랜지스터(280, 282)는 함께 판독 글로벌 비트 라인 RGBL1에 결합되는 제1 전류 전극을 가지고 있다. 트랜지스터(250, 252, 254, 256, 276, 278, 280 및 282) 각각은 로컬 비트 라인(251, 253, 255, 257, 277, 279, 281 및 283)에 결합되는 제2 전류 전극을 가지고 있다. 로컬 비트 라인(251, 253, 255, 257, 277, 279, 281 및 283)은 MRAM 디바이스(202 및 204, 206 및 208, 210 및 212, 213 및 214, 216 및 218, 220 및 222, 224 및 226, 및 227 및 228)의 제3 전류 경로에 각각 결합된다. 그룹 선택 라인 GS0은 그룹 선택 트랜지스터(250, 276)에 결합된다. 그룹 선택 라인 GS1은 그룹 선택 트랜지스터(252, 278)에 결합된다. 그룹 선택 라인 GS2는 그룹 선택 트랜지스터(254, 280)에 결합된다. 그룹 선택 라인 GS3은 그룹 선택 트랜지스터(256, 282)에 결합된다.
- [0067] 메모리 어레이(200)뿐만 아니라, 메모리 코어(201)도 기록 칼럼 디코더/드라이버(283, 284, 285 및 286), 기록 로우 디코더/드라이버(287, 289, 291 및 293), 판독 로우 디코더/드라이버(288, 290, 292, 및 294), 및 판독 칼럼 디코더/센스 증폭기(295, 296)를 포함한다. 기록 칼럼 디코더/드라이버(283, 284, 285 및 286)는 각각 기록 비트 라인 WBL0, WBL1, WBL2 및 WBL3에 접속된다. 기록 로우 디코더/드라이버(287, 289, 291 및 293)는 각각 기록 워드 라인 WWL0, WWL1, WWL2, 및 WWL3에 각각 접속된다. 판독 로우 디코더/드라이버(288, 290, 292, 및 294)는 각각 판독 워드 라인 RWL0, RWL1, RWL2 및 RWL3에 결합된다. 판독 칼럼 디코더/센스 증폭기(295, 296)는 판독 글로벌 비트 라인 RGBL0 및 RGBL1에 각각 결합된다.
- [0068] 동작시, MRAM 디바이스(202)와 같은 MRAM 디바이스는 WWL0과 같은 선택된 기록 워드 라인 및 본 예에서 WBL0과 같은 선택된 기록 비트 라인을 통해 전류를 인가하여 메모리의 상태를 토글시킴으로써 기록된다. 또한, 메모리

셀이 토글 셀 대신에 직접 기록 셀인 경우에도 WWL0 및 WBL0을 통해 상태가 직접 기록될 수 있다. 모든 MRAM 디바이스는 특정 MRAM 디바이스에 대한 기록 워드 라인 및 기록 비트 라인을 통해 전류를 흘림으로써 선택된다. MRAM 디바이스(202)와 같은 MRAM 디바이스의 상태는 판독 워드 라인 RWL0을 통해 트랜지스터(230)와 같은 대응하는 선택 트랜지스터의 게이트에 충분한 전압을 인가하고, 그룹 선택 라인 GS0을 통해 트랜지스터(250)와 같은 대응하는 그룹 트랜지스터의 게이트에 충분한 전압을 인가하며, 칼럼 디코더/센스 증폭기(296)에 의해 판독 글로벌 비트 RGBL0을 통해 선택된 MRAM 디바이스, 본 예에서는 MRAM 디바이스(202)의 상태를 감지함으로써 판독된다. 하나의 그룹은 공통으로 접속된 제3 전류 경로들을 가지는 MRAM 디바이스로 구성된다. 그러므로, 셀 자체에 의해 판독 글로벌 비트 라인에 부가되는 커패시턴스는 그룹내에 있는 셀들로 제한된다. 또한, 트랜지스터(250 및 252)는 전류 전극에 공통으로 접속되고, 게이트는 다른 선택 라인에 결합된다. 이것은 공통 글로벌 비트 라인을 가지는 그룹을 폴딩(fold)하고 분리된 글로벌 선택 라인에 의해 그룹들간의 선택이 달성되도록 하는 효과를 가지고 있다. 그러므로,로우 방향에 추가 라인이 있고 칼럼 방향으로는 더 작은 라인이 있다. 장점은, 로우 방향의 라인 증가가 각 셀 그룹에 대해 하나씩이라는 점이다. 그룹이 바람직한 양으로 간주되는 32인 경우, 32셀의 거리에 대해 추가 글로벌 선택 라인이 있다. 언폴딩(unfolded)된 경우에 대해, 폴딩된 경우에 대해 매 2개의 칼럼마다 하나씩 대신에, 각 칼럼에 대해 하나의 판독 글로벌 비트 라인이 있다. 그러므로, 폴딩된 경우와 비교한 언폴딩된 경우의 효과는 매 2개의 칼럼에 대해 하나의 여분 판독 글로벌 비트 라인이 있고, 이는 2개의 셀 폭이다. 그러므로, 트레이드오프가 폴딩된 비트 라인을 위해 명백하다. 이러한 공간 장점은 라인 크기를 증가시켜 그 저항을 감소시키거나, 메모리 코어의 크기를 감소시키거나, 또는 2개의 경우를 조합하는데 이용될 수 있다.

[0069] 또한, 판독 라인들로부터 기록을 분리시킴으로써, 기록 라인의 한쪽 엔드는 판독 및 기록이 동일한 라인을 공유하는 경우에 필요한 제2 전류 스위치를 제거하는 전원 VDD에 직접 접속될 수 있다. 그러므로, 기록 드라이버에 대한 전체 면적이 더 작아지고, 메모리 코어에 대한 평균 비트 크기가 더 작아진다. 또한, 판독과 기록간의 라인을 스위칭할 필요를 없앴으로써, 기록 전압이 판독 회로를 손상시킬 염려없이 성능에 대해 최적화될 수 있다. 또한, 선택 트랜지스터가 기록 전압을 수신하지 않으므로, 이들 선택 트랜지스터들은 기록-레벨 전압을 수신할 필요가 없기 때문에, 훨씬 더 작은 크기로 만들어질 수 있다. 이것은 메모리 셀의 크기를 감소시킨다. 이것은 전압 요구를 다르게 하기 위해 트랜지스터를 다르게 만드는 것이 보통인 경우에 특히 중요하다.

[0070] 도 15에 도시된 것은, MRAM 디바이스(202) 및 트랜지스터(230)로 구성된 메모리 셀의 단면도이다. 이것은 도 14의 아키텍처를 활용하도록 배열된 MRAM 디바이스의 공통 요소들을 도시하고 있다. MRAM 기술의 전형적인 어플리케이션에서, MRAM 디바이스는 마이크로프로세서와 같은 광범위한 로직을 가지는 회로상에 제공될 것이다. 그러한 경우에, 로직 디자인을 수용하는 수개 레벨의 금속이 있고, MRAM 디바이스의 저장 요소는 이들 금속층들이 형성된 후에 제조될 것이다. 이것은 저하없이 약 400°C 이상의 온도를 핸들링할 수 없는 전형적인 터널 접합 때문이다.

[0071] MRAM 디바이스(202)는 터널 접합(300), 인터커넥트(306) 및 인터커넥트(304), 및 기록 전류 경로(314, 302)를 포함한다. 인터커넥트(304)는 로컬 비트 라인(251)이다. 트랜지스터(230)는 소스(324), 드레인(322), 및 게이트(323)를 포함한다. 트랜지스터(230)의 드레인(322)은 로직으로서 이용하기 위한 금속층으로서 형성되는 인터커넥트(318), 인터커넥트(308), 인터커넥트(310), 및 인터커넥트(312)를 통해 MRAM 디바이스(202)에 접속된다. 이들 금속 인터커넥트 층들은 공지된 바와 같이 비아를 통해 함께 접속된다. 기록 전류 경로(314)는 인터커넥트(318)와 동일한 금속층에 형성된다. 게이트(323)는 인터커넥트(320)에 주기적으로 접속되는 판독 워드 라인 RWL0의 일부이다. 인터커넥트(320)의 이용은 RWL0의 저항을 줄이는 것이다. 이것은 폴리실리콘의 비교적 높은 저항을 회피하는 통상의 스트랩핑(strapping) 기술이다.

[0072] 도 16에 도시된 것은 도 15에 나타난 바와 같이 MRAM 디바이스(202) 및 트랜지스터(230)를 통해 취해진 단면이다. 이 단면은 MRAM 디바이스(210) 및 트랜지스터(238)를 포함하도록 확장된다. 이것은 인터커넥트(310)과 동일한 레벨의 인터커넥트에서 판독 글로벌 비트 라인 RGLB0을 도시하고 있다. 유의할 점은, 터널 접합(300) 및 WWL0은 단면 라인으로부터 오프셋되고 따라서 도 16에는 제공되지 않는다. 도 16에 제공된 MRAM 디바이스(210) 부분은 기록 비트 라인 WBL1이다. MRAM 디바이스(202)와 유사하게, MRAM 디바이스(210)의 제3 전류 경로는 인터커넥트(340), 인터커넥트(338), 인터커넥트(336), 인터커넥트(334), 및 인터커넥트(330)에 의해 트랜지스터(232)에 접속된다. 인터커넥트(330 및 306)는 MRAM 디바이스(210, 202)의 터널 접합에 직접 접속을 각각 제공한다. 이들 단면들은 특별한 처리를 요구하는 특별한 구조를 필요로 하지 않고 이러한 아키텍처가 만들어질 수 있다는 것을 보여준다.

[0073] 도 17에 도시된 것은 도 14에 도시된 것의 대안의 일부이다. 이 경우에, 각 그룹의 메모리 셀은 직렬 메모리로

서 배열된다. 인접하는 비트 셀들의 복수의 그룹의 각각은 레퍼런스(reference)에 직렬로 접속된다. 이 경우에, 레퍼런스는 접지이다. 이 대안들에서는 로컬 비트 라인이 없다. 유사한 디바이스 번호들은 유사한 특징들을 위해 남아있다.

[0074] 예시의 목적상 여기에서 선택된 실시예들에 대해 다양한 변경 및 변형이 본 기술분야의 숙련자들에게는 용이하게 발생할 수 있다. 그러한 변형 및 변동이 본 발명의 사상의 범주에서 벗어나지 않는 한, 이하의 청구의 범위의 명백한 해석에 의해서만 평가되는 그 범주내에 포함된다고 할 것이다.

**도면의 간단한 설명**

[0007] 본 발명의 상기, 이하 및 더 구체적인 목적 및 장점들은 이하의 도면으로 나타난 양호한 실시예의 이하의 상세한 설명으로부터 본 기술분야의 숙련자들에게 용이하게 이해될 것이다.

[0008] 도 1은 자기저항 랜덤 액세스 메모리 디바이스의 단순화된 단면도이다.

[0009] 도 2는 워드 및 비트 라인을 가지는 자기저항 랜덤 액세스 메모리 디바이스의 단순화된 평면도이다.

[0010] 도 3은 자기저항 랜덤 액세스 메모리 디바이스에서 직접 또는 토글 기록 모드를 생성하는 자계 크기 조합의 시뮬레이션을 예시하는 그래프이다.

[0011] 도 4는 워드 전류 및 비트 전류가 모드 턴온된 경우에 이들의 타이밍 도를 예시하는 그래프이다.

[0012] 도 5는 '1'을 '0'에 기록할 때의 토글 기록 모드에 대해 자기저항 랜덤 액세스 메모리 디바이스에 대한 자기 모멘트 벡터의 회전을 예시하는 도이다.

[0013] 도 6은 '0'을 '1'에 기록할 때의 토글 기록 모드에 대해 자기저항 랜덤 액세스 메모리 디바이스에 대한 자기 모멘트 벡터의 회전을 예시하는 도이다.

[0014] 도 7은 '1'을 '0'에 기록할 때의 직접 기록 모드에 대해 자기저항 랜덤 액세스 메모리 디바이스에 대한 자기 모멘트 벡터의 회전을 예시하는 그래프이다.

[0015] 도 8은 '0'을 이미 '0'인 상태에 기록할 때의 직접 기록 모드에 대해 자기저항 랜덤 액세스 메모리 디바이스에 대한 자기 모멘트 벡터의 회전을 예시하는 그래프이다.

[0016] 도 9는 비트 전류만이 턴온된 경우에 워드 전류 및 비트 전류의 타이밍 도를 예시한 그래프이다.

[0017] 도 10은 비트 전류만이 턴온된 경우에 자기저항 랜덤 액세스 메모리 디바이스에 대해 자기 모멘트 벡터의 회전을 예시하는 그래프이다.

[0018] 도 11은 본 발명의 실시예에 따른 토글 메모리의 블록도이다.

[0019] 도 12는 도 11의 메모리의 일부의 더 상세한 도면이다.

[0020] 도 13은 도 11의 메모리의 동작을 이해하는데 유용한 타이밍 도이다.

[0021] 도 14는 본 발명에 따른 아키텍처의 실시예를 도시한 도 11의 메모리의 일부의 회로도이다.

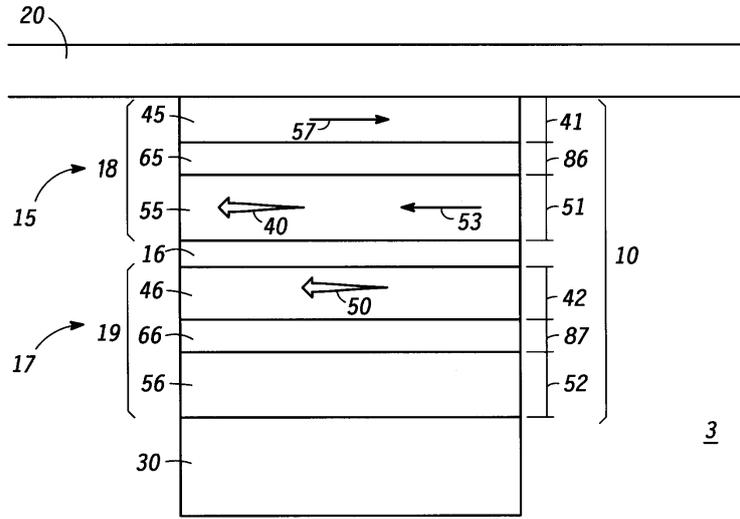
[0022] 도 15는 도 14의 아키텍처의 구현에 이용되는 메모리 셀의 제1 단면도이다.

[0023] 도 16은 도 15의 메모리 셀의 제2 단면도이다.

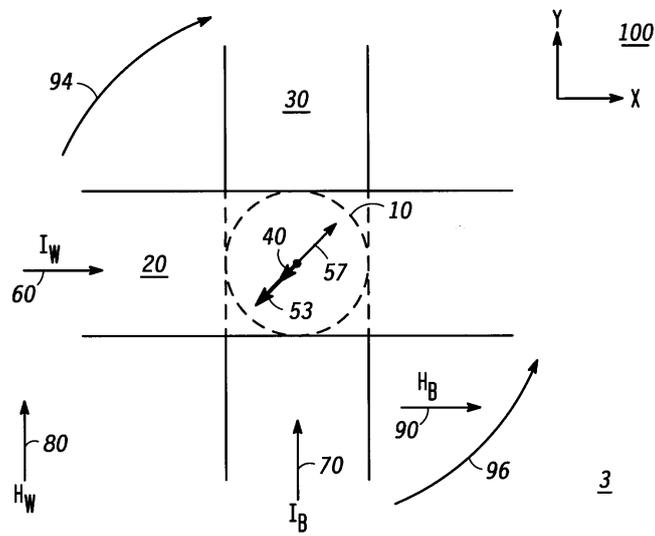
[0024] 도 17은 도 14의 회로도의 변형예를 도시한 회로도이다.

도면

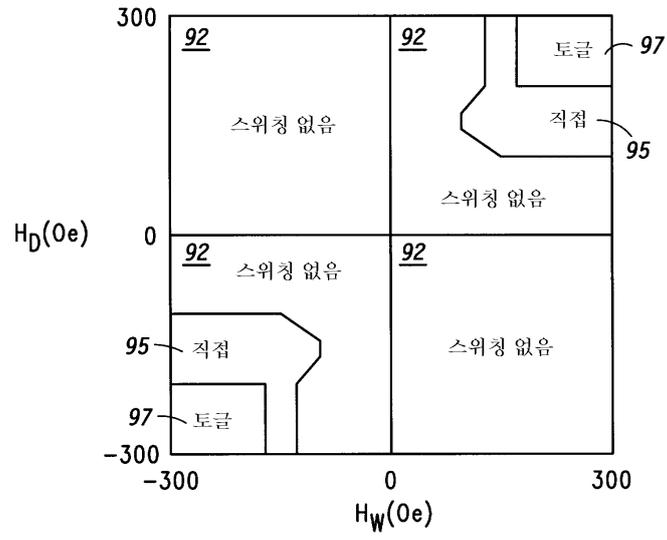
도면1



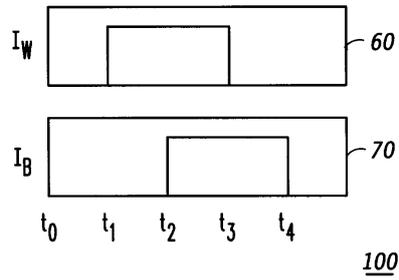
도면2



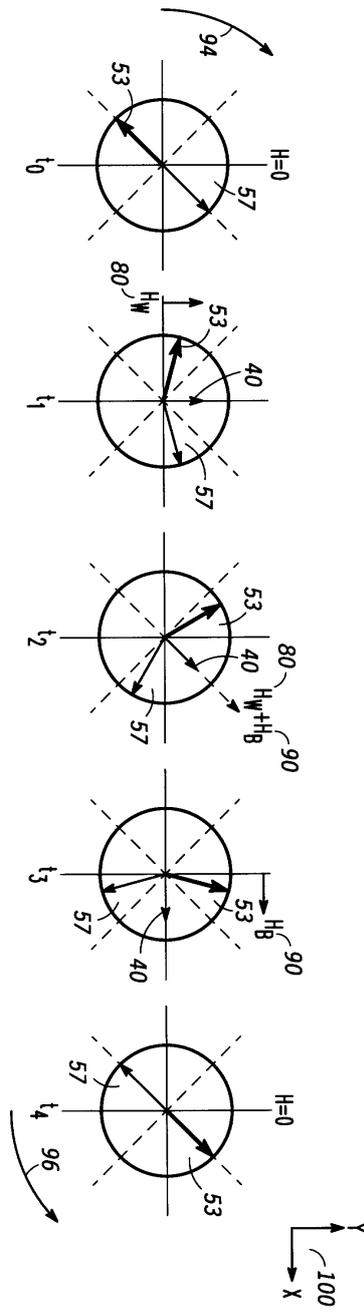
도면3



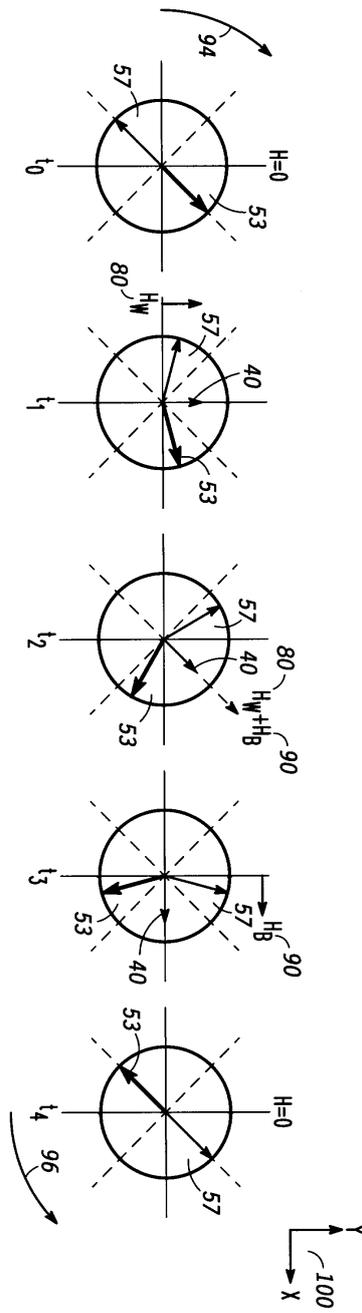
도면4



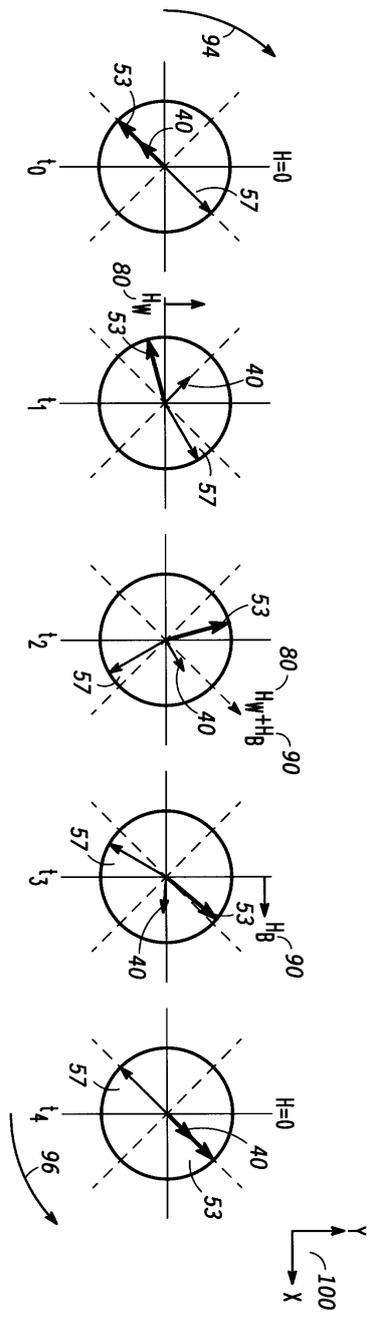
도면5



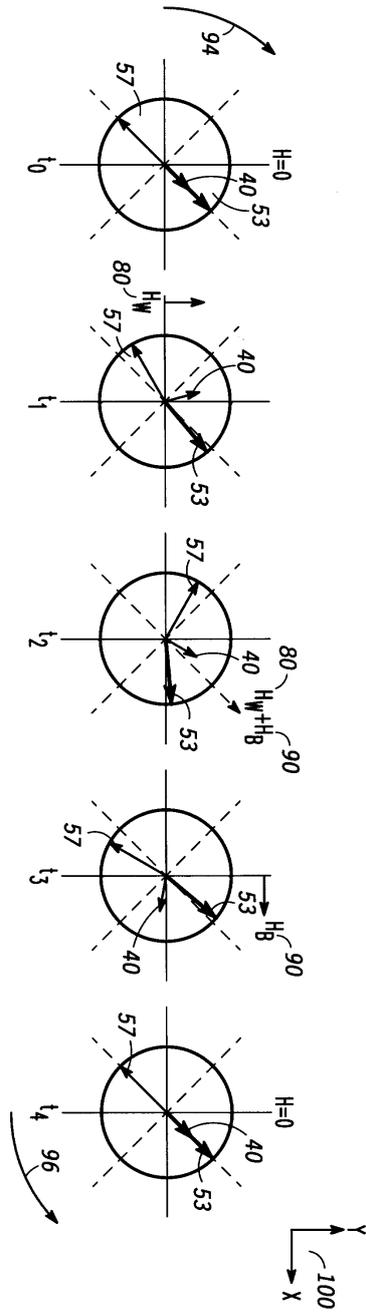
도면6



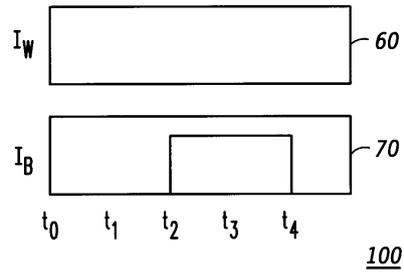
도면7



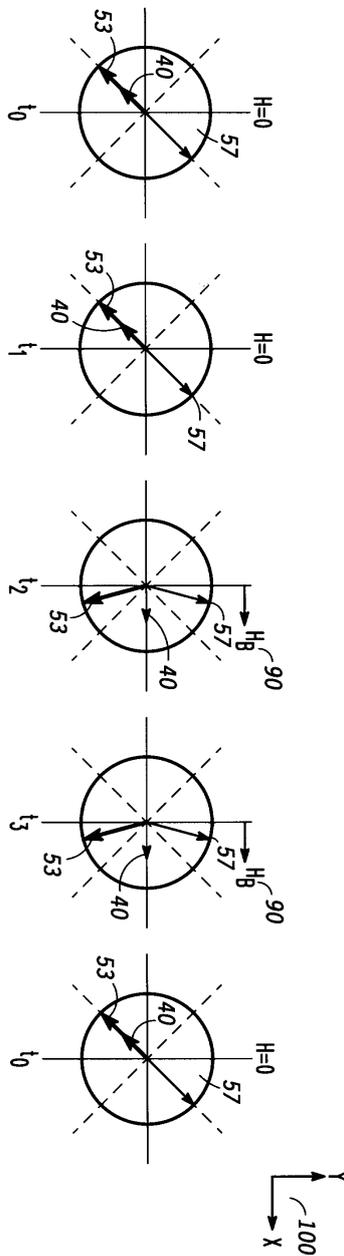
도면8



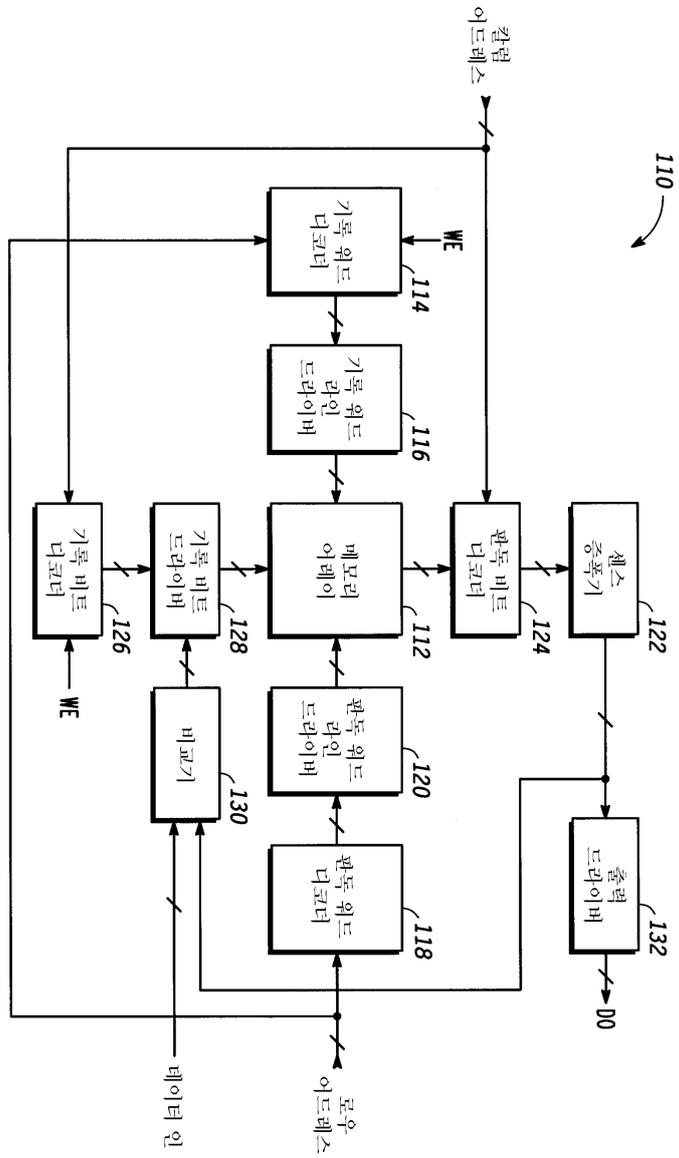
도면9



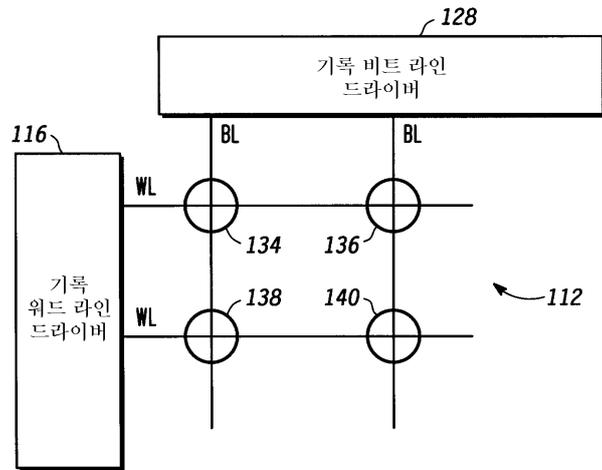
도면10



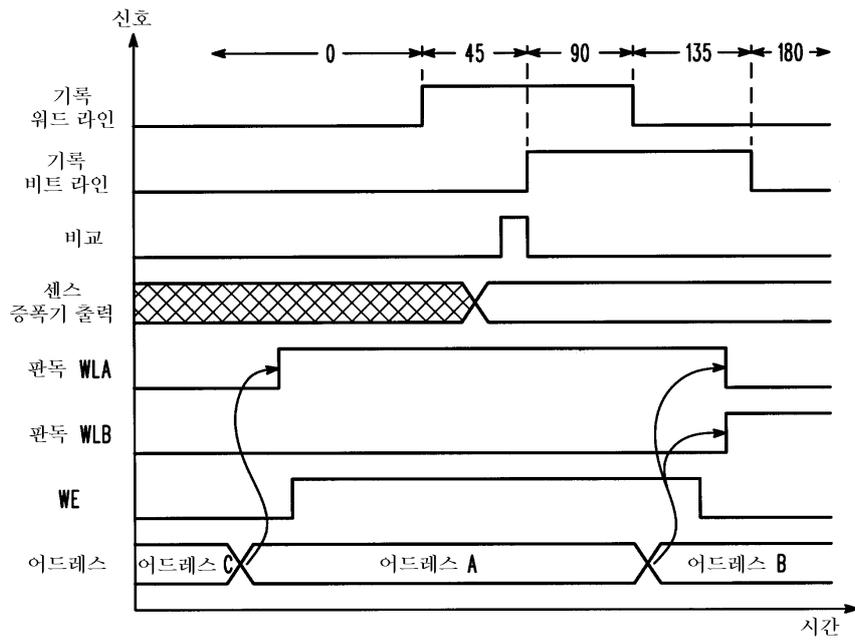
도면11



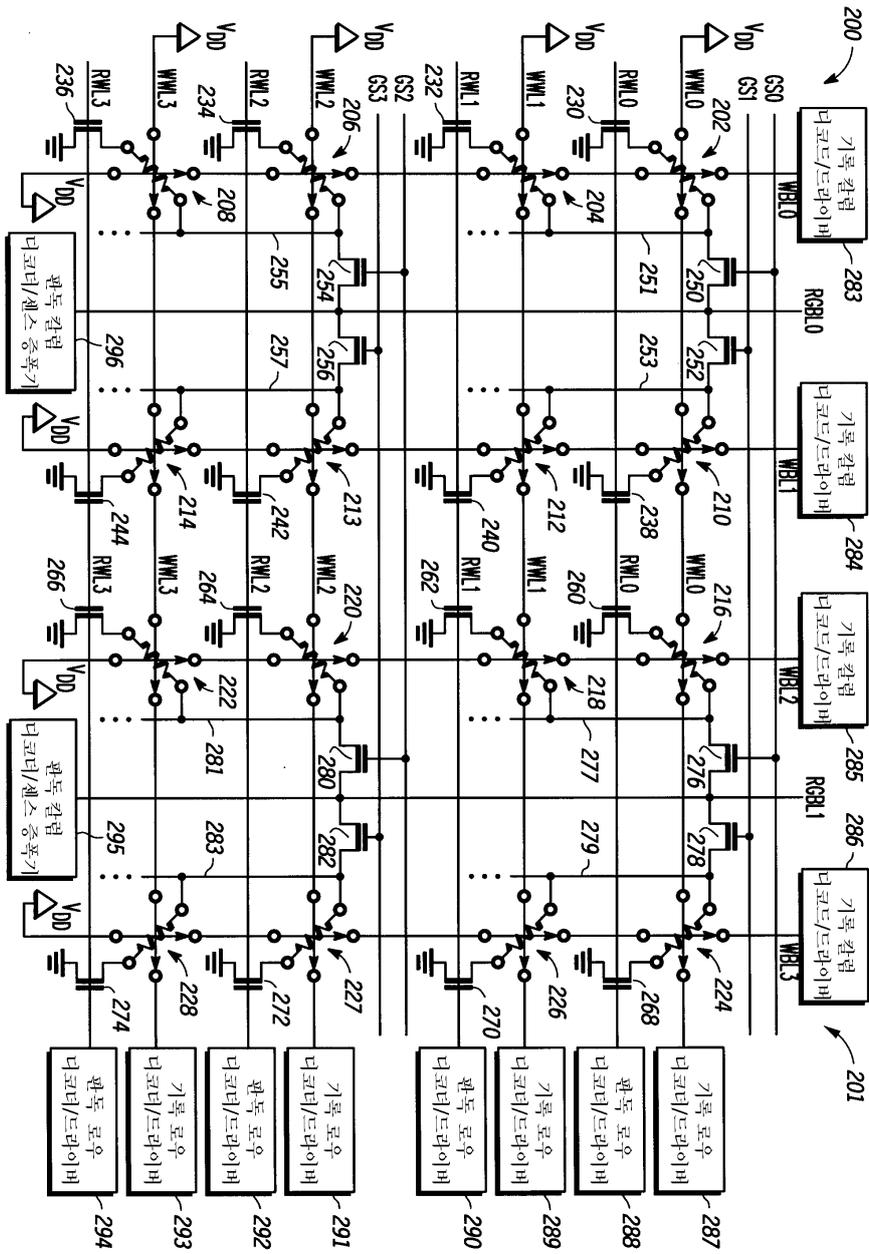
도면12



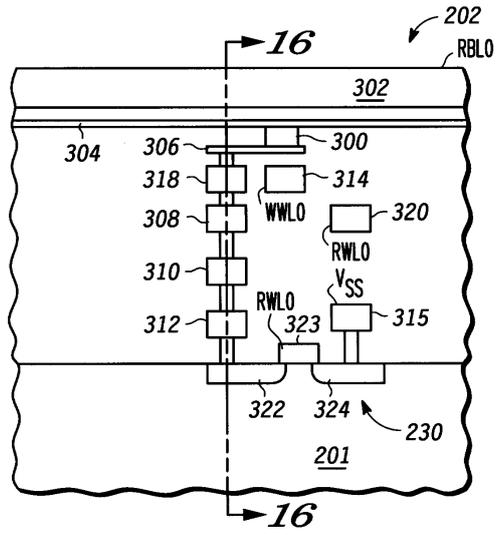
도면13



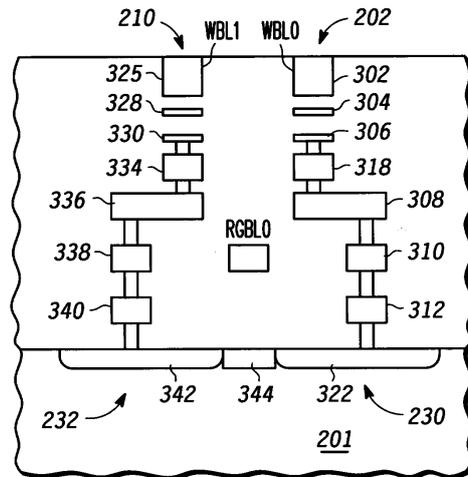
도면14



도면15



도면16



도면17

