



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월22일
(11) 등록번호 10-1266343
(24) 등록일자 2013년05월15일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
(21) 출원번호 10-2011-0067637
(22) 출원일자 2011년07월08일
심사청구일자 2011년07월08일
(65) 공개번호 10-2012-0005974
(43) 공개일자 2012년01월17일
(30) 우선권주장
JP-P-2010-157154 2010년07월09일 일본(JP)
(56) 선행기술조사문헌
JP2009170599 A
JP2009277716 A
JP10294239 A

(73) 특허권자
티디케이가부시기가이샤
일본국 도쿄도 미나토쿠 시바우라 3초메 9반 1코
(72) 발명자
다니구치 스스무
일본 도쿄 103-8272 추오구 니혼마시 1-13-1 티디케이 가부시기가이샤 (내)
야나기다 미유키
일본 도쿄 103-8272 추오구 니혼마시 1-13-1 티디케이 가부시기가이샤 (내)
(뒷면에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 9 항

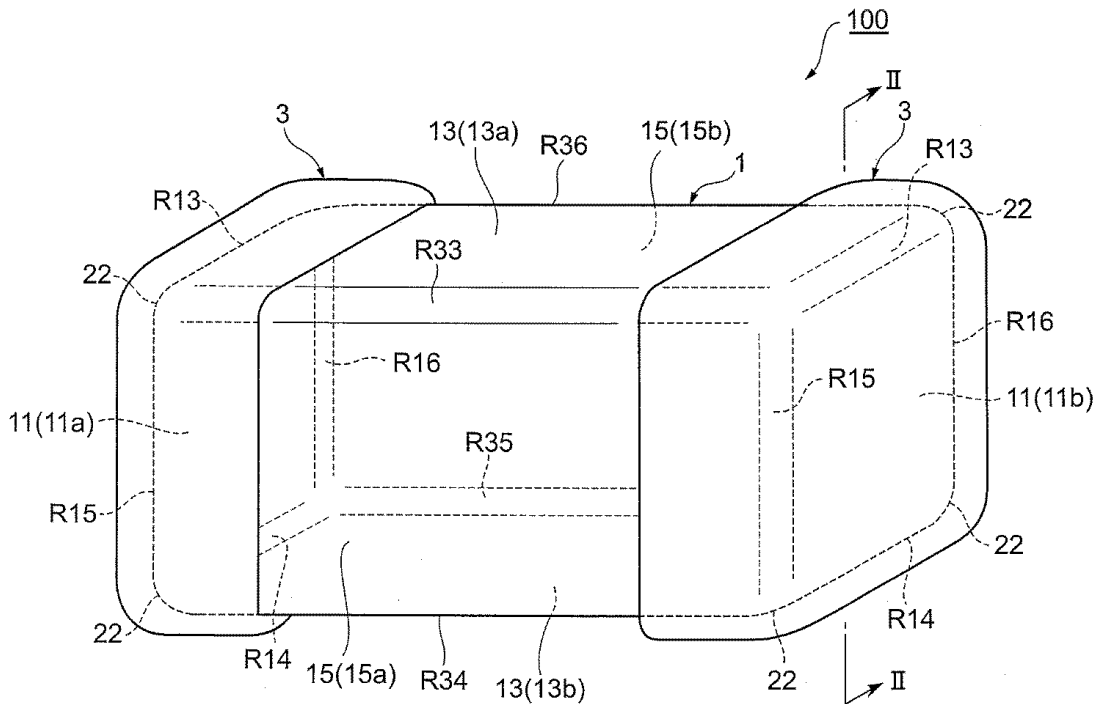
심사관 : 김동국

(54) 발명의 명칭 세라믹 전자 부품

(57) 요약

금속 성분을 함유하는 내부 전극이 매설된 세라믹 소체(1)와, 내부 전극이 노출되는 세라믹 소체의 양 단면(11)을 각각 덮도록 형성되는 한 쌍의 단자 전극(3)을 구비하는 세라믹 전자 부품(100)으로서, 단자 전극(3)은, 세라믹 소체(1)측에서부터 제 1 전극층과, 도체 그린시트를 소결하여 형성되는 제 2 전극층을 가지며, 제 2 전극층이 내부 전극으로부터 확산된 금속 성분을 함유하는 세라믹 전자 부품(100).

대표도



(72) 발명자

아베 히사유키

일본 도쿄 103-8272 추오구 니혼바시 1-13-1 티디
케이 가부시기가이샤 (내)

이노우에 유카리

일본 도쿄 103-8272 추오구 니혼바시 1-13-1 티디
케이 가부시기가이샤 (내)

기타가미 마사타카

일본 도쿄 103-8272 추오구 니혼바시 1-13-1 티디
케이 가부시기가이샤 (내)

특허청구의 범위

청구항 1

금속 성분을 함유하는 내부 전극이 매설된 세라믹 소체와, 상기 내부 전극이 노출되는 상기 세라믹 소체의 양 단면을 각각 덮도록 형성되는 한 쌍의 단자 전극을 구비하는 세라믹 전자 부품으로서,

상기 단자 전극은 상기 세라믹 소체측에서부터 제 1 전극층과, 도체 그린시트를 소결하여 형성되는 제 2 전극층을 가지며,

상기 제 2 전극층이 상기 내부 전극으로부터 확산된 상기 금속 성분을 함유하는 세라믹 전자 부품.

청구항 2

제 1 항에 있어서, 상기 제 2 전극층에 있어서, 결정립계에서 상기 금속 성분이 다른 부분보다 더 많이 분포하는 세라믹 전자 부품.

청구항 3

제 1 항에 있어서, 상기 단자 전극은 상기 제 2 전극층을 덮도록 도금층으로 이루어지는 제 3 전극층을 갖는 세라믹 전자 부품.

청구항 4

제 2 항에 있어서, 상기 단자 전극은 상기 제 2 전극층을 덮도록 도금층으로 이루어지는 제 3 전극층을 갖는 세라믹 전자 부품.

청구항 5

제 1 항에 있어서, 상기 제 2 전극층의 두께는 상기 제 1 전극층의 두께보다도 두꺼운 세라믹 전자 부품.

청구항 6

제 2 항에 있어서, 상기 제 2 전극층의 두께는 상기 제 1 전극층의 두께보다도 두꺼운 세라믹 전자 부품.

청구항 7

제 3 항에 있어서, 상기 제 2 전극층의 두께는 상기 제 1 전극층의 두께보다도 두꺼운 세라믹 전자 부품.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 제 2 전극층에 있어서 상기 금속 성분의 함유량이 0.45 내지 5.0질량%인 세라믹 전자 부품.

청구항 9

제 1 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 세라믹 소체의 단면에 직교하는 적어도 하나의 측면 상에서, 제 2 전극층이 제 1 전극층의 일부를 덮도록 형성되어 있는 세라믹 전자 부품.

명세서

기술분야

[0001] 본 발명은 세라믹 전자 부품에 관한 것이다.

배경기술

[0002] 세라믹 소체와 그 단면 위에 단자 전극을 갖는 적층 세라믹 콘덴서(MLCC) 등의 세라믹 전자 부품이 여러 가지 전자 기기 등에 사용되고 있다. 최근, 전자 기기의 소형화, 고성능화가 진전됨에 따라, 세라믹 전자 부품에 대

한 소형화 및 고용량화에 대한 요구가 점점 높아지고 있다.

- [0003] 세라믹 전자 부품에 형성되는 단자 전극은 통상적으로 기초 금속층과 기초 금속층 위에 형성되는 상부 전극층으로 구성된다. 기초 금속층은 일반적으로 세라믹 소체 위에 은 및 팔라듐 등의 귀금속 분말이나 구리 및 니켈 등의 비금속 분말과, 유리 플릿을 포함하는 도체 페이스트를 도포하고, 소결함으로써 형성되는 소결 전극층에 의해 구성된다. 이 소결 전극층 위에, 통상적으로 전기 도금 처리를 하여 상부 전극층으로서 도금층이 형성된다.
- [0004] 이와 같이 상부 전극층을 형성할 때 도금 처리를 행하는 점에서, 소결 전극층은 도금층을 용이하게 형성할 수 있는 특성을 가질 것이 요구된다. 예를 들면, 특허 문헌 1(일본 공개특허공보 2003-243245호)에서는, 소결 전극층의 표면에 균일한 금속 도금층을 형성하기 위해서, 금속 성분과 유리 성분을 포함하는 도체 페이스트를 소결하여 소결 전극층을 형성하고, 상기 소결 전극층을, 유리 성분을 포함하지 않는 재료를 사용하여 형성되는 코트층으로 피복하는 것이 제안되어 있다.

발명의 내용

해결하려는 과제

- [0005] 적층 세라믹 콘덴서의 고용량화를 도모하기 위해서는, 절연 저항의 열화를 억제할 필요가 있다. 절연 저항이 열화되는 원인의 하나로서, 소결 전극층을 형성한 후의 전기 도금 공정시의 도금액의 성분이나, 도금시에 발생하는 수소가 세라믹 소체로 침입하는 것을 들 수 있다. 도금액의 성분이나 수소 등의 침입을 억제하기 위해서, 기초 전극층의 두께를 두껍게 하는 것을 생각할 수 있지만, 이 경우, 세라믹 전자 부품의 소형화에 역행하게 된다.
- [0006] 기초 전극층은 통상적으로 세라믹 소체의 표면 위에 페이스트를 도포하고, 소결하여 형성된다. 이로 인해, 도체 페이스트의 부착량에 따라 소결 전극층의 사이즈 편차가 커지는 경향이 있다. 또한, 도체 페이스트의 유동에 따라, 세라믹 소체의 단면 중앙부에서의 소결 전극층의 두께보다도, 단면의 주연부나 단면과 측면 사이에 개재되는 모서리부에 있어서의 소결 전극층의 두께가 작아지는 경향이 있다. 이와 같이 두께가 작은 개소가 있으면, 도금액의 성분이나 수소가 침입하기 쉬워지기 때문에, 국소적으로 세라믹 소체의 부식이 발생되어 버린다.
- [0007] 세라믹 소체나 내부 전극의 부식을 억제하기 위해서는, 소결 전극층을 치밀화하여 도금액의 성분이나 수소의 침입을 방지하는 것이 유효하다고 생각된다. 소결 전극층을 치밀화하기 위해서는, 예를 들면, 소결 전극층 중의 유리 성분의 함유량을 저감시킬 것이 고려되지만, 이 경우, 세라믹 소체와 단자 전극의 밀착성이 손상되어 버릴 가능성이 우려된다. 이와 같이 세라믹 소체와 단자 전극의 밀착성이 낮아지면, 땀납 부착 후에, 단자 전극과 세라믹 소체의 계면이 박리되어 세라믹 전자 부품이 파손되어 버릴 가능성이 높아진다. 따라서, 제조 공정에 있어서의 세라믹 소체의 부식을 충분히 억제하면서, 세라믹 소체와 단자 전극의 밀착성을 충분히 확보하는 것이 가능한 세라믹 전자 부품이 요구되고 있다.
- [0008] 본 발명은 상기 사정을 감안하여 이루어진 것이며, 소형화가 가능하며, 단자 전극과 세라믹 소체의 고착 강도가 우수한 세라믹 전자 부품을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0009] 본 발명에서는 금속 성분을 함유하는 내부 전극이 매설된 세라믹 소체와, 내부 전극이 노출되는 세라믹 소체의 양 단면을 각각 덮도록 형성되는 한 쌍의 단자 전극을 구비하는 세라믹 전자 부품으로서, 단자 전극은 세라믹 소체측에서부터 제 1 전극층과, 도체 그린시트를 소결하여 형성되는 제 2 전극층을 가지며, 제 2 전극층이 내부 전극으로부터 확산된 금속 성분을 함유하는 세라믹 전자 부품을 제공한다.
- [0010] 이러한 세라믹 전자 부품은, 제 2 전극층이 도체 그린시트를 소결하여 형성되는 층이기 때문에, 도체 페이스트만을 사용하여 소결 전극층을 형성하는 경우에 비해, 단자 전극의 두께 편차를 작게 할 수 있다. 이로 인해, 치수 정밀도가 우수하여 세라믹 전자 부품을 소형화할 수 있다. 또한, 제 2 전극층은 도체 페이스트를 사용하여 형성되는 전극층보다도 치밀하게 할 수 있다. 이로 인해, 도금층을 형성하는 도금 처리시에 있어서, 세라믹 소체의 부식을 억제할 수 있다. 또한, 제 2 전극층은 내부 전극으로부터 확산된 금속 성분을 함유하기 때문에, 단자 전극과 세라믹 소체가 금속 성분에 의해 강고하게 밀착하게 되어, 단자 전극과 세라믹 소체의 고착 강도가 우수하다.

- [0011] 본 발명의 세라믹 전자 부품은 제 2 전극층에 있어서 내부 전극으로부터 확산된 금속 성분이 제 2 전극층의 결정립계에 다른 부분보다 더 많이 분포하고 있는 것이 바람직하다. 이것에 의해, 제 2 금속층에서 내부 전극으로부터 확산된 금속 성분의 함유량이 적어도, 제 2 전극층이 제 1 전극층을 통해 세라믹 소체와 강고하게 밀착하게 된다. 그 결과, 단자 전극과 세라믹 소체의 고착 강도를 한층 높게 할 수 있다.
- [0012] 본 발명의 세라믹 전자 부품에 있어서의 단자 전극은 제 2 전극층을 덮도록 도금층으로 이루어지는 제 3 전극층을 갖는 것이 바람직하다. 이것에 의해, 회로 기판에 땀납 부착할 때의 땀납에 의한 전극 부식을 충분히 억제할 수 있다.
- [0013] 본 발명의 세라믹 전자 부품에 있어서, 제 2 전극층의 두께는 제 1 전극층의 두께보다도 두꺼운 것이 바람직하다. 이것에 의해, 단자 전극의 두께 편차를 한층 작게 하는 것이 가능해지고, 치수 정밀도를 한층 향상시킬 수 있다. 또한, 제 2 전극층이 도금액 및 수소에 대해 높은 실드성을 가지기 때문에, 도금층을 형성할 때, 세라믹 소체에 도금액이 침입하는 것을 충분히 억제할 수 있다. 또한, 제 2 전극층과 세라믹 소체간의 간격을 작게 할 수 있기 때문에, 단자 전극과 세라믹 소체의 고착 강도를 한층 높게 할 수 있다.
- [0014] 본 발명은 제 2 전극층에 있어서의, 내부 전극 유래의 금속 성분의 함유량이 0.45 내지 5.0질량%인 것이 바람직하다. 이것에 의해, 제 2 전극층과 세라믹 소체간의 고착 강도를 높은 수준으로 유지하면서, 제 3 전극층으로서 도금층을 형성하는 경우에 제 2 전극층과 제 3 전극층의 밀착력을 높게 할 수 있다.
- [0015] 본 발명의 세라믹 전자 부품은, 세라믹 소체의 단면에 직교하는 적어도 하나의 측면 위에 있어서, 제 2 전극층이 제 1 전극층의 일부를 덮도록 형성되어 있는 것이 바람직하다. 이것에 의해, 측면 위에 있어서 제 2 전극층이 제 1 전극층의 전부를 덮는 경우에 비해, 각 전극층의 소결성의 차이에 기초하는 팽창율, 수축률의 차이에 의해 발생하는 응력을 저감시켜, 제 1 전극층과 세라믹 소체간의 박리의 발생을 억제할 수 있다. 이것에 의해, 세라믹 소체에 매설된 내부 전극의 금속 성분은 제 1 전극층을 통해 제 2 전극층에 의해 원활하게 확산되게 된다. 따라서, 세라믹 전자 부품의 신뢰성을 한층 향상시킬 수 있다. 또한, 측면 위에서 제 2 전극층이 제 1 전극층의 전부를 덮는 경우에 비해, 각 전극층의 소결성의 차이에 기초하는 수축률의 차이에 의해 발생하는 응력을 저감시킬 수 있기 때문에, 제 2 전극층과 제 1 전극층 사이에서의 박리의 발생이나, 단자 전극에 있어서의 균열의 발생도 억제할 수 있다. 이러한 작용도 세라믹 전자 부품의 신뢰성의 향상에 기여한다.
- [0016] 본 발명에 의하면, 소형화가 가능하고, 단자 전극과 세라믹 소체의 고착 강도가 우수한 세라믹 전자 부품을 제공할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 세라믹 전자 부품의 적합한 일 실시 형태를 도시하는 사시도이다.
 도 2는 도 1에 도시하는 세라믹 전자 부품의 II-II선의 절단면을 모식적으로 도시하는 단면도이다.
 도 3은 도 2의 단면에 있어서, 세라믹 전자 부품의 소결 전극층의 일부를 확대하여 도시하는 전자 현미경 사진이다.
 도 4는 도 3에 도시하는 전자 현미경 사진을 촬영한 단면의 구조를 모식적으로 도시하는 단면도이다.
 도 5는 본 발명의 세라믹 전자 부품의 제조 방법의 일례에 있어서의 1 공정을 모식적으로 도시하는 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 경우에 따라 도면을 참조하여 본 발명의 적합한 실시 형태에 관해서 설명한다. 또한, 도면의 설명에 있어서, 동일 또는 동등한 요소에는 동일 부호를 사용하여, 중복되는 설명을 생략한다.
- [0019] 도 1은 본 발명의 세라믹 전자 부품의 적합한 일 실시 형태를 도시하는 사시도이다. 본 실시 형태의 세라믹 전자 부품(100)은 칩 형태의 적층형 세라믹 콘덴서이다. 이 세라믹 전자 부품(100)은 대략 직방체 형상을 가지고 있으며, 예를 들면, 긴 방향(가로)의 길이가 2.0mm 정도, 폭 방향의 길이 및 두께 방향의 길이가 1.2mm 정도이다.
- [0020] 세라믹 전자 부품(100)은 대략 직방체 형상의 세라믹 소체(칩 소체)(1)와, 세라믹 소체(1)의 양 단부에 각각 형성된 한 쌍의 단자 전극(3)을 구비하고 있다. 세라믹 소체(1)는 서로 대향하는 단면(11a) 및 단면(11b)(이하, 통합하여 「단면(11)」이라고 한다.)과, 단면(11)에 직교하고 서로 대향하는 측면(13a) 및 측면(13b)(이하, 통

합하여 「측면(13)」이라고 한다.)과, 단면(11)에 직교하고 서로 대향하는 측면(15a) 및 측면(15b)(이하, 통합하여 「측면(15)」이라고 한다.)을 가진다. 측면(13)과 측면(15)은 서로 직교한다.

[0021] 세라믹 소체(1)는 단면(11)과 측면(13a) 사이의 모서리부(R13), 단면(11)과 측면(13b) 사이의 모서리부(R14), 단면(11)과 측면(15a) 사이의 모서리부(R15), 단면(11)과 측면(15b) 사이의 모서리부(R16), 측면(13a)과 측면(15a) 사이의 모서리부(R33), 측면(15a)과 측면(13b) 사이의 모서리부(R34), 측면(13b)과 측면(15b) 사이의 모서리부(R35), 및, 측면(15b)과 측면(13a) 사이의 모서리부(R36)를 가지고 있다.

[0022] 모서리부(R13, R14, R15, R16)(이하, 통합하여 「R13 내지 R16」이라고 한다.), 모서리부(R33, R34, R35, R36)(이하, 통합하여 「R33 내지 R36」이라고 한다.)는 세라믹 소체(1)가 연마되어 R 형상을 이루고 있는 부분이다. 이러한 R 형상을 가짐으로써, 세라믹 소체(1)의 모서리부(R13 내지 R16), 모서리부(R33 내지 R36)에서의 파손의 발생을 억제할 수 있다. 세라믹 소체(1)에 있어서의 모서리부의 곡률 반경은, 예를 들면, 세라믹 전자 부품(100)의 폭 방향 길이의 3 내지 15%로 할 수 있다.

[0023] 단자 전극(3)은 세라믹 소체(1)에 있어서의 단면(11), 모서리부(R13 내지 R16)를 덮는 동시에, 측면(13, 15)의 단면(11)측의 일부를 일체적으로 덮도록 형성되어 있다. 따라서, 단자 전극(3)은 세라믹 소체(1)의 꼭대기부(22)를 덮도록 형성되어 있다.

[0024] 도 2는 도 1에 도시하는 세라믹 전자 부품의 II-II선의 절단면을 모식적으로 도시하는 단면도이다. 즉, 도 2는 도 1에 도시하는 세라믹 전자 부품(100)을 측면(13)에 수직하고 측면(15)에 평행한 면으로 절단했을 때의 단면 구조를 도시하는 도면이다.

[0025] 세라믹 소체(1)는 복수의 유전체층(7)과 그 사이에 내부 전극(9)이 적층된 적층 구조를 가지고 있다. 즉, 복수의 유전체층(7)과 복수의 내부 전극(9)이 교대로 적층되어 구성되어 있다. 복수의 유전체층(7) 및 복수의 내부 전극(9)의 적층 방향은 단자 전극(3)이 형성되어 있는 한 쌍의 단면(11)의 대향 방향에 수직하고, 한 쌍의 측면(13)의 대향 방향에 평행하다. 또한, 설명의 편의상, 도 2에서는 유전체층(7) 및 내부 전극(9)의 적층수를 도면 위에서 용이하게 시인할 수 있을 정도의 수로 하고 있지만, 원하는 전기 특성에 따라, 유전체층(7) 및 내부 전극(9)의 적층수를 적절히 변경해도 된다. 적층수는, 예를 들면, 유전체층(7) 및 내부 전극(9)을 각각 수십층으로 해도 좋고, 100 내지 500층 정도로 해도 좋다. 또한, 유전체층(7)은 서로간의 경계를 시인할 수 없을 정도로 일체화되어 있어도 좋다.

[0026] 내부 전극(9a)은 한쪽 단면(11a)측의 단자 전극(3)과 전기적으로 접속되어 있고, 다른쪽 단면(11b)측의 단자 전극(3)과는 전기적으로 절연되어 있다. 또한, 내부 전극(9b)은 다른쪽 단면(11b)측의 단자 전극(3)과 전기적으로 접속되어 있고, 한쪽 단면(11a)측의 단자 전극(3)과는 전기적으로 절연되어 있다. 내부 전극(9a) 및 내부 전극(9b)은 유전체층(7)을 사이에 개재하여 교대로 적층되어 있다. 본 실시 형태의 세라믹 전자 부품(100)은 단면(11a)측의 단자 전극(3)과 내부 전극(9b)과의 절연 신뢰성, 및 단면(11b)측의 단자 전극(3)과 내부 전극(9a)과의 절연 신뢰성이 우수하다. 내부 전극은, 금속 성분으로서, 구리 또는 니켈 등의 비금속을 함유하는 것이 바람직하고, 니켈을 함유하는 것이 보다 바람직하다.

[0027] 단자 전극(3)은 세라믹 소체(1)측에서부터, 제 1 전극층(4) 및 제 2 전극층(5)으로 이루어지는 소결 전극층(8)과, 제 3 전극층(6)을 가진다. 단자 전극(3)은 세라믹 소체(1)의 단면(11) 및 측면(13)[측면(15)] 위에서 각각 최대 두께(T) 및 두께(H)를 가진다. 또한, 단자 전극(3)은 가장 외측에 배치되는 내부 전극(9b)의 단면(11a)으로 향하는 연장선상에서 두께(F)를 가진다. 우수한 절연 신뢰성이나 접속 신뢰성을 확보하는 관점에서는, 세라믹 소체(1)의 꼭대기부(22) 부근에 있어서의 단자 전극의 두께[도 2 중의 두께(F)]를 두껍게 하는 것이 바람직하다. 그러나 종래의 세라믹 전자 부품과 같이 단자 전극(3)의 소결 전극층(8)을 도체 페이스트만을 사용하여 형성하는 경우, 두께(F)를 두껍게 하면, 결과적으로 단면 및 측면 위에서의 단자 전극(3)의 두께[도 2 중의 두께(T)와 두께(H)]가 두꺼워져 소형화를 도모하는 것이 곤란하였다.

[0028] 본 실시 형태의 세라믹 전자 부품(100)에서는 제 2 전극층(5)이 도체 그린시트를 사용하여 형성되어 있다. 이로 인해, 도체 페이스트만을 사용하여 소결 전극층(8)을 형성하는 경우에 비해, 단자 전극(3)의 두께(H) 및 두께(T)를 얇게 유지하면서, 두께(F)를 충분히 두껍게 할 수 있다. 따라서, 충분한 소형화를 도모하면서 우수한 신뢰성을 갖는 세라믹 전자 부품(100)으로 할 수 있다.

[0029] 세라믹 전자 부품의 소형화를 도모하면서 충분히 높은 신뢰성을 확보하는 관점에서, 세라믹 전자 부품(100)에 있어서의 단자 전극(3)의 두께(H)는 바람직하게는 10 내지 60 μ m이며, 보다 바람직하게는 10 내지 40 μ m이다. 같은 관점에서, 세라믹 전자 부품(100)에 있어서의 단자 전극(3)의 두께(F) 및 두께(T)는 바람직하게는 10 내지

60 μm 이며, 보다 바람직하게는 10 내지 40 μm 이다. 또한, 같은 관점에서, 단자 전극(3)의 두께(T)에 대한 두께(F)의 비율은 바람직하게는 0.6 이상이며, 보다 바람직하게는 0.7 내지 1.0이다.

- [0030] 단자 전극(3)은 Cu, Ag, Pd, Au, Pt, Fe, Zn, Al, Sn 및 Ni로부터 선택되는 적어도 1종의 원소를 함유하는 금속 또는 합금을 함유하는 것이 바람직하다. 이것에 의해, 우수한 접촉 신뢰성을 갖는 세라믹 전자 부품으로 할 수 있다. 유전체층(7)은, 예를 들면, 티탄산바륨을 함유한다.
- [0031] 단자 전극(3)은 세라믹 소체(10)의 단면(11) 전체를 덮는 동시에, 단면(11)에 직교하는 세라믹 소체(1)의 측면(13, 15)으로 돌아 들어가듯이 하여 측면(13, 15)의 일부를 덮고 있다. 단자 전극(3)은 세라믹 소체(1)의 단면(11) 및 측면(13, 15)의 일부 위에서, 세라믹 소체(1)측에서부터 순차적으로 제 1 전극층(4), 제 2 전극층(5) 및 제 3 전극층(6)이 이 순서대로 적층된 적층 구조를 가진다. 세라믹 소체(1)와 단자 전극(3)의 고착 강도를 한층 높게 하는 관점에서, 제 1 전극층(4)은 제 2 전극층(5)보다도 유리 성분의 함유량이 높은 것이 바람직하다.
- [0032] 제 1 전극층(4)은, 예를 들면, 도전성의 금속 분말과, 유리 플릿과, 바인더, 분산제 및 용제 중 적어도 하나를 포함하는 도체 페이스트를 소결함으로써 형성되는 층이다. 이 제 1 전극층(4)은, 예를 들면, Cu, Ag, Pd, Au, Pt, Fe, Zn, Al, Sn 및 Ni로부터 선택되는 적어도 하나의 원소를 포함하는 금속 또는 합금과, 유리 성분을 함유한다. 제 1 전극층(4)에 있어서의 금속 및 합금의 합계 함유량은 바람직하게는 50 내지 80질량%이며, 보다 바람직하게는 60 내지 70질량%이다. 제 1 전극층(4)은 적층체(1) 및 제 2 전극층(5) 사이에 배치되어 적층체(1) 및 제 2 전극층(5)과 밀착하고 있다.
- [0033] 제 1 전극층(4)의 두께는 제 2 전극층(5)의 두께보다도 얇게 되어 있다. 이것에 의해, 제 2 전극층(5)이 세라믹 소체(1)에 근접하여 배치되게 되고, 내부 전극(9)으로부터 확산된 금속 성분에 의해, 제 2 전극층(5)이 제 1 전극층(4)에 강고하게 고착되게 된다. 제 1 전극층(4)의 두께는 바람직하게는 0.5 내지 15 μm 이며, 보다 바람직하게는 1 내지 8 μm 이다.
- [0034] 제 2 전극층(5)은, 예를 들면, 도전성의 금속 분말과, 유리 플릿과, 바인더, 분산제 및 용제 중 적어도 하나를 포함하는 도체 그린시트를 소결함으로써 형성되는 층이다. 이로 인해, 제 2 전극층(5)은 높은 치수 정밀도를 가지고 있고, 소결 전극층(8) 및 단자 전극(3)의 사이즈 및 형상을 높은 정밀도로 조정하여 높은 위치 정밀도로 배치할 수 있다.
- [0035] 제 2 전극층(5)은, 예를 들면, Cu, Ag, Pd, Au, Pt, Fe, Zn, Al, Sn 및 Ni로부터 선택되는 적어도 하나의 원소를 포함하는 금속 또는 합금을 주성분으로서 함유한다. 제 2 전극층(5)에 있어서의 금속 및 합금의 합계 함유량은 바람직하게는 60 내지 90질량%이며, 보다 바람직하게는 70 내지 80질량%이다. 제 2 전극층(5)은 제 1 전극층(4)보다도 금속 및 합금의 합계 함유량이 높기 때문에, 충분히 치밀한 조직으로 되어 있어 높은 실드성을 가진다. 이로 인해, 도금액의 성분이나 도금 처리에 따라 발생하는 수소 등의 생성물이 세라믹 소체(1)에 침입하는 것을 충분히 억제할 수 있다.
- [0036] 제 2 전극층(5)의 두께는 제 1 전극층(4)의 두께보다도 두껍게 되어 있다. 이것에 의해, 도금액의 성분이나 도금 처리에 따라 발생하는 수소의 침입을 충분히 억제할 수 있다. 제 2 전극층(5)의 두께는 바람직하게는 8 내지 30 μm 이며, 보다 바람직하게는 8 내지 12 μm 이다. 제 2 전극층(5)의 두께가 지나치게 얇아지면, 충분히 높은 실드성이 얻기 어려워지는 경향이 있다. 한편, 제 2 전극층(5)의 두께가 지나치게 두꺼워지면, 단자 전극(3)의 두께가 두꺼워져 세라믹 전자 부품(100)을 소형화하는 것이 곤란해지는 경향이 있다.
- [0037] 제 3 전극층(6)은, 예를 들면, Ni층(니켈층) 및 Sn층(주석층)이 적층된 도금층이며, 도금액을 사용하여 형성할 수 있다. 이 도금층은, 예를 들면, Pd, Au, Ni 및 Sn으로부터 선택되는 적어도 하나의 원소를 포함하는 금속 또는 합금을 함유한다. 제 3 전극층(6)은 제 2 전극층(5)의 외측 표면 전체를 덮도록 형성된다.
- [0038] 제 3 전극층(6)의 두께는 바람직하게는 4 내지 12 μm 이며, 보다 바람직하게는 6 내지 10 μm 이다. 제 3 전극층(6)의 두께가 지나치게 얇아지면, 회로에 실장할 때, 땀납에 의한 전극 부식이 발생하기 쉬워지는 경향이 있다. 한편, 제 3 전극층(6)의 두께가 지나치게 두꺼워지면, 단자 전극(3)의 두께가 두꺼워져 세라믹 전자 부품(100)을 소형화하는 것이 곤란해지는 경향이 있다.
- [0039] 도 3은 도 2의 단면에 있어서, 세라믹 소체(1)의 단면(11) 및 모서리부(R13)부근 위에 형성된 소결 전극층(8)을 확대하여 도시하는 전자 현미경 사진(배율: 10000배)이다. 또한, 이 전자 현미경 사진에는 각 층의 윤곽을 명시하는 선이 그려져 있다. 도 4는 도 3의 전자 현미경 사진을 촬영한 단면의 구조를 모식적으로 도시하는 단면도이다. 도 3에 도시하는 바와 같이, 내부 전극(9)은 세라믹 소체(1)의 단면(11)에서 제 1 전극층(4)과 합금화

반응에 의해 서로 접촉하고 있다. 내부 전극(9)은 그 금속 성분(예를 들면, 니켈)이 제 1 전극층(4) 중에 확산되어 있다. 그 결과, 내부 전극(9)은 제 1 전극층(4) 중에 돌출되는 구조를 가지고 있다. 또한, 내부 전극(9)에 포함되는 금속 성분은 세라믹 소체(1)로부터 제 1 전극층(4)을 통과하여 제 2 전극층(5)을 향하여 확산되고 있다.

[0040] 제 2 전극층(5)은 금속 또는 합금으로 이루어지는 결정립(42)을 주성분으로서 함유한다. 내부 전극(9)의 금속 성분은 제 2 전극층(5)에 포함되는 결정립(42)의 결정립계(40)에 다른 부분보다 더 많이 분포하고 있다. 이러한 구조는, 소결 공정시에 있어서, 제 1 전극층(4)을 통과한 내부 전극(9)의 금속 성분이 결정립계(40)를 따라 확산됨으로써 형성된다. 이와 같이, 제 2 전극층(5)의 결정립계(40)에 내부 전극(9)의 금속 성분이 다른 부분보다 더 많이 분포함으로써, 제 1 전극층(4)을 통해 제 2 전극층(5)이 내부 전극(9)을 포함하는 세라믹 소체(1)에 한층 강고하게 고착되게 된다. 이것에 의해, 세라믹 소체(1)와 단자 전극(3)의 고착 강도를 충분히 높게 할 수 있다.

[0041] 결정립(42)의 입자 직경은 바람직하게는 3 내지 7 μm 이다. 결정립(42)의 입자 직경이 3 μm 미만이면, 제 2 전극층(5)의 실드 효과가 약간 손상되는 경향이 있고, 결정립(42)의 입자 직경이 7 μm 을 초과하면, 단자 전극(3)에 있어서 블리스터가 발생하기 쉬워지는 경향이 있다. 여기에서, 블리스터란 단자 전극(3) 중에 공동이 발생하여 단자 전극(3)의 일부가 돛 형상으로 고조되는 현상이다. 이러한 현상은 소결 전극층(8)을 형성할 때, 도체 페이스트나 도체 그린시트에 포함되는 유기 성분이 소결 전극층(8) 중에 잔류 카본으로서 가두어져 소결시의 가열로 잔류 카본이 가스화됨으로써 발생한다.

[0042] 제 2 전극층(5)에 있어서의 내부 전극(9)의 금속 성분의 함유량은, 제 1 전극층(4) 위에서의 제 2 전극층(5)의 고착 강도를 충분히 높게 하는 관점에서, 바람직하게는 0.45질량% 이상이며, 보다 바람직하게는 0.6질량% 이상이며, 더욱 바람직하게는 0.8질량% 이상이다. 단, 제 2 전극층(5)에 있어서의 내부 전극(9)의 금속 성분의 함유량이 지나치게 높아지면, 제 2 전극층(5)의 표면에 형성되는 금속 성분의 산화물의 영향에 의해 균일한 도금층을 형성하는 것이 어려워지는 경우가 있다(예를 들면, 금속 성분이 니켈인 경우 등). 그 결과, 제 3 전극층(6)이 제 2 전극층(5)으로부터 박리되기 쉬워지는 경향이 있다. 이러한 관점에서, 제 2 전극층(5)에 있어서의 내부 전극(9)의 금속 성분의 함유량은 바람직하게는 5.0질량% 이하이며, 보다 바람직하게는 4.5질량% 이하이며, 더욱 바람직하게는 3.8질량% 이하이다.

[0043] 제 2 전극층(5)에 있어서의 내부 전극(9)의 금속 성분의 함유량은 EDS(에너지 분산형 X선 분광법)에 의해 정량할 수 있다. 또한, 상기 함유량은 세라믹 소체(1)의 단면(11) 위에 형성된 소결 전극층(8)의 T치수 및 F치수에서의 제 2 전극층(5)을 두께 방향으로 등간격으로 3개소 이상 선택하여 측정된 측정값의 산술 평균값으로서 구할 수 있다.

[0044] 본 발명의 세라믹 전자 부품의 제조 방법의 적합한 실시 형태를 이하에 설명한다. 본 실시 형태의 제조 방법은 도 1 및 도 2에 도시하는 세라믹 전자 부품(100)의 제조 방법이다. 세라믹 전자 부품(100)의 제조 방법은 세라믹 소체의 형성 공정, 도체 그린시트의 형성 공정, 도체 페이스트의 부착 공정, 도체 그린시트를 세라믹 소체에 부착하는 부착 공정, 소결 전극층을 형성하는 소결 공정, 및 소결 전극층에 도금 처리를 가하는 도금 공정을 가진다. 이하, 각 공정의 상세를 설명한다.

[0045] 세라믹 소체의 형성 공정에서는 세라믹 소체(1)를 형성한다. 세라믹 소체(1)를 형성하기 위해서, 우선, 유전체층(7)이 되는 세라믹 그린시트를 형성한다. 세라믹 그린시트는 닥터 블레이드법 등을 사용하여 세라믹 슬러리를 PET(폴리에틸렌테레프탈레이트) 필름 위에 도포후, 건조시켜서 형성할 수 있다. 세라믹 슬러리는, 예를 들면, 티탄산바륨을 주성분으로 하는 유전체 재료에 용제 및 가소제를 첨가하고, 혼합함으로써 얻어진다. 형성된 세라믹 그린시트에 내부 전극(9)이 되는 전극 패턴을 스크린 인쇄하고 건조시킨다. 전극 패턴의 스크린 인쇄에는 니켈 분말 및 구리 분말로부터 선택되는 적어도 1종의 분말에 바인더나 용제 등을 혼합한 전극 페이스트를 사용할 수 있다.

[0046] 이와 같이 하여 복수의 전극 패턴 부착 그린시트를 형성하고 적층한다. 계속해서, 전극 패턴 부착 그린시트의 적층체를 적층 방향과 수직으로 절단하여 직방체 형상의 적층 칩을 형성하고, 가열 처리하여 탈바인더를 행한다. 가열 처리는 180 내지 400 $^{\circ}\text{C}$ 에서 0.5 내지 30시간 동안 행하는 것이 바람직하다. 가열 처리하여 얻어진 적층 칩을 800 내지 1400 $^{\circ}\text{C}$ 에서 0.5 내지 8.0시간 동안 소성하고, 배럴 연마하여 모따기를 행하여, 직방체 형상의 모서리부를 R 형상으로 한다. 이것에 의해, 대략 직방체 형상의 세라믹 소체(1)를 얻을 수 있다.

[0047] 도체 그린시트의 형성 공정에서는, 우선, PET(폴리에틸렌테레프탈레이트) 필름 등의 지지체 위에, 코터 등을 사

용하여, 도체 그린시트용의 페이스트를 70 μm 정도의 두께로 도포한다. 도체 그린시트용의 페이스트는 Cu, Ag, Pd, Au, Pt, Fe, Zn, Al, Sn 및 Ni로부터 선택되는 적어도 1종의 원소를 포함하는 금속 또는 합금의 분말과, 아크릴 수지 등의 열가소성 수지를 포함하는 바인더와, 유기 용제를 혼합한 것을 사용할 수 있다.

- [0048] 다음에, 지지체 위에 도포한 페이스트를 건조시켜 도체 그린시트를 형성한다. 도체 그린시트의 두께는, 예를 들면, 10 내지 50 μm 정도로 할 수 있다. 건조 후, 도체 그린시트를 지지체 위에서 원하는 사이즈로 절단하여 도체 그린시트(31)(도 5)를 형성한다. 여기에서, 도체 그린시트(31)는 세라믹 소체(1)에 접합하는 면(31s)이 세라믹 소체(1)의 단면(11)보다도 약간 커지도록 절단한다. 절단 후, 도체 그린시트(31)로부터 지지체를 박리한다. 이와 같이 하여, 도체 그린시트(31)를 얻을 수 있다.
- [0049] 도체 그린시트(31)에 있어서의 금속 성분의 함유량은 바람직하게는 65 내지 75질량%이다. 상기 함유량이 65질량% 미만이면, 충분히 우수한 실드 효과가 손상되는 경향이 있다. 한편, 상기 함유량이 75질량%을 초과하면, 단자 전극(3)에 블리스터가 생기기 쉬워지는 경향이 있다.
- [0050] 도체 그린시트(31)에 있어서의 금속 분말 및 합금 분말의 평균 입자 직경은 바람직하게는 0.5 내지 1.3 μm 이다. 상기 평균 입자 직경이 0.5 μm 미만이면, 충분히 우수한 실드 효과가 손상되는 경향이 있다. 한편, 상기 평균 입자 직경이 1.3 μm 을 초과하면, 세라믹 소체(1) 위에 형성된 단자 전극(3)에서 균열이 발생하기 쉬워지는 경향이 있다. 이러한 균열은 소결 전극층(8)을 형성할 때, 도체 페이스트나 도체 그린시트에 포함되는 용제가 소결 전극층(8) 중에 용제로서 가두어지고 소결시의 가열로 상기 용제가 분해되어 발생한다. 이러한 균열은 소결 공정시의 열수축에 의해 성장하는 경우도 있다. 또한, 본 명세서에 있어서의 평균 입자 직경은 시판 중인 레이저 회절식의 입도 분포계를 사용하여 측정되는 체적 평균 입자 직경이다.
- [0051] 도체 페이스트의 부착 공정에서는 세라믹 소체(1)의 단면(11a), 모서리부(R13, R14), 및 측면(13, 15)의 단면(11a)측의 일부 영역에 도체 페이스트를 부착시킨다. 도체 페이스트로서는 도체 그린시트용의 페이스트가 함유되는 성분에 유리 플릿을 첨가한 것을 사용할 수도 있다. 도체 페이스트를 부착시키는 방법은 세라믹 소체(1)의 일부를 도체 페이스트 중에 담그는 방법(딤법)이나, 도체 페이스트를 인쇄하는 방법 등을 들 수 있다.
- [0052] 딤법으로 도체 페이스트를 부착시키는 경우, 세라믹 소체(1)의 한쪽 단면(11a)을 아래쪽으로 하고, 세라믹 소체(1)의 단면(11a), 모서리부(R13 내지 R16), 및 측면(13, 15)의 단면(11a)측 부분을 도체 페이스트 중에 침지한다. 이것에 의해, 도 5에 도시하는 바와 같이, 세라믹 소체(1)의 단면(11a), 모서리부(R13 내지 R16), 및 측면(13, 15)의 단면(11)측 부분에 도체 페이스트(33)를 부착시킨다. 도체 페이스트(33)를 부착시킨 후, 도체 페이스트(33)를 예를 들면 스퀴지 등으로 긁어 내어 도체 페이스트(33)의 두께를 조정해도 좋다.
- [0053] 도 5는 세라믹 전자 부품(100)의 제조 방법의 부착 공정에 있어서의 단면 구조를 모식적으로 도시하는 개요도이다. 도 5에 도시하는 바와 같이, 세라믹 소체(1)의 한쪽 단면(11a)과, 도체 그린시트(31)의 면(31s)이 도체 페이스트(33)를 개재하여 마주 보도록 하고, 세라믹 소체(1)를 도체 그린시트(31)에 가압한다. 이것에 의해, 도체 그린시트(31)가 도체 페이스트(33)의 점착력에 의해, 세라믹 소체(1)의 단면(11a) 위에 고착된다.
- [0054] 도체 그린시트(31)의 면(31s)은 세라믹 소체(1)의 단면(11a)보다도, 약간 크기 때문에, 세라믹 소체(1)의 단면(11a) 뿐만아니라, 모서리부(R13 내지 R16) 및 측면(13)의 일부가 도체 그린시트(31)로 덮이게 된다.
- [0055] 세라믹 소체(1)의 다른쪽 단면(11b)측에도 단면(11a)측과 같이 도체 페이스트의 부착 공정 및 도체 그린시트의 부착 공정을 행한다. 이와 같이 하여 세라믹 소체(1)의 양 단면 위에 도체 페이스트를 통해 도체 그린시트(31)를 부착시킨 후, 도체 페이스트를 건조시킨다. 이것에 의해, 세라믹 소체(1)의 단면(11)과, 모서리부(R13 내지 R16)와, 측면(13, 15)의 일부를 덮도록, 도체 페이스트와 도체 그린시트(31)로 전극 그린체(전극의 전구체층)가 형성된다. 그 후, 300 내지 600 $^{\circ}\text{C}$ 의 온도 범위에서, 0.2 내지 1.5시간 동안 가열하여 전극 그린체로부터 바인더를 제거한다.
- [0056] 소결 공정에서는 세라믹 소체(1)의 단면(11), 모서리부(R13 내지 R16) 및 측면(13, 15) 위에 형성된 전극 그린체를 소결하여 소결 전극층(8)을 형성한다. 소결은 대기중 또는 환원 분위기 중, 예를 들면 450 내지 850 $^{\circ}\text{C}$ 에서 0.2 내지 1.5시간 동안 행하는 것이 바람직하다. 이러한 조건으로 소결함으로써, 세라믹 소체(1)의 열에 의한 손상을 회피하면서, 내부 전극(9)에 포함되는 금속 성분이 제 1 전극층(4) 및 제 2 전극층(5) 중에 확산되어 소결 전극층(8)을 세라믹 소체(1)에 충분히 밀착시킬 수 있다.
- [0057] 소결 전극층(8)은 세라믹 소체(1)의 단면(11) 위에, 세라믹 소체(1)측에서부터, 제 1 전극층(4)과 제 2 전극층(5)이 적층된 적층 구조를 가진다. 제 2 전극층(5)은 도체 그린시트(31)를 소결하여 형성된 것이기 때문에, 도체 페이스트를 사용하여 형성된 제 1 전극층(4)보다도 유리 성분의 함유량이 적고, 금속 및 합금의 합계 함유량

이 많아져 있다. 이로 인해, 제 2 전극층(5)은 충분히 치밀하며, 후술하는 도금 공정에 있어서, 도금액의 성분이나 도금 공정에서 발생하는 수소 등의 생성물이 세라믹 소체(1)에 침입하는 것을 충분히 억제할 수 있다.

[0058] 도금 공정은 세라믹 소체(1) 위에 형성된 소결 전극층(8)에 전기 도금을 가하여, 소결 전극층(8) 위에 도금층인 제 3 전극층(6)을 형성하는 공정이다. 도금층은, 예를 들면, Ni 도금욕(와트욕 등) 및 Sn 도금욕(중성 Sn 도금욕 등)을 사용한 배럴 도금법에 의해, Ni 도금층과 Sn 도금층을 순차적으로 형성하는 방법에 의해 얻을 수 있다.

[0059] 도금 공정에 의해, 도 2에 도시하는 제 1 전극층(4), 제 2 전극층(5), 및 제 3 전극층(6)으로 이루어지는 적층 구조를 갖는 단자 전극(3)이 얻어진다. 제 3 전극층(6)인 도금층은 소결 전극층(8)의 표면을 따라 얇게 형성되기 때문에, 단자 전극(3)과 소결 전극층(8)은 같은 형상을 가진다. 이상의 공정을 갖는 제조 방법에 의해, 세라믹 전자 부품(100)을 제조할 수 있다.

[0060] 상기의 제조 방법에 의해 수득되는 세라믹 전자 부품(100)은 단자 전극(3)에서의 제 2 전극층(5)이 도체 그린시트(31)를 사용하여 형성된다. 이로 인해, 도체 페이스트만을 사용하여 단자 전극(3)의 소결 전극층(8)을 형성하는 경우에 비해, 단자 전극(3)의 두께(T, H)를 얇게 유지하면서, 두께(F)를 두껍게 할 수 있다. 또한, 단자 전극(3)의 제 2 전극층(5)은 유리 성분이 적어 충분히 치밀한 조직을 가지고 있다. 이와 같이 단자 전극(3)의 두께와 조성의 상승 작용에 의해, 도금액의 성분이나 도금시에 발생하는 수소의 침입에 의한 세라믹 소체의 부식을 충분히 억제할 수 있다. 또한, 내부 전극(9)의 금속 성분이 제 2 전극층(5) 중에 확산되어 있기 때문에, 단자 전극(3)의 세라믹 소체(1)에 대한 고착 강도를 높게 할 수 있다. 이러한 요인에 의해, 소형화가 가능하며, 단자 전극과 세라믹 소체(1)의 고착 강도가 우수한 세라믹 전자 부품을 얻을 수 있다.

[0061] 또한, 본 명세서에 있어서의 「대략 직방체 형상」이란 입방체 형상이나 직방체 형상 뿐만 아니라, 본 실시 형태에 있어서의 세라믹 소체(1)와 같이, 직방체의 능선 부분에 모따기가 가해져 모서리부가 R 형상으로 되어 있는 형상을 포함하는 것은 말할 필요도 없다. 즉, 본 실시 형태에 있어서의 세라믹 전자 부품의 세라믹 소체는 실질적으로 입방체 형상 또는 직방체 형상을 가지고 있으면 된다.

[0062] 이상, 본 발명의 적합한 실시 형태에 관해서 설명했지만, 본 발명은 상기 실시 형태에 조금도 한정되는 것이 아니다. 예를 들면, 상기 실시 형태에서는, 세라믹 소체(1)의 측면(13, 15) 위에서 제 2 전극층(5)이 제 1 전극층(4)의 표면 전부를 덮도록 형성되어 있었지만, 제 2 전극층(5)은 제 1 전극층(4)의 일부를 덮도록 형성되어 있어도 좋다. 이 경우, 제 2 전극층(5)이 형성되지 않은 제 1 전극층(4)의 표면 위에는 제 3 전극층(6)이 형성되게 된다.

[0063] 또한, 상기 실시 형태에서는 세라믹 전자 부품(100)을 콘덴서로서 설명했지만, 이것에 한정되는 것이 아니다. 본 발명의 세라믹 전자 부품은 배리스터, 인덕터, 또는 LCR(인덕터, 콘덴서, 저항의 복합 전자 부품)이라도 좋다. 또한, 세라믹 소체(1)는 상기한 유전체층(7)을 대신하여 배리스터층 또는 자성체층을 갖는 것이라도 좋다.

[0064] [실시예]

[0065] 이하, 실시예 및 비교예에 기초하여 본 발명을 더욱 구체적으로 설명하지만, 본 발명은 이하의 실시예에 조금도 한정되는 것이 아니다.

[0066] [세라믹 전자 부품의 제작]

[0067] (실시예 1)

[0068] <세라믹 소체의 형성>

[0069] 시판 중인 BaTiO₃계 유전체 재료 분말, 바인더, 유기 용제 및 가소제 등을 혼합하여 세라믹 슬러리를 제조하였다. 이 세라믹 슬러리를 닥터 블레이드법 등을 사용하여 PET(폴리에틸렌테레프탈레이트) 필름 위에 도포한 후, 건조시켜 세라믹 그린시트를 형성하였다.

[0070] 형성한 세라믹 그린시트 위에, 니켈 분말에 바인더나 용제 등을 혼합한 전극 페이스트를 스크린 인쇄하고, 건조시켜서 전극 패턴 부착 그린시트를 형성하였다. 또한, 상기 전극 페이스트에 있어서의 니켈 분말의 함유량은 60질량%이었다.

[0071] 동일한 방법을 반복하여 실시하여, 복수의 전극 패턴 부착 그린시트를 형성하고 적층하여 적층체를 제작하였다(적층수: 375). 이 적층체를 적층 방향과 수직으로 절단하고, 가열 처리를 하고 탈바인더를 행하여, 직방체 형상의 적층 칩을 얻었다. 가열 처리는 180 내지 400℃에서 0.5시간 동안 행하였다. 이 적층 칩을 800 내지

1400℃에서 0.5 내지 8.0시간 동안 소성하였다. 그 후, 배럴 연마하여 모따기를 행하고, 직방체 형상의 모서리 부를 R 형상으로 가공하여, 도 1에 도시하는 대략 직방체 형상을 갖는 세라믹 소체(1)를 얻었다.

[0072] <도체 그린시트의 형성>

[0073] 시판 중인 구리 분말(평균 입자 직경: 0.2 내지 8 μ m)과 아크릴 수지를 포함하는 수지 바인더와 유기 용제를 혼합하여 페이스트를 조제하였다. 이 페이스트는 유리 플릿 등의 유리 성분을 사용하지 않고 조제하였다. 이 페이스트를 시판 중인 PET 필름 위에 도포하여 건조시키고, 소정의 사이즈로 절단하여 도체 그린시트(31)를 형성하였다. 도체 그린시트에 있어서의 구리 분말의 함유량은 70질량%이며, 구리 분말의 평균 입자 직경은 1.0 μ m이었다. 또한, 도체 그린시트(31)의 면(31s)은 세라믹 소체(1)의 단면(11)과 닮은 꼴이며, 면(31s)의 면적은 도체 그린시트(31)의 세라믹 소체(1)의 단면(11) 면적보다도 크게 하였다.

[0074] <소결 전극층의 형성>

[0075] 시판 중인 구리 분말과 수지성 바인더(아크릴 수지 바인더)와 유리 플릿과 유기 용제를 함유하는 도체 페이스트를 조제하였다. 상기와 같이, 형성한 세라믹 소체(1)의 한쪽 단면(11a)측을 아래쪽으로 향하고, 단면(11a)과 이것에 인접하는 모서리부(R13 내지 R16)와, 측면(13, 15)의 단면(11a)측 부분을 도체 페이스트 중에 침지하였다. 이것에 의해, 도 5에 도시하는 바와 같이, 세라믹 소체(1)의 한쪽 단면(11a), 모서리부(R13 내지 R16), 및 측면(13, 15)의 단면(11a)측 부분에 도체 페이스트(33)를 부착시켰다.

[0076] 도 5에 도시하는 바와 같이, 도체 페이스트(33)가 부착된 세라믹 소체(1)의 한쪽 단면(11a)측을 아래쪽으로 향하고, 도체 그린시트(31)의 면(31s)에 세라믹 소체(1)의 단면(11a)을 가압하여, 도체 그린시트(31)를 단면(11a) 위에 부착하였다. 도체 그린시트는 그 외주를 따르는 주연부가 측면(13, 15)의 단면(11a)측 일부, 모서리부(R13 내지 R16) 및 꼭대기부(22)를 덮도록 변형하였다. 그 후, 도체 페이스트(33) 및 도체 그린시트(31)를 건조시켜, 단면(11a) 위에 유리 성분의 함유량이 서로 다른 2개의 층을 갖는 전극 그린체를 형성하였다.

[0077] 계속해서, 세라믹 소체(1)의 단면(11b)측에도, 단면(11a)측과 같이 하여, 전극 그린체를 형성하였다.

[0078] 다음에, 세라믹 소체(1) 위에 형성된 전극 그린체를 전기로 중 400 내지 850℃에서 0.2 내지 5.0시간의 조건으로 소결하여, 소결 전극층(8)을 갖는 세라믹 전자 부품을 제작하였다.

[0079] 소결 전극층(8)은 세라믹 소체(1)의 단면(11), 모서리부(R13 내지 R16) 및 측면(13, 15)의 단면(11)측의 일부 위에서, 세라믹 소체측에서부터, 도체 페이스트로 형성된 제 1 전극층(4)과, 도체 그린시트(31)로 형성된 제 2 전극층(5)이 순차적으로 적층된 적층 구조를 가지고 있었다. 이것을 실시예 1의 세라믹 전자 부품으로 하였다.

[0080] (비교예 1)

[0081] 실시예 1과 같이 하여 세라믹 소체를 제작하고, 이 세라믹 소체의 한쪽 단면과 상기 단면의 주연에 위치하는 모서리부와 측면의 상기 단면측 부분을 실시예 1과 동일한 도체 페이스트 중에 침지하고, 세라믹 소체의 단면 위, 모서리부 위, 및 측면의 단면측 부분 위에 도체 페이스트를 부착시켰다. 그 후, 세라믹 소체에 부착된 도체 페이스트를 건조시켰다.

[0082] 상기의 도체 페이스트의 부착과 건조를 합계 3회 반복 실시하여, 세라믹 소체의 단면, 모서리부, 및 측면의 단면측 부분 위에 3층 구조를 갖는 전극 그린체를 구비하는 세라믹 소체를 얻었다. 세라믹 소체의 다른쪽 단면에 관해서도 같은 공정을 행하여 양 단면 위에 한 쌍의 전극 그린체가 형성된 세라믹 소체를 얻었다.

[0083] 실시예 1과 같이 하여, 세라믹 소체 위에 형성된 전극 그린체를 소결하고, 소결 전극층을 갖는 세라믹 전자 부품을 제작하였다. 이 세라믹 전자 부품은 도체 페이스트를 사용하여 형성된 3층 구조를 갖는 소결 전극층(8)을 가지고 있었다. 이것을 비교예 1의 세라믹 전자 부품으로 하였다.

[0084] (비교예 2)

[0085] 실시예 1과 같이 하여 세라믹 소체를 제작하고, 이 세라믹 소체의 한쪽 단면과 상기 단면의 주연에 위치하는 모서리부와 측면의 상기 단면측 부분을 실시예 1과 동일한 도체 페이스트 중에 침지하고, 세라믹 소체의 단면 위, 모서리부 위, 및 측면의 단면측 부분 위에 도체 페이스트를 부착시켰다. 그 후, 세라믹 소체에 부착된 도체 페이스트를 건조시켰다.

[0086] 다음에, 세라믹 소체의 도체 페이스트를 부착시킨 부분을 실시예 1에서 조제한 도체 그린시트와 같은 성분을 함

유하는 유리 성분 비함유의 도체 페이스트 중에 침지하고, 도체 페이스트를 포개어 부착시켰다. 그 후, 세라믹 소체에 부착한 도체 페이스트를 건조시켜 세라믹 소체 위에, 세라믹 소체측에서부터, 유리 성분의 함유량이 서로 상이한 제 1 전극층과 제 2 전극층이 이 순서로 적층된 전극 그린체를 형성하였다.

[0087] 실시예 1과 같이 하여, 세라믹 소체 위에 형성된 전극 그린체를 소결하여, 소결 전극층을 갖는 세라믹 전자 부품을 제작하였다. 이것을 비교예 2의 세라믹 전자 부품으로 하였다. 즉, 비교예 2의 세라믹 전자 부품은 도체 페이스트를 사용하여 형성된 제 2 전극층을 갖는 점에서, 실시예 1의 세라믹 전자 부품과 다르다.

[0088] (비교예 3)

[0089] 시판 중인 BaTiO₃계 유전체 재료 분말, 바인더, 유기 용제, 및 가소제 등을 혼합하여 세라믹 슬러리를 조제하였다. 이 세라믹 슬러리를 사용하여, 실시예 1의 적층체와 동등한 사이즈를 가지고, 내부 전극이 되는 전극 패턴이 형성되지 않은 세라믹 소체를 제작하였다. 실시예 1의 적층체 대신, 이 세라믹 소체를 사용한 것 이외에는, 실시예 1과 같이 하여, 세라믹 소체의 양 단면 위에 소결 전극층을 형성하였다.

[0090] [소결 전극층의 두께 측정]

[0091] 상기와 같이 제작한 실시예 1 및 비교예 1, 2의 세라믹 전자 부품의 소결 전극층(8)의 두께를 이하와 같이 하여 측정하였다. 세라믹 전자 부품을 측면(13)에 수직하고 측면(15)에 평행한 방향으로 절단하여, 도 2에 도시하는 세라믹 전자 부품의 절단면을 얻었다. 이 절단면을 현미경 관찰하여, 소결 전극층(8)의 두께(T1)(T 치수), 두께(F1)(F 치수) 및 두께(H1)(H 치수)를 구하였다. 측정은 각각의 두께를 10개소에서 측정하고, 측정값의 산술 평균값, 최대값, 및 최소값을 구하였다. 이러한 결과를 정리하여 표 1에 기재한다. 또한, 두께(T1)의 측정에서 있어서는, 제 1 전극층(4)과 제 2 전극층(5)의 각각의 두께도 함께 구하였다.

[0092] [실드성의 평가]

[0093] 상기와 같이 제작한 실시예 1 및 비교예 1의 세라믹 전자 부품의 실드성을 다음의 순서로 평가하였다. 세라믹 소체(1) 위에 형성된 소결 전극층(8)을 세공 함침용의 시일재(메타크릴레이트에스테르 단량체)에 침지하고, 감압 분위기하, 실온에서 0.5시간 동안 보지하였다. 그 후, 세라믹 소체(1)를 시일재로부터 취출하여 90℃로 가열하여, 시일재를 열경화시켰다. 열경화후, 세라믹 전자 부품을 측면(13)에 수직하고 측면(15)에 평행한 방향으로 절단하여, 도 2에 도시하는 세라믹 전자 부품의 절단면을 얻었다. 이 절단면에 있어서의 소결 전극층(8) 및 세라믹 소체(1)를 형광 현미경(배율: 500배)을 사용하여 관찰하여, 시일재가 소결 전극층(8) 및 세라믹 소체(1)의 내부로 확산되어 있는지 여부를 평가하였다. 같은 평가를 실시예 및 비교예마다 12개의 시료(세라믹 전자 부품)를 사용하여 행하고, 시일재가 소결 전극층(8) 또는 세라믹 소체(1)로 확산된 시료의 개수를 카운트하였다. 결과를 표 1에 기재한다.

[0094] [고착 강도의 평가]

[0095] 상기와 같이 제작한 실시예 1 및 비교예 1, 3의 세라믹 전자 부품의 고착 강도를 다음의 순서로 평가하였다. 우선, 실시예 1 및 비교예 1, 3의 세라믹 전자 부품의 소결 전극층(8)을 덮도록 하여, Ni 도금층 및 Sn 도금층으로 이루어지는 도금층[제 3 전극층(6)]을 형성하였다. Ni 도금층은 와트욕을, Sn 도금층은 중성 Sn 도금욕을 각각 사용하여 형성하였다. 이것에 의해, 세라믹 소체(1)의 양 단면(11) 위에, 세라믹 소체(1)측에서부터, 제 1 전극층(4), 제 2 전극층(5) 및 제 3 전극층(6)(도금층)이 순차적으로 적층된 단자 전극(3)을 형성하였다. 이 단자 전극(3)과, 별도로 준비한 리드선을 뿔납을 사용하여 접속하고, 리드선과 세라믹 전자 부품이 뿔납을 통해 접속된 접속체를 얻었다. 이 접속체에 있어서의 단자 전극(3)과 세라믹 소체(1)의 고착 강도를 인장 시험을 행함으로써 측정하였다. 즉, 인장 시험에 의해 측정된 인장 강도를 고착 강도로 하였다. 이들 결과를 표 1에 통합하여 기재한다.

[0096] [소결 전극층의 조성 분석]

[0097] 고착 강도의 평가와 같이 하여, 실시예 1의 세라믹 전자 부품에 있어서의 세라믹 소체(1)의 양 단면(11) 위에, 세라믹 소체(1)측에서부터, 제 1 전극층(4), 제 2 전극층(5) 및 제 3 전극층(6)(도금층)이 순차적으로 적층된 단자 전극(3)을 형성하였다.

[0098] 단자 전극(3)이 형성된 세라믹 전자 부품을 측면(13)에 수직하고 측면(15)에 평행한 방향으로 절단하여, 도 2에 도시하는 세라믹 전자 부품의 절단면을 얻었다. 이 절단면에 있어서의 단자 전극(3)의 전자 현미경 관찰과 전자선 마이크로 애널라이저(EPMA)에 의한 맵핑을 행하여, 제 1 전극층(4), 제 2 전극층(5) 및 제 3 전극층(6)의

조성을 분석하였다. 그 결과, 실시예 1의 세라믹 전자 부품에 있어서의 제 2 전극층(5)에는, 도 3에 도시하는 바와 같이, 내부 전극(9)으로부터 제 1 전극층(4)을 통과하여 Ni가 확산되고 있는 것이 확인되었다. 또한, 상기 Ni는 제 2 전극층(5)의 결정립계를 따라 확산되고 있는 것이 확인되었다.

[0099] EPMA에 의한 맵핑 결과에 기초하여, 제 2 전극층(5)에 있어서의 Ni의 함유량, 및 제 2 전극층(5)에 있어서의 Cu의 결정립 내 및 결정립계에 있어서의 Ni의 함유량을 측정하였다. 또한, 결정립 내의 Ni 함유량에 대한 결정립계에 있어서의 Ni 함유량의 질량 비율을 구하였다.

[0100] 상기의 순서로, 실시예 및 비교예마다 12개 시료의 제 2 전극층(5)에 있어서의 Ni의 함유량과, 결정립 내의 Ni 함유량에 대한 결정립계에 있어서의 Ni 함유량의 질량 비율을 각각 구하였다. 구한 값의 평균값, 최대값 및 최소값은 표 1에 기재하는 바와 같았다.

표 1

		실시예 1	비교예 1	비교예 2	비교예 3
소결전극층의 두께 T1 (μm)	평균값	19.2 (*1)	69.6	55.7	—
	σ	1.8	9.5	9.7	—
소결전극층의 두께 F1 (μm)	평균값	13.9	17.4	10.6	—
	σ	1.7	5.5	3.8	—
소결전극층의 두께 H1 (μm)	평균값	22.9	27.3	27.7	—
	σ	2.1	6.3	5.7	—
실드성	(*2)	0	5	—	—
고착강도 (kg)		6.50	5.00	—	3.94
제2 전극층에서의 Ni 함유량(질량 %)	평균값	1.50	—	—	—
	최소값	0.45	—	—	—
	최대값	5.00	—	—	—
일자내에서의 Ni 함유량에 대한 입계에서의 Ni 함유량의 질량비	평균값	1.56	—	—	—
	최소값	0.36	—	—	—
	최대값	8.39	—	—	—

[0101]

[0102] *1: 제 1 및 제 2 전극층의 두께는 각각 $7.3\mu\text{m}$ 및 $11.9\mu\text{m}$ 이었다.

[0103] *2: 12개의 시료 중, 시일재가 소결 전극층 또는 세라믹 소체로 확산되어 있는 것이 확인된 개수를 나타낸다.

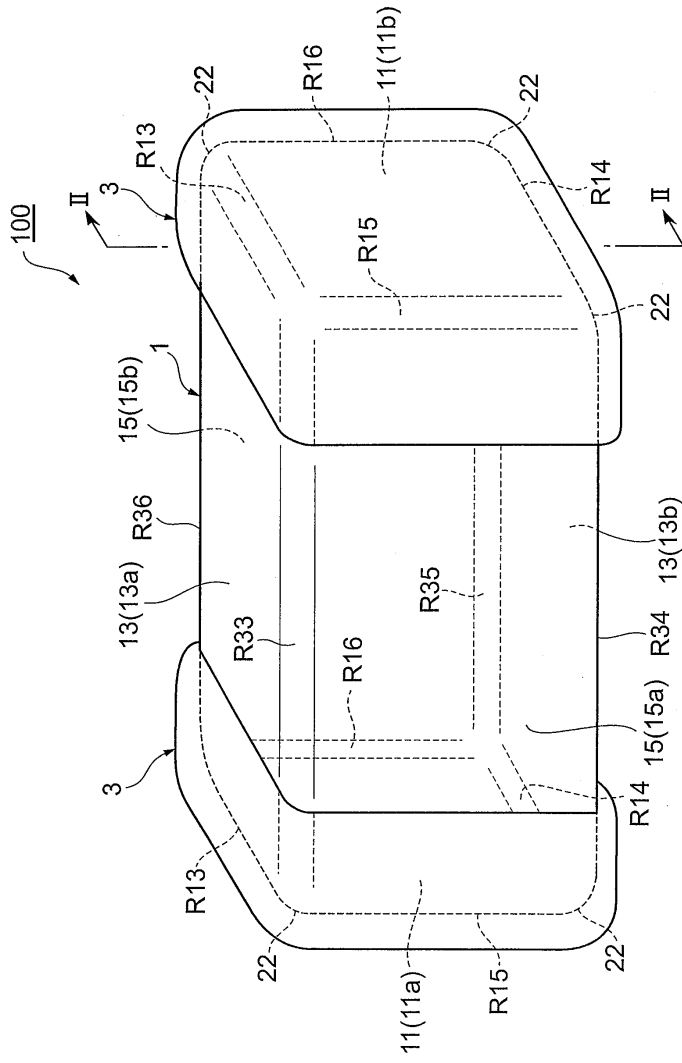
[0104] 표 1에 기재하는 바와 같이, 제 1 전극층을 도체 그린시트를 사용하여 형성 한 실시예 1의 세라믹 전자 부품에서는 소결 전극층(8)의 두께(T1)(T 치수) 및 두께(H1)(H 치수)를 충분히 얇게 하면서, 소결 전극층(8)의 두께(F1)(F 치수)를 두껍게 할 수 있었다. 한편, 도체 그린시트를 사용하지 않고 도체 페이스트만을 사용하여 소결 전극층(8)을 형성한 비교예 1, 2의 세라믹 전자 부품에서는, 실시예 1의 세라믹 전자 부품의 소결 전극층(8)보다도 두께(T1) 및 두께(H1)를 두껍게 했음에도 불구하고, 두께(F1)가 얇았다. 또한, 비교예 1, 2의 세라믹 전자 부품에 있어서의 소결 전극층(8)은 실시예 1의 그것보다도 두께의 편차가 컸다. 이러한 결과로부터, 실시예 1의 세라믹 전자 부품은 치수 정밀도가 우수하고, 충분히 소형화가 가능한 것이 확인되었다.

[0105] 또한, 실시예 1의 세라믹 전자 부품은 비교예 1, 3보다도 우수한 실드성 및 높은 고착 강도를 가지고 있었다. 고착 강도의 평가에서는, 평가 후의 시료의 파괴 개소를 관찰한 결과, 실시예 1에서는 맵핑 부분에서 파단되었던 것에 대해, 비교예 1, 3에서는 세라믹 소체와 단자 전극의 경계 부분인 것이 확인되었다. 이러한 결과로부터, 내부 전극으로부터 확산된 금속 성분을 포함하는 제 2 전극층을 갖는 실시예 1의 세라믹 전자 부품은 비교예보다도 실드성 및 고착 강도가 우수한 것이 확인되었다.

[0106] 본 발명에 의하면, 소형화가 가능하고, 단자 전극과 세라믹 소체의 고착 강도가 우수한 세라믹 전자 부품을 제공할 수 있다.

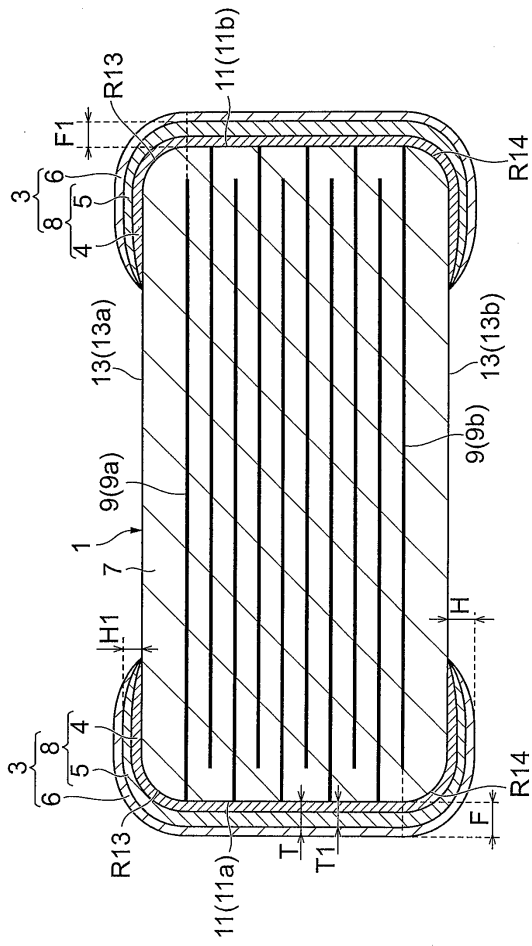
도면

도면1

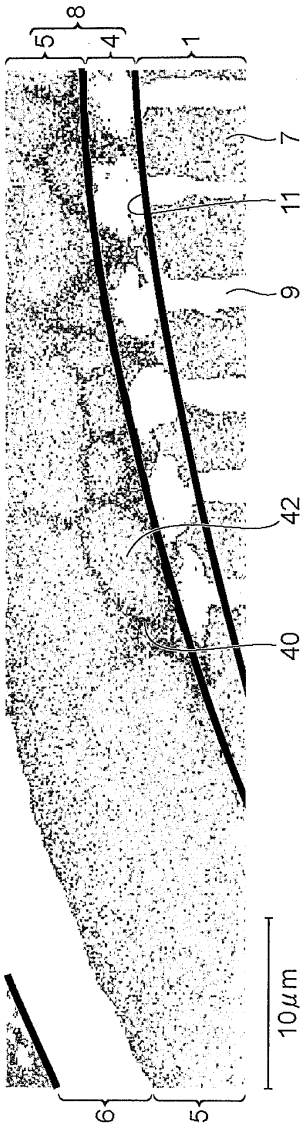


도면2

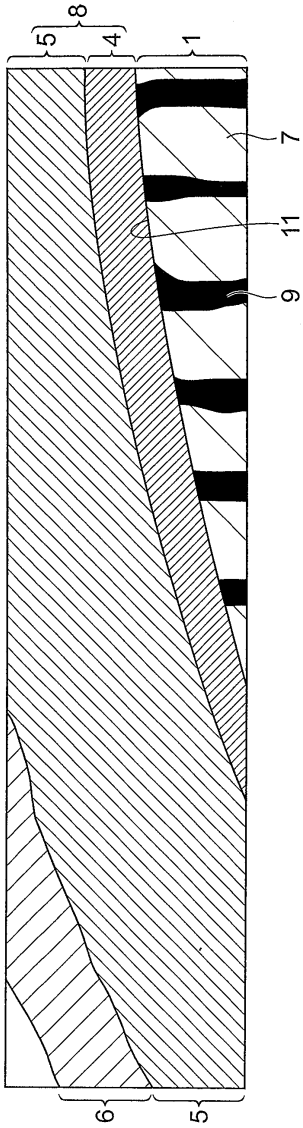
100



도면3



도면4



도면5

