



(12) 发明专利

(10) 授权公告号 CN 101393915 B

(45) 授权公告日 2011. 12. 14

(21) 申请号 200810149739. 3

US 2006/0033153 A1, 2006. 02. 16, 全文.

(22) 申请日 2008. 09. 19

审查员 吴海涛

(30) 优先权数据

2007-242011 2007. 09. 19 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川

(72) 发明人 山本英雄 小林研也 金子敦司

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 孙志湧 安翔

(51) Int. Cl.

H01L 27/06 (2006. 01)

H01L 29/78 (2006. 01)

(56) 对比文件

CN 1638148 A, 2005. 07. 13, 全文.

JP 2005-136099 A, 2005. 05. 26, 全文.

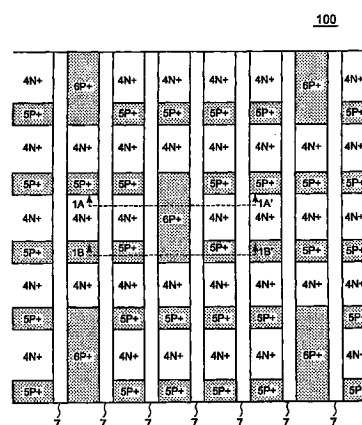
权利要求书 1 页 说明书 7 页 附图 15 页

(54) 发明名称

具有沟槽栅极结构的半导体器件

(57) 摘要

本发明提供一种具有条形沟槽栅极结构的垂直 MOSFET, 该条形沟槽栅极结构在不增加 R_{on} 的情况下, 能够保证雪崩电阻。垂直 MOSFET (100) 包括多个栅极沟槽 (7), 该多个栅极沟槽 (7) 以多个条形布置、阵列, 该阵列夹在多个栅极沟槽 (7) 中, 并且包括 N^+ 源极区域 $4N^+$ 和 P^+ 基极接触区域 $5P^+$ 、以及二极管区域 (阳极区域 $6P^+$), 该二极管区域被形成为使得与两个栅极沟槽 (7) 接触。 N^+ 源极区域 $4N^+$ 和基极接触区域 $5P^+$ 沿栅极沟槽 (7) 的纵向方向交替地布置。二极管区域 (阳极区域 $6P^+$) 的尺寸对应于至少 N^+ 源极区域 $4N^+$ 中的一个和 P^+ 基极接触区域 $5P^+$ 中的两个。



1. 一种垂直 MOSFET, 包括 :

多个栅极沟槽, 所述多个栅极沟槽以条形布置 ;

阵列, 所述阵列被夹在所述多个栅极沟槽中, 并包括沿所述栅极沟槽的纵向方向交替布置的源极区域和基极接触区域 ; 以及

二极管区域, 所述二极管区域被形成为使得与彼此相邻的两个所述栅极沟槽接触, 其中所述二极管区域的尺寸对应于至少所述源极区域中的一个和所述基极接触区域中的两个。

2. 根据权利要求 1 所述的垂直 MOSFET, 其中, 所述二极管区域被形成在所述阵列中, 所述二极管区域的尺寸与所述基极接触区域中的两个和所述源极区域的尺寸相同。

3. 根据权利要求 2 所述的垂直 MOSFET, 其中, 所述二极管区域被形成为并列于在相邻阵列中的所述基极接触区域中的相邻两个和夹在其间的所述源极区域。

4. 根据权利要求 2 所述的垂直 MOSFET, 其中, 所述二极管区域被形成为并列于在相邻阵列中的所述源极区域中的相邻两个和夹在其间的所述基极接触区域。

5. 根据权利要求 1 所述的垂直 MOSFET, 其中, 所述二极管区域具有与相邻阵列相同的尺寸。

6. 根据权利要求 2 所述的垂直 MOSFET, 进一步包括另一二极管区域, 其中所述二极管区域和所述另一二极管区域将所述栅极沟槽中的至少一个夹在其间。

7. 根据权利要求 1 到 6 中的任一项所述的垂直 MOSFET, 其中, 进一步包括 :

形成在所述栅极沟槽中的栅极电极 ; 以及

形成在所述栅极电极上的层间绝缘膜, 其中所述层间绝缘膜被形成在所述栅极沟槽中。

具有沟槽栅极结构的半导体器件

[0001] 相关申请的交叉引用

[0002] 本申请是以 2007 年 9 月 19 日提交的日本专利申请 No. 2007-242011 为基础,并要求该日本专利申请的优先权,该日本专利申请的全部内容通过参考合并于此。

技术领域

[0003] 本发明涉及一种半导体器件,更具体地,涉及一种具有沟槽栅极结构的半导体器件。

背景技术

[0004] 在具有条形沟槽栅极结构的垂直金属氧化物半导体场效应晶体管 (MOSFET) 中,雪崩电阻 (avalanche resistance) 受 P^+ 基极接触区域的宽度、间隔和总面积的影响。 P^+ 基极接触区域的间隔越窄,则雪崩电阻增加越多。另一方面,由于沟道区域下降,因此导通电阻 (R_{on}) 增加,其中导通电阻 (R_{on}) 是垂直 MOSFET 的性能指数中的一个。因此,需要实现增加雪崩电阻,同时保证 P^+ 基极接触区域的宽度 (保证沟道区域) 以减小 R_{on} 的结构。

[0005] 在美国专利 No. US6,351,009B1 (Kocon 等人) 中公开了一种具有传统条形沟槽栅极结构的垂直 MOSFET 的实例。参照图 9-11,将描述 Kocon 等人公开的传统 N 沟道型垂直 MOSFET300 的结构。图 9 是示出 Kocon 等人公开的垂直 MOSFET300 的平面结构的示意平面图。图 10 是沿图 9 的线 9A—9A' 提取的剖视图,以及图 11 是沿图 9 的线 9B—9B' 提取的剖视图。

[0006] 如图 9—11 所示,掺杂的上层 302 被布置在掺杂的 N^+ 衬底 301 上。上层 302 包括 N 漏极区域 303 和 P 阱 305。如图 10 所示, P^+ 体区域 304 被形成在上层 302 中。 P^+ 体区域 304 由栅极沟槽 307 相互隔离。另一方面,如图 11 所示,通过在上层 302 中离子注入和扩散形成 N^+ 源极区域 306。 N^+ 源极区域 306 由栅极沟槽 307 隔离。

[0007] 在栅极沟槽 307 中,形成有导电栅极材料 310 和介电层 312。栅极沟槽 307 用导电栅极材料 310 和介电层 312 填塞,并且介电层 312 的表面 313 和 P^+ 体区域 304 的表面 314 变得基本共平面。然后,金属层 315 被气相沉积在表面 314 上。金属层 315 在 P^+ 体区域 304 和 N^+ 源极区域 306 之间形成接触。

[0008] 如图 9 所示,垂直 MOSFET300 包括交替的 P^+ 体区域 304 和 N^+ 源极区域 306 的多个阵列 317。每个阵列 317 被布置为与栅极沟槽 307 接触,并与下一阵列 317 隔离。在图 9 中布置在栅极沟槽 307 之间的每个阵列 317 中, N^+ 源极区域 306 的纵向尺寸被形成为比 P^+ 体区域 304 的纵向尺寸更宽。采用这种结构,沟道被形成在定位于 N^+ 源极区域 306 下方的 P 阱 305 与栅极沟槽 307 接触的平面中,并且作为性能指数中的一个的 R_{on} 被确定。而且,通过形成栅极沟槽 307 可以使栅极沟槽 307 之间的间隔变窄,从而由于导电栅极材料 310 和介电层 312 与这种结构相同而导致表面 313 和表面 314 基本共平面。由于这个原因,可以在相同的芯片区域中形成高密度沟道区域,并且改善 R_{on} 。

[0009] 此外,在美国专利 No. 5,998,837 (Williams) 中,公开了一种具有传统条形沟槽栅

极结构的垂直 MOSFET。图 12—15 示出了 Williams 公开的传统垂直 MOSFET 的结构。图 12 和 13 是示出 Williams 公开的垂直 MOSFET310 和 311 的平面结构的示意性平面图。图 14 是沿图 12 中所示的线 12A—12A' 提取的剖视图,或者沿图 13 中所示的线 13A—13A' 提取的剖视图。图 15 是沿图 12 中所示的线 12B—12B' 提取的剖视图,或者沿图 13 中所示的线 13B—13B' 提取的剖视图。如图 12 和 13 所示,Williams 所公开的垂直 MOSFET310 和 311 具有 MOSFET 单元 81—84 和二极管单元 85。MOSFET 单元 81—84 中每个具有单个 N^+ 源极区域 88 和单个 P^+ 接触区域 87。二极管单元 85 具有平行于栅极沟槽 91 形成的深 P^+ 扩散 dP^+ 。

[0010] 然而,本发明人已经发现到在这些现有技术中存在如下问题。

[0011] 在 Kocon 等人公开的传统结构中,雪崩电阻的最佳值根据 P^+ 体区域 304 的宽度和间隔而存在。为了使雪崩电阻最佳,必须使 P^+ 体区域 304 的宽度变宽,并且使间隔变窄。因此, N^+ 源极区域 306 变窄,沟道区域减小,并且 R_{on} 增加。因而,当注重 R_{on} 时,雪崩电阻减小,而当保证雪崩电阻时, R_{on} 变差,它们是处于折衷的关系。

[0012] 另外,在 Williams 公开的结构中,出现如下问题。在 Williams 公开的结构中, MOSFET 单元 81—84 中的每个宽度 y (两个相邻栅极沟槽 91 之间的间隔) 受 N^+ 源极区域 88 的宽度、 P^+ 接触区域 87 的宽度和 N^+ 源极区域 88 的宽度限制。出于这个原因,由于不可以使栅极沟槽 91 之间的间隔变窄,因此出现集成困难的问题。

发明内容

[0013] 下面,将利用在具体实施方式中使用的参考数字和参考符号来描述本发明的实施例(特征)。这些参考数字和参考符号添入括号中以便使具体实施方式和权利要求的描述之间的对应清楚。然而,这些参考数字和参考符号不应当用于对在权利要求中所描述的本发明的技术范围的解释。

[0014] 根据本发明的一方面的半导体器件包括多个栅极沟槽,该多个栅极沟槽以条形布置;阵列,该阵列被夹入多个栅极沟槽中,并且包括源极区域 ($4N^+$) 和基极接触区域 ($5P^+$); 以及二极管区域(阳极区域 $6P^+$),该二极管区域被形成为用于与两个栅极沟槽(7) 接触。源极区域 ($4N^+$) 和基极接触区域 ($5P^+$) 沿栅极沟槽(7) 的纵向方向交替地布置。二极管区域(阳极区域 $6P^+$) 的尺寸对应于至少一个源极区域 ($4N^+$) 和两个基极接触区域 ($5P^+$)。

[0015] 因此,由于沟道长度的减小非常小,所以可以有效抑制 R_{on} 的增加。另外,由于可以将雪崩电流集中在二极管区域(阳极区域 $6P^+$),所以可以防止器件的击穿,并且保证雪崩电阻变得可能。

[0016] 根据本发明,可以提供一种垂直 MOSFET,该垂直 MOSFET 具有能够保证雪崩电阻而不会增加 R_{on} 的条形沟槽栅极结构。

附图说明

[0017] 本发明的上述和其它目的、优点以及特征,通过以下结合附图对某些优选实施例的描述,将变得更加明显,其中:

[0018] 图 1 是示出根据本发明的第一实施例的垂直 MOSFET100 的平面结构的示意性平面图;

[0019] 图 2 是沿图 1 的线 1A—1A' 提取的示意性剖视图;

- [0020] 图 3 是沿图 1 的线 1B—1B' 提取的示意性剖视图；
- [0021] 图 4 是示出根据本发明的第二实施例的垂直 MOSFET110 的平面结构的示意性平面图；
- [0022] 图 5 是示出根据本发明的第三实施例的垂直 MOSFET120 的平面结构的示意性平面图；
- [0023] 图 6 是示出根据本发明的第四实施例的垂直 MOSFET130 的平面结构的示意性平面图；
- [0024] 图 7 是沿图 6 的线 6A—6A' 提取的示意性剖视图；
- [0025] 图 8 是沿图 6 的线 6B—6B' 提取的示意性剖视图；
- [0026] 图 9 是传统垂直 MOSFET300 的平面结构的示意性平面图；
- [0027] 图 10 是沿图 9 的线 9A—9A' 提取的剖视图；
- [0028] 图 11 是沿图 9 的线 9B—9B' 提取的剖视图；
- [0029] 图 12 是传统垂直 MOSFET310 的平面结构的示意性平面图；
- [0030] 图 13 是传统垂直 MOSFET311 的平面结构的示意性平面图；
- [0031] 图 14 是沿图 12 的线 12A—12A' 提取的剖视图,或者沿图 13 的线 13A—13A' 提取的剖视图;以及
- [0032] 图 15 是沿图 12 的线 12B—12B' 提取的剖视图,或者沿图 13 的线 13B—13B' 提取的剖视图。

具体实施方式

[0033] 在此将参照例证性实施例来描述本发明。本领域的技术人员将认识到,利用本发明的讲解能够实现许多可选实施例,且本发明不限于为了解释的目的而示出的实施例。

[0034] (第一实施例)

[0035] 将参照图 1 到图 3 来描述根据本发明的第一实施例的半导体器件的结构。图 1 是示出了 N 沟道型垂直 MOSFET100 的平面结构的示意性平面图,该 N 沟道型垂直 MOSFET100 是根据第一实施例的半导体器件的实例。图 2 是沿图 1 的线 1A—1A' 提取的示意性剖视图。图 3 是沿图 1 的线 1B—1B' 提取的示意性剖视图。

[0036] 如图 1 所示,垂直 MOSFET100 具有以条形布置的栅极沟槽 7。多个栅极沟槽 7 被形成在 MOSFET 单元区域中。另外,这些栅极沟槽 7 可以在外围区域中互相连接并可成为单沟槽。另外,即使在外围区域中多个栅极沟槽 7 也可以不相互连接,并保持为多个。

[0037] 在栅极沟槽 7 之间,形成有 N⁺ 源极区域 4N⁺ 和 P⁺ 基极接触区域 5P⁺。N⁺ 源极区域 4N⁺ 和 P⁺ 基极接触区域 5P⁺ 沿栅极沟槽 7 的纵向方向交替布置。这就是说,在图 1 中,垂直 MOSFET100 包括交替的 N⁺ 源极区域 4N⁺ 和 P⁺ 基极接触区域 5P⁺ 的多个阵列。所述阵列和栅极沟槽 7 在横向方向以条形交替形成。这些阵列被布置为与栅极沟槽 7 接触。这就是说,每个阵列通过栅极沟槽 7 与下一阵列隔离。

[0038] 在每个阵列中,任意 N⁺ 源极区域 4N⁺ 和任意 P⁺ 基极接触区域 5p⁺ 的一部分被形成二极管区域(阳极区域 6P⁺)。例如,在图 1 中,两个二极管区域(阳极区域 6P⁺)被形成在从左边开始数的第一和第二栅极沟槽 7 之间(从左边开始数的第二阵列中)。

[0039] 在垂直 MOSFET100 中,二极管区域(阳极区域 6P⁺)的尺寸对应于一个 N⁺ 源极区域

4N⁺和两个 P⁺基极接触区域 5P⁺。例如,如图 1 所示,在从左边开始的第二阵列中,形成二极管区域(阳极区域 6P⁺),该二极管区域对应于具有任意两个相邻 P⁺基极接触区域 5P⁺和夹在两个相邻 P⁺基极接触区域 5P⁺之间的一个 N⁺源极区域 4N⁺的区域。

[0040] 如图 2 所示,N漏极区域 2 被形成在 N⁺硅衬底 1 上。P 基极区域 3P 被形成在 N 漏极区域 2 中的上部。另外,N⁺源极区域 4N⁺被形成在 P 基极区域 3P 的上部。栅极沟槽 7 被形成成为用以分割相邻阵列,其中每个阵列包括 P 基极区域 3P 和 N 漏极区域 2。栅极绝缘膜 9、栅极电极 8 和层间绝缘膜 10 被形成在栅极沟槽 7 中。栅极沟槽 7 用栅极绝缘膜 9、栅极电极 8 和层间绝缘膜 10 填充。栅极绝缘膜 9 典型地是氧化硅膜。虽然对层间绝缘膜 10 不特别限制,能够使用例如,NSG(非掺杂硅酸盐玻璃)来形成。此外,阳极区域 6P⁺被形成在 P 基极区域 3P 中的预定部分。层间绝缘膜 10 的表面与 N⁺源极区域 4N⁺和阳极区域 6P⁺的硅表面基本共平面。

[0041] 另外,源极电极 11 被形成在 N⁺源极区域 4N⁺、阳极区域 6P⁺和层间绝缘膜 10 上面。N⁺源极区域 4N⁺和阳极区域 6P⁺与源极电极 11 接触并电连接。源极电极 11 由例如,Al 制成。N⁺硅衬底 1 和 N 漏极区域 2 不仅共同起垂直 MOSFET 的漏极区域的作用,还共同起二极管的阴极区域的作用。

[0042] 如图 3 所示,另外在 1B—1B' 剖面中,与 1A—1A' 剖面相同,N 漏极区域 2 被形成在 N⁺硅衬底 1 上面。P 基极区域 3P 被形成在 N 漏极区域 2 的上部。另外,P⁺基极接触区域 5P⁺被形成在 P 基极区域 3P 的上部。栅极沟槽 7 被形成成为用以分割相邻阵列,其中每个阵列还包括形成在 P 基极区域 3P 上的 P⁺基极接触区域 5P⁺。栅极沟槽 7 的结构与图 2 相同。另外,阳极区域 6P⁺被形成在 P 基极区域 3P 中的预定部分中。而且,层间绝缘膜 10 的表面还与 P⁺基极接触区域 5P⁺的硅表面基本共平面。

[0043] 另外,源极电极 11 还被形成在 P⁺基极接触区域 5P⁺上面。P⁺基极接触区域 5P⁺还与源极电极 11 接触并电连接。

[0044] 如图 1 所示,在定位于 N⁺源极区域 4N⁺下方的 P 基极区域 3P 与栅极沟槽 307 接触的平面中形成沟道,并且作为性能指标中一个的 Ron 被确定。如上所述,通过埋入栅极沟槽 7 并使其与源极电极 11 隔离可以减小栅极沟槽间隔。从而,可能实现高致密化并减小 Ron。

[0045] 通过加宽 P⁺基极接触区域 5P⁺的宽度来减小间隔,垂直 MOSFET100 不能保证雪崩电阻,而是在栅极沟槽 7 之间具有二极管区域(阳极区域 6P⁺)。从而,如图 2 和 3 中的箭头所示,可以使雪崩电流集中在二极管区域(阳极区域 6P⁺)并保证雪崩电阻。另外,由于沟道长度的减小是很微小的,因此 Ron 的增加能够有效地得以抑制。

[0046] 在传统垂直 MOSFET300 中,除非 P⁺体区域 304(等效于垂直 MOSFET100 的 P⁺基极接触区域 5P⁺)的宽度、间隔、数量(面积)和布置)是最佳的,雪崩电流流入任意 MOSFET 单元,P 阱 305(等效于垂直 MOSFET100 的 P 基极区域 3P)的电势升高,并且由 N⁺源极区域 306、P 阱 305 和 N 漏极区域 303 形成的寄生双极晶体管导通。结果是,存在大电流流入寄生双极晶体管,因此器件被损坏的情况。

[0047] 然而,如图 2 和图 3 所示,根据本发明的第一实施例的垂直 MOSFET100,通过使二极管区域(阳极区域 6P⁺)的尺寸与在 MOSFET 单元中的 N⁺源极区域 4N⁺中的至少一个和 P⁺基极接触区域 5P⁺中的两个对应,使容易地形成比 P⁺基极接触区域 5P⁺更深的 P⁺型区域(阳极区域 6P⁺)变得可能。从而可以使雪崩电流集中在二极管区域(阳极区域 6P⁺)中。

另外,由于二极管区域(阳极区域 6P+)被分散地形成在 MOSFET 单元中的任意位置中,因此即使雪崩电流开始流入垂直 MOSFET100 的任何部分,也可以使雪崩电流迅速地流过最近的双极区域(阳极区域 6P+)。从而,寄生双极晶体管将不会导通,因此使器件的击穿的防止变得可能。

[0048] 另外,如图 1 所示,在垂直 MOSFET100 中,二极管区域(阳极区域 6P+)被形成与具有任意两个相邻 P⁺ 基极接触区域 5P+ 和夹在两个相邻 P⁺ 基极接触区域 5P+ 之间的一个源极区域 4N+ 的区域对应。因此,可以通过利用用于形成源极区域 4N+ 的掩模来形成二极管区域(阳极区域 6P+),其中利用该掩模形成的掩模图案使得夹在两个相邻 P⁺ 基极接触区域 5P+ 之间的相应的源极区域 4N+ 中的一个将不被形成。并且通过利用用于形成 P⁺ 基极接触区域 5P+ 的掩模,其中利用该掩模省去用于覆盖相同源极区域 4N+ 的掩模图案,使得阳极区域 6P+ 将被形成。因此,所需要的只是将传统掩模图案中对应于二极管区域(阳极区域 6P+) 的两个相邻 P⁺ 基极接触区域 5P+ 之间的区域的掩模图案进行反转,因而,可以容易地形成掩模图案。因此,可以根据所需性能来容易地执行设计或灵活地改变二极管区域(阳极区域 6P+) 的数量(面积)和布置。

[0049] (第二实施例)

[0050] 将参照图 4 来描述根据本发明的第二实施例的半导体器件的构造。图 4 是显示作为根据本发明的第二实施例的半导体器件的实例的 N 沟道型垂直 MOSFET110 的平面结构的示意性平面图。在垂直 MOSFET110 中,与图 1 中所示的垂直 MOSFET100 的不同点是二极管区域(阳极区域 6P+) 的形成位置。另外,图 4 中,给与图 1—3 相同的部件分配相同的数字,并且省略对它们的描述。

[0051] 在垂直 MOSFET100 中,二极管区域(阳极区域 6P+) 被形成在任意两个 P⁺ 基极接触区域 5P+ 的一部分和夹在所述两个相邻 P⁺ 基极接触区域 5P+ 之间的一个 N⁺ 源极区域 4N+ 中。在垂直 MOSFET110 中,二极管区域(阳极区域 6P+) 被形成使得其跨过一个 P⁺ 基极接触区域 5P+。

[0052] 具体地说,如图 4 所示,垂直 MOSFET110 具有与垂直 MOSFET100 类似的以条形布置的栅极沟槽 7。在栅极沟槽 7 之间,形成有 N⁺ 源极区域 4N+ 和 P⁺ 基极接触区域 5P+。N⁺ 源极区域 4N+ 和 P⁺ 基极接触区域 5P+ 在沿栅极沟槽 7 的纵向方向的方向交替地布置。

[0053] 然后,两个二极管区域(阳极区域 6P+) 被形成在从图 4 的左边开始数的第一和第二栅极沟槽 7 之间。在垂直 MOSFET110 中,二极管区域(阳极区域 6P+) 的尺寸对应于一个 N⁺ 源极区域 4N+ 和两个 P⁺ 基极接触区域 5P+。另外,如图 4 所示,在从左边开始数的第二阵列中,二极管区域(阳极区域 6P+) 被连续地形成在最下的 N⁺ 源极区域 4N+ 的一部分、与最下的 N⁺ 源极区域 4N+ 相邻的 P⁺ 基极接触区域 5P+, 以及与 P⁺ 基极接触区域 5P+ 相邻的下一 N⁺ 源极区域 4N+ 的一部分中。这就是说,二极管区域(阳极区域 6P+) 被形成使得其跨过从底部开始数的第二 P⁺ 基极接触区域 5P+。另外,垂直 MOSFET110 的其他构造与图 1—3 中所示的垂直 MOSFET100 大致相同。

[0054] 因此,即使当二极管区域(阳极区域 6P+) 被形成使得其跨过 P⁺ 基极接触区域 5P+ 时,如同垂直 MOSFET100,也可以使雪崩电流集中在二极管区域(阳极区域 6P+) 中。从而,寄生双极晶体管将不导通,因此使器件击穿的防止变得可能。这就是说,不限制二极管区域(阳极区域 6P+) 的形成位置,因此可能通过局部地布置二极管区域来获得完全不改变

的有益效果。

[0055] (第三实施例)

[0056] 将参照图 5 来描述根据本发明的第三实施例的半导体器件的构造。图 5 是示出作为根据第三实施例的半导体器件的实例的 N 沟道型垂直 MOSFET120 的平面结构的示意性平面图。在垂直 MOSFET120 中,与图 1 中所示的垂直 MOSFET100 的不同点是二极管区域(阳极区域 6P+)的形成位置。另外,在图 5 中,给与图 1—3 相同的部件分配相同的数字,并省略对其的描述。

[0057] 如图 5 所示,在垂直 MOSFET120 中,二极管区域(阳极区域 6P+)被形成在任意两个相邻栅极沟槽 7 之间。换句话说,任意阵列的所有 N^+ 源极区域 4N+ 和 P^+ 基极接触区域 5p+ 都用单个阳极区域 6P+ 代替。

[0058] 具体地说,如图 5 所示,垂直 MOSFET120 具有与垂直 MOSFET100 类似的以条形布置的栅极沟槽 7。在栅极沟槽 7 之间,形成有 N^+ 源极区域 4N+ 和 P^+ 基极接触区域 5P+。 N^+ 源极区域 4N+ 和 P^+ 基极接触区域 5P+ 沿栅极沟槽 7 的纵向方向交替地布置。然后,一个二极管区域(阳极区域 6P+)基本上贯穿地形成于从图 5 的左边开始数的第一和第二栅极沟槽 7 之间。如图 5 所示,在从左边开始数的第二阵列中,从阵列的下侧的一边到阵列的上侧的另一边连续地形成了二极管区域(阳极区域 6P+)。因此,二极管区域具有与一个阵列大致相同的尺寸。另外,垂直 MOSFET120 的其他构造与图 1—3 中所示的垂直 MOSFET110 的构造大致相同。

[0059] 因此,即使当二极管区域(阳极区域 6P+)被连续地形成在两个栅极沟槽 7 之间时,如同垂直 MOSFET100,也可以使雪崩电流集中在二极管区域(阳极区域 6P+)中。从而,寄生双极晶体管将不导通,因此使器件击穿的防止变得可能。

[0060] 另外,如图 5 所示,在垂直 MOSFET120 中,二极管区域(阳极区域 6P+)具有与包括 N^+ 源极区域 4N+ 和 P^+ 基极接触区域 5p+ 的阵列相同的纵向长度。因此,通过利用用于形成源极区域 4N+ 的掩模可以形成二极管区域(阳极区域 6P+),其中利用该掩模形成的掩模图案使得源极区域 4N+ 将不会被形成在将要形成二极管区域(阳极区域 6P+)的区域中。通过利用用于形成 P^+ 基极接触区域 5P+ 的掩模,其中利用该掩模而安排的掩模图案使得阳极区域 6P+ 将被同时形成。因此,所需要的只是将传统掩模图案中对应于二极管区域(阳极区域 6P+)的区域的掩模图案进行反转,因此,可以容易地形成掩模图案。

[0061] 第四实施例

[0062] 将参照图 6 来描述根据第四实施例的半导体器件的构造。图 6 是示出作为根据第四实施例的半导体器件的实例的 N 沟道型垂直 MOSFET130 的平面结构的示意性平面图。图 7 是沿图 6 的线 6A—6A' 提取的示意性剖视图。图 8 是沿图 6 的线 6B—6B' 提取的示意性剖视图。在垂直 MOSFET130 中,与图 1 中所示的垂直 MOSFET100 的不同点是二极管区域(阳极区域 6P+)的形成位置。另外,在图 6 中,给与图 1—3 中相同的部件分配相同的数字,并省略对其的描述。

[0063] 在垂直 MOSFET130 中,多个二极管区域(阳极区域 6P+)被并排形成,并且在它们之间插入有栅极沟槽 7。这就是说,如图 6 所示,在垂直 MOSFET130 中,相邻的两个二极管区域(阳极区域 6P+)被布置在栅极沟槽 7 的两侧上。在形成于栅极沟槽 7 之间的阵列中,形成有 N^+ 源极区域 4N+ 和 P^+ 基极接触区域 5P+。 N^+ 源极区域 4N+ 和 P^+ 基极接触区域 5P+ 沿

栅极沟槽 7 的纵向方向的方向交替地布置。

[0064] 然后,例如,每个二极管区域(阳极区域 6P+)被形成在,并跨过如图 6 中从左开始数的第二和第三,第三和第四,以及第四和第五栅极沟槽 7 之间。这就是说,二极管区域(阳极区域 6P+)被形成为跨过从左边开始数的第三、第四和第五阵列。另外,在垂直 MOSFET130 中,二极管区域(阳极区域 6P+)具有与一个 N^+ 源极区域 4N+ 和两个 P^+ 基极接触区域 5P+ 的对应的尺寸。例如,如图 6 所示,在从左边开始数的第四阵列中,二极管区域(阳极区域 6P+)被形成为与具有任意两个相邻的 P^+ 基极接触区域 5P+,和夹在两个相邻的 P^+ 基极接触区域 5P+ 之间的一个 N^+ 源极区域 4N+ 区域对应的区域,其中该两个相邻的 P^+ 基极接触区域 5P+ 是从底部开始数的第三和第四个区域。另外,垂直 MOSFET130 的其他构造与图 1—3 中所示的垂直 MOSFET100 的构造大致相同。

[0065] 以这种方式,即使当多个二极管区域(阳极区域 6P+)彼此相邻形成,并且在它们之间插入有栅极沟槽 7 时,如同垂直 MOSFET100,也可以使雪崩电流集中在二极管区域(阳极区域 6P+)中。从而,寄生双极晶体管将不会导通,因此使器件击穿的防止变得可能。另外,由于如图 7 和 8 中所示,多个二极管(阳极区域 6P+)彼此相邻形成,可以减少流入每个二极管区域(阳极区域 6P+)中的雪崩电流。

[0066] 另外,如图 6 所示,在垂直 MOSFET130 中,二极管区域(阳极区域 6P+)可以用如上所述类似的方式形成,通过改变传统掩模图案中的用于形成源极区域 4N+ 和 P^+ 基极接触区域 5P+ 的掩模图案,可以形成二极管区域(阳极区域 6P+),因此可以容易地形成掩模图案。

[0067] 如上所述,根据本发明,可以在不增加导通电阻 R_{on} 的情况下增加冲突的雪崩电阻(conflicting avalanche resister)。虽然在上述描述中对 N 沟道型垂直 MOSFET 作为实例来描述,还可以使用 P 沟道型。

[0068] 虽然以上对本发明结合其数个优选实施例进行了描述,但本领域的技术人员将理解这些实施例仅为说明本发明而提供,不应当被依赖于以限制的意义来解释所附的权利要求。

100

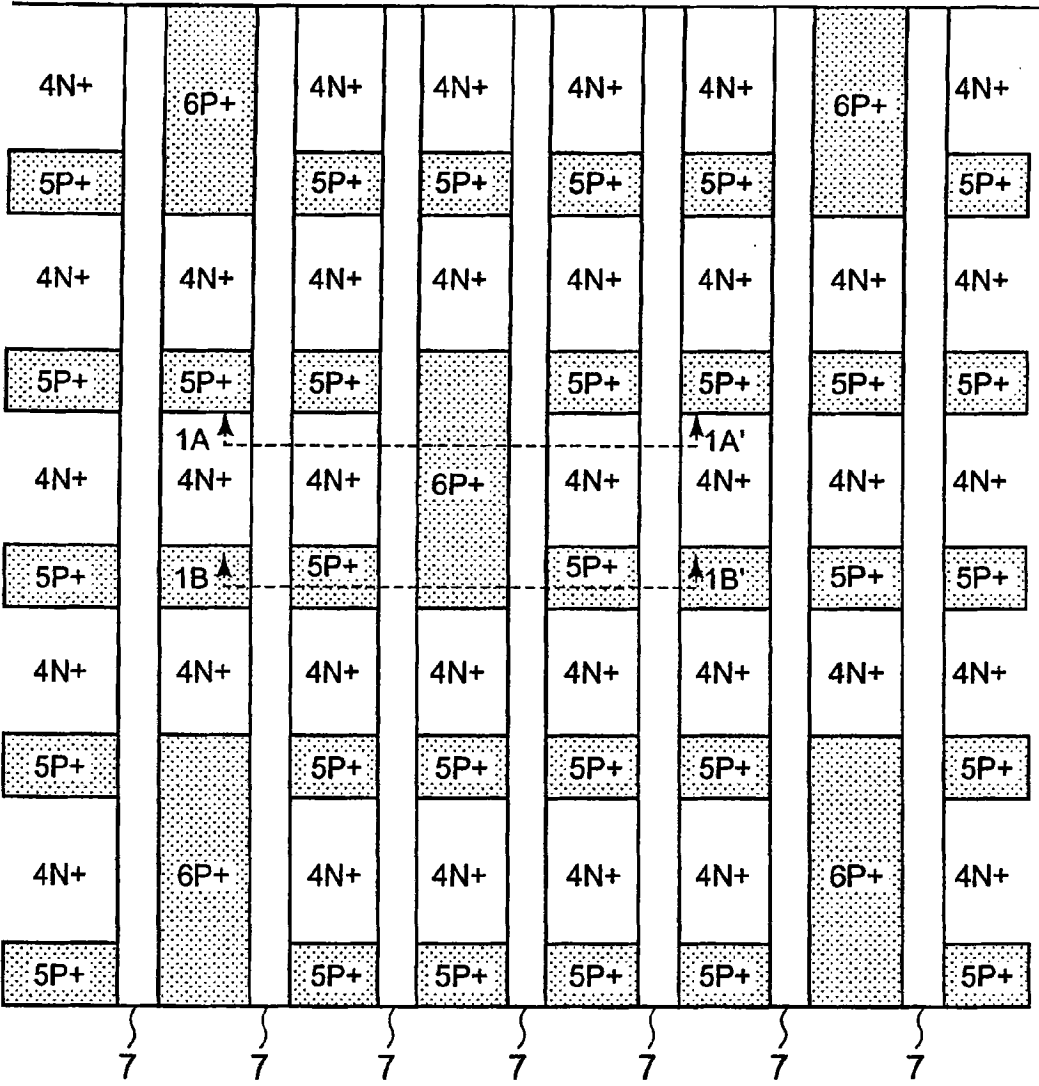


图 1

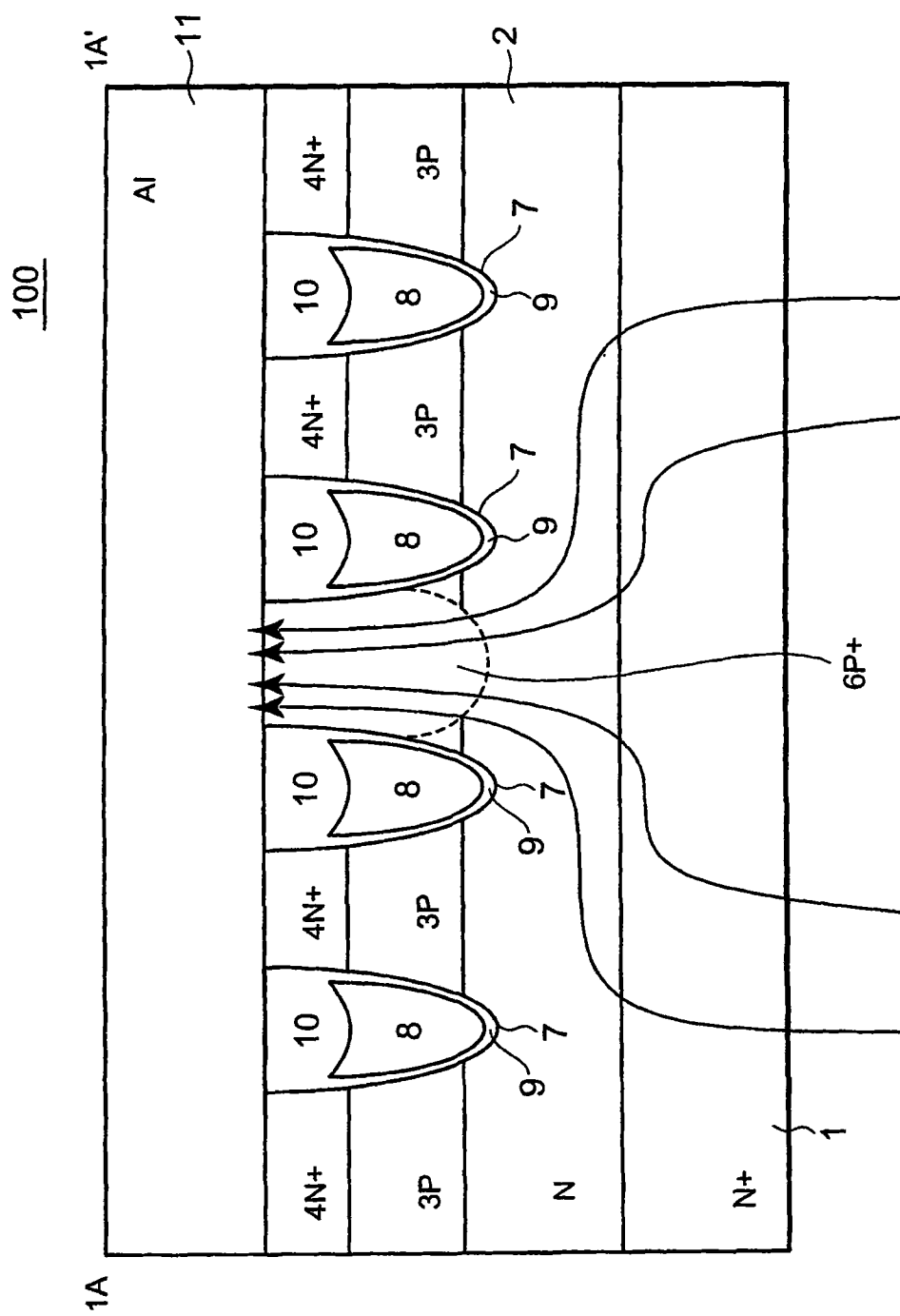


图2

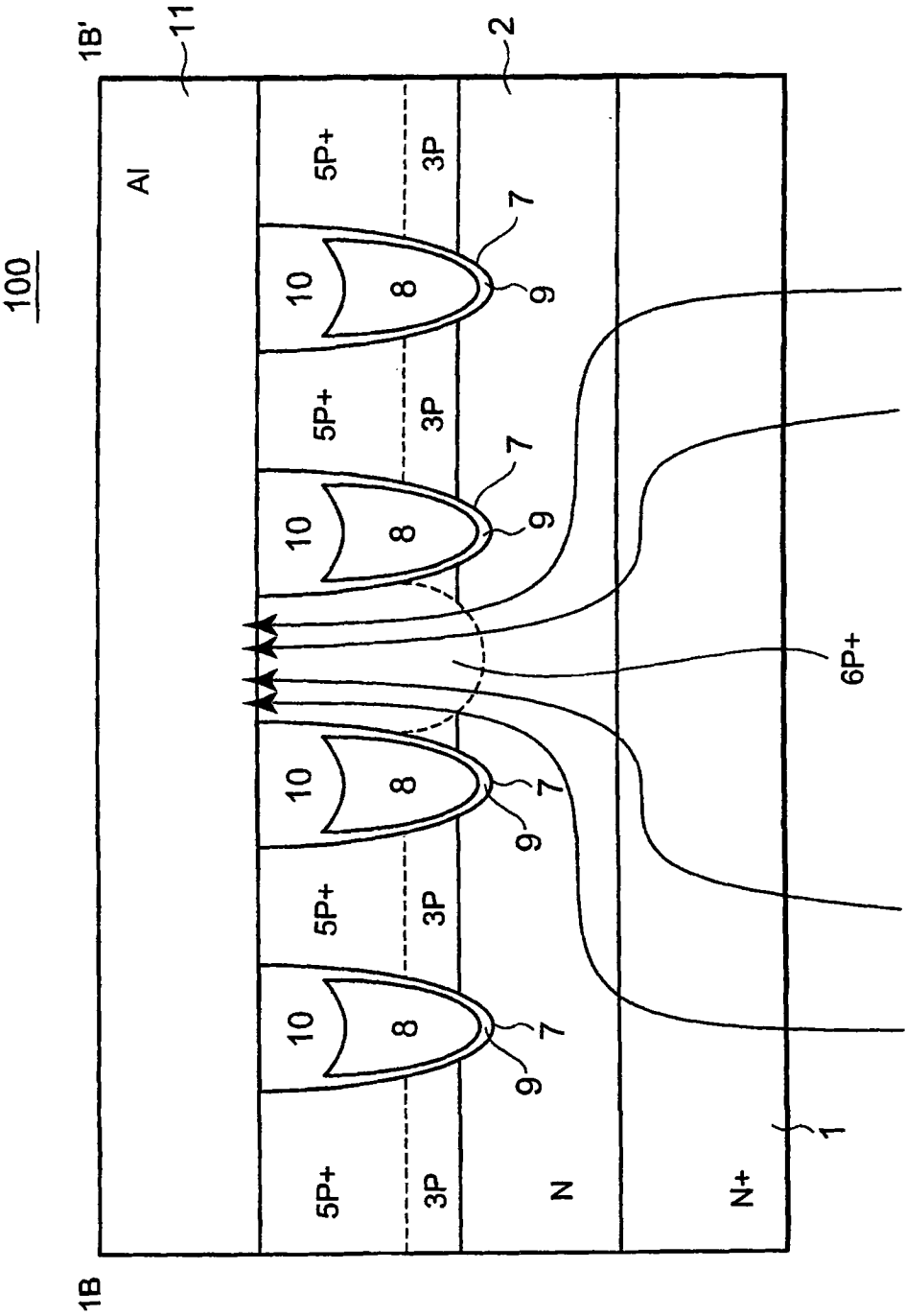


图3

110

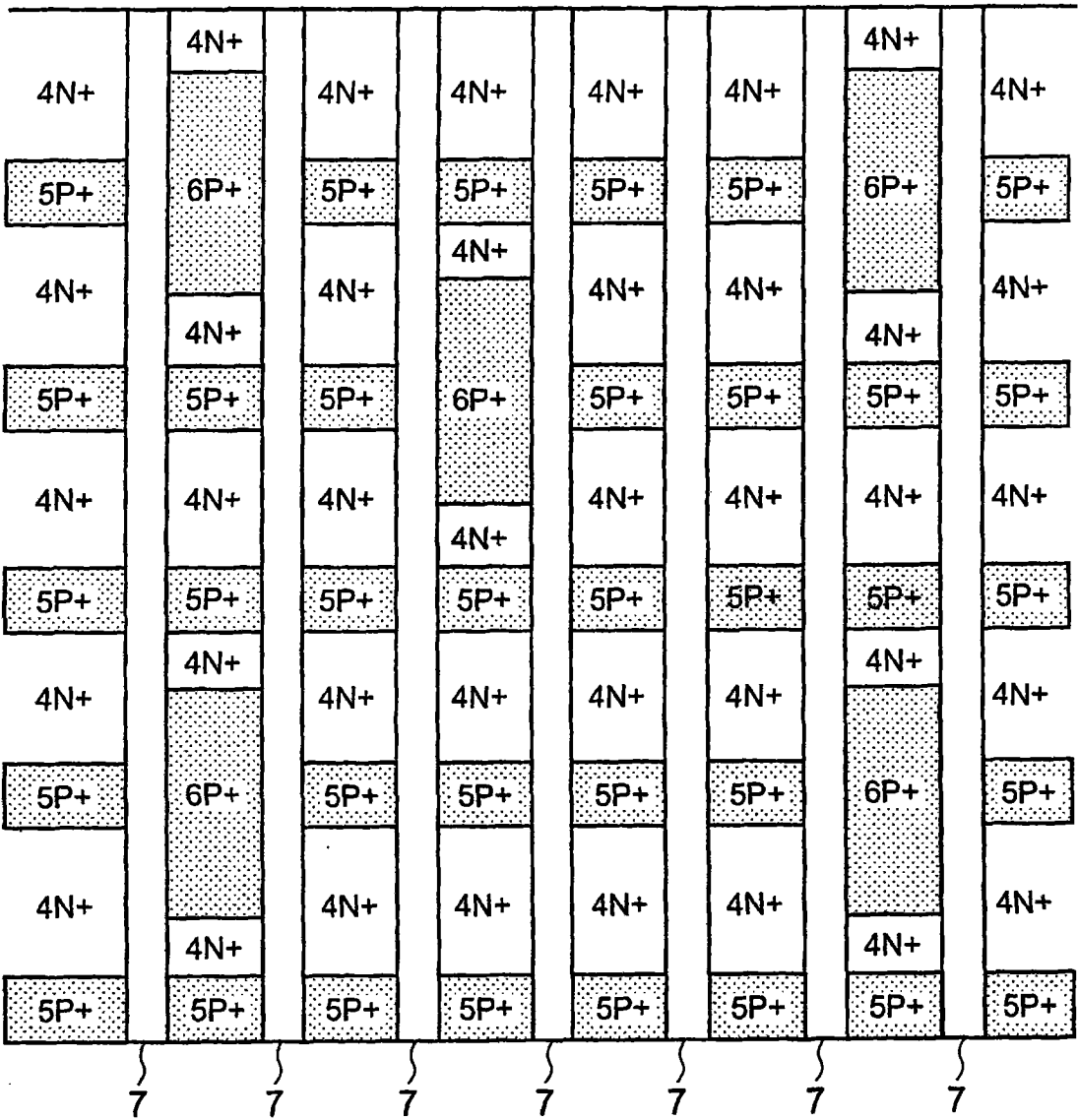


图 4

120

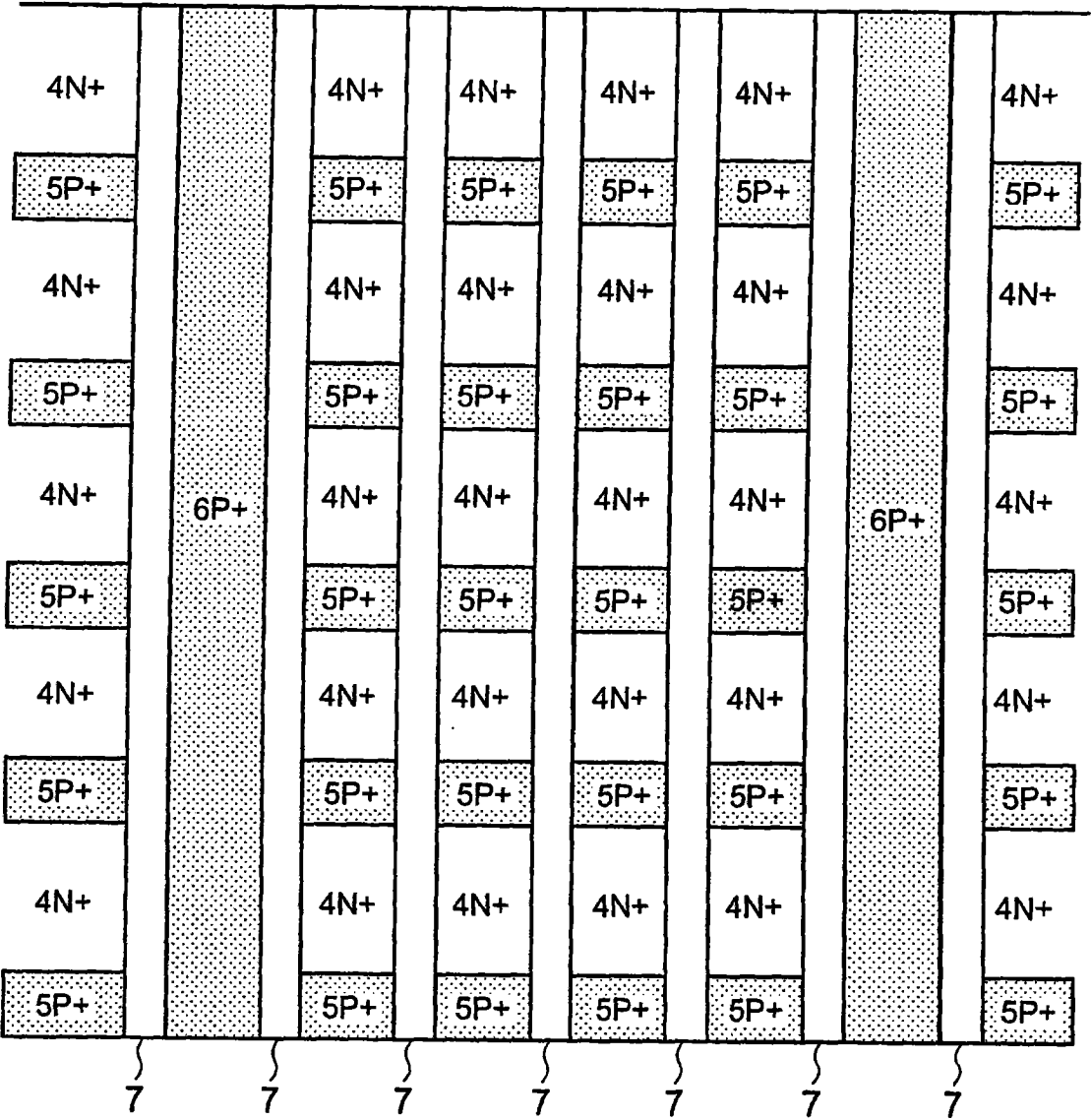


图 5

130

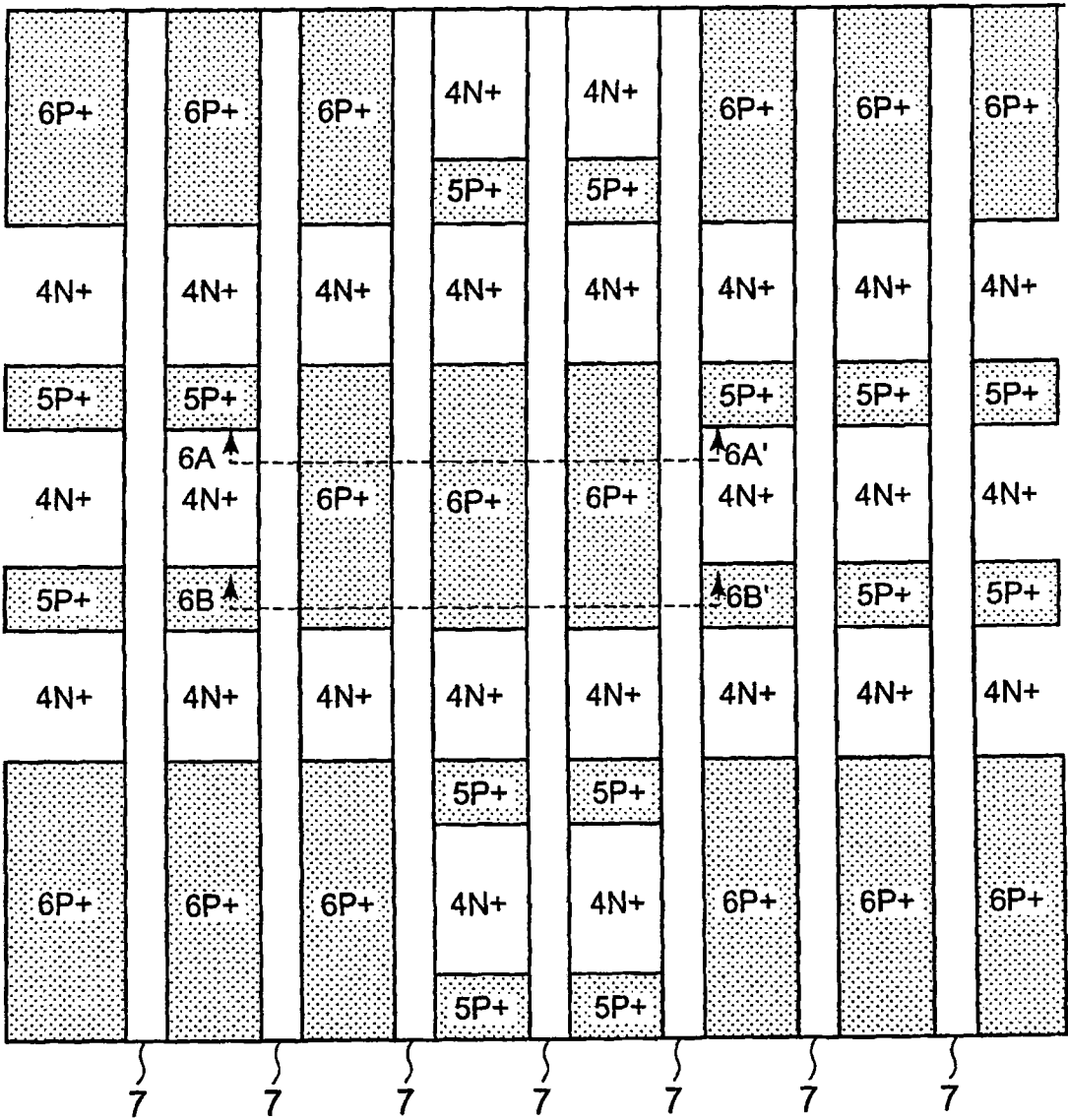


图 6

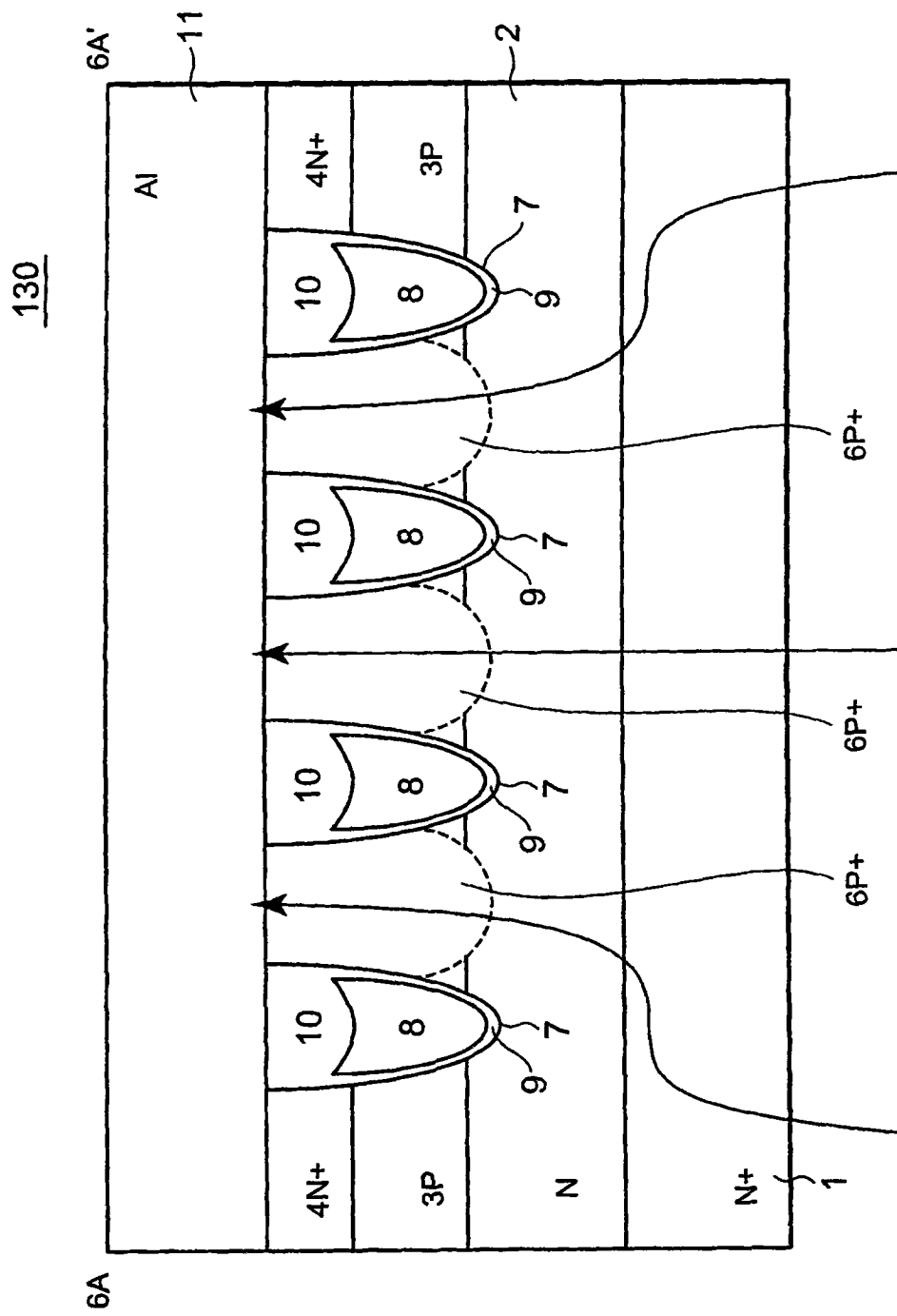
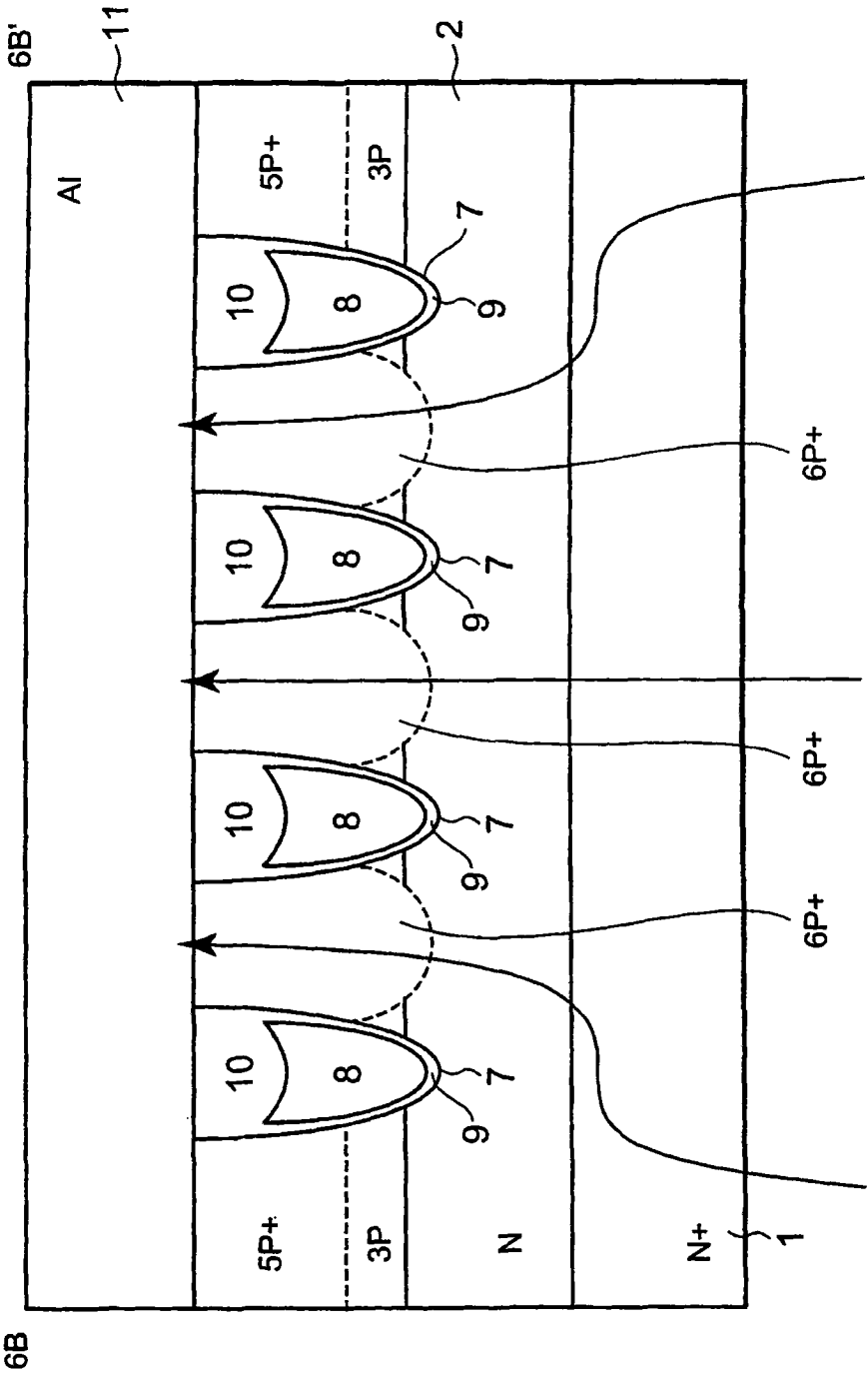


图7

130



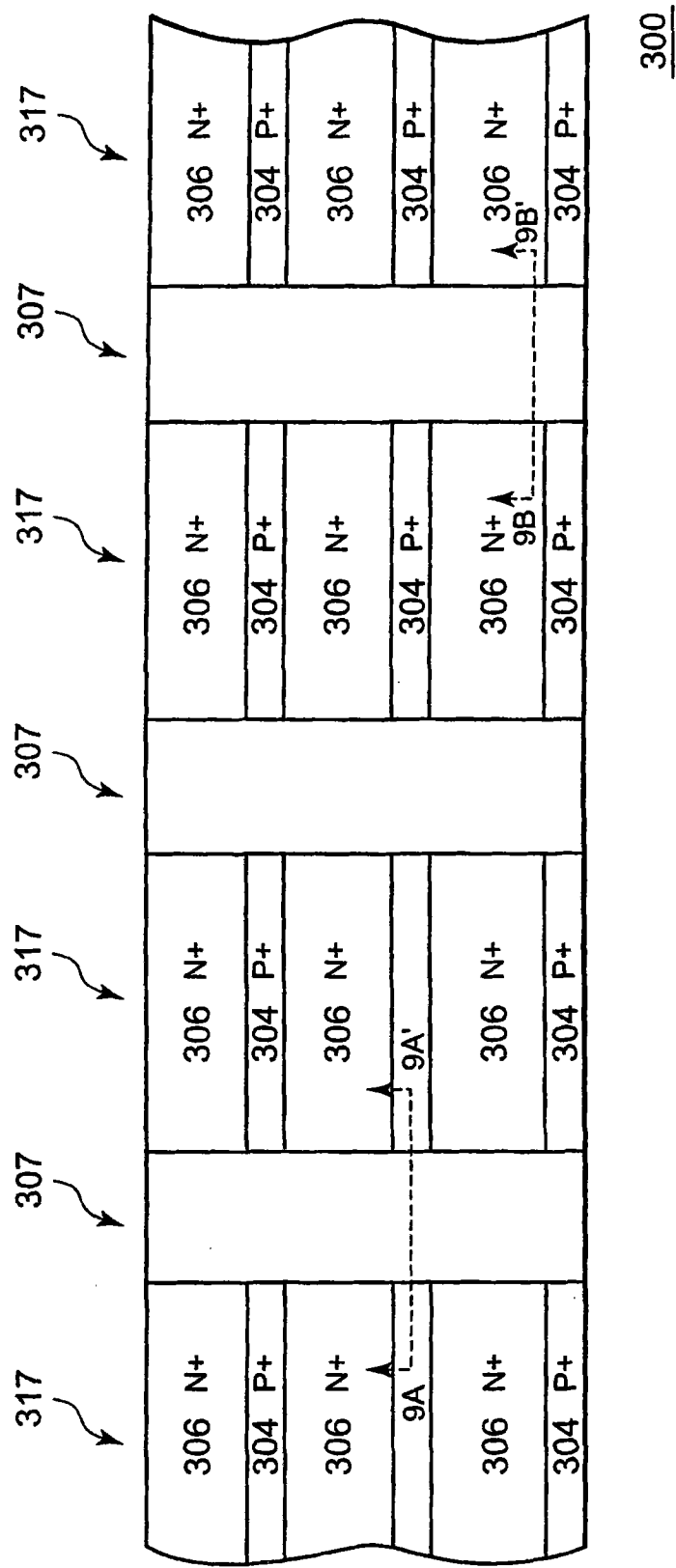


图9

现有技术

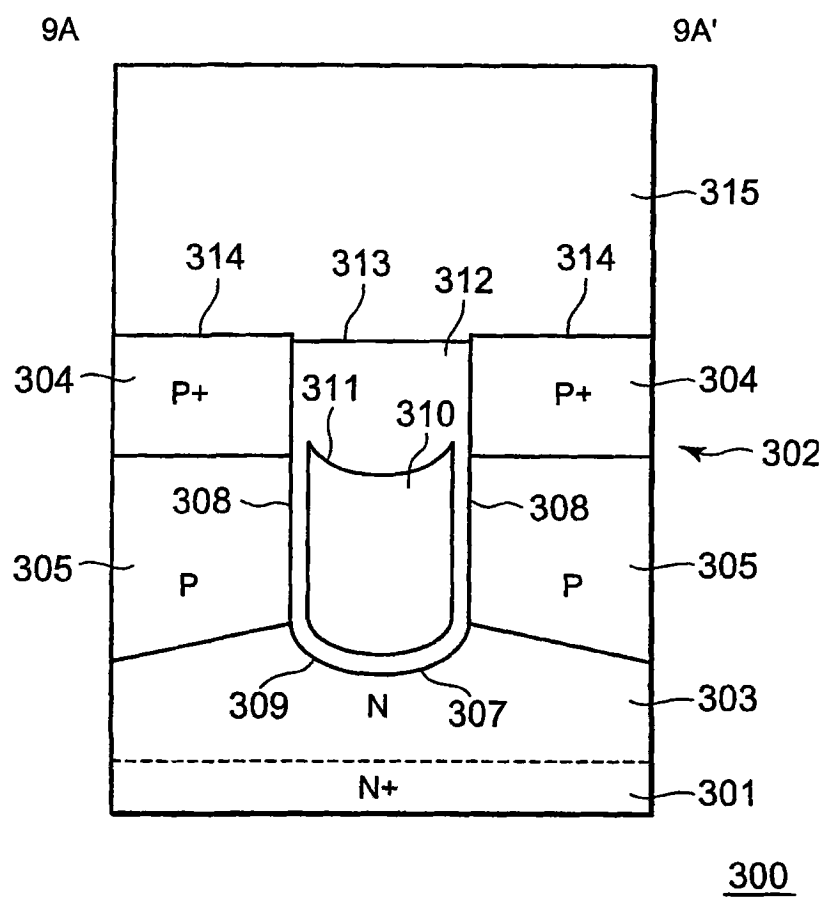


图 10 现有技术

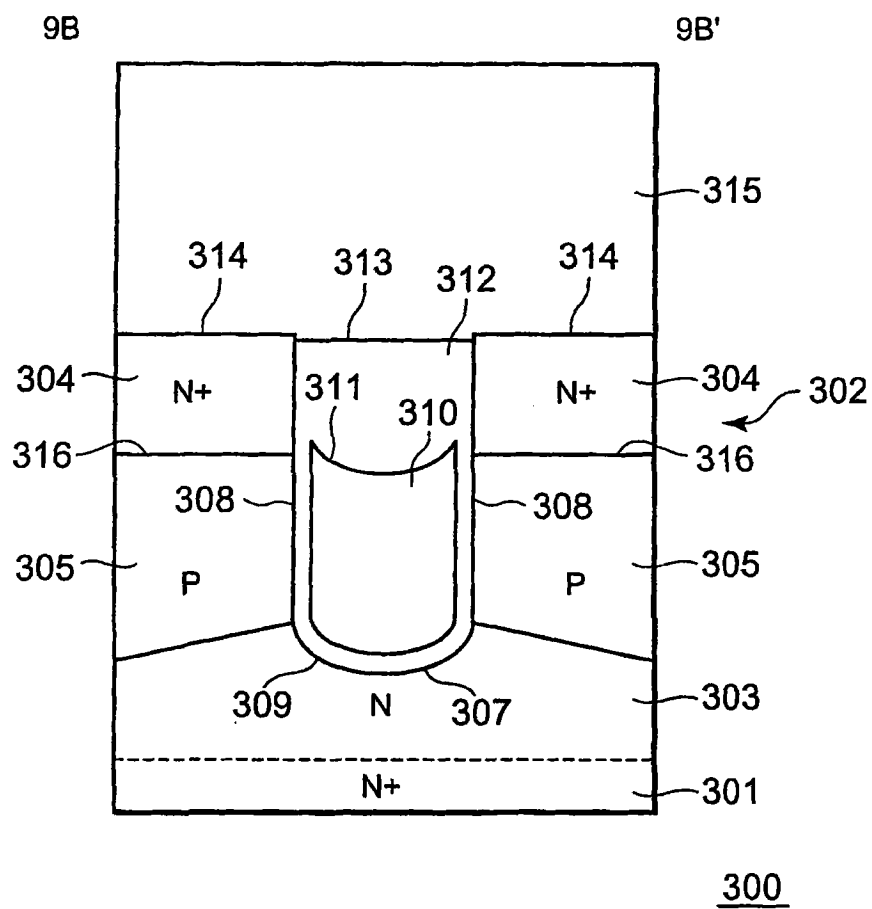


图 11 现有技术

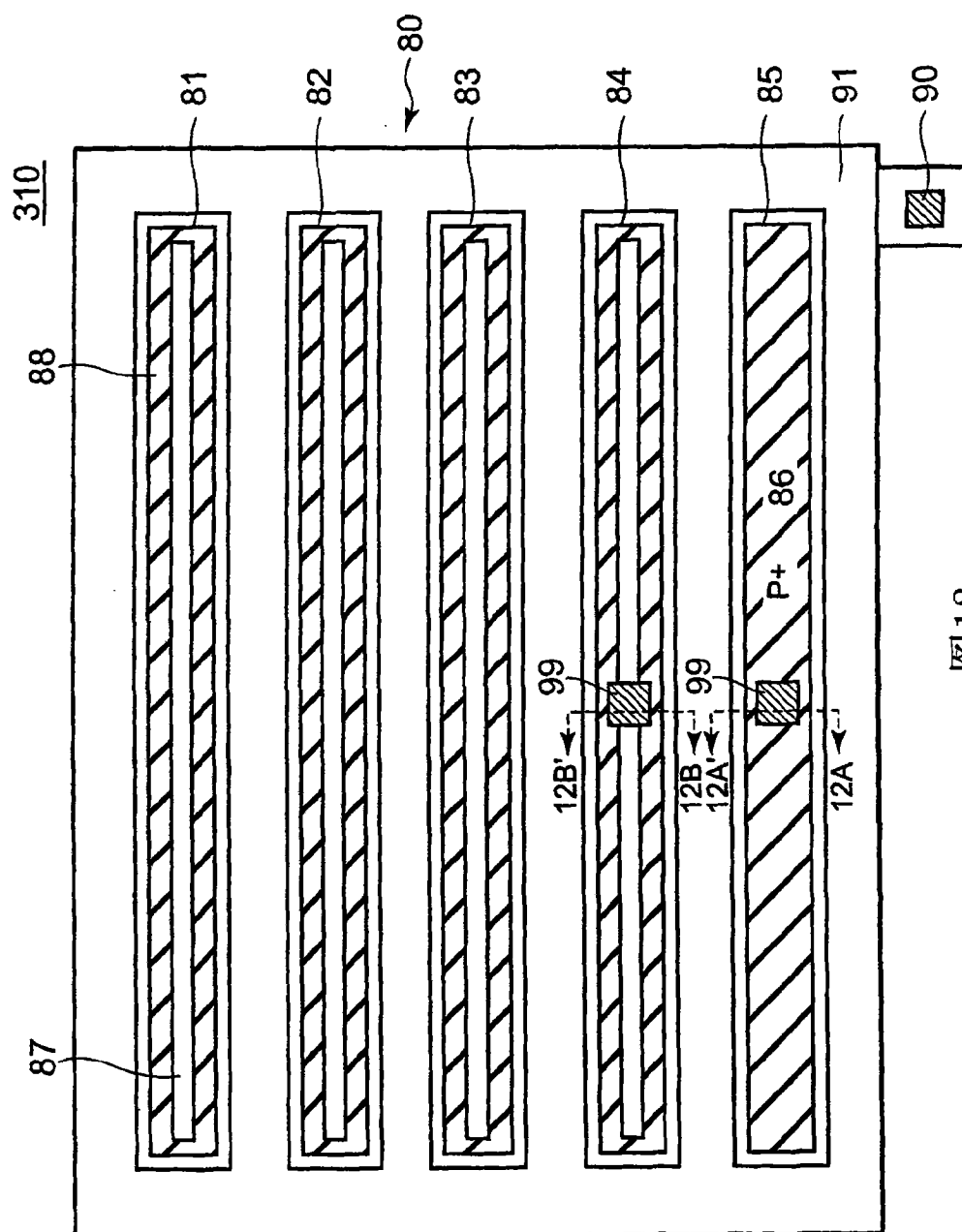


图 12

现有技术

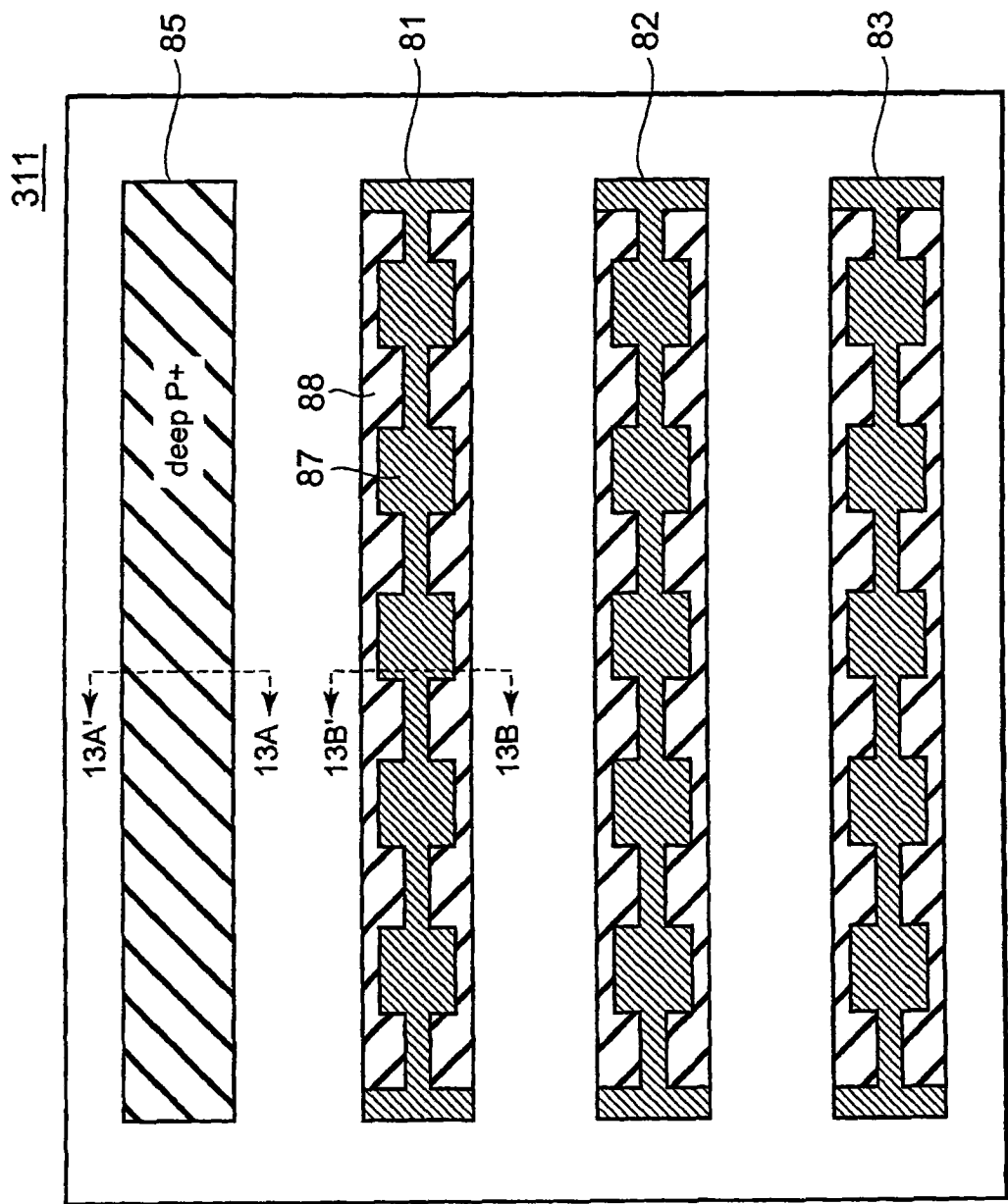


图13
现有技术

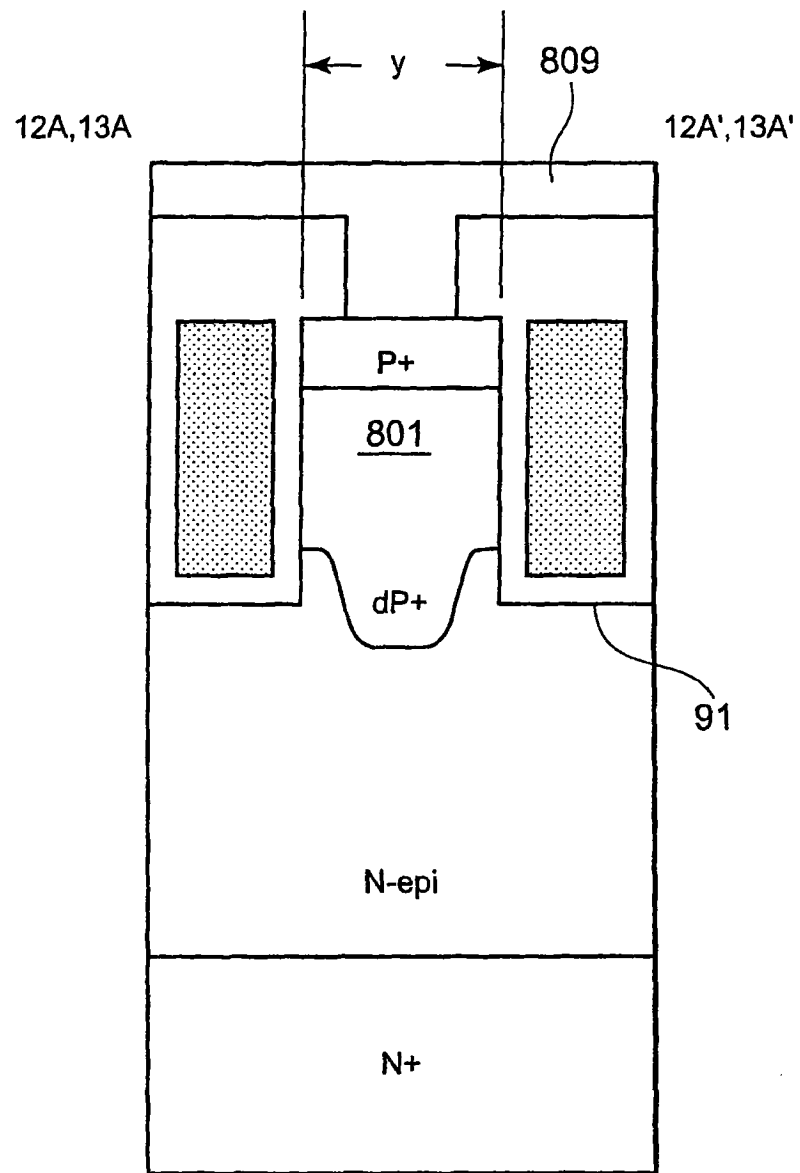


图 14

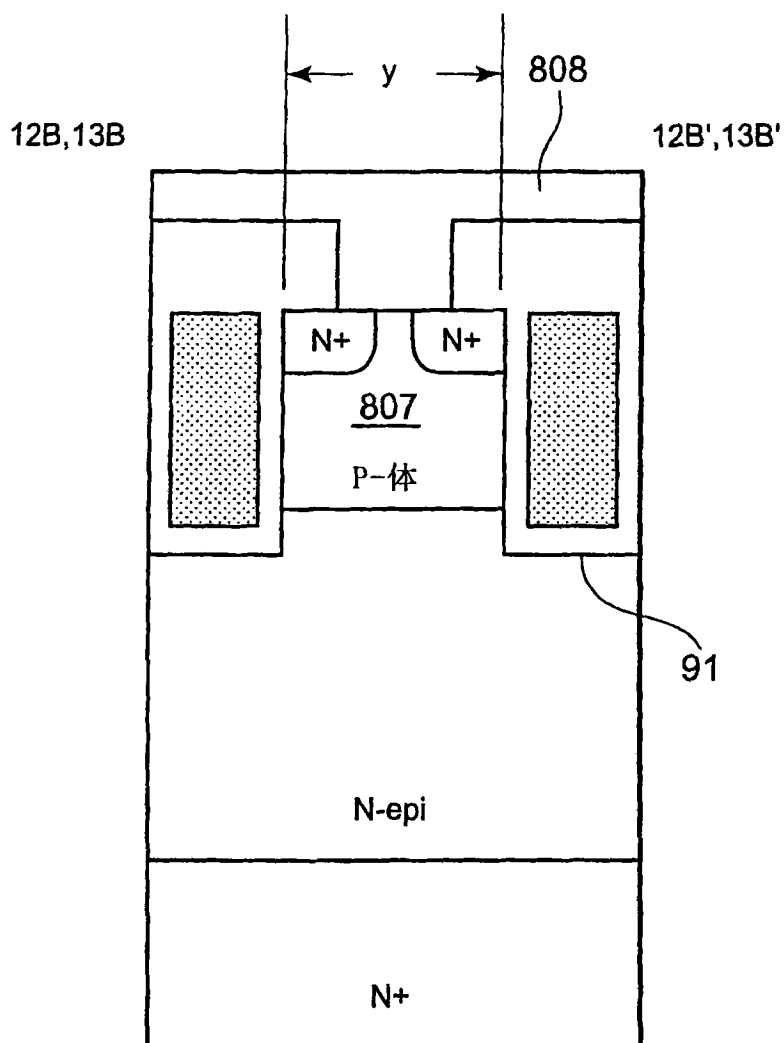


图 15