(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101140743 B
(45)授权公告日 2011.12.07

(21)申请号 200710148540.4

(22)申请日 2007.08.29

(30)优先权数据
10-2006-0082387 2006.08.29 KR

(73)专利权人 三星电子株式会社
地址 韩国京畿道

(72)发明人 都熙旭 罗炳善 柳承厚 安顺一 文铉喆 刘惠兰

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 李昕巍

(51)Int.Cl.
G09G 3/36(2006.01)
G09G 3/20(2006.01)
G02F 1/133(2006.01)

(56)对比文件
US 7034789 B2,2006.04.25,
CN 1637835 A,2005.07.13,
US 6724359 B2,2004.04.20,

审查员 刘锋

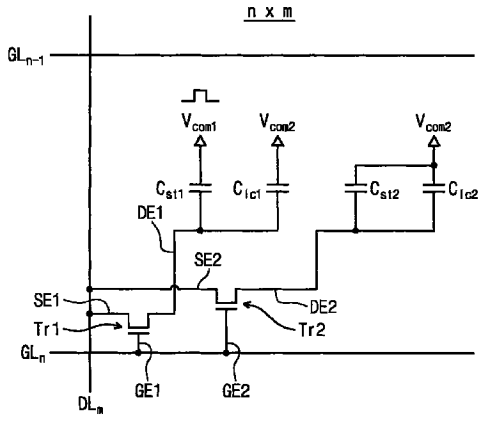
权利要求书 2 页 说明书 8 页 附图 9 页

(54)发明名称

显示面板及其驱动方法

(57)摘要

本发明提供一种显示面板，其中主和次像素电极分别连接到薄膜晶体管的第一和第二漏电极，从而在1H周期期间接收数据电压作为主和次像素电压。主存储电极交叠主像素电极，从而接收随栅脉冲和数据电压的极性变化的第一公共电压。次存储电极交叠次像素电极，从而接收始终保持在恒定电压水平的第二公共电压。通过第二公共电压始终保持次像素电压，而主像素电压通过第一公共电压而升高或降低。因此，主像素电压可具有高于次像素电压的电压水平。本发明还提供一种显示基板的驱动方法。



CN 101140743 B

1. 一种显示面板，包括：

多个像素，每个像素包括：

栅极线，接收在一个水平扫描周期即 1H 周期期间保持在栅导通电压的栅脉冲；

数据线，与该栅极线绝缘且交叉，从而接收数据电压；

主存储电极，接收第一公共电压，该第一公共电压随该栅脉冲以及该数据电压的极性而变化；

次存储电极，接收保持在恒定电压水平的第二公共电压；

主像素电极，电容性耦合到该主存储电极；

次像素电极，电容性耦合到该次存储电极；

第一薄膜晶体管，连接到该栅极线、该数据线和该主像素电极；以及

第二薄膜晶体管，连接到该栅极线、该数据线和该次像素电极；

其中该主像素电极在该 1H 周期期间接收来自该第一薄膜晶体管的该数据电压，且然后其电压响应于该第一公共电压的变化而改变为不同于该数据电压的主像素电压，且

该次像素电极在该 1H 周期期间接收来自该第二薄膜晶体管的该数据电压，且然后其电压保持为次像素电压直到它接收来自该第二薄膜晶体管的下一个数据电压。

2. 如权利要求 1 的显示面板，其中该第一公共电压具有与两帧对应的周期且在低于参考电压的第一电压和高于该参考电压的第二电压之间振荡，该第二公共电压具有与该参考电压相同的电压水平。

3. 如权利要求 2 的显示面板，其中该第一公共电压在该栅脉冲从该栅导通电压下降到栅截止电压的第一时间与比该第一时间迟一帧的第二时间之间的一时间上升或下降。

4. 如权利要求 2 的显示面板，其中在该数据电压相对于该第二公共电压从负极性变为正极性之后，该第一公共电压从该第一电压升高至该第二电压，在该数据电压相对于该第二公共电压从正极性变为负极性之后，该第一公共电压从该第二电压降低至该第一电压。

5. 如权利要求 1 的显示面板，其中该第一公共电压改变的量在约 1 伏特至约 2 伏特的范围。

6. 如权利要求 1 的显示面板，其中该主像素电极和该次像素电极具有 1 ： 1 至 1 ： 2 范围的面积比。

7. 如权利要求 1 的显示面板，其中该像素以矩阵构造布置且分为第一极性像素和第二极性像素，该主存储电极沿行方向延伸且分为第一极性存储电极和第二极性存储电极，该第一极性存储电极交叠该第一极性像素的主像素电极并与该第一极性像素的主像素电极绝缘，且该第二极性存储电极交叠该第二极性像素的主像素电极并与该第二极性像素的主像素电极绝缘。

8. 如权利要求 7 的显示面板，其中该像素的极性在列方向上以每两个像素反转，在行方向上以每个像素反转，且以每帧反转。

9. 一种显示面板的驱动方法，包括：

在 1H 周期期间从第一薄膜晶体管施加数据电压到主像素电极；

响应于公共电压的变化而将该主像素电极的电压变为不同于该数据电压的主像素电压；

在该 1H 周期期间从第二薄膜晶体管施加该数据电压到次像素电极；以及

保持该次像素电极的电压直到它接收来自该第二薄膜晶体管的下一个数据电压，

其中该公共电压随栅脉冲以及该数据电压的极性而变化。

10. 如权利要求 9 的驱动方法，其中该公共电压具有与两帧对应的周期且在低于预定参考电压的第一电压和高于该参考电压的第二电压之间振荡。

显示面板及其驱动方法

技术领域

[0001] 本发明涉及一种显示面板。更特别地，本发明涉及一种可具有增强的亮度和改善的侧视性 (side viewing visibility) 的显示面板。

背景技术

[0002] 为了提高液晶显示器 (LCD) 的视角，图案化垂直配向 (PVA) 模式 LCD，多畴垂直配向 (MVA) 模式 LCD 和超级图案化垂直配向 (S-PVA) 模式 LCD 已得到研究和发展，所有这些都具有宽视角。

[0003] S-PVA 模式 LCD 可根据其驱动方法分为耦合电容器 (CC) 型或双晶体管 (TT) 型。CC 型 LCD 包括主像素电极、次像素电极、以及形成在主和次像素电极之间的耦合电容器，从而降低施加于次像素电极的电压且将所述降低的电压施加于次像素电极作为次像素电压，其低于施加到主像素电极的电压。因而，在 CC 型驱动方法的情况下，次像素电压的水平在高灰度下被降低，由此恶化了 S-PVA 模式 LCD 的亮度。

[0004] TT 型驱动方法采用在不同时间导通的两个晶体管将具有不同电压水平的主和次像素电压分别施加到主和次像素电极。然而，为了在不同时间驱动两个晶体管，TT 型驱动方法要求的驱动频率是 CC 型驱动方法中采用的驱动频率的两倍，因而增加了功耗。

发明内容

[0005] 本发明提供一种显示面板，其可具有增强的亮度和改善的侧视性。

[0006] 本发明的附加特征将在后面的描述中阐述，且部分地将通过该描述而明显，或者可以通过实践本发明来领会。

[0007] 本发明公开一种包括多个像素的显示面板。每个像素包括栅极线、数据线、主存储电极、次存储电极、主像素电极、次像素电极、第一薄膜晶体管和第二薄膜晶体管。在 1H 周期期间，栅极线接收保持在栅极导通 (gate-on) 电压的栅脉冲。数据线与栅极线绝缘且相交叉，从而接收数据电压。主存储电极接收随栅脉冲和数据电压极性变化的第一公共电压，次存储电极接收保持在恒定电压水平的第二公共电压。主像素电极电容耦合到主存储电极，次像素电极电容耦合到次存储电极。第一薄膜晶体管连接到栅极线、数据线和主像素电极，第二薄膜晶体管连接到栅极线、数据线和次像素电极。主像素电极在 1H 周期期间接收来自第一薄膜晶体管的数据电压，然后其电压响应于第一公共电压的变化而改变为不同于数据电压的主像素电压。次像素电极在 1H 周期期间接收来自第二薄膜晶体管的数据电压，然后其电压保持为次像素电压直到它接收来自第二薄膜晶体管的下一个数据电压。

[0008] 本发明还公开一种包括多个像素的显示基板。每个像素包括栅极线、数据线、主存储电极、主像素电极、次像素电极、第一薄膜晶体管和第二薄膜晶体管。栅极线接收在 1H 周期期间保持在栅极导通电压的栅脉冲。数据线与栅极线绝缘且相交叉，从而接收数据电压。主存储电极接收随栅脉冲和数据电压极性变化的公共电压。主像素电极电容耦合到主存储电极。主像素电极在 1H 周期期间接收来自第一薄膜晶体管的数据电压，然后其电压响应于

公共电压的变化而改变为不同于数据电压的主像素电压。次像素电极在 1H 周期期间接收来自第二薄膜晶体管的数据电压，然后其电压保持为次像素电压直到它接收来自第二薄膜晶体管的下一个数据电压。公共电压具有与两帧对应的周期且在低于预定参考电压的第一电压和高于该参考电压的第二电压之间振荡 (swing)。

[0009] 本发明还公开一种 LCD 面板的驱动方法，包括 ：在 1H 周期期间从第一薄膜晶体管施加数据电压到主像素电极 ；响应于第一公共电压的变化而将主像素电极的电压改变为不同于数据电压的主像素电压 ；在 1H 周期期间从第二薄膜晶体管施加数据电压到次像素电极 ；以及保持次像素电极的电压直到它接收来自第二薄膜晶体管的下一个数据电压。第一公共电压随栅脉冲和数据电压极性而变化。

[0010] 将理解，前面的概括描述和后面的详细描述都是示范性的和解释性的，且旨在提供要求保护的本发明的进一步说明。

附图说明

[0011] 提供了对本发明的进一步理解且被引入并构成说明文件的一部分的附图示出了本发明的实施例，且与说明书一起用于说明本发明的原理。

[0012] 图 1 为根据本发明一示范性实施例的布置在显示面板上的像素中第 (n,m) 像素的等效电路图。

[0013] 图 2 为显示施加到图 1 的等效电路图的各种信号的波形图。

[0014] 图 3 为显示次像素电压和主像素电压之间的电压比的曲线图。

[0015] 图 4 为图 1 的显示面板的布局图。

[0016] 图 5 为沿图 4 的 I-I′ 线取得的横截面图。

[0017] 图 6 是示出与数据电压的极性相反的第一公共电压的极性以及主存储电极、次存储电极和像素之间的连接的视图。

[0018] 图 7A、图 7B 和图 7C 为示出图 4 的阵列基板的制造工艺的平面图。

[0019] 图 8 为依照本发明另一示范性实施例的显示面板的布局图。

具体实施方式

[0020] 下面将参照附图更全面地描述本发明，附图中示出本发明的实施例。然而，本发明可以以许多不同的形式实现且不应解释为限于这里阐述的实施例。而是，提供这些实施例使得本公开是彻底的，且向本领域技术人员全面传达本发明的范围。在附图中，为了清晰可夸大层和区域的尺寸和相对尺寸。

[0021] 将理解，当元件或层被称为在另一元件或层“上 (on)”、“连接到 (connected to)”和 / 或“耦合到 (coupled to)”另一元件或层时，它可以直接在该另一元件或层上、直接连接到或耦合到另一元件或层，或者可以存在居间元件或层。相反，当元件被称为“直接”在另一元件或层“上”、“直接连接到”和 / 或“直接耦合到”另一元件或层时，则没有居间元件或层存在。相似的附图标记始终表示相似的元件。这里使用时，术语“和 / 或”包括相关列举项目的一个或更多的任何和所有组合。

[0022] 将理解，虽然术语第一、第二等可以在此用来描述各种元件、部件、区域、层和 / 或部分，但是这些元件、部件、区域、层和 / 或部分不应受到这些术语的限制。这些术语仅用于

将一个元件、部件、区域、层或部分与另一区域、层或部分区别开。因此，下面论述的第一元件、部件、区域、层或部分可以被称为第二元件、部件、区域、层或部分，而不背离本发明的教导。

[0023] 在这里为了描述的方便，空间相关术语诸如“下面”、“下方”、“下”、“上方”、“上”等可用来描述一个元件或特征与另一元件（或多个元件）或特征（或多个特征）如图所示的关系。将理解，空间相关术语旨在包含除了图中所绘的取向之外装置在使用或操作中的不同取向。例如，如果图中的装置被翻转，则描述为在其他元件或特征的“下方”或“下面”的元件将取向在所述其他元件或特征的“上方”。因此，示范性术语“下方”可以包含下方和上方两种取向。装置也可以有其它取向（旋转 90 度或其它取向）且相应地解释这里所使用的空间相关描述。

[0024] 这里所使用的术语仅用于描述特定实施例且无意限制本发明。这里使用时，单数形式“一”和“该”还旨在包括复数形式，除非上下文清楚地另外描述。还将理解，当在本说明书中使用时术语“包括”和 / 或“包含”表明所述特征、整体、步骤、操作、元件和 / 或组元的存在，但是不排除一个或更多其他特征、整体、步骤、操作、元件、组元、和 / 或其组 (group) 的存在或添加。

[0025] 除非另外定义，这里使用的所有术语（包括科技术语）具有本发明属于领域的普通技术人员一般理解的相同意义。还将理解，术语诸如一般使用的字典中定义的那些应解释为具有与相关技术背景中它们的涵义一致的涵义，且不应在理想化或过于正式的意义上解释，除非这里明确地如此定义。

[0026] 在下文中，将参考附图详细说明本发明的示范性实施例。

[0027] 图 1 为依照本发明一示范性实施例布置在显示面板上的像素中第 (n,m) 像素的等效电路图，图 2 为显示施加到图 1 的等效电路图的各种信号的波形图。

[0028] 参考图 1 和图 2，第 (n，m) 像素包括第 n 条栅极线 GL_n、第 m 条数据线 DL_m、第一薄膜晶体管 Tr1 和第二薄膜晶体管 Tr2。第一和第二薄膜晶体管 Tr1、Tr2 的每个连接到第 n 条栅极线 GL_n 和第 m 条数据线 DL_m。特别地，第一薄膜晶体管 Tr1 包括连接到第 n 条栅极线 GL_n 的第一栅电极 GE1、连接到第 m 条数据线 DL_m 的第一源电极 SE1、以及第一漏电极 DE1。第二薄膜晶体管 Tr2 包括连接到第 n 条栅极线 GL_n 的第二栅电极 GE2、连接到第 m 条数据线 DL_m 的第二源电极 SE2、以及第二漏电极 DE2。

[0029] 第 n 条栅极线 GL_n 和第 m 条数据线 DL_m 分别接收栅脉冲 G_n 和数据电压 V_d。在 1H 周期期间（一个水平扫描周期）栅脉冲 G_n 保持在栅导通电压。当 1H 周期期间第一和第二薄膜晶体管 Tr1、Tr2 响应于栅脉冲 G_n 而导通时，施加到第一和第二源电极 SE1、SE2 的数据电压 V_d 分别输出到第一和第二漏电极 DE1 和 DE2。在 1H 周期之后，第一和第二薄膜晶体管 Tr1、Tr2 截止且第一和第二漏电极 DE1 和 DE2 彼此断开。

[0030] 第 (n,m) 像素还包括主像素和次像素 (sub pixel)。主像素连接到第一薄膜晶体管 Tr1 的第一漏电极 DE1，次像素连接到第二薄膜晶体管 Tr2 的第二漏电极 DE2。

[0031] 主像素包括第一存储电容器 C_{st1} 和第一液晶电容器 C_{lc1}。由主存储电极、绝缘层和主像素电极定义第一存储电容器 C_{st1}，由主像素电极、液晶层和公共电极定义第一液晶电容器 C_{lc1}。

[0032] 主存储电极接收为交流电压的第一公共电压 V_{com1}，主像素电极在 1H 周期期间接收

数据电压 V_d，公共电极接收为直流电压的第二公共电压 V_{com2}。

[0033] 第一公共电压 V_{com1} 为交流电压，其在高于参考电压 V_r 的第二电压 V2 和低于参考电压 V_r 的第一电压 V1 之间振荡，且第一公共电压 Vcom1 的一个周期等于两帧。在本示范性实施例中，第二公共电压 V_{com2} 保持在参考电压 V_r。

[0034] 第一公共电压 V_{com1} 依赖于产生栅脉冲 G_n 的时间和数据电压 V_d 的极性。当栅脉冲 G_n 产生时在预定时间间隔后变换第一公共电压 V_{com1} 的电压水平。第一公共电压 V_{com1} 的变换时间 Ts 在第一时间 T1 和比第一时间 T1 迟一帧的第二时间 T2 之间，在第一时间 T1 处栅脉冲 G_n 从栅导通电压降低到栅截止电压。作为本示范性实施例的例子，变换时间 Ts 在第一时间 T1 和比第一时间迟半帧的第三时间 T3 之间。

[0035] 同时，第一公共电压 V_{com1} 的电压水平根据数据电压 V_d 的极性向上或向下变换。特别地，当数据电压 V_d 相对于第二公共电压 V_{com2} 具有正极性时，第一公共电压 V_{com1} 从第一电压 V1 向上变换至第二电压 V2。相反地，当数据电压 V_d 相对于第二公共电压 V_{com2} 具有负极性时，第一公共电压 V_{com1} 从第二电压 V2 向下变换至第一电压 V1。

[0036] 当栅脉冲 G_n 在 1H 周期期间产生时，将数据电压 V_d 充入到第一和第二液晶电容器 C_{lc1} 和 C_{lc2} 中分别作为主像素电压 V_{p-m} 和次像素电压 V_{p-s}。假设数据电压 V_d 具有正极性，第一公共电压 V_{com1} 在变换时间 Ts 向上变换。当施加于主存储电极的第一公共电压 V_{com1} 的电压水平向上变换时，充入第一液晶电容器 C_{lc1} 的主像素电压 V_{p-m} 增加了变换电压 V_s。因而，在变换时间 Ts 之后，充入第一液晶电容器 C_{lc1} 的主像素电压 V_{p-m} 具有比充入第二液晶电容器 C_{lc2} 的次像素电压 V_{p-s} 更高的电压水平。在本示范性实施例中，变换电压 V_s 可具有在约 1 伏特至约 2 伏特范围内的电压水平。

[0037] 在第二时间 T2 之后，假设数据电压 V_d 具有负极性，则第一公共电压 V_{com1} 在变换时间 Ts 向下变换。因而，当施加于主存储电极的第一公共电压 V_{com1} 的电压水平下降时，充入第一液晶电容器 C_{lc1} 的主像素电压 V_{p-m} 降低了变化电压 V_s。因此，在变换时间 Ts 之后，充入第一液晶电容器 C_{lc1} 的主像素电压 V_{p-m} 具有比充入第二液晶电容 C_{lc2} 的次像素电压 V_{p-s} 更低的电压水平。

[0038] 主像素电压满足下面的公式：

[0039] $$V_{p-m} = V_d + \frac{C_{st1}}{C_{st1} + C_{gs1} + C_{lc1}} V_s$$

[0040] 在公式中，V_{p-m}、V_d、C_{st1}、C_{lc1}、C_{gs1} 和 V_s 分别指主像素电压、数据电压、第一存储电容器、第一液晶电容器、薄膜晶体管的第一漏电极与源电极之间的寄生电容器、以及变换电压。

[0041] 如公式所示，主像素电压 V_{p-m} 具有比数据电压 Vd 高或低变换电压 V_s 的电压水平。另外，根据公式，当第一液晶电容器 C_{lc1} 和寄生电容器 C_{gs1} 的电容减小时，由于变换电压 V_s 引起的主像素电压 V_{p-m} 的变化增大了。相反地，当第一液晶电容器 C_{lc1} 和寄生电容器 C_{gs1} 的电容增大时，由于变换电压 V_s 引起的主像素电压 V_{p-m} 的变化减小了。

[0042] 图 3 为示出次像素电压和主像素电压之间的电压比的曲线图。在图 3 中，当主和次像素电极的面积比为 1 ： 1 且第一公共电压 V_{com1} 的变换电压 V_s 为 1.6 伏特时，测量主和次像素电压。

[0043] 此外，在图 3 中，第一线 G1 表示根据本示范性实施例的驱动方法的次像素电压与

主像素电压的电压比，第二线 G2 表示根据传统 CC 型驱动方法的次像素电压与主像素电压的电压比，该传统 CC 型驱动方法使用电容器将次像素电压 V_{p-s} 降低到低于主像素电压 V_{p-m} 的电压水平。

[0044] 参考图 3，如第一线 G1 所示，次像素电压 V_{p-s} 与主像素电压 V_{p-m} 的电压比在中低灰度范围内降低，次像素电压 V_{p-s} 与主像素电压 V_{p-m} 的电压比在高灰度范围内增大。相反地，根据第二线 G2，与在中低灰度范围内次像素电压 V_{p-s} 与主像素电压 V_{p-m} 的电压比相比较，在高灰度范围内次像素电压 V_{p-s} 与主像素电压 V_{p-m} 的电压比降低。

[0045] 依照第一和第二线 G1 和 G2，本示范性实施例的驱动方法提供了在中低灰度范围内比传统 CC 型驱动方法低的次像素电压 V_{p-s} 与主像素电压 V_{p-m} 的电压比，与传统 CC 型驱动方法相比，其可改善侧视性。此外，本示范性实施例的驱动方法提供了在高灰度范围内比传统 CC 型驱动方法高的次像素电压 V_{p-s} 与主像素电压 V_{p-m} 的电压比，与传统 CC 型驱动方法相比，其可提高亮度。

[0046] 图 4 为图 1 的显示面板的布局图，图 5 为沿图 4 的 I-I’ 线取得的横截面图。

[0047] 参考图 4 和图 5，显示面板 100 包括阵列基板 110、耦合到阵列基板 110 并面对阵列基板 110 的对向基板 120、以及设置在阵列基板 110 和对向基板 120 之间的液晶层 130。

[0048] 阵列基板 110 包括第一基底基板 111 和布置在第一基底基板 111 上的多个像素。每个像素包括栅极线 GL、数据线 DL、第一薄膜晶体管 Tr1、第二薄膜晶体管 Tr2、主像素和次像素。

[0049] 栅极线 GL 沿第一方向 D1 延伸且数据线 DL 沿第二方向 D2 延伸。数据线 DL 基本垂直于栅极线 GL 布置且与栅极线 GL 绝缘。第一和第二薄膜晶体管 Tr1、Tr2 中的每个连接到栅极线 GL 和数据线 DL。特别地，第一薄膜晶体管 Tr1 包括从栅极线 GL 分支的第一栅电极 GE1、第一源电极 SE1、以及连接到主像素的第一漏电极 DE1。第二薄膜晶体管 Tr2 包括从栅极线 GL 分支的第二栅电极 GE2、从数据线 DL 分支的第二源电极 SE2、以及连接到次像素的第二漏电极 DE2。第一源电极 SE1 从第二源电极 SE2 延伸。

[0050] 第一和第二薄膜晶体管 Tr1、Tr2 响应于通过栅极线 GL 施加的栅脉冲分别通过第一和第二漏电极 DE1 和 DE2 输出施加到数据线 DL 的数据电压。因而，主和次像素分别通过第一和第二薄膜晶体管 Tr1、Tr2 接收数据电压。

[0051] 主像素包括主像素电极 MP 和主存储电极，次像素包括次像素电极 SP 和次存储电极 SS。主像素电极 MP 通过第一接触孔 C1 连接到第一薄膜晶体管 Tr1 的第一漏电极 DE1，从而接收数据电压。次像素电极 SP 通过第二接触孔 C2 连接到第二薄膜晶体管 Tr2 的第二漏电极 DE2，从而接收数据电压。

[0052] 主和次像素电极 MP 和 SP 彼此分隔开。因此，在栅脉冲施加到栅极线 GL 的 1H 周期期间，主和次像素电极 MP 和 SP 通过第一和第二薄膜晶体管 Tr1、Tr2 彼此连接，然而，当第一和第二薄膜晶体管 Tr1、Tr2 在 1H 周期之后截止时，主和次像素电极 MP 和 SP 不彼此连接。在本示范性实施例中，主和次像素电极 MP 和 SP 之间的区域通过部分地去除像素电极形成且定义为第一开口 O1。

[0053] 主存储电极包括第一主存储电极 MS1 和第二主存储电极 MS2。第一和第二主存储电极 MS1 和 MS2 沿第一方向 D1 延伸且彼此分隔开预定距离。主和次像素电极 MP 和 SP 设置在第一和第二主存储电极 MS1 和 MS2 之间。第一主存储电极 MS1 交叠第一像素组的主像

素电极，第一像素组包括与一行对应的像素中偶数编号的像素，第二主存储电极 MS2 交叠第二像素组的主像素电极，第二像素组包括与所述一行对应的像素中奇数编号的像素。第一和第二主存储电极 MS1 和 MS2 接收第一公共电压 V_{com1}（图 2 所示），施加于第一主存储电极 MS1 的第一公共电压 V_{com1} 具有与施加于第二主存储电极 MS2 的第一公共电压 V_{com1} 不同的极性。施加于第一和第二主存储电极 MS1 和 MS2 的第一公共电压 V_{com1} 的极性周期性反转。

[0054] 次存储电极 SS 设置在第一和第二主存储电极 MS1 和 MS2 之间且交叠次像素电极 SP。次像素电极 SS 接收始终保持在参考电压的第二公共电压 V_{com2}（图 2 所示）。

[0055] 对向基板 120 包括第二基底基板 121、黑矩阵 122、滤色层 123 和公共电极 124。

[0056] 黑矩阵 122 包括光阻挡材料且布置在第二基底基板 121 上。黑矩阵 122 布置在一像素区域的非有效区域中，从而防止光从像素之间泄露。滤色层 123 包括红、绿和蓝色像素且布置在一像素区域的有效区域中。公共电极 124 形成在黑矩阵 122 和滤色层 123 上方。然后，公共电极 124 被构图从而形成穿过其的多个第二开口 O2。第二开口 O2 位于不与第一开口 O1 对应的位置。特别地，第一开口 O1 位于两个相邻的第二开口 O2 之间。

[0057] 由于第一和第二开口 O1 和 O2，其中液晶分子以不同方向排列的畴限定在一个像素区域中。当液晶分子依照畴 (domain) 排列在不同方向时，可视性的变化可以由于畴之间的补偿效应而减小，产生具有宽视角的显示面板。

[0058] 图 6 为示出与数据电压的极性相反的第一公共电压的极性以及主存储电极、次存储电极和像素之间的连接的视图。

[0059] 参考图6，显示面板采用 2×1 点反转 (dot-inverting) 驱动方法，其中沿列方向数据电压的极性以每两点反转且沿行方向数据电压的极性以每点反转。施加到布置在一行中的像素的数据电压的极性以每个像素反转，使得包括所述一行的偶数编号像素的第一像素组接收具有与施加到包括所述一行的奇数编号像素的第二像素组的数据电压不同的极性的数据电压。在图 6 中，画阴影的像素构成第一像素组，未画阴影的像素构成第二像素组。

[0060] 如图 6 所示，在当前帧期间，第一像素组接收具有正极性 (+) 的数据电压，第二像素组接收具有负极性 (-) 的数据电压。在下一帧期间，第一像素组接收具有负极性 (-) 的数据电压，第二像素组接收具有正极性 (+) 的数据电压。

[0061] 同时，第一和第二主存储电极 MS1 和 MS2 分别位于与成行像素的上和下侧相邻。第一主存储电极 MS1 部分交叠第一像素组的主像素电极 MP1，第二主存储电极 MS2 部分交叠第二像素组的主像素电极 MP2。当具有正极性 (+) 的数据电压施加到第一像素组时，第一公共电压 V_{com1}（图 2 所示）向上变换到相对于参考电压 V_r（图 2 所示）具有正极性 (+) 的第二电压 V2（图 2 所示）且被施加到第一主存储电极 MS1。另外，当具有负极性 (-) 的数据电压施加到第二像素组时，第一公共电压 V_{com1} 向下变换到相对于参考电压 V_r 具有负极性 (-) 的第一电压 V1 且被施加到第二主存储电极 MS2。

[0062] 此外，第一主存储电极 MS1 部分地交叠相邻行中像素的第二像素组的主像素电极，且第二主存储电极 MS2 部分地交叠相邻行中像素的第一像素组的主像素电极。

[0063] 次存储电极 SS 部分地交叠布置在一行中的像素的次像素电极 SP1 和 SP2。次存储电极 SS 接收始终保持在参考电压 V_r 的第二公共电压 V_{com2}。

[0064] 因此，第一像素组的主像素电极 MP1 接收由于向上变换的第一公共电压 V_{com1} 而升高了向上变换电压 (shifted-up voltage) 的主像素电压，第二像素组的主像素电极 MP2 接

收由于向下变换的第一公共电压 V_{com1} 而降低了向下变换电压 (shifted-down voltage) 的主像素电压。因而，主像素电压可具有比施加到次像素电极的次像素电压更大的绝对值，且可以施加到每个像素的主像素电极。

[0065] 如上所述，通过提高主像素电压的绝对值，主和次像素电极接收彼此不同的像素电压，这可以提高侧视性和增强亮度。

[0066] 图 7A、图 7B 和图 7C 为显示图 4 的阵列基板的制造工艺的平面图。

[0067] 参考图 7A，栅金属层形成在第一基底基板 111 上。当栅极金属层被构图时，栅极线 GL_n、第一和第二栅电极 GE1 和 GE2、次存储电极 SS、第一主存储电极 MS1、以及第二主存储电极 MS2 形成在第一基底基板 111 上。

[0068] 栅极线 GL_n 沿第一方向 D1 延伸且第一和第二栅电极 GE1、GE2 从栅极线 GL_n 分支。第一和第二主存储电极 MS1 和 MS2 沿第一方向 D1 延伸且彼此分隔开。如图 7A 所示，第一主存储电极 MS1 位于与前栅极线 GL_{n-1} 相邻，第二主存储电极 MS2 位于与栅极线 GL_n 相邻。次存储电极 SS 形成在第一和第二主存储电极 MS1 和 MS2 之间。

[0069] 然后，栅绝缘层（未显示）形成在第一基底基板 111 上，从而覆盖栅极线 GL_n、第一和第二栅电极 GE1 和 GE2、次存储电极 SS、第一主存储电极 MS1 和第二主存储电极 MS2。

[0070] 参考图 7B，数据金属层形成在栅绝缘层上。当数据金属层被构图时，数据线 DL_m、第一源电极 SE1、第二源电极 SE2、第一漏电极 DE1 和第二漏电极 DE2 形成在栅绝缘层上。

[0071] 数据线 DL_m 沿第二方向 D2 延伸，基本垂直于第一方向 D1。数据线 DL_m 与栅极线 GL_n 绝缘且相交叉。第二源电极 SE2 从数据线 DL_m 分支，且第一源电极 SE1 从第二源电极 SE2 延伸。第一和第二漏电极 DE1 和 DE2 分别与第一和第二源电极 SE1、SE2 分隔开。因此，第一和第二薄膜晶体管 Tr1、Tr2 在第一基底基板 111 上完成了。

[0072] 然后，保护层（未显示）和有机绝缘层（未显示）依次形成在第一基底基板 111 上，从而覆盖数据线 DL_m、第一源电极 SE1、第二源电极 SE2、第一漏电极 DE1 和第二漏电极 DE2。部分地去除保护层和有机绝缘层以提供穿过其形成的第一和第二接触孔 C1 和 C2，由此分别暴露第一和第二漏电极 DE1 和 DE2。

[0073] 参考图 7C，透明导电层例如铟锡氧化物 (ITO) 或铟锌氧化物 (IZO) 形成在有机绝缘层上。当透明导电层被构图时，主和次像素电极 MP 和 SP 形成在有机绝缘层上。主和次像素电极 MP 和 SP 彼此分隔开且彼此不连接。主像素电极 MP 通过第一接触孔 C1 连接到第一漏电极 DE1，次像素电极 SP 通过第二接触孔 C2 连接到第二漏电极 DE2。因此，当第一和第二薄膜晶体管 Tr1、Tr2 导通时，主和次像素电极 MP 和 SP 可通过第一和第二薄膜晶体管 Tr1、Tr2 彼此连接。

[0074] 包括布置成行的像素的偶数编号像素的第一像素组的主像素电极部分地交叠第一主存储电极 MS1，包括布置成行的像素的奇数编号像素的第二像素组的主像素电极部分地交叠第二主存储电极 MS2。此外，次像素电极 SP 部分地交叠次存储电极 SS，完成了阵列基板 110。

[0075] 图 8 为依照本发明另一示范性实施例的显示面板的布局图。在图 8 中，同样的附图标记表示与图 4 中相同或相似的元件，因此将省略相同元件的详细描述。

[0076] 参考图 8，依照本发明另一示范性实施例的显示面板的阵列基板包括多个像素，其每个包括栅极线 GL、数据线 DL、第一薄膜晶体管 Tr1、第二薄膜晶体管 Tr2、主像素电极 MP、

次像素电极 SP 和主存储电极。另外，主存储电极包括第一主存储电极 MS1 和第二主存储电极 MS2。图 8 中，在每个像素中去除次存储电极 SS（参考图 4）。因此，显示面板具有无次 C_{st}（subC_{st}-less）结构。

[0077] 相应于通过栅极线 GL 施加的栅脉冲，第一和第二薄膜晶体管 Tr1、Tr2 分别通过第一和第二漏电极 DE1 和 DE2 输出施加于数据线 DL 的数据电压。因此，主和次像素电极 MP、SP 分别通过第一和第二薄膜晶体管 Tr1、Tr2 接收数据电压。

[0078] 主和次像素电极 MP 和 SP 彼此分隔开。因此，在栅脉冲施加到栅极线 GL 的 1H 周期期间，主和次像素电极 MP 和 SP 通过第一和第二薄膜晶体管 Tr1、Tr2 彼此连接，然而，当在 1H 周期之后第一和第二薄膜晶体管 Tr1、Tr2 截止时，主和次像素电极 MP 和 SP 不彼此连接。

[0079] 第一和第二主存储电极 MS1 和 MS2 沿第一方向 D1 延伸且彼此分隔开预定距离。主和次像素电极 MP 和 SP 设置在第一和第二主存储电极 MS1 和 MS2 之间。第一主存储电极 MS1 交叠包括与一行对应的像素中的偶数编号像素的第一像素组的主像素电极，第二主存储电极 MS2 交叠包括与该行对应的像素中的奇数编号像素的第二像素组的主像素电极。第一和第二主存储电极 MS1 和 MS2 接收第一公共电压 V_{com1}（图 2 所示），施加于第一主存储电极 MS1 的第一公共电压 V_{com1} 具有与施加于第二主存储电极 MS2 的第一公共电压 V_{com1} 不同的极性。施加于第一和第二主存储电极 MS1 和 MS2 的第一公共电压 V_{com1} 的极性周期性反转。

[0080] 在 1H 周期期间，主像素电极 MP 接收来自第一薄膜晶体管 Tr1 的数据电压，然后其电压响应于施加到第一主存储电极 MS1 的第一公共电压的变化而改变为不同于数据电压的主像素电压。在 1H 周期期间，次像素电极 SP 接收来自第二薄膜晶体管 Tr2 的数据电压，然后其电压保持为次像素电压直到它接收来自第二薄膜晶体管 Tr2 的下一个数据电压。

[0081] 依照该显示面板，施加于主存储电极的第一公共电压的电压水平可以随栅脉冲和数据电压的极性而变化，且主像素电压可基于第一公共电压向上或向下变换。

[0082] 因此，主像素电压可以具有与次像素电压不同的电压水平，这可以改善侧视性。同样，由于主像素电压可以具有比次像素电压更大的绝对值，所以显示基板的亮度可以得到提高。

[0083] 本领域普通技术人员将理解，在不脱离本发明的精神或范围的情况下，可以对本发明作出各种修改和变化。因此，本发明旨在覆盖落入所附权利要求及其等价物范围内的本发明的修改和变化。

[0084] 本申请要求提交于 2006 年 8 月 29 日的韩国专利申请第 10-2006-0082387 号的权益和优先权，其在此引用作为参考。

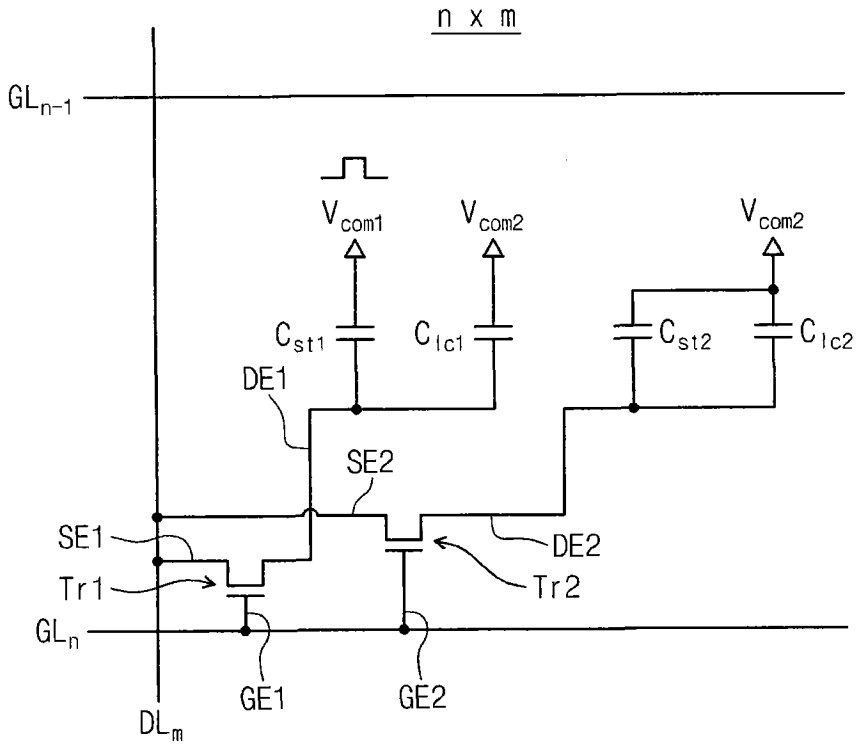

n x m
GLn-1
Vcom1
Vcom2
Vcom2
Cst1
Clc1
Cst2
Clc2
DE1
SE2
SE1
DE2
Tr1
Tr2
GLn
GE1
GE2
DLm

图 1

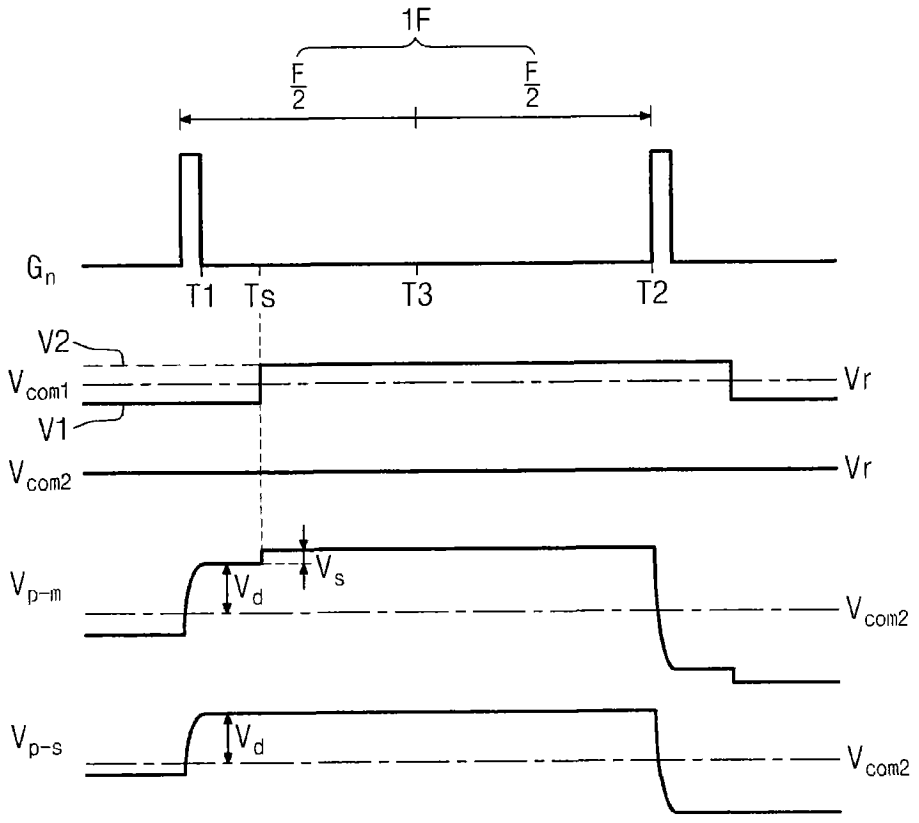

1F
F/2
F/2
Gn
T1
Ts
T3
T2
V2
Vcom1
V1
Vr
Vcom2
Vr
Vp-m
Vd
Vs
Vcom2
Vp-s
Vd
Vcom2

图 2

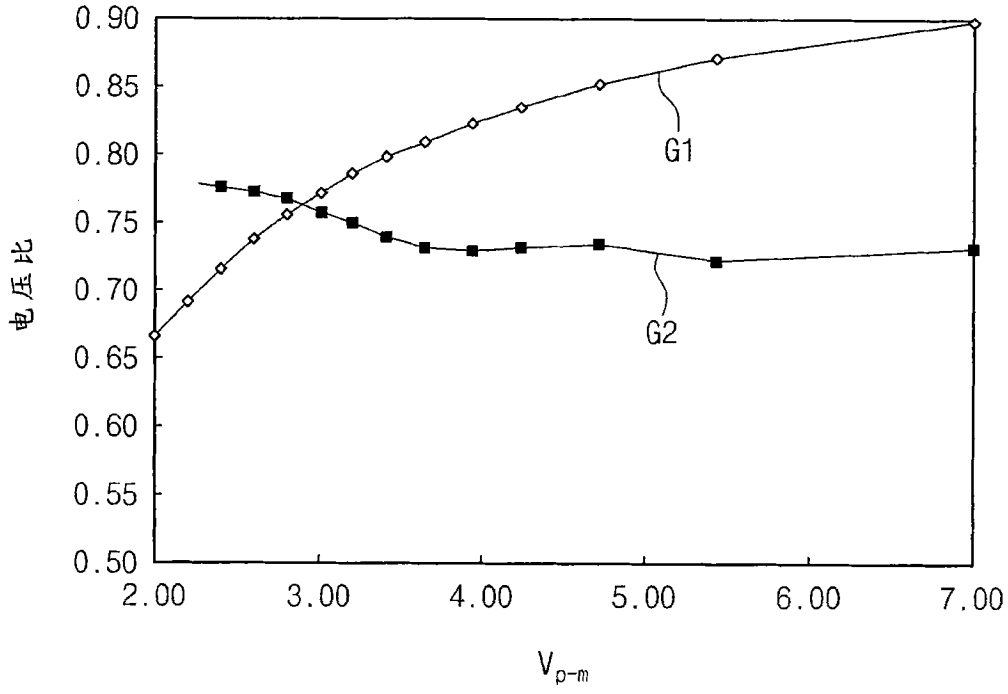

0.90
0.85
0.80
0.75
0.70
0.65
0.60
0.55
0.50
电压比
2.00
3.00
4.00
5.00
6.00
7.00
Vp-m
G1
G2

图 3

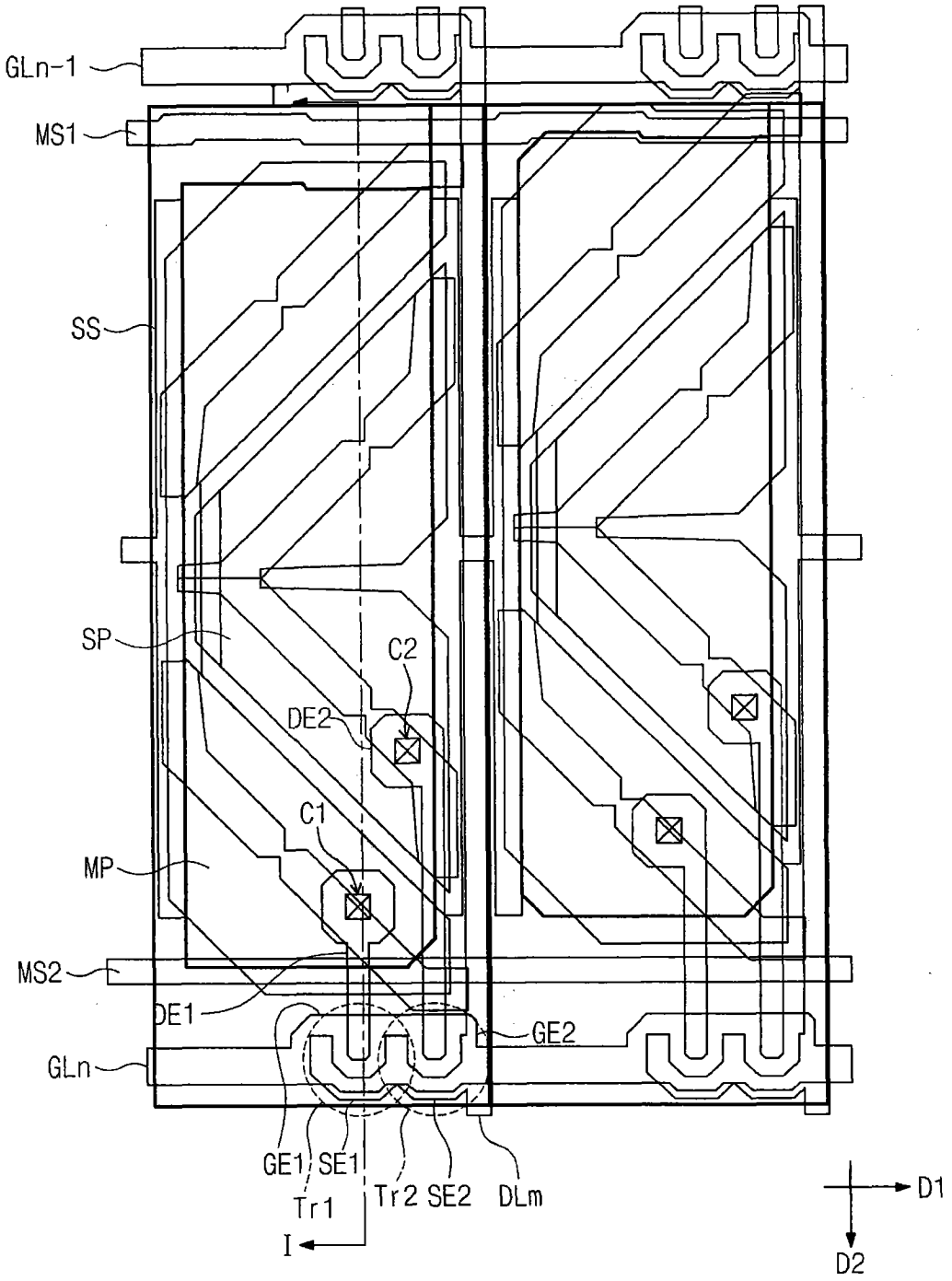

GLn-1
MS1
SS
SP
C2
DE2
C1
MP
MS2
DE1
GE2
GLn
GE1
SE1
Tr1
Tr2
SE2
DLm
I
D1
D2

图 4

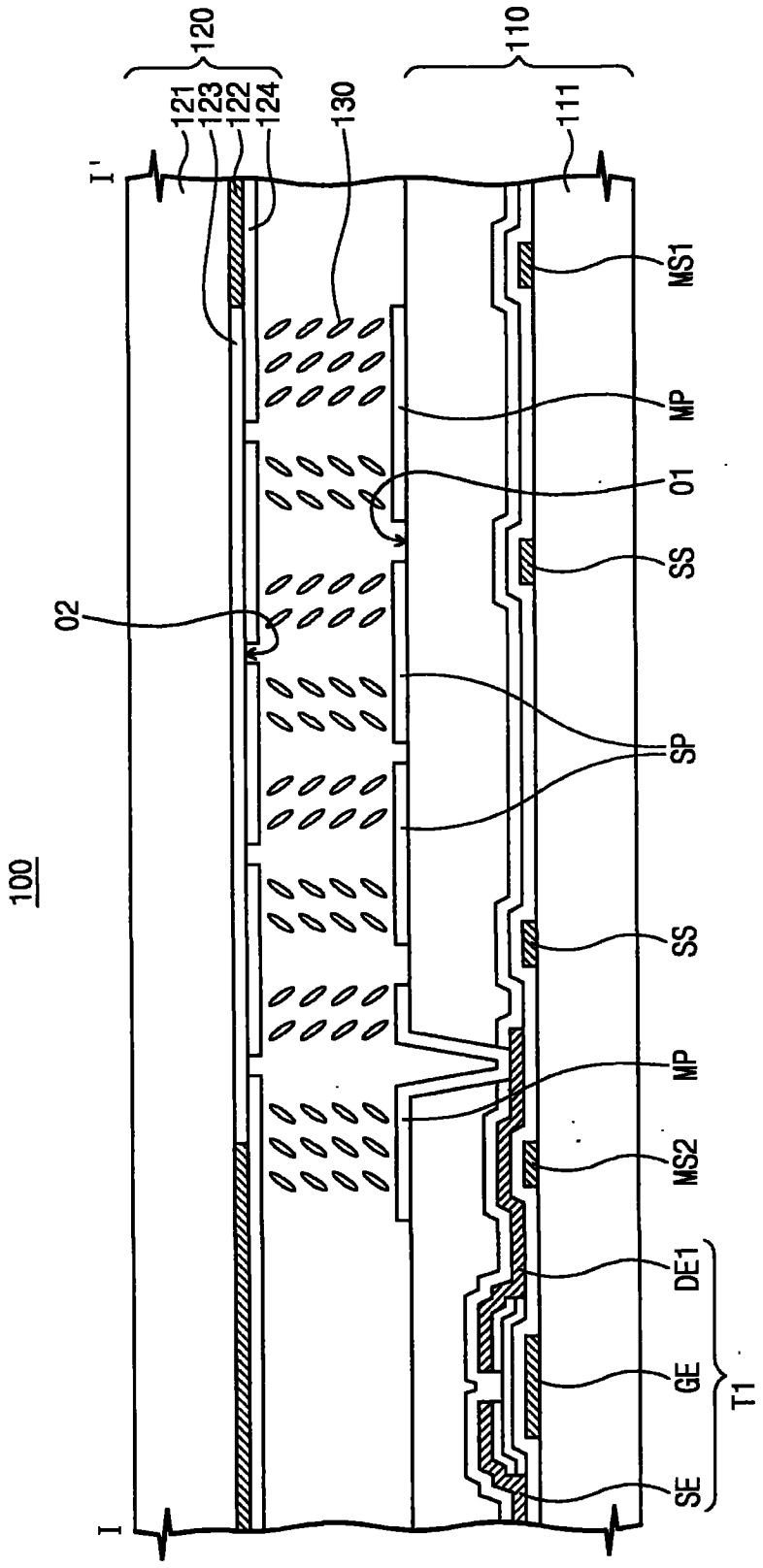

120
110
121
123
122
124
130
111
I'
MS1
MP
01
SS
02
SP
100
SS
MP
MS2
DE1
GE
T1
SE
I

图 5

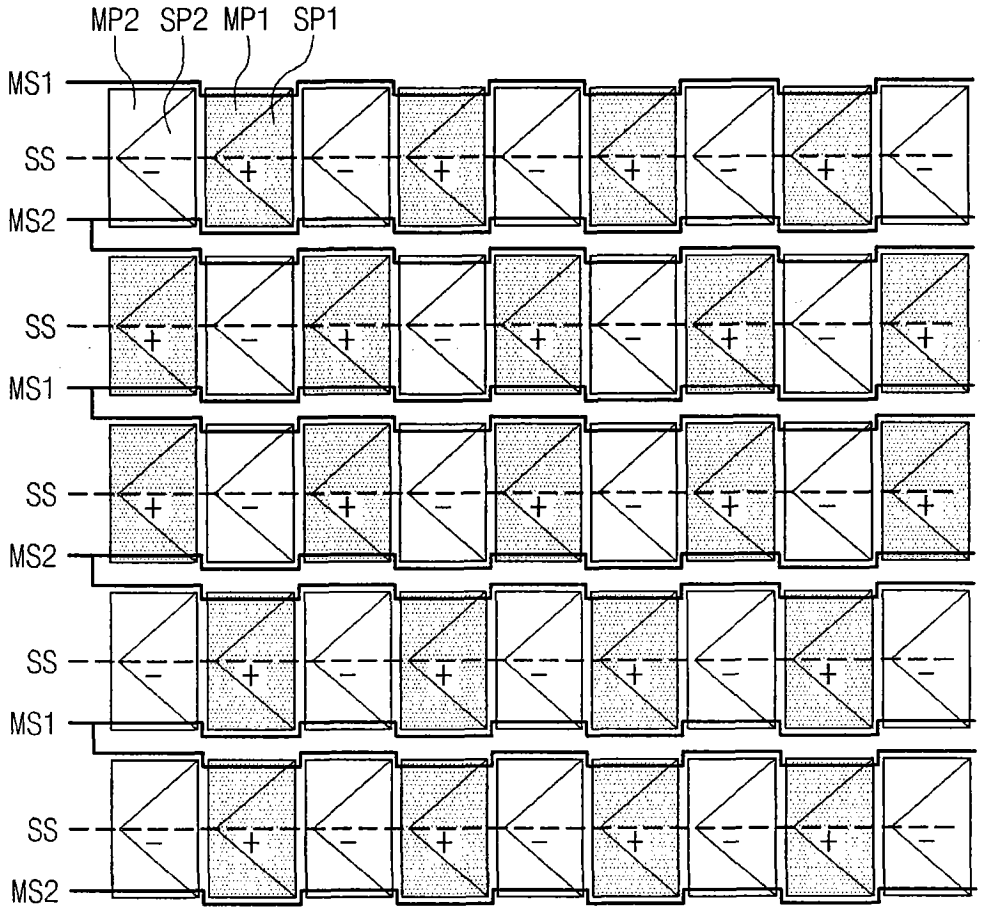


图 6

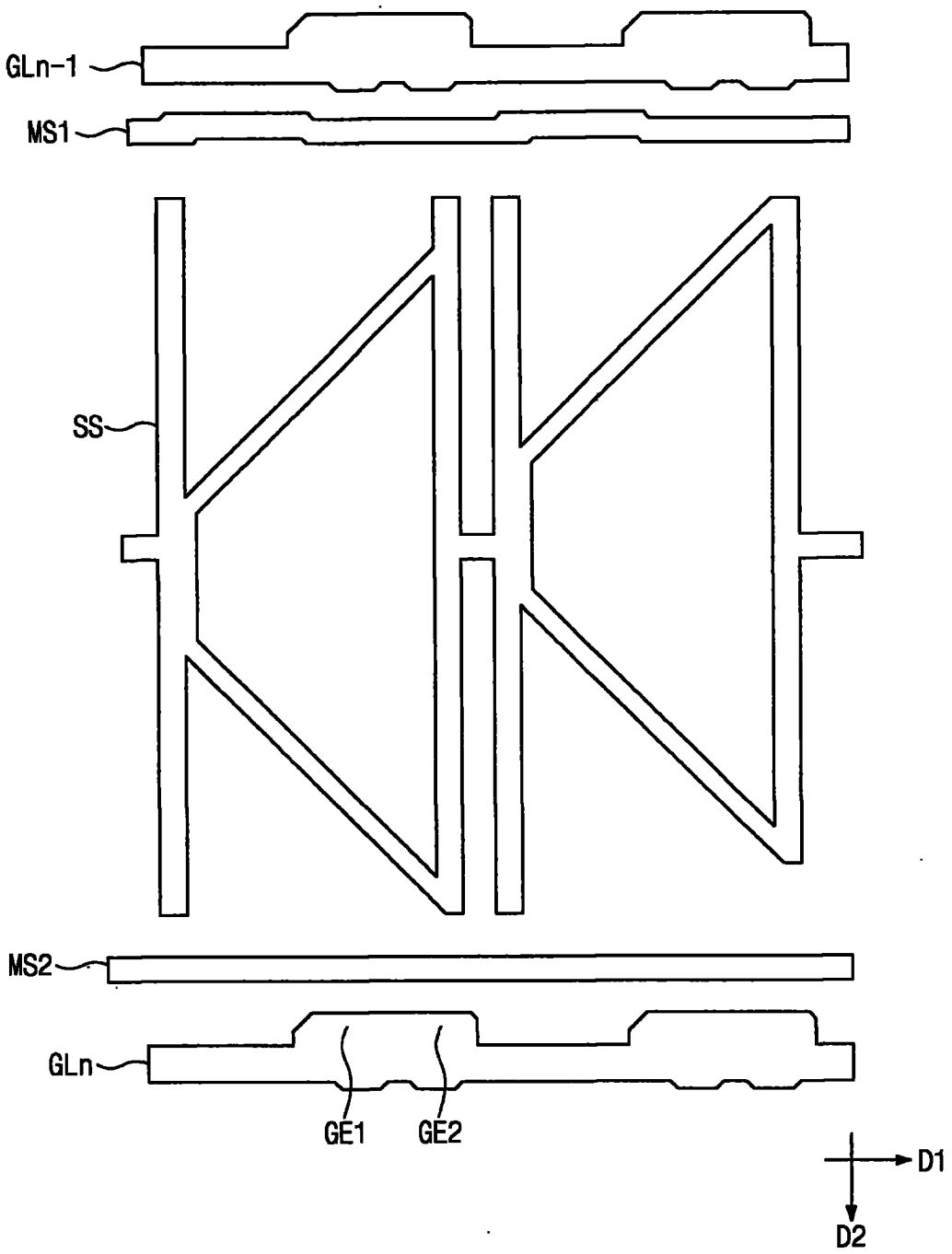


图 7A

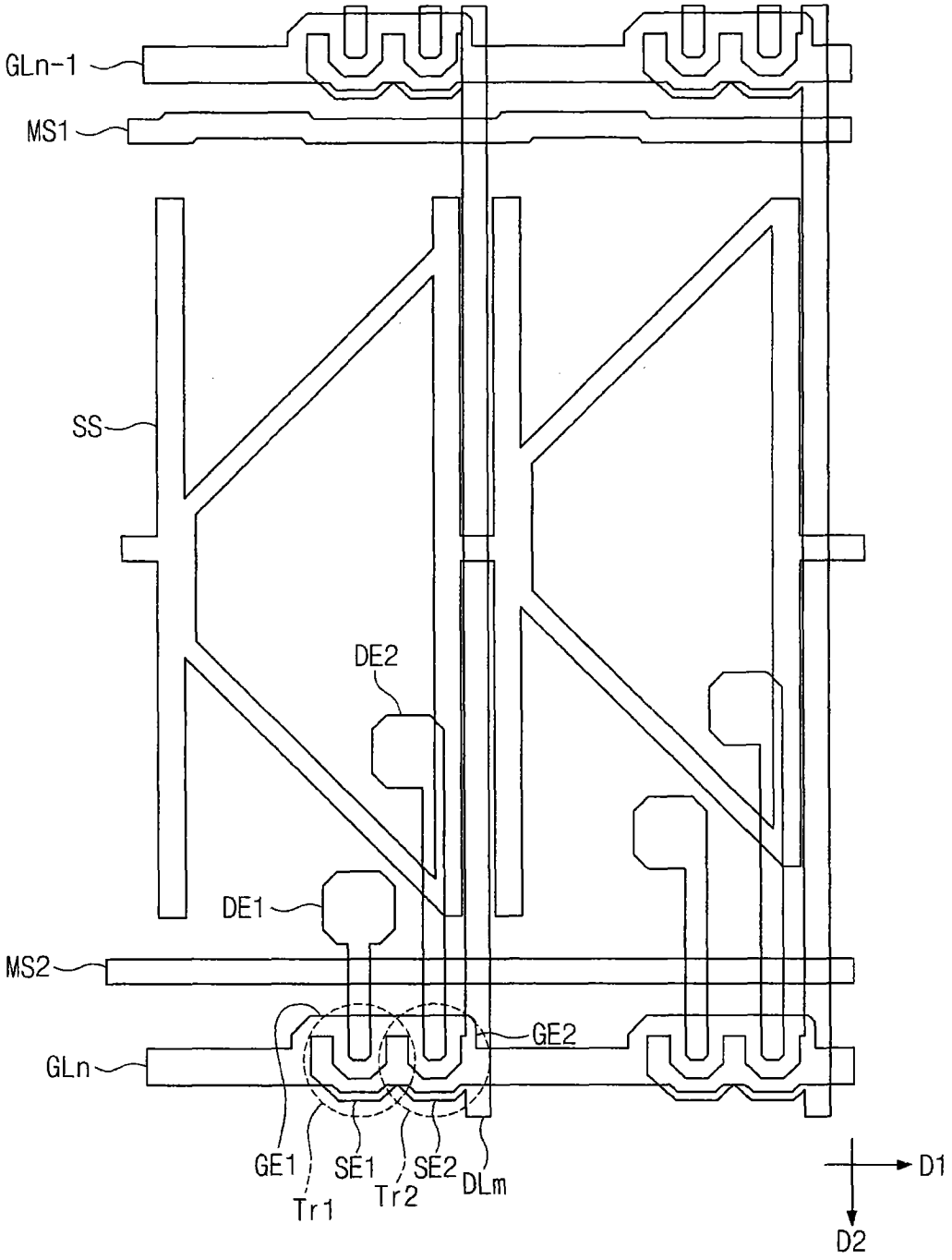


图 7B

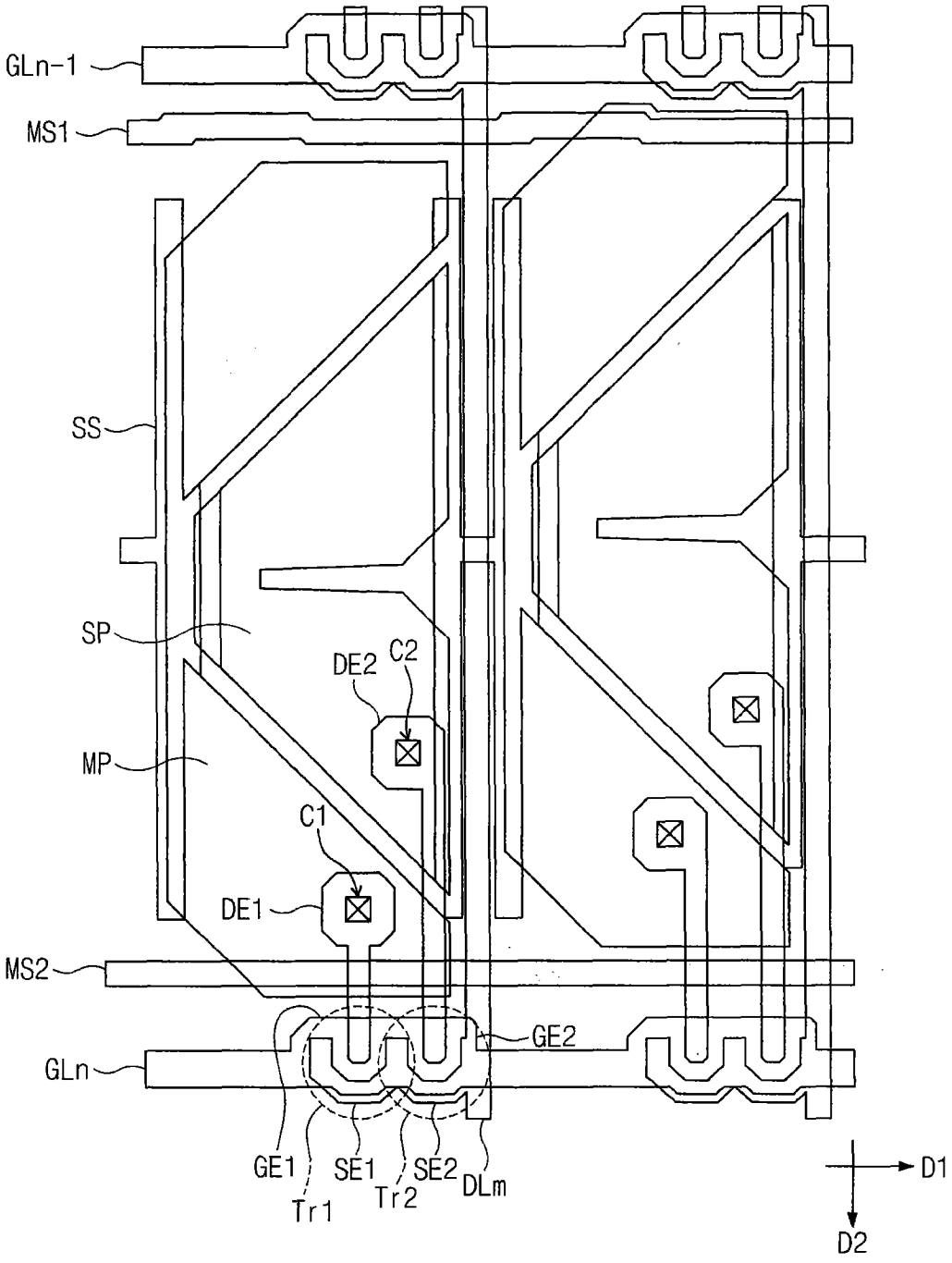

GLn-1
MS1
SS
SP
DE2
C2
MP
C1
DE1
MS2
GE2
GLn
GE1
SE1
SE2
DLm
Tr1
Tr2
D1
D2

图 7C

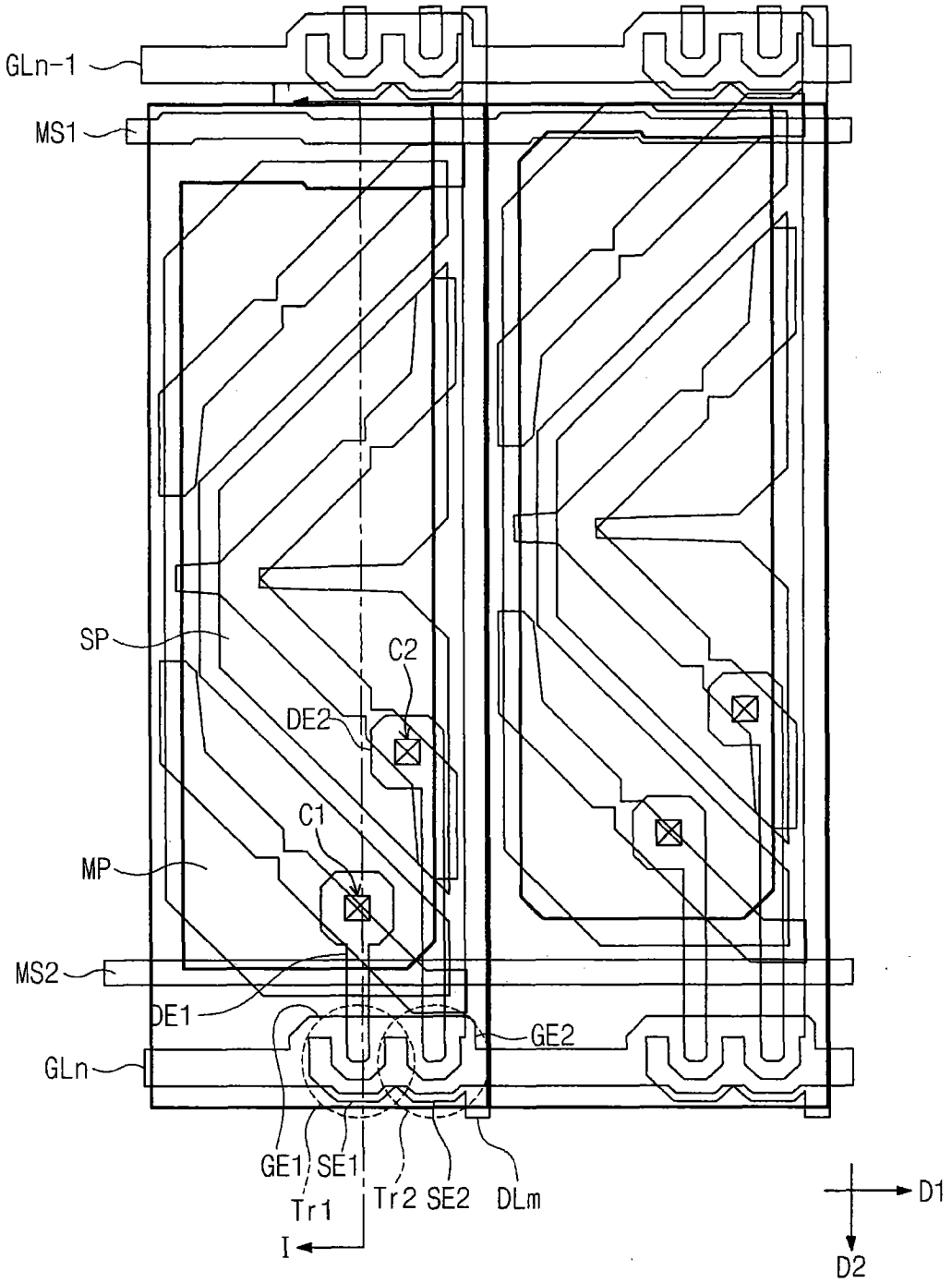

GLn-1
MS1
SP
C2
DE2
C1
MP
MS2
DE1
GE2
GLn
GE1
SE1
Tr1
Tr2
SE2
DLm
I
D1
D2

图 8