

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4401022号
(P4401022)

(45) 発行日 平成22年1月20日(2010.1.20)

(24) 登録日 平成21年11月6日(2009.11.6)

(51) Int.Cl.

F 1

H01L 21/768 (2006.01)

H01L 21/90

K

H01L 23/522 (2006.01)

H01L 21/90

A

H01L 21/312 (2006.01)

H01L 21/312

C

請求項の数 25 (全 11 頁)

(21) 出願番号 特願2000-539524 (P2000-539524)
 (86) (22) 出願日 平成10年12月18日 (1998.12.18)
 (65) 公表番号 特表2002-509356 (P2002-509356A)
 (43) 公表日 平成14年3月26日 (2002.3.26)
 (86) 國際出願番号 PCT/US1998/026951
 (87) 國際公開番号 WO1999/031725
 (87) 國際公開日 平成11年6月24日 (1999.6.24)
 審査請求日 平成17年11月25日 (2005.11.25)
 (31) 優先権主張番号 08/993,124
 (32) 優先日 平成9年12月18日 (1997.12.18)
 (33) 優先権主張国 米国(US)

(73) 特許権者 591016172
 アドバンスト・マイクロ・ディバイシズ・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サンノゼ、ビイ・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄

最終頁に続く

(54) 【発明の名称】半導体装置を製造する方法

(57) 【特許請求の範囲】

【請求項 1】

半導体装置を製造する方法であつて、
 基板上に第1の誘電層を形成するステップと、
 前記第1の誘電層の上に、間に空隙を有し第1の導電フィーチャを含む第1のパターニングされた複数の導電層を形成するステップと、
 前記空隙を充填する水素シリセスキオキサン(HSQ)の層であるHSQ空隙充填層を堆積させるステップと、
 前記第1のパターニングされた導電層および前記HSQ空隙充填層の上に第2の誘電層を堆積させるステップと、

10

前記第2の誘電層の上面を平坦化するステップと、

前記第2の誘電層に、前記第1の導電フィーチャの上面の一部および側面の少なくとも一部を露出させ、かつ前記HSQ空隙充填層の一部を貫通し露出させる貫通孔を形成するステップと、

不活性雰囲気内で段階的な熱処理を行なうステップとを含み、この段階的熱処理は、前記基板を300の温度に保たれた炉の中に入れ、

前記炉の温度を350から400の範囲まで上昇させ、

前記炉の温度を300まで下降させ、

そして、前記基板を前記炉から取出すことによって行なわれ、

さらに前記貫通孔を導電材料で充填してボーダレスピアを形成するステップとを逐次的

20

に含む、半導体装置を製造する方法。

【請求項 2】

導電層は金属層を含み、前記第1の導電フィーチャは第1の金属フィーチャを含む、請求項1に記載の方法。

【請求項 3】

前記金属層は複合金属層であり、
下部高融点金属層と、
アルミニウムまたはアルミニウム合金を含む中間一次導電層と、
上部反射防止コーティングとを含む、請求項2に記載の方法。

【請求項 4】

パターニングされた金属層は0.25ミクロン以下の大きさの複数の金属線を含み、前記空隙は配線間スペースを含む、請求項2に記載の方法。

10

【請求項 5】

前記第2の誘電層の上にフォトレジストマスクを形成するステップと、
反応性イオンエッチングを行なって前記貫通孔を形成するステップと、
前記フォトレジストマスクを除去するステップと、
前記貫通孔に対し湿式溶媒洗浄を行なうステップとを含む、請求項2に記載の方法。

【請求項 6】

炭化フッ素エッチャントで反応性イオンエッチングを行なうステップと、酸素含有プラズマを用いて前記フォトレジストマスクを除去するステップと、

20

湿式溶媒洗浄を行なって反応性イオンエッチング中に生じたポリマを除去するステップとを含み、前記HSQ空隙充填層は湿式溶媒洗浄中に水を吸収し、さらに、

熱処理を行なって湿式溶媒洗浄中に吸収された水を除去するステップとを含む、請求項5に記載の方法。

【請求項 7】

湿式溶媒洗浄の後かつ熱処理の前にプラズマ除去を行なうステップを含む、請求項6に記載の方法。

【請求項 8】

熱処理を0.5から4.5分間行なうステップを含む、請求項6に記載の方法。

【請求項 9】

30

熱処理を350の温度で30分間行なうステップを含む、請求項8に記載の方法。

【請求項 10】

熱処理を、窒素、アルゴンおよび／または窒素と10容量%までの水素とを含有する成形ガスを含む不活性雰囲気内で行なうステップを含む、請求項8に記載の方法。

【請求項 11】

前記貫通孔を複合導電プラグで充填するステップを含む、請求項4に記載の方法。

【請求項 12】

第2の導電層に対し接着促進剤の役割をする第1の導電バリア層を堆積させるステップを含む、請求項11に記載の方法。

【請求項 13】

40

前記第1の導電層は、チタン、チタン-窒化物、チタン-タンゲスタンまたはチタン-窒化チタンを含み、前記第2の導電層はタンゲスタンを含む、請求項12に記載の方法。

【請求項 14】

熱処理のステップと、前記貫通孔を導電材料で充填して前記ボーダレスピアを形成するステップとの間に湿式または熱処理を行なわない、請求項4に記載の方法。

【請求項 15】

不活性雰囲気での熱処理のステップと、前記貫通孔を導電材料で充填して前記ボーダレスピアを形成するステップとの間に介在する処理ステップを行なわない、請求項14に記載の方法。

【請求項 16】

50

前記第2の誘電層を化学機械研磨により平坦化するステップを含む、請求項4に記載の方法。

【請求項17】

前記第2の誘電層は酸化物を含む、請求項4に記載の方法。

【請求項18】

前記酸化物は、プラズマ化学気相成長によりテトラエチルオルトケイ酸塩またはシランから得た酸化シリコンである、請求項17に記載の方法。

【請求項19】

前記第2の誘電層を堆積させる前に中間酸化物を前記HSQ空隙充填層上に堆積させるステップを含む、請求項17に記載の方法。 10

【請求項20】

前記中間酸化物の層を平坦化するステップを含む、請求項19に記載の方法。

【請求項21】

熱処理を0.5から4.5分間行なうステップを含む、請求項4に記載の方法。

【請求項22】

熱処理を350の温度で30分間行なうステップを含む、請求項21に記載の方法。

【請求項23】

熱処理を、窒素、アルゴンおよび/または窒素と10容量%までの水素とを含有する成形ガスを含む不活性雰囲気内で行なうステップを含む、請求項21に記載の方法。

【請求項24】

第2のパターニングされた金属層を前記第2の誘電層の上に形成するステップを含み、前記第2のパターニングされた金属層は前記ボーダレスピアにより前記第1の金属フィーチャに電気的に接続された第2の金属フィーチャを含む、請求項4に記載の方法。 20

【請求項25】

熱処理を、先行する処理中に前記HSQ空隙充填層が吸収した水を除去するのに十分な条件下で行なうステップを含む、請求項4に記載の方法。

【発明の詳細な説明】

【0001】

【技術分野】

この発明は、信頼性のある配線パターンを備えた高密度で多金属層の半導体装置に関する。この発明は特に、設計フィーチャが0.25ミクロン以下の超々大規模集積多金属層半導体装置に応用できる。 30

【0002】

【背景技術】

超々大規模集積半導体装置に対し高密度および高性能の要求が高まっており、この要求によれば、0.18ミクロンといった0.25ミクロン以下の設計フィーチャ、トランジスタおよび回路の高速化、ならびに高信頼性および製造スループットの増大が必要である。設計フィーチャを0.25ミクロン以下に減じるということは、従来のフォトリソグラフィ、エッ칭および堆積技術を含め従来の配線技術の限界に挑戦することである。

【0003】

パターニングされた金属層を形成するための従来の方法論は、一次金属パターニング技術として減エッ칭すなわちエッチバックステップを含む。このような方法は、典型的には単結晶シリコンである半導体基板上に第1の誘電層を形成し、半導体基板上のソース/ドレイン領域などの活性領域との電気的接続のために誘電層に導電コンタクトを形成することを含む。アルミニウムまたはアルミニウム合金などの金属層を第1の誘電層上に堆積し、所望の導電パターンに対応するパターンを有するフォトレジストマスクを金属層上に形成する。次に金属層をフォトレジストマスクを通してエッ칭し、間に配線間スペースがある複数の金属線などの、空隙によって分離される金属フィーチャを含む導電パターンを形成する。次に、上記の結果得た導電パターンに誘電層を与えて空隙を充填し、表面を、従来のエッ칭または化学機械研磨(CMP)平坦化技術などにより平坦化する。 40

10

20

30

40

50

【0004】

図1および2に示すように、従来のやり方は、トランジスタ(図示せず)を備える活性領域を含む半導体基板上に典型的には形成される誘電層10の上に金属層11を堆積することを含む。フォトリソグラフィ後、エッティングを行ない、間に空隙がある金属フィーチャ11a、11b、11cおよび11dを含むパターニングされた金属層を形成する。スピノンガラス(SOG)などの誘電材料12を、典型的には堆積して金属フィーチャ間の空隙を充填し、約300から約350の温度でベーキングし、次に、使用した特定のSOG材料次第で約350から約400で約1時間以内の期間垂直炉で硬化させて平坦化を行なう。別の酸化物をプラズマ化学気相成長(PECVD)により堆積し、次にCMPなどにより平坦化を行なう。

10

【0005】

たとえば金属線および配線間スペースといったフィーチャサイズが0.2ミクロン以下に縮小するのに伴い、この配線間スペースをボイドなしで十分に充填して適切な段差被覆性を得ることは益々困難になる。信頼性のある配線構造を形成することも益々困難になる。空隙充填のためのスピノン誘電材料が、唯一の実行可能な解決策であるように思われる。次に、誘電層に貫通孔を形成して下にある金属フィーチャを露出させる。この金属フィーチャは貫通孔の底全体を占めるランディングパッドの役割をする。この貫通孔を金属プラグなどの導電材料で充填して導電ビアを形成すると、この導電ビアの底表面全体が直接金属フィーチャと接する。このような従来の技術は図3に示されており、第1のパターニングされた金属層の金属フィーチャ30が、第1の誘電層31の上に形成され、第2の誘電層33に形成された貫通孔32により露出させられている。従来のやり方に従うと、貫通孔32は、金属フィーチャ30が底の開口部全体を囲むことで、貫通孔32を充填して導電ビア35を形成する金属プラグ34に対してランディングパッドの役割を果たすように、形成される。したがって、導電ビア35の底表面全体は金属フィーチャ30と直に接している。導電ビア35は、金属フィーチャ30と、第2のパターニングされた金属層の一部である金属フィーチャ36とを電気的に接続する。図2および3に示されるように、たとえば30A、30B、36Aおよび36Bなどの、金属フィーチャまたは導電線の側部のエッジはエッティングの結果として幾分テーパ形状である。

20

【0006】

設計フィーチャを0.25ミクロン以下の範囲まで減ずるには極度の高密度化が必要である。従来の、導電ビアの底表面を完全に囲むランディングパッドを形成するやり方は、拡大しつつある高密度化要求に反し、半導体チップ上のかなりの量の貴重な領域を利用する。加えて、このような寸法が減じられた貫通孔をボイドなしで充填することは、アスペクト比すなわち貫通孔の直径に対する貫通孔の高さが極度に高いため、非常に困難である。したがって、これを改善するための従来の技術は、故意に貫通孔の直径を拡げてアスペクト比を減じることを含む。その結果、それが生じ、導電ビアの底表面が下にある金属フィーチャで完全に囲まれない。このタイプのビアは、チップの領域を節約もする「ボーダレスビア」と呼ばれる。

30

【0007】

しかしながら、ボーダレスビアを用いると新たな問題が生じる。たとえば、ずれの結果、SOG空隙充填層において、ずれた貫通孔形成の際にエッティングにより貫通が生じる。その原因是SOGの密度が低く安定性が悪いことである。このような貫通の結果、湿度および気体が蓄積して配線の抵抗が高まる。さらに、スパイクが生じる可能性がある。すなわち金属プラグが基板に貫入することにより短絡が起こる。図4を参照すると、第1の誘電層41を基板40上に形成し、第1の金属フィーチャたとえば反射防止コーティング45Aを含む金属線45を含む第1の金属パターンを、空隙がSOG42で充填された第1の誘電層41の上に形成する。次に誘電層43を堆積し、その中に、金属線45の上表面の一部および側面の少なくとも一部を露出させSOG層42の一部を貫通して露出させる、ずれた貫通孔を形成する。貫通孔を、典型的には不活性バリア層(図示せず)およびタンゲステンを含む金属プラグ44で充填すると、スパイクが生じるすなわち基板40への貫

40

50

通が起こり短絡が発生する。

【0008】

水素シリセスキオキサン（H S Q）は、配線パターンにおいて使用するに当たり多くの利点をもたらす。H S Qには相対的に炭素がないためポイズンビアの問題が生じない。さらに、事実上炭素がないので、短絡を避けるために金属線の上表面よりも下にH S Qをエッチバックする必要はない。加えて、H S Qは、平坦性に優れており、従来のスピンドル機器を用いて0.15ミクロン未満の配線間スペース空隙を充填できる。H S Qにはおよそ200℃で溶融相が生じるが、H S Qは、メタル間応用については約400℃、プリメタル応用については約700℃から約800℃の温度に達するまで、高誘電率ガラス相に変化しない。

10

【0009】

しかしながら、H S Qは処理中に劣化しやすく、ボーダレスビア形成の際のボイドといった種々の問題につながる。たとえば、ボーダレスビア形成の際、フォトレジストマスクを堆積し、下にある金属線の上面の一部および側面の一部を露出させH S Qを貫通し露出させるずれた貫通孔をエッチングで形成する。エッチングによる貫通孔形成は、典型的にはたとえばC F₄といった炭化フッ素化学作用による反応性イオンエッチングを用いて行ない、ポリマ形成を伴う。次にフォトレジストマスクを典型的には酸素（O₂）含有プラズマを用いて取り除く。フォトレジストマスクをプラズマで除去した後、貫通孔を湿式溶媒を用いて従来通りに洗浄し、反応性イオンエッチング中に形成されたポリマを取り除く。従来用いられる溶媒は、ペンシルバニア州のAshland Chemical Companyから入手可能なA C T 9 3 5TMおよびA C T 9 7 0TMを含む。従来は湿式溶媒洗浄後にさらなるプラズマ除去ステップを行なう。

20

【0010】

ボーダレスビアを含む配線パターンにおける空隙充填のためにH S Qを使用することの可能性を評価中に、H S Q空隙充填層が、ずれた貫通孔の溶媒洗浄中に水を吸収することがわかった。さらに、その後窒化チタンまたはチタン-窒化チタンなどのバリア金属を用いてタングステンを用いて貫通孔を充填すると、除気が生じて下側の金属フィーチャの側面に沿うボーダレスビアの部分だけでなくボーダレスビア全体にわたってボイドが発生することがわかった。このような除気は、バリア金属接着を抑制し、その結果タングステン堆積に用いる六フッ化タングステンと下側の金属フィーチャのアルミニウムまたはアルミニウム合金一次導電層との間に望ましくない相互作用が生じることもわかった。

30

【0011】

こうしたH S Qの明らかな利点に鑑みれば、実質的にボイドがなく集積度の高いボーダレスビアを含む配線パターンを形成する際に、H S Qを使用してボイドのない空隙充填を行なえるようにする技術を提供する必要がある。

【0012】

【発明の開示】

E P - A - 0 8 1 0 6 4 8 は、

基板上に第1の誘電層を形成するステップと、

空隙を有し、かつ第1の導電フィーチャを含む第一のパターニングされた導電層を第1の誘電層上に形成するステップと、

40

等角のプラズマエンハンストT E O S酸化物の層を堆積するステップと、

H S Qの層をスピンドルするステップと、

第2の誘電層（H S Q上のP E T E O S）を堆積するステップと、

第1の導電フィーチャの上面の一部を露出し、かつH S Qへと貫通する貫通孔を第2の誘電層内に形成するステップと、

プラズマアッシュによって熱処理を行なうステップと、

導電材料を貫通孔に充填するステップとを連続して含む、半導体装置を製造する方法を開示している。

この発明の目的は、0.25ミクロン以下の設計フィーチャを有する高密度多金属層半導

50

体装置と、実質的にボイドのない高集積度ボーダレスピアを含む相互接続パターンとを製造する方法である。

【0013】

この発明のさらなる目的、利点および他の特徴は、一部は以下の説明において記載され、一部は以下を検討することで当業者には明らかとなり、またはこの発明を行なうことで理解され得るであろう。この発明の目的および利点は前掲の特許請求の範囲に特に指摘したように実現され、得られ得る。

【0014】

この発明に従うと、上記および他の目的は、基板上に第1の誘電層を形成するステップと、空隙を有し、かつ第1の導電フィーチャを含む第1のパターニングされた導電層を第1の誘電層上に形成するステップと、空隙を充填する水素シルセスキオキサン(HSQ)の層を堆積するステップと、第1のパターニングされた導電層とHSQ空隙充填層との間に第2の誘電層を堆積するステップと、第2の誘電層の上面を平坦化するステップと、第1の導電フィーチャの上面の一部と側面の少なくとも一部とを露出し、かつHSQ空隙充填層の一部を貫通してそれを露出する貫通孔を第2の誘電層内に形成するステップと、不活性雰囲気内で段階的な熱処理を行なうステップとを含み、この段階的熱処理は、基板を約300の温度に保たれた炉の中に入れ、炉の温度を約350から約400の範囲まで上昇させ、炉の温度を約300まで下降させ、そして基板を炉から取出すことによつて行なわれ、さらに貫通孔に導電材料を充填してボーダレスピアを形成するステップとを含む、半導体装置を製造する方法によって一部達成される。

【0015】

この発明のさらなる目的および利点は、この発明を実行するために考えられる最良の態様の例示のみによってこの発明の好ましい実施例だけが示され、説明される以下の詳細な説明から当業者には容易に明らかとなるであろう。理解されるように、この発明は他の異なる実施例が可能であり、そのいくつかの詳細はすべてこの発明から逸脱せずにさまざまに明らかな点で変更可能である。したがって、図面および説明は例示的な性質のものであり、限定的とはみなされないべきである。

【0016】

【発明の説明】

この発明は、0.25ミクロン以下の設計フィーチャを有する半導体装置を含む高密度の多金属層半導体装置において、ずれた貫通孔(misaligned through-hole)に導電材料を充填する際にHSQ空隙充填層の脱気から生じる不利な結果を招かずにパターニングされた金属層の空隙を充填するためのHSQを用いて、実質的にボイドがなく、かつ信頼性の高いボーダレスピアの形成を可能とする。たとえば、貫通孔を形成する際の従来の慣行は、誘電層上にフォトレジストマスクを形成するステップと、炭化フッ素の化学作用を用いて反応性イオンエッチングを行なって貫通孔を形成するステップと、O₂を含むプラズマを用いてフォトレジストマスクを除去するステップと、反応性イオンエッチングの間に発生したポリマを除去するために湿式溶媒洗浄を行なうステップと、一般にO₂を含むプラズマを用いて後にプラズマ除去を行なうステップとを含む。反応性イオンエッチングの間に発生したポリマを除去するために湿式溶媒洗浄を行なう間、HSQが湿気を吸収する。従来のHI-VACスパッタチャンバ内でチタン-窒化チタンのバリア層を堆積するときのように、ボーダレスピア形成のために貫通孔を後に充填する間、このような吸収された湿気は脱気され、それによって、ボイドを形成し、装置の信頼性を低下させる。脱気は化学気相成長によって窒化チタンを堆積する際にも起こる。

【0017】

HSQは、従来のスピノン装置の使用で優れた平坦性および空隙充填性を示す点で、空隙充填のための非常に望ましい誘電材料である。HSQは約0.15ミクロン未満の空隙、たとえば配線間スペースを容易に充填することができる。さらに、炭素のないポリマ前駆物質が使用されるため、ポイズンビア(poison via)の問題が見られず、HSQは金属線の上面の下方をエッチバックされる必要がない。HSQのあるものは製品名Flowable

10

20

30

40

50

Oxide(商標)またはFOX(商標)によりDow Corning Corp.から商業的に入手可能である。

【0018】

堆積された状態のHSQ空隙充填層の脱気によりボーダレスピア内にボイドが形成される問題は、好ましくはバリア金属層を堆積する直前に真空ベーキングを行ない、好ましくは真空ベーキングおよびバリア金属堆積のために同じ用具を用いることによって対処される。

【0019】

この発明に従うと、ずれた貫通孔に導電材料を充填する間における、堆積されたHSQ空隙充填層の望ましくない脱気は、貫通孔に導電材料を充填する前に熱処理工程を巧みに行なうことによって回避されるかまたは実質的に低減され、その熱処理工程の間、堆積されたHSQ層は吸収された水を除去するために除気(outgas)される。貫通孔に導電材料を充填する前に、堆積されたHSQ空隙充填層を除気することによって、ボーダレスピア内のボイド形成が著しく低減され、または実質的になくなり、それによってボーダレスピアの集積度が高まることがわかっている。

【0020】

この発明の実施例に従うと、ずれた貫通孔に導電材料を充填する前に、堆積されたHSQ空隙充填層を除気するための熱処理は不活性雰囲気において行なわれる。このような不活性雰囲気は、窒素、アルゴン、または窒素と約10容量%の水素とからなる成形ガスのようなさまざまな不活性ガスのどのようなものを含んでもよい。この発明の目的を考えると、時間および温度のような熱処理条件は特定の状況に最適化され得る。たとえば、約300から約400、好ましくは約350から約400、たとえば約350の温度で、約0.5分から約4.5分、たとえば約30分の期間にわたる熱処理が、HSQ層によって吸収された水を実質的に除気するために有効であり、それによって、実質的にボイドのない高集積度のボーダレスピアの形成が可能となることがわかっている。

【0021】

小型化によって生じる他の問題はRC時定数に関する。HSQは望ましくは、約3.9から約4.2の誘電率を有する、熱酸化または化学気相成長によって成長させられた二酸化シリコンに対して、堆積された状態で約2.9から約3.0の誘電率を有する。堆積された状態のHSQの誘電率は突然の温度変化によって不利に高められることがわかっている。したがって、この発明の実施例では、堆積されたHSQ空隙充填層からの吸収された水の除気を行なうための熱処理は徐々に行なわれる。この実施例の一局面では、このように製造された中間体の半導体装置を含む基板は、約300の温度に予め加熱されるか保たれている炉に入れらる。基板が炉に入れられた後、炉の温度は望ましい熱処理温度、たとえば約350まで上げられる。堆積されたHSQ空隙充填層を除気するための熱処理の後、温度は約300まで下げられる。炉内の温度が約300まで下げられた後、基板は取除かれる。この手順は堆積された状態のHSQ空隙充填層を突然の温度変化に有利にさらさないようにし、それによってその誘電率の増加を最小にする。

【0022】

この発明の実施例に従うボーダレスピアを形成する方法は、半導体基板上に第1の誘電層を形成するステップと、第1の誘電層上で第1の金属層をパターニングして、空隙によって分離される金属フィーチャ、たとえば配線間スペースによって分離される金属線を形成するステップとを含む。空隙は次に、適切な温度、たとえば約200で、SOGのために採用される従来のスピニング装置を用いてスピニングなどによってHSQを堆積することで充填される。HSQは0.15ミクロン未満でも完全にボイドなしで空隙を充填することが容易に可能である。第2の誘電層が次に第1のパターニングされた金属層とHSQ層との上に堆積される。貫通孔が次に第2の誘電層に形成され、HSQ層へと貫通し、第1の金属層の上面の一部と側面の少なくとも一部とを露出し、HSQ層の一部を露出する。

【0023】

10

20

30

40

50

貫通孔は第2の充填層上にフォトレジストマスクを堆積し、フォトレジストマスクとHSQ層の一部とをエッチングすることによって形成される。エッチングは一般に炭化フッ素を用いる反応性イオンエッチングによって行なわれ、それによってポリマが形成される。貫通孔をエッチングした後、フォトレジストマスクはO₂を含むプラズマを用いることなどによって従来の態様で除去される。フォトレジストマスクが除去された後、湿式溶媒洗浄が従来の態様で行なわれて、反応性イオンエッチングの間に形成されたポリマを除去する。貫通孔をさらに洗浄するために後の随意のプラズマ除去工程が行なわれてもよく、これは一般にO₂を含むプラズマを利用する。湿式溶媒洗浄の間、HSQは望ましくないことに水を吸収し、これは導電材料を貫通孔に後に充填する際の除気の間ににおけるボイド形成につながる。しかしながら、この発明に従うと、ボーダレスビア形成のためにずれた貫通孔を後に充填する間に、堆積されたHSQ空隙充填層をこのように除気することが、ずれた貫通孔に導電材料を充填する前に巧みに熱処理を行なうことによって回避されるかまたは実質的に低減される。この発明に従う熱処理は一般に、約300から約400の温度で、約0.5分から約4.5分の間、窒素、アルゴン、または窒素と約10容量%までの水素とを含む成形ガスのような不活性雰囲気において行なわれる。好ましくは、基板は約300の温度の炉に入れられ、炉は約350から約400の温度に上げられ、その間、除気が行なわれる。適切な期間、たとえば約30分後、炉内の温度が約300まで下げられ、熱処理された基板が取出される。このように、HSQは突然の温度変化を受けず、したがって、堆積された状態のHSQ空隙充填層における誘電率の望ましくない上昇が避けられる。

10

20

【0024】

堆積された状態のHSQ空隙充填層を除気するための熱処理の後、貫通孔は導電材料、たとえば複合プラグで充填される。初めに、チタン、チタン-窒化物、チタン-タングステンまたはチタン-窒化チタンのバリア層が堆積され、これは一次プラグ材料を構成する後に堆積されるタングステンのための接着促進剤となる。バリア材料、たとえばチタン-窒化チタンは従来のスパッタリング装置を用いてスパッタリングにより堆積され得る。

【0025】

この発明の他の実施例では、CVD-TiNバリア層が1997年9月5日付で提出された同時係属出願連続番号第_____号（書類番号第1033-350号）に開示される方法に従って堆積される。この実現例の利点は、HSQ膜のH₂/N₂プラズマ処理と堆積されたCVD-TiN膜のH₂/N₂プラズマ処理とが同じチャンバ内で行なわれ得ることである。

30

【0026】

好ましくは、堆積された状態のHSQ空隙充填層を除気するためのこの発明に従う熱処理の後と、ずれた貫通孔に導電材料を充填する前とに、湿式処理または熱処理が行なわれない。この発明の実施例はまた、堆積された状態のHSQ空隙充填層を除気するための熱処理の直後に、介在する処理工程なしで、ずれた貫通孔に導電材料を充填するステップを含む。

【0027】

この発明の実施例を図5に概略的に示す。図5では、パターニングされた金属層の金属フィーチャ51が誘電層50上に形成され、反射防止コーティング51Aがその上に形成されている。金属フィーチャ間の空隙はHSQ52で充填されている。随意に、SOGのような中間酸化物53が堆積され、平坦化されてもよい。次に第2の誘電層54、一般にTEOS（テトラエチルオルトケイ酸塩）またはシランから派生する酸化シリコンのような酸化物上に、プラズマ化学気相成長（PECVD）によって堆積され、CMPが行なわれる。フォトレジストマスクが第2の誘電層の平坦化された上面に形成される。HSQ層52を貫通し、金属フィーチャ51の側面の一部を露出するずれた貫通孔55を形成するためにエッチングが次に行なわれる。エッチングは従来の態様、たとえば炭化フッ素の化学作用を用いる反応性イオンエッチングによって行なわれ、これはポリマを形成させる。貫通孔55の形成後、使用されたフォトレジストマスクがO₂を含むプラズマでのよう

40

50

な従来の態様で除去される。湿式溶媒洗浄が次に従来の態様で行なわれ、その後プラズマ除去工程が続いてもよい。湿式溶媒洗浄の間、堆積されたH S Q 空隙充填層によって水が吸収される。

【 0 0 2 8 】

この発明に従うと、熱処理は堆積されたH S Q 層によって吸収された水を除気するために行なわれる。好ましくは、約300 の温度の窒素またはアルゴン雰囲気に保たれた炉内にウェハを入れることによって熱処理が行なわれる。ウェハを炉内に入れた後、温度が約350 から約450 まで上げられ、その温度が約30 分の適切な除気期間にわたって保たれる。除気の後、炉内の温度は約300 まで下げられ、その後、熱処理された基板が除去され、それによって、堆積されたH S Q 空隙充填層の誘電率が突然の温度変化により不利に高まることが避けられる。

10

【 0 0 2 9 】

貫通孔5 5 は次に、タングステン5 6 のための接着促進剤となるバリア層5 7 を初めに堆積することなどによって複合プラグで充填される。バリア層は一般に高融点金属、たとえば、チタン、チタン-窒化物、チタン-タングステンまたはチタン-窒化チタンである。

【 0 0 3 0 】

導電ビア5 6 を形成した後、第2のパターニングされた金属層が第2の誘電層5 4 上に形成され、これは、導電ビア5 6 によって金属フィーチャ5 1 に電気的に接続される金属フィーチャ5 8 を含む。この方法は次に、望ましい数のパターニングされた金属層が形成され、空隙を充填され、たとえば5 つの金属層が形成されるまで、H S Q を用いて第2のパターニングされた金属層に空隙充填を行なうことによって繰返される。上にある金属フィーチャを接続するにあたって後のボーダレスビアを形成する際に、堆積されたH S Q 空隙充填層は、堆積された状態のH S Q 空隙充填層によって吸収される水を除去するのに十分な条件下で、不活性雰囲気において、この発明に従って熱処理され、それによって、貫通孔を導電材料で充填する間のボイド形成が回避される。

20

【 0 0 3 1 】

この発明において用いられる金属層は従来の慣行に一致するものであり、一般にアルミニウムまたはアルミニウム合金を含む。この発明の実施例は、初期の高融点金属層、たとえばタングステン、チタンまたは窒化チタン、中間体のアルミニウムまたはアルミニウム合金層、および反射防止コーティング、たとえばチタン-窒化チタンを含むパターニングされた複合金属層を形成することを含む。

30

【 0 0 3 2 】

この発明は、1ミクロン以下のフィーチャ、特に0 . 25ミクロン以下のフィーチャを有する、特に高密度な多金属パターニング層のさまざまなタイプのものであり、高速特性および信頼性向上を示す半導体装置の製造に適用可能である。この発明は、ずれた貫通孔に導電材料を充填する際のボイド形成問題を引起こさずに、パターニングされた金属層の空隙充填を行なうためにH S Q を有利に用いることを可能とする。この発明は既存の製造設備へと容易に実現でき、費用効果が良く、ボーダレスビアに導電材料を充填する間のボイド形成を実質的に低減するかなくすことによってボーダレスビアの集積度を高める。

40

【 0 0 3 3 】

この発明の実施例を行なうに当たり、アルミニウム、アルミニウム合金、銅、銅合金、金、金合金、銀、銀合金、高融点金属、高融点金属合金および高融点金属化合物のような、一般に半導体装置製造において用いられるどのような金属で金属層が形成されてもよい。この発明の金属層は半導体装置の製造において従来から用いられているどのような技術によって形成されてもよい。たとえば、金属層は減圧化学気相成長（L P C V D）およびP E C V D を含むさまざまなタイプのC V D プロセスのような従来の金属化技術によって形成されてもよい。通常、タングステンのような高融点金属が堆積されるときにはC V D 技術が用いられる。アルミニウム-銅合金を含む、アルミニウムおよびアルミニウム系合金のような低融点金属もまた溶融、スパッタリングまたは物理気相成長（P V D）によって堆積され得る。

50

【0034】

以上の説明において、具体的な材料、構造、化学物質、プロセス等のような数多くの具体的詳細がこの発明の理解を完全なものにするために記載された。しかしながら、この発明は具体的に記載された詳細に頼らずに実行されることも可能である。他の例では、不必要にこの発明を不明瞭にしないために周知の処理構造が詳細に説明された。

【0035】

この発明の好ましい実施例とその融通性の例とのみがこの開示において示され、説明された。この発明は他のさまざまな組合せおよび環境において使用可能であり、発明概念の範囲内で変化または変更が可能であることが理解されるべきである。

【図面の簡単な説明】

10

【図1】 パターニングされた金属層の従来の空隙充填を概略的に示す。

【図2】 パターニングされた金属層の従来の空隙充填を概略的に示す。

【図3】 従来の金属プラグビア相互接続を概略的に示す。

【図4】 ボーダレスビアにおけるスパイキングを概略的に示す。

【図5】 この発明に従って形成されるボーダレスビアを概略的に示す。

【図1】

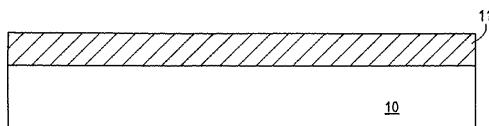


FIG. 1 PRIOR ART

【図2】

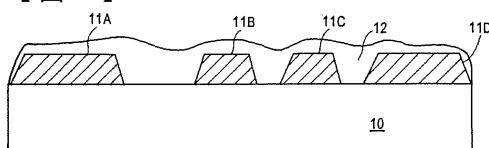


FIG. 2 PRIOR ART

【図3】

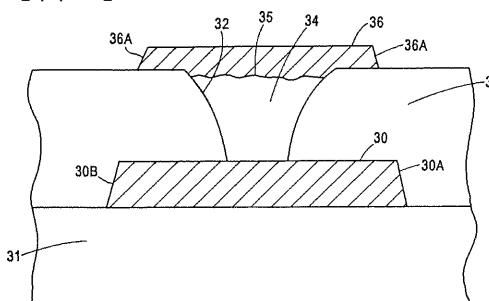


FIG. 3 PRIOR ART

【図4】

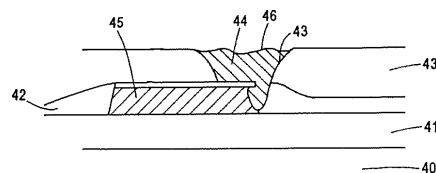


FIG. 4

【図5】

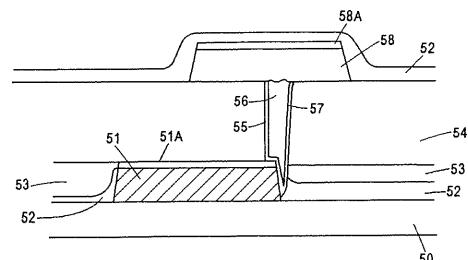


FIG. 5

フロントページの続き

(74)代理人 100083703
弁理士 仲村 義平

(74)代理人 100091409
弁理士 伊藤 英彦

(74)代理人 100096781
弁理士 堀井 豊

(74)代理人 100096792
弁理士 森下 八郎

(72)発明者 トラン, カーン
アメリカ合衆国、95131 カリフォルニア州、サン・ノゼ、リバー・バーチ・ドライブ、17
44

(72)発明者 ヒュン, リチャード・ジェイ
アメリカ合衆国、95014 カリフォルニア州、クペルティーノ、ウエスト・ヒル・コート、1
068

(72)発明者 チャン, サイモン・エス
アメリカ合衆国、95070 カリフォルニア州、サラトガ、ミラー・アベニュー、12603

(72)発明者 ユウ, リュー
アメリカ合衆国、95051 カリフォルニア州、サンタ・クララ、プリュナーリッジ・アベニュー
、3655、ナンバー・156

審査官 長谷山 健

(56)参考文献 特開平09-260384(JP,A)
特開平09-213801(JP,A)
特開平05-183062(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/768

H01L 21/312

H01L 23/522