



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0071236
(43) 공개일자 2023년05월23일

(51) 국제특허분류(Int. Cl.)
G05F 1/565 (2006.01) G05F 1/575 (2006.01)
H02M 3/07 (2006.01) H03M 1/12 (2006.01)
(52) CPC특허분류
G05F 1/565 (2013.01)
G05F 1/575 (2013.01)
(21) 출원번호 10-2021-0157203
(22) 출원일자 2021년11월16일
심사청구일자 2021년11월16일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
박창훈
경기도 성남시 분당구 중앙공원로 20(서현동, 현대아파트)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알파

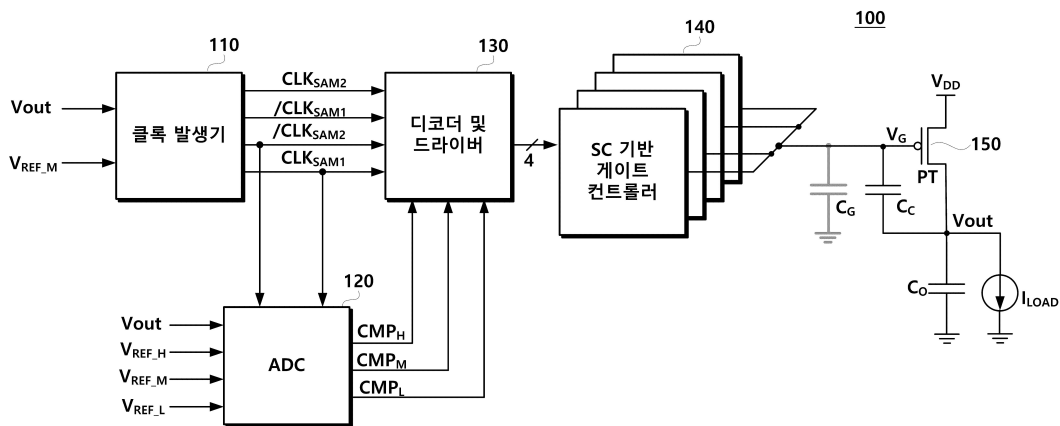
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 스위치드 커패시터 기반의 LDO 레귤레이터 및 그것의 동작 방법

(57) 요약

본 발명의 실시 예에 따른 전원 전압을 출력 전압으로 변환하는 LDO 레귤레이터는, 게이트 전압의 레벨에 따라 상기 전원 전압을 출력단으로 전달하여 상기 출력 전압을 제공하는 패스 트랜지스터, 복수의 플라이잉 커패시터들 중 적어도 하나를 입력 전압을 충전하거나 접지로 방전한 후 상기 패스 트랜지스터의 게이트와의 전하 분배를 통해 상기 게이트 전압을 제어하는 스위치드 커패시터 기반의 게이트 컨트롤러, 상기 출력 전압의 레벨에 대응하는 주파수의 샘플링 클럭 신호를 생성하는 클럭 발생기, 상기 출력 전압과 상기 기준 전압을 비교하고, 비교 결과에 대응하는 논리값을 비교 신호로 출력하는 아날로그-디지털 컨버터(ADC), 그리고 상기 샘플링 클럭 신호와 상기 비교 신호에 근거하여 복수의 플라이잉 커패시터들의 충전 또는 방전을 제어하는 디코더 및 드라이버를 포함한다.

대표도



(52) CPC특허분류

H02M 3/07 (2013.01)

H03M 1/12 (2019.01)

(72) 발명자

박인호

서울특별시 은평구 응암로 319(응암동, 서강스카이빌)

전진우

서울특별시 강남구 선릉로112길 53(삼성동, 롯데캐슬킹덤아파트)

김현진

서울특별시 동대문구 약령사로 10(제기동)

명세서

청구범위

청구항 1

전원 전압을 출력 전압으로 변환하는 LDO 레귤레이터에 있어서:

게이트 전압의 레벨에 따라 상기 전원 전압을 출력단으로 전달하여 상기 출력 전압을 제공하는 패스 트랜지스터;

복수의 플라이잉 커패시터들 중 적어도 하나를 입력 전압으로 충전하거나 접지로 방전한 후 상기 패스 트랜지스터의 게이트와 전하 분배를 통해 상기 게이트 전압을 제어하는 스위치드 커패시터 기반의 게이트 컨트롤러;

상기 출력 전압의 레벨에 대응하는 주파수의 샘플링 클록 신호를 생성하는 클록 발생기;

상기 출력 전압과 상기 기준 전압을 비교하고, 비교 결과에 대응하는 논리값을 비교 신호로 출력하는 아날로그-디지털 컨버터(ADC); 그리고

상기 샘플링 클록 신호와 상기 비교 신호에 근거하여 복수의 플라이잉 커패시터들의 충전 또는 방전을 제어하는 디코더 및 드라이버를 포함하는 LDO 레귤레이터.

청구항 2

제 1 항에 있어서,

상기 클록 발생기는:

상기 출력 전압에 대응하는 주파수의 제 1 발진 신호를 생성하는 제 1 전압제어 발진기;

상기 기준 전압에 대응하는 주파수의 제 2 발진 신호를 생성하는 제 2 전압 제어 발진기; 그리고

상기 제 1 발진 신호와 상기 제 2 발진 신호의 차주파수를 갖고, 상이한 위상을 갖는 복수의 샘플링 클록 신호들을 생성하는 주파수 감산기를 포함하는 LDO 레귤레이터.

청구항 3

제 1 항에 있어서,

상기 기준 전압은 제 1 기준 전압, 상기 제 1 기준 전압보다 높은 제 2 기준 전압, 그리고 상기 제 2 기준 전압보다 높은 제 3 기준 전압을 포함하고,

상기 아날로그-디지털 컨버터(ADC)는 상기 샘플링 클록 신호에 동기하여 상기 제 1 기준 전압, 상기 제 2 기준 전압, 그리고 상기 제 3 기준 전압 각각을 상기 출력 전압과 비교하여 복수 비트의 상기 비교 신호로 출력하는 LDO 레귤레이터.

청구항 4

제 3 항에 있어서,

상기 게이트 컨트롤러는, 상기 패스 트랜지스터의 게이트를 충전하기 위한 서로 다른 용량을 갖는 제 1 플라이잉 커패시터 및 제 2 플라이잉 커패시터와, 상기 패스 트랜지스터의 게이트를 방전하기 위한 서로 다른 용량을 갖는 제 3 플라이잉 커패시터 및 제 4 플라이잉 커패시터를 포함하는 LDO 레귤레이터.

청구항 5

제 4 항에 있어서,

상기 디코더 및 드라이버는 상기 출력 전압과 상기 기준 전압의 상대적인 차이에 따라 상기 제 1 내지 제 4 플라이잉 커패시터 중 어느 하나를 선택하여 상기 패스 트랜지스터의 게이트를 충전 또는 방전시키는 LDO 레귤레이터.

청구항 6

제 5 항에 있어서,

상기 디코더 및 드라이버는:

상기 출력 전압이 상기 제 1 기준 전압보다 낮은 경우에는 상기 제 1 플라이잉 커패시터를 이용하여 상기 패스 트랜지스터의 게이트를 방전하고,

상기 출력 전압이 상기 제 1 기준 전압 이상이고 상기 제 2 기준 전압보다 낮으면, 상기 제 1 플라이잉 커패시터보다 용량이 작은 상기 제 2 플라이잉 커패시터를 이용하여 상기 패스 트랜지스터의 게이트를 방전하는 LDO 레귤레이터.

청구항 7

제 5 항에 있어서,

상기 디코더 및 드라이버는:

상기 출력 전압이 상기 제 2 기준 전압 이상이고 상기 제 3 기준 전압보다 낮으면, 상기 제 3 플라이잉 커패시터를 이용하여 상기 패스 트랜지스터의 게이트를 충전하고,

상기 출력 전압이 상기 제 3 기준 전압 이상인 경우, 상기 제 3 플라이잉 커패시터보다 큰 용량을 갖는 상기 제 4 플라이잉 커패시터를 이용하여 상기 패스 트랜지스터의 게이트를 충전하는 LDO 레귤레이터.

청구항 8

제 1 항에 있어서,

상기 패스 트랜지스터는 PMOS 트랜지스터를 포함하고, 상기 PMOS 트랜지스터의 게이트와 드레인 사이에는 커플링 커패시터가 연결되는 LDO 레귤레이터.

청구항 9

게이트 전압의 레벨에 따라 전원 전압을 출력단으로 전달하여 출력 전압을 제공하는 패스 트랜지스터를 포함하는 LDO 레귤레이터의 동작 방법에 있어서:

상기 출력 전압과 기준 전압의 전압 차이에 대응하는 주파수를 갖는 샘플링 클럭 신호를 생성하는 단계;

상기 샘플링 클럭 신호에 기반하여 상기 출력 신호와 상기 기준 전압의 레벨 차이에 대응하는 비교 신호를 생성하는 단계; 그리고

상기 비교 신호에 따라 복수의 플라이잉 커패시터들 중 적어도 하나를 입력 전압으로 충전하거나 접지로 방전한 후 상기 패스 트랜지스터의 게이트와의 전하 분배를 통해 상기 게이트 전압을 조정하는 단계를 포함하는 동작 방법.

청구항 10

제 9 항에 있어서,

상기 기준 전압은 제 1 기준 전압, 상기 제 1 기준 전압보다 높은 제 2 기준 전압, 그리고 상기 제 2 기준 전압보다 높은 제 3 기준 전압을 포함하고,

상기 비교 신호는 상기 출력 전압과 상기 제 1 기준 전압, 상기 제 2 기준 전압, 그리고 상기 제 3 기준 전압과의 대소 관계를 정의하는 복수 비트의 논리값을 갖는 동작 방법.

청구항 11

제 10 항에 있어서,

상기 복수의 플라이잉 커패시터들은, 상기 패스 트랜지스터의 게이트를 충전하기 위한 서로 다른 용량을 갖는 제 1 플라이잉 커패시터 및 제 2 플라이잉 커패시터와, 상기 패스 트랜지스터의 게이트를 방전하기 위한 서로 다른 용량을 갖는 제 3 플라이잉 커패시터 및 제 4 플라이잉 커패시터를 포함하는 동작 방법.

청구항 12

제 11 항에 있어서,

상기 게이트 전압을 조정하는 단계에서,

상기 출력 전압이 상기 제 1 기준 전압보다 낮은 경우에는 상기 제 1 플라이잉 커패시터를 이용하여 상기 패스 트랜지스터의 게이트를 방전하고,

상기 출력 전압이 상기 제 1 기준 전압 이상이고 상기 제 2 기준 전압보다 낮으면, 상기 제 1 플라이잉 커패시터보다 용량이 작은 상기 제 2 플라이잉 커패시터를 이용하여 상기 패스 트랜지스터의 게이트를 방전하는 동작 방법.

청구항 13

제 11 항에 있어서,

상기 게이트 전압을 조정하는 단계에서,

상기 출력 전압이 상기 제 2 기준 전압 이상이고 상기 제 3 기준 전압보다 낮으면, 상기 제 3 플라이잉 커패시터를 이용하여 상기 패스 트랜지스터의 게이트를 충전하고,

상기 출력 전압이 상기 제 3 기준 전압 이상인 경우, 상기 제 3 플라이잉 커패시터보다 큰 용량을 갖는 상기 제 4 플라이잉 커패시터를 이용하여 상기 패스 트랜지스터의 게이트를 충전하는 동작 방법.

청구항 14

제 9 항에 있어서,

상기 비교 신호를 생성하는 단계에서, 상기 비교 신호는 상기 샘플링 클록 신호에 동기되어 생성되는 동작 방법.

청구항 15

제 9 항에 있어서,

상기 샘플링 클록 신호는 상이한 위상을 갖는 복수의 샘플링 클록 신호들을 포함하고, 상기 패스 트랜지스터의 게이트 전압을 각각 제어하는 복수의 스위치드 커패시터 기반의 게이트 드라이버들 각각은 상기 복수의 샘플링 클록 신호들 각각에 기반하여 제어되는 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더욱 상세하게는 빠른 과도 응답을 갖는 스위치드 커패시터 기반의 LDO 레귤레이터 및 그것의 동작 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 집적회로는 특정 범위의 전원 전압에서 동작하도록 설계된다. 하지만, 실제 회로가 동작하는 환경에서는 설계 당시 설정한 전원 전압보다 높은 전압이 공급되거나 외부 요인으로 인해 전원 전압에 잡음이 유입되는 등의 다양한 변수가 존재한다. 이러한 문제를 해결하기 위해, 일정한 전원 전압을 집적회로에 공급해 주는 전압 레귤레이터(Voltage Regulator)를 사용한다. 대표적인 선형 레귤레이터인 Low-Dropout (이하, LDO) 레귤레이터는 전압 강하만큼의 에너지가 손실되기 때문에 입력 전압과 출력 전압의 차가 크지 않을 때 주로 사용된다.

[0003] LDO 레귤레이터는 아날로그 오차 증폭기(Error Amplifier), 패스 트랜지스터 (Pass Transistor), 그리고 피드백 네트워크(Feedback Network)로 이루어져 있다. 오차 증폭기는 출력 전압(V_{out})과 기준 전압(V_{REF}) 간의 오차를 감지하고 음성 피드백(Negative Feedback) 구조에 따라 두 전압 간의 오차를 줄이는 방향으로 패스 트랜지스터를 제어하게 된다. 오차 증폭기 기반의 아날로그 LDO 레귤레이터는 상대적으로 높은 동작 전압 범위를 가지며

제한된 동작 대역폭으로 인해 빠른 주파수로 동작하는 회로에는 적용하기 어렵다는 단점이 있다. 또한, 전류 용량이 커질수록 오차 증폭기가 제어해야 하는 패스 트랜지스터의 사이즈가 커지게 되고 이에 따라 동작 대역폭 또는 음성 피드백에 의한 안정성 저하의 문제가 있다. 이러한 문제를 해결하고자 비교기(Comparator) 및 시프트 레지스터(Shift Register) 등으로 구현되는 디지털 LDO 레귤레이터에 대한 연구가 활발하다.

[0004] 디지털 LDO 레귤레이터는 복잡한 디지털 논리 회로를 통해 출력 전압을 조절하는데, 이러한 디지털 논리 회로의 고유 딜레이(Delay) 때문에 클록 주파수가 제한된다. 디지털 LDO에서 적응형 샘플링 클록을 사용하더라도 과도 응답 속도는 제한된다. 따라서, 과도 응답 속도를 높이기 위해 디지털 논리 회로에 의한 딜레이를 줄일 수 있는 디지털 LDO 레귤레이터에 대한 요구가 절실한 실정이다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) (1) 한국 공개특허공보 10-2015-0073650 (2015.07.01)
(특허문헌 0002) (2) 한국 공개특허공보 10-2016-0052920 (2016.05.13)

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은, 논리 회로들의 개입에 의한 딜레이를 줄임으로써 높은 과도 응답 속도를 제공할 수 있는 디지털 LDO 레귤레이터 및 그것의 동작 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 실시 예에 따른 전원 전압을 출력 전압으로 변환하는 LDO 레귤레이터는, 게이트 전압의 레벨에 따라 상기 전원 전압을 출력단으로 전달하여 상기 출력 전압을 제공하는 패스 트랜지스터, 복수의 플라이잉 커패시터들 중 적어도 하나를 입력 전압을 충전하거나 접지로 방전한 후 상기 패스 트랜지스터의 게이트와의 전하 분배를 통해 상기 게이트 전압을 제어하는 스위치드 커패시터 기반의 게이트 컨트롤러, 상기 출력 전압의 레벨에 대응하는 주파수의 샘플링 클록 신호를 생성하는 클록 발생기, 상기 출력 전압과 상기 기준 전압을 비교하고, 비교 결과에 대응하는 논리값을 비교 신호로 출력하는 아날로그-디지털 컨버터(ADC), 그리고 상기 샘플링 클록 신호와 상기 비교 신호에 근거하여 복수의 플라이잉 커패시터들의 충전 또는 방전을 제어하는 디코더 및 드라이버를 포함한다.

[0008] 본 발명의 실시 예에 따른, 게이트 전압의 레벨에 따라 전원 전압을 출력단으로 전달하여 출력 전압을 제공하는 패스 트랜지스터를 포함하는 LDO 레귤레이터의 동작 방법은, 상기 출력 전압과 기준 전압의 전압 차이에 대응하는 주파수를 갖는 샘플링 클록 신호를 생성하는 단계, 상기 샘플링 클록 신호에 기반하여 상기 출력 신호와 상기 기준 전압의 레벨 차이에 대응하는 비교 신호를 생성하는 단계, 그리고 상기 비교 신호에 따라 복수의 플라이잉 커패시터들 중 적어도 하나를 입력 전압으로 충전하거나 접지로 방전한 후 상기 패스 트랜지스터의 게이트와의 전하 분배를 통해 상기 게이트 전압을 조정하는 단계를 포함한다.

발명의 효과

[0009] 상술한 본 발명의 실시 예에 따르면, 스위치드 커패시터를 통해서 패스 트랜지스터의 게이트 전압을 조정함으로써 빠른 회복 속도와 공정상 불일치에 대한 강인함을 제공할 수 있는 디지털 LDO 레귤레이터를 구현할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시 예에 따른 스위치드 커패시터 기반의 LDO 레귤레이터의 구조를 보여주는 블록도이다. _
도 2는 도 1의 클록 발생기의 구성을 예시적으로 보여주는 블록도이다.
도 3은 도 2의 클록 생성기에서 출력되는 샘플링 클록 신호들을 예시적으로 보여주는 파형도이다.
도 4는 도 1의 ADC의 예시적인 구성을 보여주는 회로도이다.

도 5는 도 4의 ADC에서 출력되는 비교 신호들(CMP_L , CMP_M , CMP_H)을 예시적으로 보여주는 파형도이다.

도 6은 스위치드 커패시터(SC) 기반 게이트 컨트롤러의 예를 보여주는 회로도이다.

도 7a 및 도 7b는 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 낮은 경우에 스위치드 커패시터(SC) 기반 게이트 컨트롤러의 스위칭 동작을 보여주는 회로도들이다.

도 8a 및 도 8b는 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 높고 제 2 기준 전압(V_{REF_M})보다 낮은 경우에 스위치드 커패시터(SC) 기반 게이트 컨트롤러의 스위칭 동작을 보여주는 회로도들이다.

도 9a 및 도 9b는 출력 전압(V_{out})이 제 2 기준 전압(V_{REF_M})보다 높고 제 3 기준 전압(V_{REF_H})보다 낮은 경우에 스위치드 커패시터(SC) 기반 게이트 컨트롤러의 스위칭 동작을 보여주는 회로도들이다.

도 10a 및 도 10b는 출력 전압(V_{out})이 제 3 기준 전압(V_{REF_H})보다 높은 경우에 스위치드 커패시터(SC) 기반 게이트 컨트롤러의 스위칭 동작을 보여주는 회로도들이다.

도 11은 본 발명의 LDO 레귤레이터의 스위치드 커패시터(SC) 제어 방법을 간략히 보여주는 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 본 발명의 일부 실시 예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0012] 도 1은 본 발명의 실시 예에 따른 스위치드 커패시터 기반의 LDO 레귤레이터의 구조를 보여주는 블록도이다. 도 1을 참조하면, LDO 레귤레이터(100)는 클록 발생기(110), ADC(120), 디코더 및 드라이버(130), 스위치드 커패시터(SC) 기반 게이트 컨트롤러(140), 그리고 패스 트랜지스터(PT, 150)를 포함한다.
- [0013] 클록 발생기(110)는 출력 전압(V_{out})과 기준 전압(V_{REF_M})을 비교하여 샘플링 클록 신호들(CLK_{SAM1} , $\overline{CLK_{SAM1}}$, CLK_{SAM2} , $\overline{CLK_{SAM2}}$)을 생성한다. 샘플링 클록 신호들(CLK_{SAM1} , $\overline{CLK_{SAM1}}$, CLK_{SAM2} , $\overline{CLK_{SAM2}}$)은 출력 전압(V_{out})과 기준 전압(V_{REF_M})의 레벨 차이에 따라 주파수가 가변되는 클록 신호들이다. 즉, 출력 전압(V_{out})과 기준 전압(V_{REF_M})의 레벨 차이가 큰 경우, 높은 주파수의 샘플링 클록 신호들(CLK_{SAM1} , $\overline{CLK_{SAM1}}$, CLK_{SAM2} , $\overline{CLK_{SAM2}}$)을 생성하여 패스 트랜지스터(150)의 게이트 전압(V_G)의 변동 속도를 높일 수 있다. 반면, 출력 전압(V_{out})과 기준 전압(V_{REF_M})의 레벨 차이가 작은 경우, 상대적으로 낮은 주파수의 샘플링 클록 신호들(CLK_{SAM1} , $\overline{CLK_{SAM1}}$, CLK_{SAM2} , $\overline{CLK_{SAM2}}$)을 생성하여 패스 트랜지스터(150)의 게이트 전압(V_G)의 변동 속도를 줄일 수 있다. 클록 발생기(110)의 예시적인 구성은 후술하는 도 2에서 설명하기로 한다.
- [0014] ADC(120)는 출력 전압(V_{out})과 기준 전압들(V_{REF_L} , V_{REF_M} , V_{REF_H})의 레벨을 비교하여 SC 기반 게이트 컨트롤러(140)의 플라이 커패시터의 용량을 조정하기 위한 비교 신호들(CMP_L , CMP_M , CMP_H)을 생성한다. ADC(120)는 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 낮은 경우에는 제 1 비교 신호(CMP_L)를 논리 '0'으로, 제 1 기준 전압(V_{REF_L}) 이상인 경우에는 제 1 비교 신호(CMP_L)를 논리 '1'로 출력할 수 있다. 그리고 ADC(120)는 출력 전압(V_{out})이 제 2 기준 전압(V_{REF_M})보다 낮은 경우에는 제 2 비교 신호(CMP_M)를 논리 '0'으로, 제 2 기준 전압(V_{REF_M}) 이상인 경우에는 제 2 비교 신호(CMP_M)를 논리 '1'로 출력할 것이다. ADC(120)는 출력 전압(V_{out})이 제 3 기준 전압(V_{REF_H})보다 낮은 경우에는 제 3 비교 신호(CMP_H)를 논리 '0'으로, 제 3 기준 전압(V_{REF_H}) 이상인 경우에는 제 3 비교 신호(CMP_M)를 논리 '1'로 출력할 것이다. 기준 전압들(V_{REF_L} , V_{REF_M} , V_{REF_H})의 레벨은 ' $V_{REF_L} < V_{REF_M} < V_{REF_H}$ '의 관계를 갖는다.
- [0015] 디코더 및 드라이버(130)는 샘플링 클록 신호들(CLK_{SAM1} , $\overline{CLK_{SAM1}}$, CLK_{SAM2} , $\overline{CLK_{SAM2}}$)과 비교 신호들(CMP_L , CMP_M , CMP_H)을 기초로 스위치드 커패시터(SC) 기반 게이트 컨트롤러(140)를 제어한다. 구체적으로 디코더 및 드라이버(130)는 비교 신호들(CMP_L , CMP_M , CMP_H)을 참조하여 스위치드 커패시터(SC) 기반 게이트 컨트롤러(140)의 플라이

커패시터를 충전 또는 방전한다. 그리고 디코더 및 드라이버(130)는 충전 또는 방전된 플라이 커패시터와 패스 트랜지스터(150)의 게이트 간의 전하 분배(Charge sharing)를 통해 게이트 전압(V_G)의 레벨을 조정할 수 있다. 출력 전압(V_{out})의 레벨에 대응하는 주파수를 갖는 샘플링 클록 신호들(CLK_{SAM1} , $\overline{CLK_{SAM1}}$, CLK_{SAM2} , $\overline{CLK_{SAM2}}$)에 의해서 플라이 커패시터의 스위칭 속도가 제어될 수 있다.

[0016] 또한, 스위치드 커패시터(SC) 기반 게이트 컨트롤러(140)가 패스 트랜지스터(150)의 게이트에 4개가 병렬로 연결된 경우, 샘플링 클록 신호들(CLK_{SAM1} , $\overline{CLK_{SAM1}}$, CLK_{SAM2} , $\overline{CLK_{SAM2}}$)이 각각의 스위치드 커패시터(SC) 기반 게이트 컨트롤러(140)에 제공될 수 있다. 따라서, 서로 다른 샘플링 클록 신호들(CLK_{SAM1} , $\overline{CLK_{SAM1}}$, CLK_{SAM2} , $\overline{CLK_{SAM2}}$)에 의해서 독립적으로 패스 트랜지스터(150)의 게이트 전압(V_G)을 조정할 수 있기 때문에 과도 응답 속도의 향상이 기대된다.

[0017] 스위치드 커패시터(이하, SC) 기반 게이트 컨트롤러(140)는 디코더 및 드라이버(130)에 의해서 제어되는 스위치들과 플라이 커패시터들(KpC_{fly_up} , C_{fly_up} , KpC_{fly_dw} , C_{fly_dw})을 포함한다. 디코더 및 드라이버(130)에 의한 플라이 커패시터들(KpC_{fly_up} , C_{fly_up} , KpC_{fly_dw} , C_{fly_dw})의 스위칭을 통해서 패스 트랜지스터(150)의 게이트 전압(V_G)이 접지(GND, V_{ss}) 또는 입력 전압(V_{in}) 중 어느 하나로 방전되거나 충전된다. 본 발명에 따르면, 출력 전압(V_{out})이 가장 높은 레벨의 제 3 기준 전압(V_{REF_H}) 이상으로 높아지는 경우, 출력 전압(V_{out})을 신속히 낮추기 위해 패스 트랜지스터(150)의 게이트를 가장 큰 용량의 플라이 커패시터(KpC_{fly_dw})를 사용하여 충전할 것이다. 반면에, 출력 전압(V_{out})이 가장 낮은 레벨의 제 1 기준 전압(V_{REF_L})보다 낮은 경우, 출력 전압(V_{out})을 신속히 높이기 위해 패스 트랜지스터(150)의 게이트를 가장 큰 용량의 플라이 커패시터(KpC_{fly_up})를 사용하여 방전할 것이다.

[0018] 패스 트랜지스터(150)는 SC 기반 게이트 컨트롤러(140)에 의해서 조정되는 게이트 전압(V_G)에 따라 전원 전압(V_{DD})을 출력단으로 제공하여 출력 전압(V_{out})을 제어한다. 패스 트랜지스터(150)의 게이트에는 SC 기반 게이트 컨트롤러(140)에 의해서 충전 또는 방전되는 전하를 축적하는 기생 용량의 게이트 커패시터(C_G)가 존재한다. 그리고 패스 트랜지스터(150)의 게이트와 출력단으로 제공되는 드레인(Drain) 사이에는 커플링 커패시터(C_C)가 제공될 수 있다. 커플링 커패시터(C_C)에 의해서 출력 전압(V_{out})이 급격히 저하되는 이벤트에서 패스 트랜지스터(150)의 게이트 전압이 커플링 효과에 의해서 조정될 수 있다. 따라서, 커플링 커패시터(C_C)는 출력 전압(V_{out})의 급격한 변화에 대한 피드백 루프를 제공하여 안정성을 제공한다.

[0019] 이상의 본 발명의 실시 예에 따른 LDO 레귤레이터(100)에 따르면, 패스 트랜지스터(150)의 게이트 전압(V_G)이 스위치드 커패시터의 스위칭에 의해서 제어될 수 있다. 따라서, 일반적인 디지털 LDO 레귤레이터들에서 발생하는 차지 펌프나 양방향 시프트 레지스터와 같은 논리 회로들에 의한 딜레이를 줄일 수 있다. 더불어, SC 기반 게이트 컨트롤러(140)를 구성하는 플라이 커패시터는 메탈층을 사용하여 형성되기 때문에, PVT 변동에 따른 영향을 적게 받는다. 따라서, 본 발명의 LDO 레귤레이터(100)를 칩으로 제공하는 경우 신뢰성이나 안정성, 수율 등의 측면에서 장점을 가질 수 있다.

[0020] 도 2는 도 1의 클록 발생기의 구성을 예시적으로 보여주는 블록도이다. 도 2를 참조하면, 클록 발생기(110)는 전압제어 발진기들(112, 114)과 D-플립플롭들(116, 118)을 포함할 수 있다. 클록 발생기(110)에 의해서 출력 전압(V_{out})의 레벨에 따라 조정되는 주파수의 샘플링 클록 신호들(CLK_{SAM1} , $\overline{CLK_{SAM1}}$, CLK_{SAM2} , $\overline{CLK_{SAM2}}$)이 생성된다.

[0021] 제 1 전압제어 발진기(112)는 출력 전압(V_{out})의 레벨에 대응하는 주파수를 갖는 클록 신호(CLK_O)를 생성한다. 그리고 제 2 전압제어 발진기(114)는 제 2 기준 전압(V_{REF_M})의 레벨에 대응하는 주파수를 갖는 클록 신호(CLK_R)를 생성한다. 전압제어 발진기들(112, 114)은 입력 전압의 레벨에 따라 증가 또는 감소하는 주파수의 발진 신호를 생성하는 클록 생성 회로임은 잘 이해될 것이다.

[0022] 제 1 D-플립플롭(116)은 데이터 입력단(D)으로 클록 신호(CLK_O)를 수신하고, 상승 에지 트리거형의 클록 입력단으로는 클록 신호(CLK_R)를 수신한다. 이 경우, 제 1 D-플립플롭(116)은 클록 신호들(CLK_R , CLK_O)에 대한 주파수 감산기(Frequency Subtractor)의 기능을 제공한다. 따라서, 제 1 D-플립플롭(116)의 정출력단(Q)으로는 제 1 샘플링 클록 신호(CLK_{SAM1})가, 그리고 부출력단($\overline{Q}$)으로는 반전된 제 1 샘플링 클록 신호($\overline{CLK_{SAM1}}$)가 출력된다.

[0023] 제 2 D-플립플롭(118)은 데이터 입력단(D)으로 클록 신호(CLK_O)를 수신하고, 하강 에지 트리거형의 클록 입력단

으로는 클록 신호(CLK_r)를 수신한다. 이 경우, 제 2 D-플립플롭(118)은 클록 신호들(CLK_r, CLK_o)에 대한 주파수 감산기(Frequency Subtractor)로 동작한다. 제 2 D-플립플롭(118)의 정출력단(Q)으로는 제 2 샘플링 클록 신호(CLK_{SAM2})가, 그리고 부출력단(/Q)으로는 반전된 제 2 샘플링 클록 신호(/CLK_{SAM2})가 출력된다. 하지만, 제 2 샘플링 클록 신호(CLK_{SAM2})는 주파수는 제 1 샘플링 클록 신호(CLK_{SAM1})와 주파수는 동일할지라도 에지 트리거 시점이 다르기 때문에 상이한 위상을 갖는 클록 신호로 제공된다. 반전된 제 2 샘플링 클록 신호(/CLK_{SAM2})도 반전된 제 1 샘플링 클록 신호(/CLK_{SAM1})와 동일한 주파수일 수는 있지만, 상이한 위상으로 제공된다.

[0024] 도 3은 도 2의 클록 생성기에서 출력되는 샘플링 클록 신호들을 예시적으로 보여주는 파형도이다. 도 3을 참조하면, 샘플링 클록 신호들(CLK_{SAM1}, /CLK_{SAM1}, CLK_{SAM2}, /CLK_{SAM2})은 클록 신호(CLK_o)와 클록 신호(CLK_r)의 주파수 차이에 대응하는 주파수를 갖는다.

[0025] 제 1 전압제어 발진기(112)에서 출력되는 클록 신호(CLK_o)는 출력 전압(V_{out})에 대응하는 주파수(f_o)를 갖는다. 그리고 제 2 전압제어 발진기(114)에서 출력되는 클록 신호(CLK_r)는 제 2 기준 전압(V_{REF_M})에 대응하는 주파수(f_r)를 갖는다. 그리고 주파수 감산기로 동작하는 D-플립플롭들(116, 118)로부터 생성되는 샘플링 클록 신호들(CLK_{SAM1}, /CLK_{SAM1}, CLK_{SAM2}, /CLK_{SAM2})은 'f_o-f_r'의 주파수를 가지게 될 것이다.

[0026] 만일, 출력 전압(V_{out})의 레벨이 제 2 기준 전압(V_{REF_M})의 레벨과 동일한 경우, 이론적으로는 샘플링 클록 신호들(CLK_{SAM1}, /CLK_{SAM1}, CLK_{SAM2}, /CLK_{SAM2})은 주파수 '0'이 되어 플랫폼 상태로 제공될 것이다. 반면에, 출력 전압(V_{out})의 레벨이 제 2 기준 전압(V_{REF_M})의 레벨보다 높아지는 경우, 샘플링 클록 신호들(CLK_{SAM1}, /CLK_{SAM1}, CLK_{SAM2}, /CLK_{SAM2})의 주파수도 높아지게 된다. 따라서, 샘플링 클록 신호들(CLK_{SAM1}, /CLK_{SAM1}, CLK_{SAM2}, /CLK_{SAM2})에 의해서 출력 전압(V_{out})의 주파수 영역 피드백 효과를 제공할 수 있다.

[0027] 서로 다른 복수의 샘플링 클록 신호들(CLK_{SAM1}, /CLK_{SAM1}, CLK_{SAM2}, /CLK_{SAM2}) 각각은 패스 트랜지스터(150)의 게이트에 병렬로 연결되는 4개의 SC 기반 게이트 컨트롤러(140)의 스위칭을 위한 제어 클록으로 사용된다. 따라서, 서로 다른 샘플링 클록 신호들(CLK_{SAM1}, /CLK_{SAM1}, CLK_{SAM2}, /CLK_{SAM2})에 의해서 4개의 SC 기반 게이트 컨트롤러(140)는 각각 독립적으로 패스 트랜지스터(150)의 게이트 전압(V_G)을 조절할 수 있기 때문에 과도 응답 속도의 향상이 가능하다.

[0028] 도 4는 도 1의 아날로그-디지털 컨버터(ADC)의 예시적인 구성을 보여주는 회로도이다. 도 4를 참조하면, ADC(120)는 비교 신호들(CMP_L, CMP_M, CMP_H)을 생성하는 동기식 비교기들(122, 124, 126)을 포함할 수 있다. 여기서, 기준 전압들(V_{REF_L}, V_{REF_M}, V_{REF_H})의 레벨은 'V_{REF_L} < V_{REF_M} < V_{REF_H}'의 관계를 갖는 것으로 가정하기로 한다.

[0029] 제 1 동기식 비교기(122)는 제 1 샘플링 클록 신호(CLK_{SAM1})에 동기하여 출력 전압(V_{out})과 제 1 기준 전압(V_{REF_L})을 비교한다. 제 1 동기식 비교기(122)는 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 낮은 경우에는 제 1 비교 신호(CMP_L)를 논리 '0'으로, 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L}) 이상인 경우에는 제 1 비교 신호(CMP_L)를 논리 '1'로 출력할 수 있다. 제 1 비교 신호(CMP_L)의 출력은 제 1 샘플링 클록 신호(CLK_{SAM1})에 동기하여 발생할 수 있다. 하지만, 제 1 동기식 비교기(122)는 다른 샘플링 클록 신호들(/CLK_{SAM1}, CLK_{SAM2}, /CLK_{SAM2}) 중 어느 하나를 사용하여 구동될 수 있음은 잘 이해될 것이다.

[0030] 제 2 동기식 비교기(124)는 제 1 샘플링 클록 신호(CLK_{SAM1})에 동기하여 출력 전압(V_{out})과 제 2 기준 전압(V_{REF_M})을 비교한다. 제 2 동기식 비교기(124)는 출력 전압(V_{out})이 제 2 기준 전압(V_{REF_M})보다 낮은 경우에는 제 2 비교 신호(CMP_M)를 논리 '0'으로, 출력 전압(V_{out})이 제 2 기준 전압(V_{REF_M}) 이상인 경우에는 제 2 비교 신호(CMP_M)를 논리 '1'로 출력할 수 있다. 제 2 비교 신호(CMP_M)의 출력은 제 1 샘플링 클록 신호(CLK_{SAM1})에 동기하여 발생할 수 있다.

[0031] 제 3 동기식 비교기(126)는 제 1 샘플링 클록 신호(CLK_{SAM1})에 동기하여 출력 전압(V_{out})과 제 3 기준 전압(V_{REF_H})을 비교한다. 제 3 동기식 비교기(126)는 출력 전압(V_{out})이 제 3 기준 전압(V_{REF_H})보다 낮은 경우에는 제 3 비교 신호(CMP_H)를 논리 '0'으로, 출력 전압(V_{out})이 제 3 기준 전압(V_{REF_H}) 이상인 경우에는 제 3 비교 신

호(CMP_H)를 논리 '1'로 출력할 수 있다. 제 3 비교 신호(CMP_H)의 출력은 제 1 샘플링 클럭 신호(CLK_{SAM1})에 동기하여 발생할 수 있다.

[0032] 이상에서는 3개의 동기식 비교기들을 사용하여 구성된 ADC(120)의 구성이 간략히 설명되었다. 이때 제 1 샘플링 클럭 신호(CLK_{SAM1})에 동기되어 출력되는 비교 신호들(CMP_L , CMP_M , CMP_H)은 3-비트 형태를 가진다. 하지만, ADC(120)의 비교 결과의 논리 상태는 4개이므로, 비교 신호들(CMP_L , CMP_M , CMP_H)은 2-비트 데이터로 제공될 수도 있음은 잘 이해될 것이다. 더불어, ADC(120)의 구성은 4개 이상의 동기식 비교기를 사용하여 구성될 수도 있을 것이다.

[0033] 도 5는 도 4의 ADC에서 출력되는 비교 신호들(CMP_L , CMP_M , CMP_H)을 예시적으로 보여주는 파형도이다. 도 5를 참조하면, ADC(120, 도 4 참조)는 출력 전압(V_{out})과 기준 전압들(V_{REF_H} , V_{REF_M} , V_{REF_L})의 레벨을 비교하여 플라이 커패시터의 용량을 조정하기 위한 비교 신호들(CMP_H , CMP_M , CMP_L)을 생성한다.

[0034] T1 시점 이전에는 출력 전압(V_{out})은 제 2 기준 전압(V_{REF_M})보다 높고 제 3 기준 전압(V_{REF_H})보다 낮은 것으로 검출될 것이다. 그러면, 비교 신호들(CMP_H , CMP_M , CMP_L)은 [011]로 출력될 것이다. T1 시점에서, 출력 전압(V_{out})은 제 3 기준 전압(V_{REF_H})보다 높은 것으로 검출될 것이다. 그러면, 비교 신호들(CMP_H , CMP_M , CMP_L)은 [111]로 출력된다.

[0035] T3 시점에서, 출력 전압(V_{out})이 제 3 기준 전압(V_{REF_H})보다 낮아지고 제 2 기준 전압(V_{REF_M})보다 높은 것으로 검출될 것이다. 그러면, 비교 신호들(CMP_H , CMP_M , CMP_L)은 [011]로 출력된다. 반면, T4 시점에서, 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 낮아진다. 결국, 출력 전압(V_{out})은 제 1 내지 제 3 기준 전압들(V_{REF_H} , V_{REF_M} , V_{REF_L}) 모두보다 낮은 것으로 검출될 것이다. 그러면, 비교 신호들(CMP_H , CMP_M , CMP_L)은 [000]로 출력된다.

[0036] 비교 신호들(CMP_H , CMP_M , CMP_L)의 비트값을 참조하여 디코더 및 드라이버(130)는 스위치드 커패시터(SC) 기반 게이트 컨트롤러(140)의 플라이 커패시터들의 충전 또는 방전을 제어할 것이다.

[0037] 도 6은 스위치드 커패시터(SC) 기반 게이트 컨트롤러의 예를 보여주는 회로도이다. 도 6을 참조하면, 4개의 스위치드 커패시터(SC) 기반 게이트 컨트롤러(140) 중 어느 하나인 스위치드 커패시터(SC) 기반 게이트 컨트롤러(142)가 도시되어 있다.

[0038] 패스 트랜지스터(150)의 게이트를 방전시키기 위한 제 1 플라이 커패시터($K_P C_{fly_up}$) 및 제 2 플라이 커패시터(C_{fly_up}), 그리고 제 1 및 제 2 플라이 커패시터($K_P C_{fly_up}$, C_{fly_up})의 충전 및 방전을 제어하기 위한 스위치들(SW1, SW2, SW3, SW4)이 제공된다. 제 1 플라이 커패시터($K_P C_{fly_up}$)는 제 2 플라이 커패시터(C_{fly_up})에 비해 ' K_P '배 큰 용량을 갖는다. ' K_P '는 1보다 큰 유리수이다. 디코더 및 드라이버(130)는 출력 전압(V_{out})을 높여야 하는 경우, 스위치들(SW1, SW2, SW3, SW4)을 제어하여 게이트 용량(C_G)에 충전된 전하를 제 1 플라이 커패시터($K_P C_{fly_up}$) 또는 제 2 플라이 커패시터(C_{fly_up})에 분배하고 방전한다. 그러면, 게이트 전압(V_G)이 방전된 용량에 비례하여 낮아지게 되고, 패스 트랜지스터(150)를 이동하는 전하의 양이 증가하게 되어 출력 전압(V_{out})은 상승한다.

[0039] 패스 트랜지스터(150)의 게이트를 충전시키기 위한 제 3 플라이 커패시터($K_P C_{fly_dw}$) 및 제 4 플라이 커패시터(C_{fly_dw}), 그리고 제 3 및 제 4 플라이 커패시터($K_P C_{fly_dw}$, C_{fly_dw})의 충전 및 방전을 제어하기 위한 스위치들(SW5, SW6, SW7, SW8)이 제공된다. 여기서, ' K_P '는 1보다 큰 값을 가질 수 있다. 제 3 플라이 커패시터($K_P C_{fly_dw}$)는 제 4 플라이 커패시터(C_{fly_dw})에 비해 ' K_P '배 큰 용량을 갖는다. 디코더 및 드라이버(130)는 출력 전압(V_{out})을 낮추어야 하는 경우, 스위치들(SW5, SW6, SW7, SW8)을 제어하여 입력 전압(V_{in})을 제 1 플라이 커패시터($K_P C_{fly_up}$) 또는 제 2 플라이 커패시터(C_{fly_up})에 충전하고, 패스 트랜지스터(150)의 게이트로 분배한다. 그러면, 게이트 용량(C_G)에 전하들이 충전되면서 게이트 전압(V_G)은 상승한다. 게이트 전압(V_G)의 상승에 따라 패스 트랜지스터(150)의 채널은 감소하게 되어 출력 전압(V_{out})은 낮아진다. 이때의 응답 속도는 제 1 플라이 커패시터($K_P C_{fly_up}$) 또는 제 2 플라이 커패시터(C_{fly_up})의 용량에 의해서 결정된다.

- [0040] 도 7a 및 도 7b는 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 낮은 경우에 스위치드 커패시터(SC) 기반 게이트 컨트롤러의 스위칭 동작을 보여주는 회로도들이다. 도 7a는 제 1 플라이잉 커패시터($K_p C_{fly_up}$)의 충전 동작시, 도 7b는 제 1 플라이잉 커패시터($K_p C_{fly_up}$)의 방전 동작시의 스위치 상태를 보여준다. 여기서, 기준 전압들(V_{REF_L} , V_{REF_M} , V_{REF_H})의 레벨은 ' $V_{REF_L} < V_{REF_M} < V_{REF_H}$ '의 관계를 갖는다.
- [0041] 도 7a를 참조하면, 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 낮은 경우, 출력 전압(V_{out})을 고속으로 상승시킬 필요가 있다. 이를 위해 제 1 스위치(SW1)가 턴온되고, 나머지 스위치들(SW2~SW8)은 턴오프 상태를 유지한다. 그러면, 기생 용량에 대응하는 게이트 커패시터(C_g)에 충전된 전하들이 제 1 플라이잉 커패시터($K_p C_{fly_up}$)에 분배된다. 전하 분배에 의해서, 게이트 전압(V_g)은 ' $V_g - K_p \Delta V_g$ ' 레벨로 낮아지게 된다. 낮아진 게이트 전압($V_g - K_p \Delta V_g$)에 의해서, 패스 트랜지스터(PT)의 채널은 증가된다. 그러면, 출력 전압(V_{out})은 ' $V_{out} + K_p \Delta V_{out}$ '의 레벨로 높아진다.
- [0042] 도 7b를 참조하면, 제 1 플라이잉 커패시터($K_p C_{fly_up}$)에 전압 분배에 의해서 충전된 전하의 방전이 이루어진다. 제 1 플라이잉 커패시터($K_p C_{fly_up}$)의 방전을 위해, 제 2 스위치(SW2)가 턴온되고, 나머지 스위치들(SW1, SW3~SW8)은 턴오프된다. 그러면, 제 1 플라이잉 커패시터($K_p C_{fly_up}$)에 충전된 전하들이 접지로 방전된다. 제 1 스위치(SW1)의 차단에 의해서 패스 트랜지스터(PT)의 게이트 전압($V_g - K_p \Delta V_g$)은 유지된다. 그리고 출력 전압(V_{out})도 상승된 레벨 ' $V_{out} + K_p \Delta V_{out}$ '을 유지하게 될 것이다.
- [0043] 도 8a 및 도 8b는 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L}) 이상이고 제 2 기준 전압(V_{REF_M})보다 낮은 경우에 SC 기반 게이트 컨트롤러의 스위칭 동작을 보여주는 회로도들이다. 도 8a는 제 2 플라이잉 커패시터(C_{fly_up})의 충전 동작시, 도 8b는 제 2 플라이잉 커패시터(C_{fly_up})의 방전 동작시의 스위치 상태를 보여준다. 여기서, 기준 전압들(V_{REF_L} , V_{REF_M} , V_{REF_H})의 레벨은 ' $V_{REF_L} < V_{REF_M} < V_{REF_H}$ '의 관계를 갖는다.
- [0044] 도 8a를 참조하면, 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L}) 이상이고 제 2 기준 전압(V_{REF_M})보다 낮은 경우, 출력 전압(V_{out})을 상승시킬 필요가 있다. 이를 위해 제 3 스위치(SW3)가 턴온되고, 나머지 스위치들(SW1~SW2, SW4~SW8)은 턴오프된다. 그러면, 게이트 커패시터(C_g)에 충전된 전하들이 제 2 플라이잉 커패시터(C_{fly_up})에 분배된다. 전하 분배에 의해서, 게이트 전압(V_g)은 ' $V_g - \Delta V_g$ '으로 낮아지게 된다. 낮아진 게이트 전압($V_g - K_p \Delta V_g$)에 의해서, 패스 트랜지스터(PT)의 채널은 증가한다. 그러면, 출력 전압(V_{out})은 ' $V_{out} + \Delta V_{out}$ '의 레벨로 상승한다.
- [0045] 도 8b를 참조하면, 제 2 플라이잉 커패시터(C_{fly_up})에 전압 분배에 의해서 충전된 전하의 방전이 이루어진다. 제 2 플라이잉 커패시터(C_{fly_up})의 방전을 위해, 제 4 스위치(SW4)가 턴온되고, 나머지 스위치들(SW1~SW3, SW5~SW8)은 턴오프된다. 그러면, 제 2 플라이잉 커패시터(C_{fly_up})에 충전된 전하들이 접지로 방전된다. 제 3 스위치(SW3)의 차단에 의해서 상승된 패스 트랜지스터(PT)의 게이트 전압($V_g - \Delta V_g$)은 유지된다. 그리고 출력 전압(V_{out})도 상승된 레벨 ' $V_{out} + \Delta V_{out}$ '을 유지하게 될 것이다.
- [0046] 도 9a 및 도 9b는 출력 전압(V_{out})이 제 2 기준 전압(V_{REF_M}) 이상이고 제 3 기준 전압(V_{REF_H})보다 낮은 경우에 스위치드 커패시터(SC) 기반 게이트 컨트롤러의 스위칭 동작을 보여주는 회로도들이다. 도 9a는 입력 전압(V_{in})에 의한 제 3 플라이잉 커패시터(C_{fly_dw})의 충전 동작시, 도 9b는 제 3 플라이잉 커패시터(C_{fly_dw})와 게이트 커패시터(C_g)의 전하 분배 동작시의 스위치 상태를 각각 보여준다. 여기서, 기준 전압들(V_{REF_L} , V_{REF_M} , V_{REF_H})의 레벨은 ' $V_{REF_L} < V_{REF_M} < V_{REF_H}$ '의 관계를 갖는다.
- [0047] 도 9a를 참조하면, 출력 전압(V_{out})이 제 2 기준 전압(V_{REF_M}) 이상이고 제 3 기준 전압(V_{REF_H})보다 낮은 경우, 제 2 기준 전압(V_{REF_M}) 레벨로 출력 전압(V_{out})을 낮출 필요가 있다. 이를 위해 스위치들(SW5, SW8)이 턴온되고, 나머지 스위치들(SW1~SW4, SW6~SW7)은 턴오프된다. 그러면, 입력 전압(V_{in})에 의해서 제 3 플라이잉 커패시터(C_{fly_dw})가 충전될 것이다.

- [0048] 도 9b를 참조하면, 패스 트랜지스터(PT)의 게이트 전압(V_G)의 상승을 위해, 제 3 플라이 커패시터(C_{fly_dw})에 충전된 전하는 게이트 커패시터(C_G)에 분배된다. 이를 위해, 입력 전압(V_{in})을 연결하는 제 5 스위치(SW5)는 차단되고, 제 6 스위치(SW6)가 턴온된다. 그러면, 제 3 플라이 커패시터(C_{fly_dw})에 충전된 전하는 게이트 커패시터(C_G)에 분배되고, 게이트 전압(V_G)은 ' $V_G + \Delta V_G$ ' 레벨로 상승하게 된다. 더불어, 상승된 게이트 전압($V_G + \Delta V_G$)에 의해 출력 전압(V_{out})은 ' $V_{out} - \Delta V_{out}$ ' 레벨로 하강하게 될 것이다.
- [0049] 도 10a 및 도 10b는 출력 전압(V_{out})이 제 3 기준 전압(V_{REF_H}) 이상인 경우에 스위치드 커패시터(SC) 기반 게이트 컨트롤러의 스위칭 동작을 보여주는 회로도들이다. 도 10a는 입력 전압(V_{in})에 의한 제 4 플라이 커패시터($K_P C_{fly_dw}$)의 충전 동작시, 도 10b는 제 4 플라이 커패시터($K_P C_{fly_dw}$)와 게이트 커패시터(C_G)의 전하 분배 동작시의 스위치 상태를 보여준다. 여기서, 기준 전압들(V_{REF_L} , V_{REF_M} , V_{REF_H})의 레벨은 ' $V_{REF_L} < V_{REF_M} < V_{REF_H}$ '의 관계를 갖는다.
- [0050] 도 10a를 참조하면, 출력 전압(V_{out})이 제 3 기준 전압(V_{REF_H}) 이상인 경우, 제 2 기준 전압(V_{REF_M}) 레벨로 출력 전압(V_{out})을 고속으로 낮출 필요가 있다. 이를 위해 스위치들(SW5, SW7)이 턴온되고, 나머지 스위치들(SW1~SW4, SW6, SW8)은 턴오프된다. 그러면, 입력 전압(V_{in})에 의해서 제 4 플라이 커패시터($K_P C_{fly_dw}$)가 충전될 것이다.
- [0051] 도 10b를 참조하면, 패스 트랜지스터(PT)의 게이트 전압(V_G)의 상승을 위해, 제 4 플라이 커패시터($K_P C_{fly_dw}$)에 충전된 전하는 게이트 커패시터(C_G)에 분배된다. 이를 위해, 입력 전압(V_{in})을 연결하는 제 5 스위치(SW5)는 차단되고, 제 6 스위치(SW6)가 턴온된다. 그러면, 제 4 플라이 커패시터($K_P C_{fly_dw}$)에 충전된 전하는 게이트 커패시터(C_G)에 분배되고, 게이트 전압(V_G)은 ' $V_G + K_P \Delta V_G$ ' 레벨로 상승하게 된다. 더불어, 상승된 게이트 전압($V_G + K_P \Delta V_G$)에 의해 출력 전압(V_{out})은 ' $V_{out} - K_P \Delta V_{out}$ ' 레벨로 하강하게 될 것이다.
- [0052] 이상에서는 출력 전압(V_{out})의 레벨에 따른 SC 기반 게이트 컨트롤러(142)의 스위칭 방법이 예시적으로 설명되었다. SC 기반 게이트 컨트롤러(142)에서 스위치들과 플라이 커패시터들의 배열이나 배치는 다양한 방법이 존재할 수 있다. 따라서, 출력 전압(V_{out})의 제어를 위해 본 발명의 SC 기반 게이트 컨트롤러(142)의 제어 방법은 다양하게 변경될 수도 있을 것이다.
- [0053] 도 11은 본 발명의 LDO 레귤레이터의 스위치드 커패시터(SC)의 제어 방법을 간략히 보여주는 순서도이다. 도 1 및 도 11을 참조하면, 본 발명의 LDO 레귤레이터(100)는 출력 전압(V_{out})의 레벨에 따라 패스 트랜지스터(150)의 게이트 전압(V_G)을 스위치드 커패시터(SC) 방식으로 제어할 수 있다.
- [0054] S110 단계에서, 클록 발생기(110)는 출력 전압(V_{out})과 기준 전압(V_{REF_M})을 비교하여 복수의 샘플링 클록 신호들(CLK_{SAM1} , $/CLK_{SAM1}$, CLK_{SAM2} , $/CLK_{SAM2}$)을 생성한다. 클록 발생기(110)는 전압제어 발진기들(112, 114)과 D-플립플롭들(116, 118)을 사용하여 출력 전압(V_{out})의 레벨에 대응하는 주파수를 갖는 샘플링 클록 신호들(CLK_{SAM1} , $/CLK_{SAM1}$, CLK_{SAM2} , $/CLK_{SAM2}$)을 생성할 수 있다.
- [0055] S120 단계에서, 디코더 및 드라이버(130)는 ADC(120)에 의해서 생성된 비교 신호들(CMP_L , CMP_M , CMP_H)과 샘플링 클록 신호들(CLK_{SAM1} , $/CLK_{SAM1}$, CLK_{SAM2} , $/CLK_{SAM2}$)을 수신한다. 비교 신호들(CMP_L , CMP_M , CMP_H)은 ADC(120)에 의해서 기준 전압들(V_{REF_L} , V_{REF_M} , V_{REF_H})에 대한 출력 전압(V_{out})의 상대적 레벨 관계를 정의하는 신호이다.
- [0056] S130 단계에서, 디코더 및 드라이버(130)는 출력 전압(V_{out})과 제 1 기준 전압(V_{REF_L})의 레벨에 따라 동작 분기를 수행한다. 만일, 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 낮은 경우(YES 방향), 절차는 S140 단계로 이동한다. 반면, 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 낮지 않은 경우(NO 방향), 절차는 S150 단계로 이동한다.
- [0057] S140 단계에서, 디코더 및 드라이버(130)는 출력 전압(V_{out})을 고속으로 상승시키기 위해 패스 트랜지스터(150)의 게이트 커패시터(C_G)에 충전된 전하들이 제 1 플라이 커패시터($K_P C_{fly_up}$)로 분배한다. 그리고 제 1 플라이 커패시터($K_P C_{fly_up}$)에 분배된 전하는 이후 접지로 방전된다. 제 1 플라이 커패시터($K_P C_{fly_up}$)에 의한 전하 분배에

의해서, 게이트 전압(V_G)은 ' $V_G - K_P \Delta V_G$ ' 레벨로 낮아지게 된다. 낮아진 게이트 전압($V_G - K_P \Delta V_G$)에 의해서, 패스트랜지스터(PT)의 채널은 확장된다. 그러면, 출력 전압(V_{out})은 ' $V_{out} + K_P \Delta V_{out}$ '의 레벨로 높아진다.

[0058] S150 단계에서, 디코더 및 드라이버(130)는 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L}) 이상이고 제 2 기준 전압(V_{REF_M})보다 낮은 경우에 대응하는지 체크한다. 만일, 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L}) 이상이고, 제 2 기준 전압(V_{REF_M})보다 낮은 경우(YES 방향), 절차는 S160 단계로 이동한다. 반면, 출력 전압(V_{out})이 제 2 기준 전압(V_{REF_M})보다 높은 경우(NO 방향), 절차는 S170 단계로 이동한다.

[0059] S160 단계에서, 디코더 및 드라이버(130)는 출력 전압(V_{out})을 상대적으로 저속으로 상승시키기 위해 게이트 커패시터(C_G)에 충전된 전하들이 제 2 플라이잉 커패시터(C_{fly_up})에 분배한다. 그리고 제 2 플라이잉 커패시터(C_{fly_up})에 분배된 전하는 접지측으로 방전된다. 제 2 플라이잉 커패시터(C_{fly_up})를 이용한 전하 분배에 의해서, 게이트 전압(V_G)은 ' $V_G - \Delta V_G$ '으로 낮아진다. 낮아진 게이트 전압($V_G - K_P \Delta V_G$)에 출력 전압(V_{out})은 ' $V_{out} + \Delta V_{out}$ '의 레벨로 상승하게 된다.

[0060] S170 단계에서, 디코더 및 드라이버(130)는 출력 전압(V_{out})이 제 2 기준 전압(V_{REF_M}) 이상이고 제 3 기준 전압(V_{REF_H})보다 낮은지 체크한다. 만일, 출력 전압(V_{out})이 제 2 기준 전압(V_{REF_M}) 이상이고 제 3 기준 전압(V_{REF_H})보다 낮은 경우(YES 방향), 절차는 S180 단계로 이동한다. 반면, 출력 전압(V_{out})이 높고 제 3 기준 전압(V_{REF_H})보다 높은 경우(NO 방향), 절차는 S190 단계로 이동한다.

[0061] S180 단계에서, 디코더 및 드라이버(130)는 출력 전압(V_{out})의 레벨을 낮추기 위해 입력 전압(V_{in})을 사용하여 제 3 플라이잉 커패시터(C_{fly_dw})를 충전하고, 이후에 제 3 플라이잉 커패시터(C_{fly_dw})에 충전된 전하를 게이트 커패시터(C_G)에 분배한다. 게이트 커패시터(C_G)의 충전에 의해 게이트 전압(V_G)은 ' $V_G + \Delta V_G$ ' 레벨로 상승하게 된다. 그리고 상승된 게이트 전압($V_G + \Delta V_G$)에 의해 출력 전압(V_{out})은 ' $V_{out} - \Delta V_{out}$ ' 레벨로 하강하게 될 것이다.

[0062] S190 단계에서, 디코더 및 드라이버(130)는 출력 전압(V_{out})의 레벨을 낮추기 위해 입력 전압(V_{in})을 사용하여 제 4 플라이잉 커패시터($K_P C_{fly_dw}$)를 충전한다. 그리고 디코더 및 드라이버(130)는 제 4 플라이잉 커패시터($K_P C_{fly_dw}$)에 충전된 전하를 게이트 커패시터(C_G)에 다시 분배한다. 그러면, 게이트 전압(V_G)은 ' $V_G + K_P \Delta V_G$ ' 레벨로 상승하게 된다. 더불어, 상승된 게이트 전압($V_G + K_P \Delta V_G$)에 의해 출력 전압(V_{out})은 ' $V_{out} - K_P \Delta V_{out}$ ' 레벨로 하강하게 될 것이다.

[0063] 이상에서는 본 발명의 실시 예에 따른 LDO 레귤레이터의 동작 방법이 간략히 설명되었다. 여기서 설명된 기준 전압들(V_{REF_L} , V_{REF_M} , V_{REF_H})은 3개 레벨로 정의되었으나, 본 발명의 기준 전압들은 4개 이상의 레벨들로 정의될 수도 있음은 잘 이해될 것이다.

[0064] 상술된 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술된 실시 예들뿐만 아니라, 단순히 설계 변경되거나 용이하게 변경할 수 있는 실시 예들 또한 포함할 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0065] 100 : LDO 레귤레이터

110 : 클록 발생기

120 : ADC

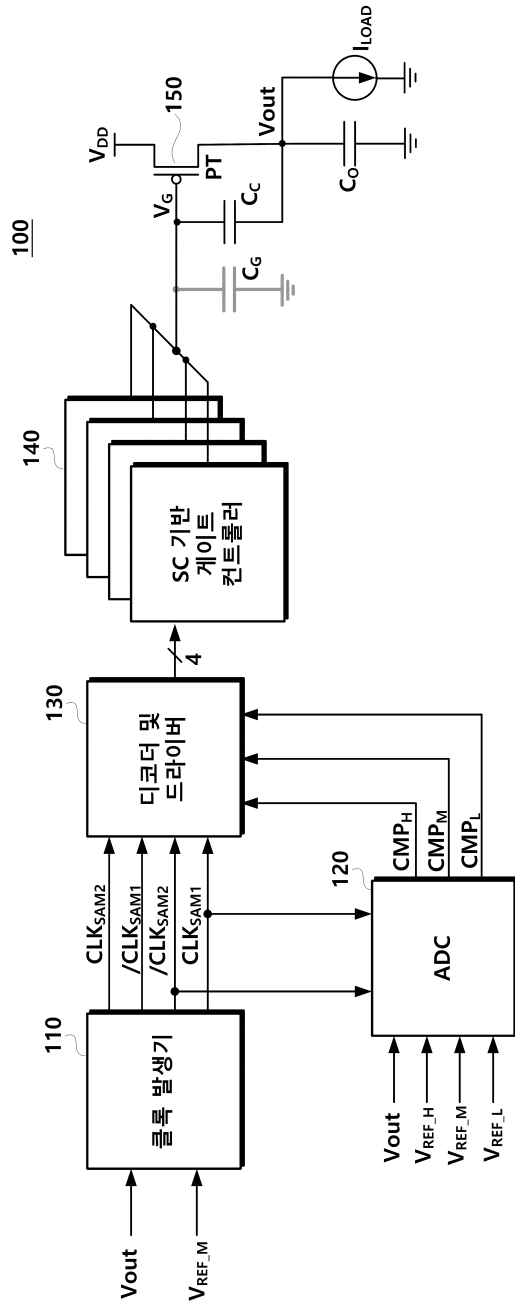
130 : 디코더 및 드라이버

140 : 스위치드 커패시터(SC) 기반 게이트 컨트롤러

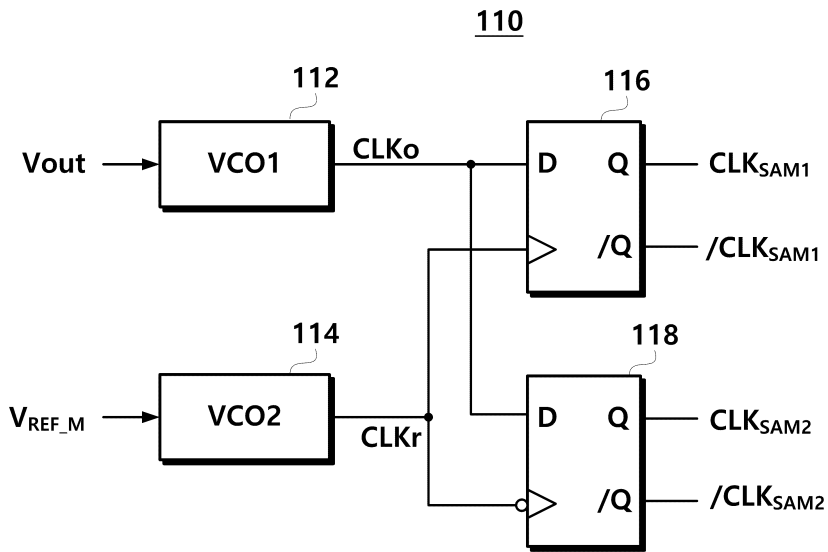
150 : 패스트랜지스터

도면

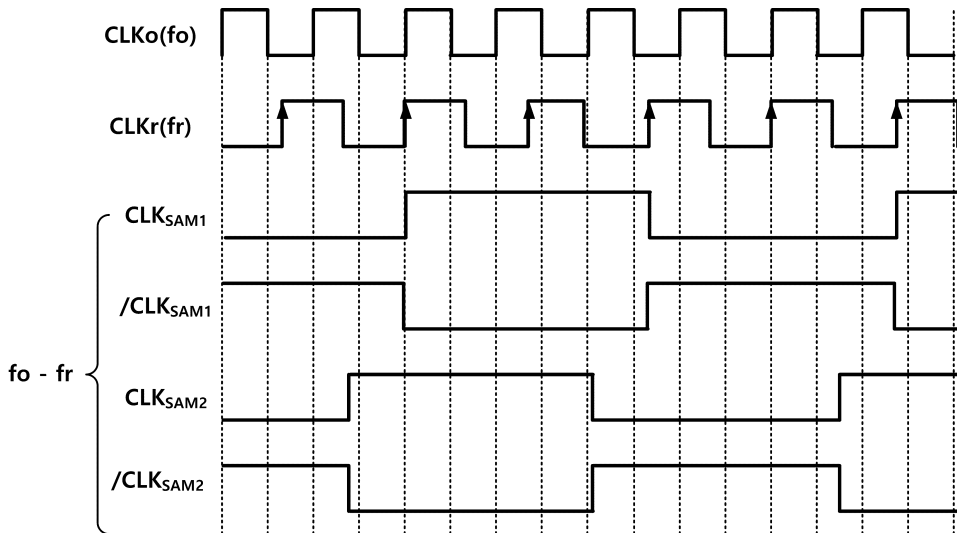
도면1



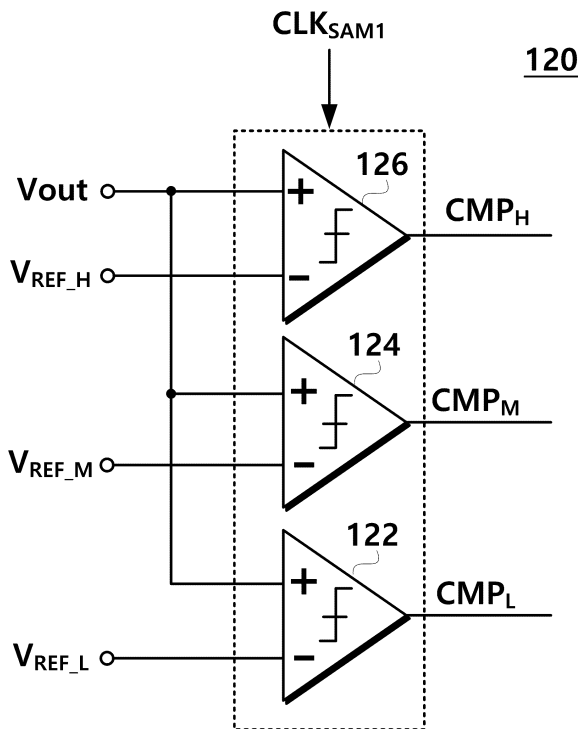
도면2



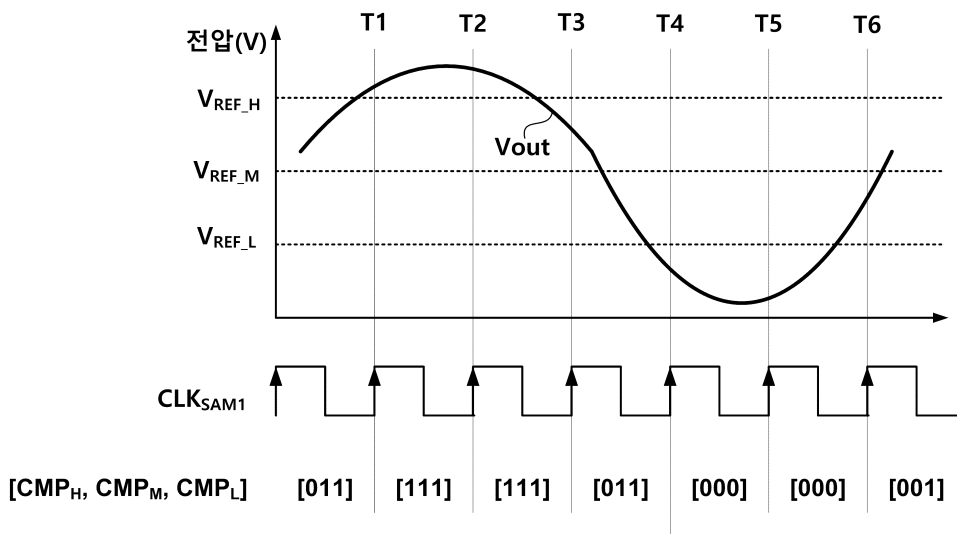
도면3



도면4

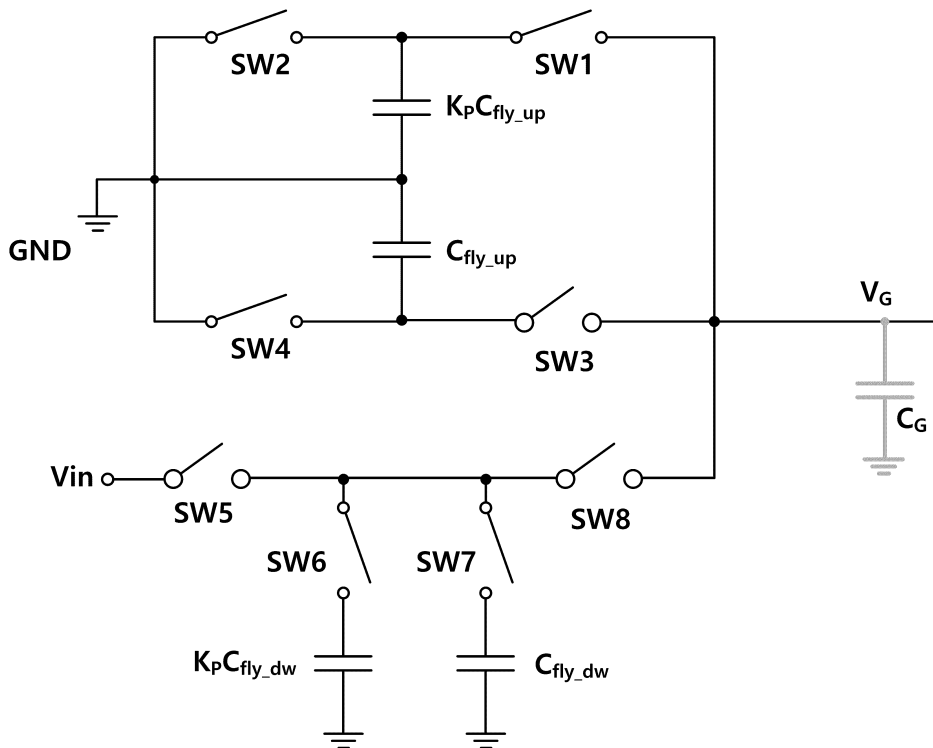


도면5

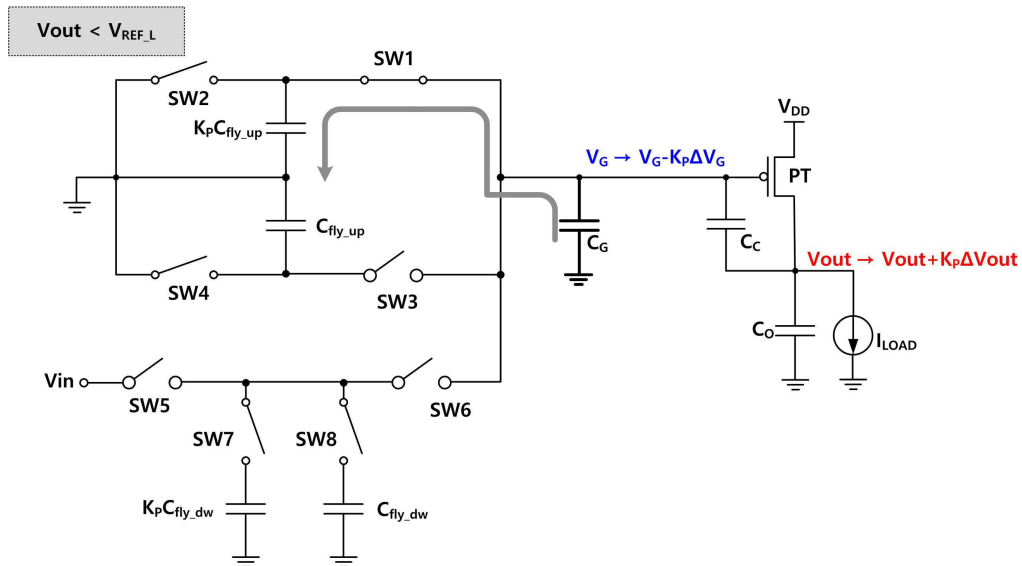


도면6

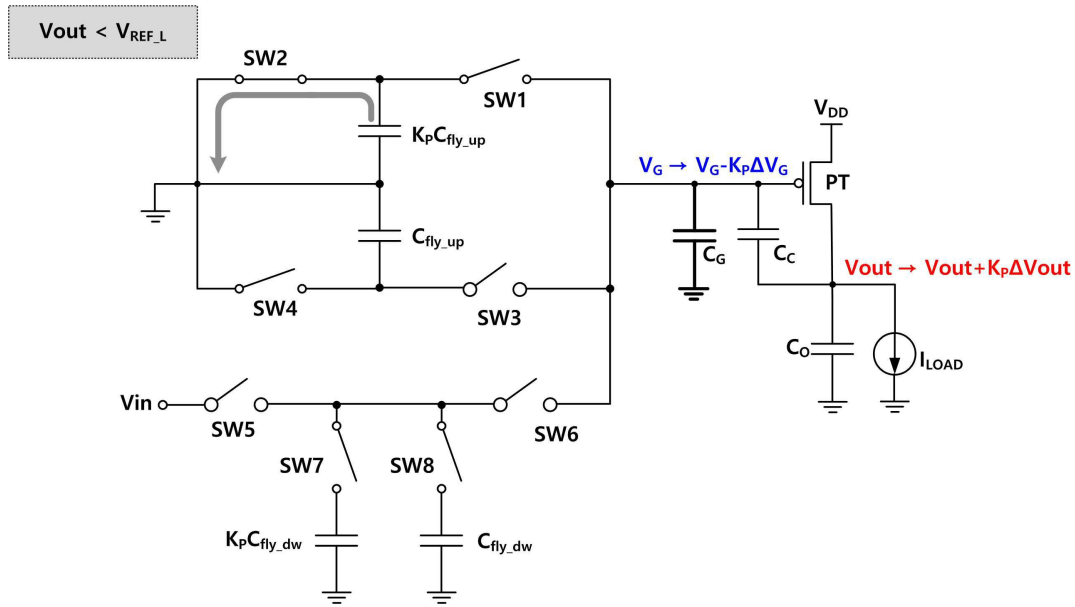
142



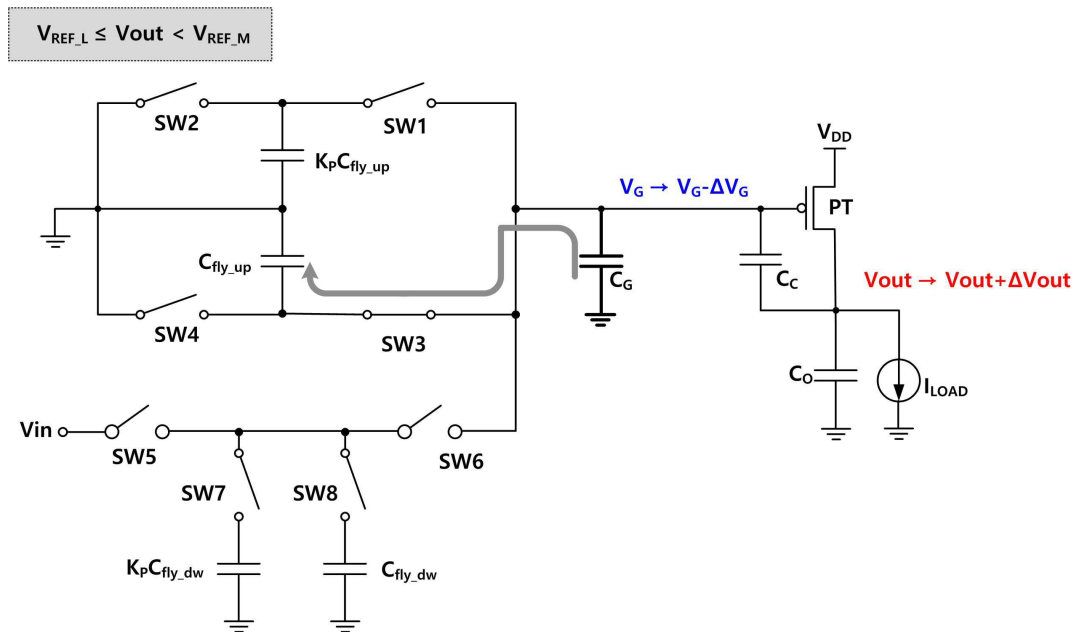
도면7a



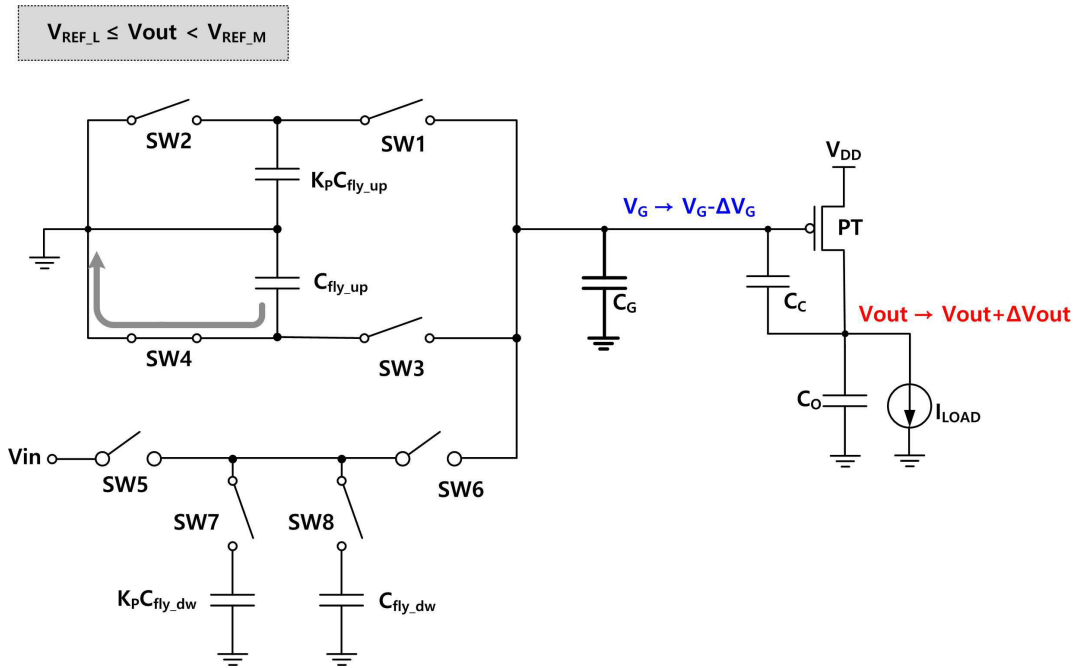
도면7b



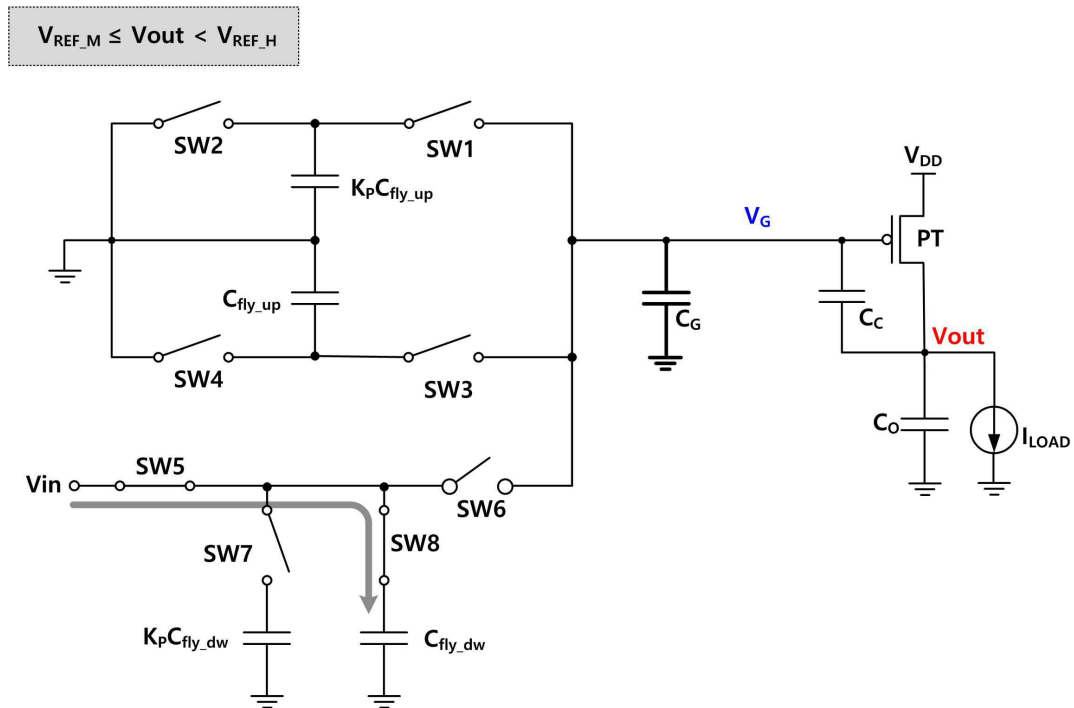
도면8a



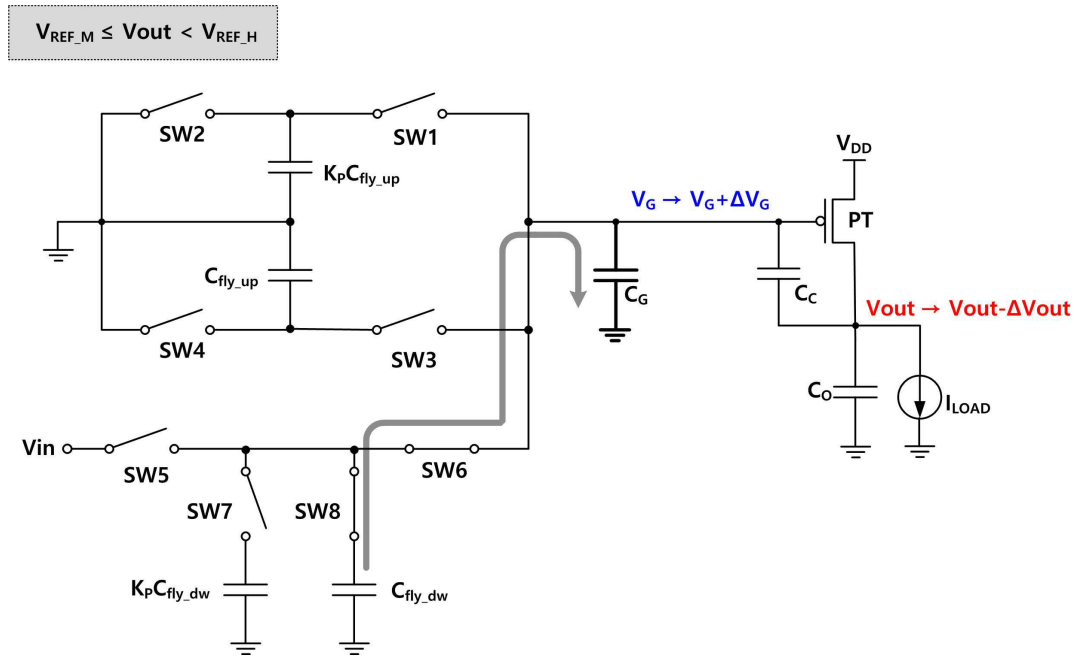
도면8b



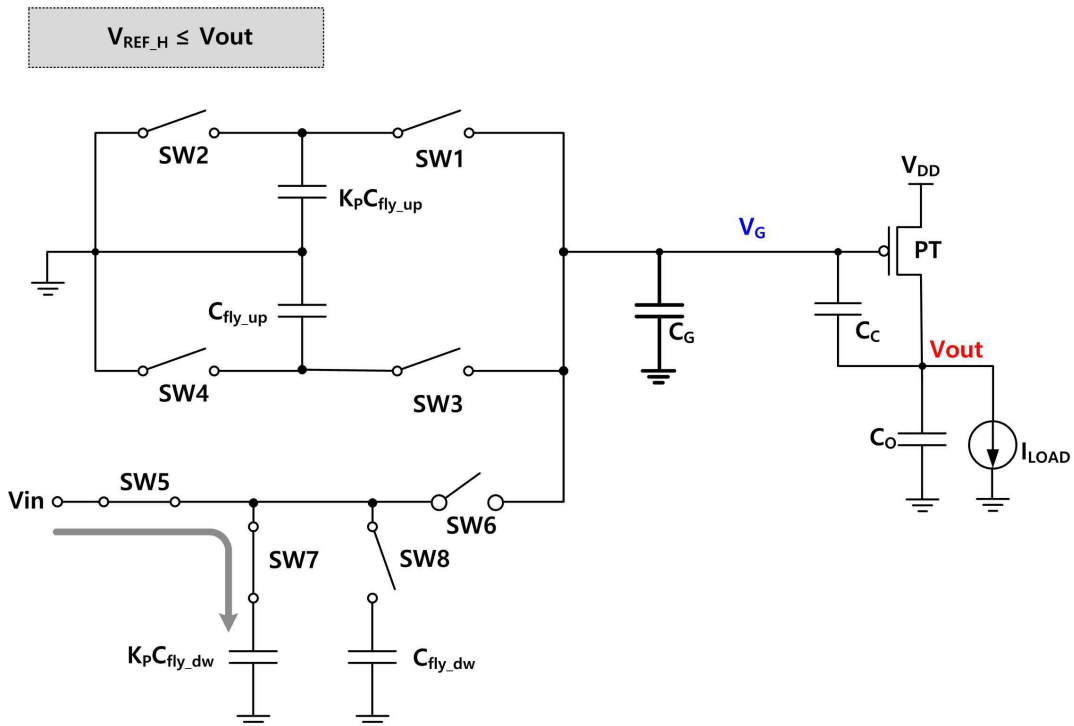
도면9a



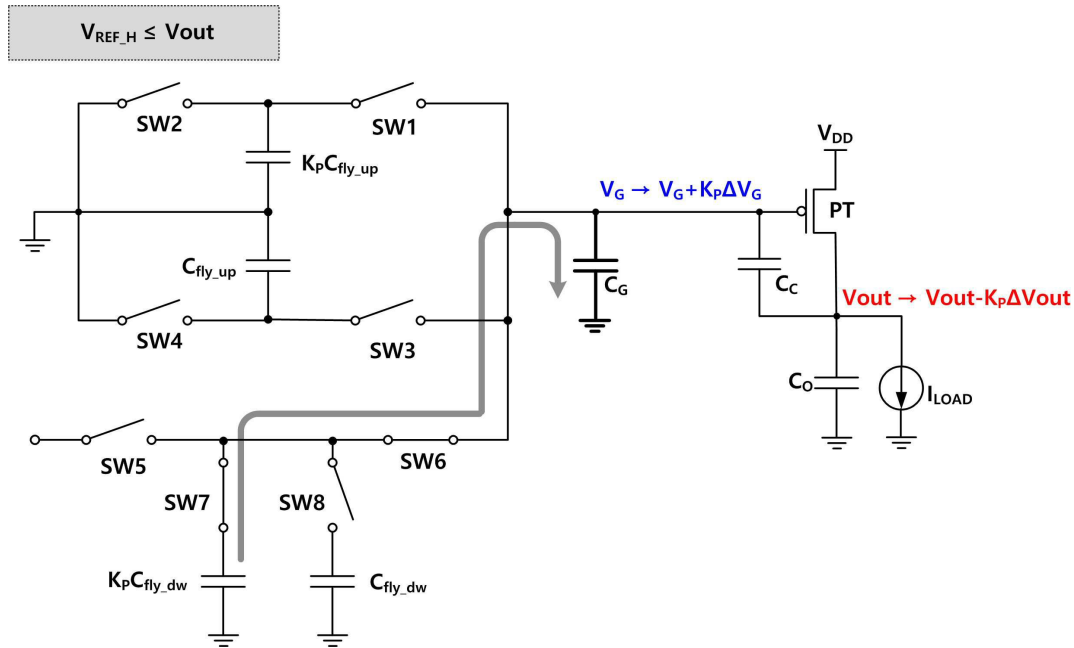
도면9b



도면10a



도면10b



도면11

