



(12)发明专利

(10)授权公告号 CN 104049670 B

(45)授权公告日 2017.05.10

(21)申请号 201410097445.6

(51)Int.Cl.

(22)申请日 2014.03.14

G05F 1/569(2006.01)

(65)同一申请的已公布的文献号

审查员 刘敬坤

申请公布号 CN 104049670 A

(43)申请公布日 2014.09.17

(30)优先权数据

13/828,213 2013.03.14 US

(73)专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72)发明人 克里斯·C·达奥

斯特凡诺·彼得里 任举祥

(74)专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 李宝泉 周亚荣

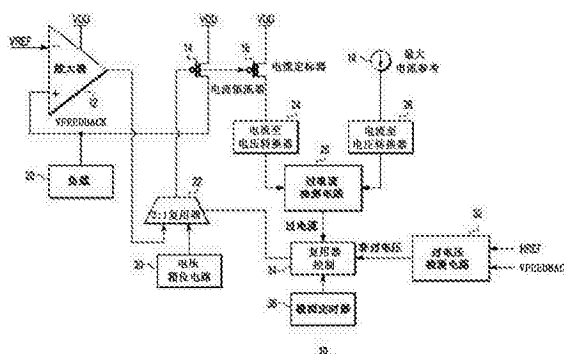
权利要求书2页 说明书8页 附图5页

(54)发明名称

带有限流器的电压调节器

(57)摘要

一种带有限流器的电压调节器。电压调节器包括具有耦合于第一参考电压的第一输入和耦合于电压反馈信号的第二输入的放大器；具有耦合于所述放大器的输出的第一输入、耦合于电压箝位信号的第二输入和控制输入的复用器；具有耦合于过电流指示器的第一输入、耦合于非过电压指示器的第二输入以及耦合于定时器信号的第三输入以及耦合于所述复用器的所述控制输入的控制电路。



1. 一种电压调节器,包括:

放大器,所述放大器具有耦合于第一参考电压的第一输入和耦合于电压反馈信号的第二输入;

复用器,所述复用器具有耦合于所述放大器的输出的第一输入、耦合于电压箝位信号的第二输入、和控制输入;

控制电路,所述控制电路具有耦合于过电流指示器信号的第一输入、耦合于非过电压指示器信号的第二输入、耦合于定时器信号的第三输入以及耦合于所述复用器的所述控制输入的输入。

2. 根据权利要求1所述的电压调节器,还包括:

耦合于所述放大器的所述第二输入的负载电路。

3. 根据权利要求2所述的电压调节器,还包括:

镇流器晶体管,所述镇流器晶体管具有耦合于所述复用器的输出的栅极端子、耦合于电源电压的源极端子以及耦合于所述负载电路和所述放大器的所述第二输入的漏极端子。

4. 根据权利要求1所述的电压调节器,还包括:

电流定标器晶体管,所述电流定标器晶体管具有耦合于所述复用器的所述输出的栅极端子、耦合于电源电压的源极端子以及耦合于第一电流至电压转换器电路的输入的漏极端子。

5. 根据权利要求4所述的电压调节器,还包括:

所述第一电流至电压转换器电路被配置为向过电流检测电路提供定标电流,以及所述过电流检测电路输出所述过电流指示器信号。

6. 根据权利要求5所述的电压调节器,还包括:

第二电流至电压转换器电路,所述第二电流至电压转换器电路具有耦合于最大参考电流电源的输入和耦合于所述过电流检测电路的输出。

7. 根据权利要求6所述的电压调节器,其中所述过电流检测电路(28)包括比较器电路。

8. 根据权利要求1所述的电压调节器,还包括:

过电压检测电路,所述过电压检测电路具有耦合于第二参考电压的第一输入、耦合于所述电压反馈信号的第二输入以及提供所述非过电压指示器信号的输出。

9. 根据权利要求8所述的电压调节器,其中所述过电压检测电路包括比较器电路。

10. 根据权利要求1所述的电压调节器,还包括:

模拟定时器电路,被配置为提供所述定时器信号,其中当检测到过电流条件以及没有检测到过电压条件时,由所述电压调节器输出的电流被限制,直到所述定时器信号期满为止。

11. 一种电压调节器,包括:

调节器控制电路,所述调节器控制电路具有耦合于过电流指示器信号的第一输入、耦合于非过电压指示器信号的第二输入、耦合于定时器信号的第三输入、以及被耦合为提供控制信号的输出;以及

复用器,所述复用器具有耦合于放大器输出信号的第一输入、耦合于电压限制信号的第二输入、以及耦合于所述控制信号的控制输入,其中

当过电流条件不存在以及过电压条件存在时,所述复用器输出所述放大器输出信号,

以及

当所述过电流条件存在以及在所述过电压条件不存在时所述定时器信号尚未期满时，所述复用器输出了所述电压极限信号。

12. 根据权利要求11所述的电压调节器，其中当所述过电压条件不存在以及所述定时器信号期满时，所述复用器输出所述放大器输出信号。

13. 根据权利要求11所述的电压调节器，还包括：

放大器，被耦合为在第一输入接收参考电压和在第二输入接收反馈电压以及输出所述放大器输出信号，其中所述反馈电压基于耦合于负载的调节器电源电压。

14. 根据权利要求13所述的电压调节器，还包括：

过电压检测电路，被配置为将第二参考电压和所述反馈电压进行比较并且设置非过电压指示器信号以指示所述过电压条件是否存在。

15. 根据权利要求11所述的电压调节器，还包括：

过电流检测电路，被配置为将定标电流和最大电流进行比较并且设置过电流指示器信号以指示所述过电流条件是否存在。

16. 根据权利要求15所述的电压调节器，还包括：

模拟定时器电路，被耦合为在选定时间量内接收所述过电流指示器信号和所述非过电压指示器信号以及输出尚未期满的定时器信号。

17. 根据权利要求11所述的电压调节器，还包括：

镇流器晶体管，所述镇流器晶体管具有耦合于所述复用器的输出的栅极端子、耦合于电源电压的源极端子、以及耦合于负载电路的漏极端子。

18. 根据权利要求11所述的电压调节器，还包括：

电流定标器晶体管，所述电流定标器晶体管具有耦合于所述复用器的输出的栅极端子、耦合于电源电压的源极端子、以及耦合于第一电流至电压转换器电路的输入的漏极端子。

19. 一种调节电压的方法，包括：

当负载器件所需的电流大于最大电流时：

限制提供给所述负载器件的电流，

激活定时器；以及

当提供给所述负载器件的电压小于或等于最大电压时：

在再次允许所述负载器件吸取大于所述最大电流的电流量之前等待直到所述定时器期满。

20. 根据权利要求19所述的方法，还包括：

当提供给所述负载器件的电压大于所述最大电压时，向所述负载器件提供调节电压。

带有限流器的电压调节器

技术领域

[0001] 本公开通常涉及集成电路,更具体地说,涉及带有限流器的电压调节器。

背景技术

[0002] 电压调节器通常被用于各种集成电路。然而,过电流条件和过电压条件可能会永久性损坏IC。因此,为了防止由于这些条件造成的损坏,需要保护电压调节器。

附图说明

[0003] 本发明通过举例的方式说明并且不被附图所限制,在附图中类似的参考符号表示相同的元素。附图中的元素说明是为了简便以及清晰,不一定按比例绘制。

[0004] 图1以部分方框图和部分示意图的形式示出根据本发明的一个实施例的电压调节器。

[0005] 图2以部分方框图和部分示意图的形式进一步示出根据本发明的一个实施例的图1的电压调节器的一部分。

[0006] 图3以部分方框图和部分示意图的形式进一步示出根据本发明的一个实施例的图1的电压调节器的另一部分。

[0007] 图4以部分方框图和部分示意图的形式进一步示出根据本发明的一个实施例的图1的电压调节器的另一部分。

[0008] 图5以示意图的形式进一步示出根据本发明的一个实施例的图1的电压调节器的另一部分。

[0009] 图6以流程图的形式示出根据本发明的一个实施例的操作图1的电压调节器的方法。

具体实施方式

[0010] 在一个实施例中,一种电压调节器包括过电流检测电路,其中当发生过电流条件时,该过电流检测电路打开电压调节器反馈回路以箝位电流。过电流检测电路响应于过电流条件而在预定时间量内打开反馈回路。在预定时间量之后,反馈回路再次被关闭,而检测电路继续监测发生的过电流条件。一旦打开反馈回路,电压调节器不再调节电压。然而,当反馈回路被操作为开回路时,例如由于电流需求的突然下降,可能会出现过电压条件。因此,响应于检测到过电压条件,过电压检测电路关闭反馈回路,不管预定时间量是否期满。

[0011] 图1以部分示意图和部分方框图的形式示出根据本发明的一个实施例的电压调节器10。电压调节器10包括放大器12、PMOS晶体管14(也可以被称为镇流器晶体管)、PMOS晶体管16(也可以被称为电流定标器晶体管)、复用器(MUX)22、电压箝位电路30、电流至电压转换器24、最大电流参考18、电流至电压转换器26、过电流检测电路28、过电压检测电路32、复用器控制单元34以及模拟定时器36。图1还包括耦合于调节器输出电压VFEEDBACK的负载电路20。放大器12耦合于第一电源电压端子以接收第一电源电压VDD,具有耦合的负输入以接

收第一参考电压VREF以及耦合的正输入以接收VFEEDBACK(注意,VFEEDBACK还可以被称为电压反馈信号)。放大器12的输出耦合于MUX22的第一输入。MUX22的输出耦合于晶体管14的控制电极(例如,栅极端子)。晶体管14的第一电流电极(例如,源极端子)耦合于VDD,而晶体管14的第二电流电极(例如,漏极端子)耦合于放大器12的正输入并且提供VFEEDBACK。电压箝位电路30耦合于MUX22的第二输入。晶体管16的第一电流电极(例如,源极端子)耦合于VDD,晶体管16的控制电极(例如,栅极端子)耦合于晶体管14的控制栅极,而晶体管16的第二电流电极(例如,漏极端子)耦合于电流至电压转换器24。最大电流参考18耦合于电流至电压转换器26。过电流检测电路28具有耦合于电流至电压转换器24的第一输入和耦合于电流至电压转换器26的第二输入,并且向MUX控制34提供过电流指示器。过电压检测电路被耦合以接收第二参考电压HREF,被耦合以接收VFEEDBACK,并且向MUX控制34提供非过电压指示器。模拟定时器36向MUX控制34提供定时器信号,而MUX控制34向MUX22的控制输入提供选择信号。

[0012] 在操作期间,当电压调节器10在闭合回路操作时,其中放大器12的输出通过MUX22耦合于晶体管14的控制栅极,放大器12控制晶体管14的控制栅极上的电压以调节VFEEDBACK。例如,如果负载20的电流需求增加,VFEEDBACK开始下降。基于VFEEDBACK的下降,放大器12减小晶体管14的控制栅极的电压以增加通过晶体管14到负载20的电流。然而,如果负载20的电流需求超过最大允许电流,那么发生过电流条件。例如,当负载20失败或负载20内有热不稳定时,可能会发生过电流条件。因此,通过晶体管16的电流连续被过电流检测电路28监测,其中所述电流提供被负载20消耗的通过晶体管16的电流的缩减表示。缩减电流通过电流至电压转换器24转换成电压。最大参考电流18(对应于负载20的最大允许电流)通过电流至电压转换器26转换成电压。过电流检测电路28连续将电流至电压转换器24的输出和电流至电压转换器26的输出进行比较以确定电流至电压转换器24的输出是否超过电流至电压转换器26的输出,其指示发生了过电流条件。响应于检测到过电流条件,MUX控制34控制MUX22,使得电压箝位电路30的输出耦合于晶体管14的控制电极,而不是放大器12的输出,从而打开反馈回路并且箝位晶体管14的控制栅极。当被箝位时,通过晶体管14的电流被限制。在图示的实施例中,一旦箝位晶体管14的控制栅极,模拟定时器36被激活,并且一旦模拟定时器期满,MUX控制34控制MUX22使得放大器12的输出再次被耦合于晶体管的控制栅极14,以再次关闭反馈回路,并且允许继续电压调节。

[0013] 当反馈回路是打开的以及晶体管14的控制栅极被电压箝位电路30箝位时,可能会发生过电压条件,其中负载20的电流需求急剧下降。因此,过电压检测电路32监测VFEEDBACK,将VFEEDBACK与HREF进行比较。在一个实施例中,HREF比VREF稍大。如果由于负载20的变化,VFEEDBACK超过HREF,从而指示过电压条件,MUX控制34改变到MUX22的控制信号,以便再次将放大器12的输出耦合于晶体管14的控制栅极,不管模拟定时器36是否期满,从而关闭反馈回路,并且再次使电压调节器10调节VFEEDBACK。即,当检测到过电压条件时,响应于其,即使模拟定时器36尚未期满,反馈回路被立即关闭。

[0014] 图1的操作可以参考图6的方法200被进一步说明。在块202,一旦给电压调节器10上电,方法200开始。方法200然后进行到块204,其中电压调节器10处于调节状态。即,电压调节器10在闭回路操作,其中MUX22将放大器12的输出耦合于镇流器晶体管14的控制电极。方法200随后进行到判定菱形206,其中确定是否存在过电流条件。即,如果过电流检测电路

28检测到负载20的电流需求(由提供到电流至电压转换器24的电流表示)大于最大允许电流(由最大电流参考18表示),那么存在过电流条件,并且方法200进行到块208,其中MUX22将电压箝位电路30耦合于镇流器晶体管14的控制电极,并且模拟定时器36被激活。然而,如果在判定菱形206没有检测到过电流条件,方法200返回到块204,其中电压调节器10继续调节VFEEDBACK。

[0015] 一旦在块308激活模拟定时器36,方法进行到判定菱形210,其中确定是否存在过电压条件。即,如果过电压检测电路32检测到调节器输出电压VFEEDBACK大于最大允许电压(由HREF表示),那么存在过电压条件,并且方法200进行到块204,其中

[0016] MUX22再次将放大器12的输出耦合于晶体管14的控制电极。这关闭反馈回路,并且允许电压调节器再次调节VFEEDBACK。然而,如果在判定菱形210没有检测到过电压条件,方法200进行到判定菱形212,其中确定定时器是否期满。如果是,方法200返回到块204,其中电压调节器再次调节VFEEDBACK。但是,如果定时器尚未期满,方法200返回到判定菱形210以继续检查是否存在过电压条件。在定时器36期满之前的任何时间,如果检测到过电压条件,方法200立即返回到块204,其中反馈回路被关闭,而不等待定时器36期满。如果没有检测到过电压条件,一旦定时器36期满,方法200返回到块204。

[0017] 图2-图5以部分方框图和部分示意图的形式进一步示出根据本发明的各种实施例的图1的电压调节器的各部分的细节。图2进一步示出根据本发明的一个实施例的放大器12、MUX22、晶体管14和16以及电流至电压转换器24和过电流检测电路28的细节。提供给MUX22的控制输入的信号被标记为ILIMIT_ON。当ILIMIT_ON被否定(例如,逻辑低电平)时,MUX22将放大器12的输出耦合于晶体管14的控制电极,以及当ILIMIT_ON被断言(例如,逻辑高电平)时,MUX22将vlimit(由电压箝位电路30输出的电压限制信号表示)耦合于晶体管14的控制电极。晶体管16的第二电流电极耦合于电阻器42和40中的每一个的第一端子。电阻器42的第二端子耦合于第二电源电压(例如,接地),以及电阻器40的第二端子耦合于过电流检测电路28。

[0018] 仍然参照图2,过电流检测电路28包括电流源48和54、PMOS晶体管44和46、NMOS晶体管50、52和56以及逆变器58。电流源48的第一端子耦合于VDD,而电流源48的第二端子耦合于晶体管44和46的第一电流电极。晶体管44的控制电极耦合于电阻器40的第二端子。晶体管44的第二电流电极耦合于晶体管50的第一电流电极和晶体管50的控制电极。晶体管46的控制电极被耦合为接收NVREF(对应于电流至电压转换器26的输出电压)。晶体管46的第二电流电极耦合于晶体管52的第一电流电极和晶体管56的控制电极。晶体管50的控制电极耦合于晶体管52的控制电极。晶体管50、52和56中的每一个的第二电流电极耦合于接地。电流源54的第一端子耦合于VDD,而电流源54的第二端子耦合于晶体管56的第一电流电极和逆变器58的输入。逆变器58的输出提供过电流指示器信号,其中当断言时指示发生过电流条件。过电流指示器信号被提供给MUX控制34。

[0019] 在操作期间,耦合于晶体管44的控制栅极的电阻器40的第二端子表示电流至电压转换器24的输出,从而提供表示通过晶体管16(并且因此晶体管14)的电流的电压。该电压通过由晶体管44、46、50和52形成的比较器与NVREF(表示最大允许电流)进行比较。如果NVREF大于晶体管44的控制电极的电压,那么低电压信号被提供给晶体管56,从而导致晶体管56不导电。因此,逆变器58的输入被上拉到逻辑高电平以及过电流指示器信号被否定(例

如,在逻辑电平低),这表示不存在过电流条件。然而,如果晶体管44的控制电极的电压大于NVREF,那么高电压信号被提供给晶体管56,从而接通晶体管56。在这种情况下,逆变器58的输入被拉到逻辑低电平以及过电流指示器信号被断言(例如,在逻辑电平高),这指示已检测到过电流条件。

[0020] 图3进一步示出根据本发明的一个实施例的过电压检测电路32。过电压检测电路32包括电流源62和63、PMOS晶体管60和64、NMOS晶体管60、68和70以及逆变器72。电流源62的第一端子耦合于VDD以及电流源62的第二端子耦合于晶体管60和64的第一电流电极。晶体管60的控制电极被耦合为接收HREF(表示最大允许电流)。晶体管60的第二电流电极耦合于晶体管66的第一电流电极和晶体管66的控制电极。晶体管64的控制电极被耦合为接收VFEEDBACK(对应于电流调节器10的输出电压)。晶体管64的第二电流电极耦合于晶体管68的第一电流电极和晶体管70的控制电极。晶体管66的控制电极耦合于晶体管68的控制电极。晶体管60、68和70中的每一个的第二电流电极耦合于接地。电流源63的第一端子耦合于VDD,而电流源63的第二端子耦合于晶体管70的第一电流电极和逆变器72的输入。变频器72的输出提供非过电压指示器信号,其中当被断言时指示没有检测到过电压条件。非过电压指示器信号被提供给MUX控制34。

[0021] 在操作期间,HREF(表示最大允许电流)通过由晶体管60、64、66和68形成的比较器与VFEEDBACK进行比较。如果VFEEDBACK大于HREF,那么低电压信号被提供给晶体管70,从而导致晶体管70不导电。因此,逆变器72的输入被上拉到逻辑高电平以及非过电压指示器信号被否定(例如,在逻辑电平低),这指示存在过电压条件。然而,如果HREF大于VFEEDBACK,那么高电压信号被提供给晶体管70,从而接通晶体管70。在这种情况下,逆变器72的输入被拉到逻辑低电平以及非过电压指示器信号被断言(例如,在逻辑电平高),指示不存在过电压条件。

[0022] 图4进一步示出根据本发明的一个实施例的MUX控制34和模拟定时器36。在图示的实施例中,MUX控制34包括模拟定时器36。图4包括PMOS晶体管74、76、78、80和82、电流源75、NMOS晶体管84、86、88和90、电容器92以及逆变器94。晶体管74的第一电流电极耦合于VDD,晶体管74的第二电流电极耦合于晶体管74的控制电极和电流源75的第一端子。电流源75的第二端子耦合于接地。晶体管76的第一端子耦合于VDD,晶体管76的控制电极耦合于晶体管74的控制电极。晶体管76的第二端子耦合于晶体管78的第一端子,晶体管78的控制电极耦合于晶体管74的控制电极,以及晶体管78的第二端子耦合于晶体管80的第一电流电极。晶体管80的控制电极耦合于晶体管74的控制电极,以及晶体管80的第二电流电极耦合于电路节点85。晶体管82的第一电流电极耦合于VDD,晶体管82的控制电极被耦合为接收非过电压指示器,以及晶体管82的第二电流电极耦合于节点85。晶体管84的第一电流电极耦合于节点85,晶体管84的控制电极被耦合为接收过电流指示器,以及晶体管80的第二电流电极耦合于晶体管86的第一电流电极。晶体管86的控制电极耦合于晶体管84的控制电极,并且还接收过电流指示器,以及晶体管86的第二电流电极耦合于晶体管88的第一电流电极。晶体管88的控制电极被耦合为接收非过电压指示器,以及晶体管88的第二电流电极耦合于接地。晶体管90的第一电流电极耦合于VDD,晶体管90的控制电极耦合于节点85,以及晶体管90的第二电流电极耦合于晶体管84的第二电流电极。电容器92的第一端子耦合于节点85,以及电容器92的第二端子耦合于接地。如图2中所示,逆变器94的输入耦合于节点85以及逆

变器94的输出向MUX22的控制输入提供ILIM_ON。

[0023] 在操作期间,当ILIMIT_ON被断言时,如参考图2所描述的,MUX22将电压箝位电路30耦合于晶体管14的控制电极。当ILIM_ON被否定时,MUX22将放大器12的输出耦合于晶体管14的控制电极。如可以从图4看到的,只要没有过电流条件(意思是过电流条件指示器被否定,例如,逻辑低电平),晶体管84和86都关闭。此外,当没有过电流条件,并且因此电压调节器10的反馈回路被关闭,并且VFEEDBACK被调节时,就没有过电压条件(意思是非过电压信号被断言,例如,逻辑高电平)。因此,晶体管82关闭,电路节点85通过晶体管80、78和76被上拉到逻辑高电平。逆变器94的输出是逻辑电平低,从而ILIM_ON被否定并且放大器12的输出耦合于晶体管14的控制电极以及VFEEDBACK被电压调节器10调节。

[0024] 仍然参照图4,一旦检测到过电流条件,由过电流检测电路28提供的过电流指示器被断言,从而接通晶体管84和86。而且,最初,一旦检测到过电流条件,非过电压条件尚未被检测,因此,晶体管88也被接通(因为没有过电压指示器被断言)。因此,节点85被拉低,导致逆变器94的输出变为逻辑电平高,从而断言ILIM_ON。一旦断言ILIM_ON,MUX22将电压箝位电路30耦合于晶体管14的控制电极。假设没有过电压条件发生,通过晶体管76、78、80以及电容器92产生的电路路径将导致节点85在超过该电路路径确定的预定时间量被拉回。一旦达到逆变器94的跳变点,ILIM_ON将再次被否定以允许电压调节器10返回到调节VFEEDBACK。因此,注意,晶体管76、78、80以及电容器92形成模拟定时器36,使得一旦检测到过电流条件并且断言过电流指示器,电路路径被激活以开始上拉节点85。一旦节点85达到逆变器94的跳变点,模拟定时器有效地期满。

[0025] 然而,如果发生过电压条件,过电压检测电路32否定非过电压指示器,这导致接通晶体管82,而截止晶体管88。因此,如果在检测到过电流条件之后但在模拟定时器36期满之前发生过电压条件,通过截止晶体管88但接通晶体管82,节点85被快速上拉(因为晶体管80、78和76被晶体管82旁路),并且一旦节点85达到跳变点,ILIM_ON被否定。即,节点85不再由提供模拟定时器的较慢路径控制。因此,注意,当不存在过电流条件或在检测到过电流条件之后但在定时器期满之前发生过电压条件时,响应于ILIM_ON的否定,MUX22将放大器12的输出耦合于晶体管14的控制电极。当存在过电流条件以及定时器期满尚未期满并且没有发生过电压条件时,响应于ILIM_ON的断言,MUX22将电压箝位电路30耦合于晶体管14的控制电极。

[0026] 图5进一步示出根据本发明的一个实施例的电流至电压转换器26和电压箝位电路30。图5包括PMOS晶体管104、110、112、122和114、NMOS晶体管126和124、电容器102、106和120以及电阻109、116和118。电容器102的第一端子耦合于VDD,而电容器102的第二端子耦合于VLIMIT(表示电压箝位电路30的输出,其通过MUX22被选择性地耦合于晶体管14的控制电极)。晶体管104的第一电流电极耦合于VDD,晶体管104的第二电流电极耦合于电容器102的第二端子,以及晶体管104的控制电极耦合于晶体管104的第二电流电极。晶体管108的第一电流电极耦合于VDD,而晶体管108的第二电流电极耦合于晶体管122的第一电流电极。晶体管122的第二电流电极耦合于晶体管122的控制电极和晶体管124的第一电流电极。晶体管124的第二电流电极耦合于接地。晶体管126的第一电流电极耦合于晶体管104的第二电流电极,以及晶体管126的第二电流电极耦合于接地。晶体管124的控制电极耦合于晶体管124的第一电流电极和晶体管126的控制电极。电容器106的第一端子耦合于VDD,而电容器

106的第二端子耦合于晶体管108的控制电极。电阻器109的第一端子耦合于晶体管108的控制电极。晶体管110的第一电流电极耦合于VDD,晶体管110的控制电极耦合于电阻器109的第二端子,以及晶体管110的第二电流电极耦合于晶体管114的第一电流电极。晶体管114的控制电极耦合于晶体管122的控制电极,以及晶体管114的第二电流电极耦合于电阻118的第一端子和电阻器116的第一端子。电阻118的第二端子耦合于接地。电阻116的第二端子向过电流检测电路28提供输出NVREF。电容器120的第一端子耦合于电阻116的第二端子,以及电容器120的第二端子耦合于接地。晶体管112的第一电流电极耦合于VDD,而晶体管112的第二电流电极被耦合为接收IREF(对应于从最大电流参考18接收的电流)。晶体管112的控制电极耦合于晶体管112的第二电流电极和晶体管110的控制电极。

[0027] 在操作期间,提供给晶体管112的第二电流电极的最大电流参考IREF被晶体管110镜像,并且提供给晶体管114。晶体管114、电阻器116和118以及电容器120作为电流至电压转换器26进行操作,从而将提供给晶体管114的最大电流参考转换成电压NVREF。通过电容器106和电阻器109过滤的最大电流的缩放版本是通过晶体管122和晶体管124提供的,并且被晶体管126镜像。当VLIMIT通过MUX22耦合于晶体管14的控制电极时,通过晶体管14的电流被通过晶体管104的电流所固定。以这种方式,通过晶体管14的电流被箝位。在图示的实施例中,由最大电流参考18提供的相同IREF被过电流检测电路28和电压箝位电路30使用。

[0028] 因此,目前可以了解如何使用检测电路以用于保护负载免受过电流条件和过电压条件的影响。此外,一旦在过电流条件发生预定时间量(由模拟定时器36确定的),通过箝位镇流器晶体管,提供给负载20的总平均电流可以保持在较低水平,而不是在不使用定时器的情况下提供箝位以在预定时间量保持箝位。此外,为了进一步保护电路,在其中对镇流器晶体管进行箝位的该预定时间量期间,响应于发生过电压条件,可以对过电压条件进行监测使得反馈回路可以在预定时间量期满之前立即被关闭。

[0029] 当将信号、状态位、或类似的装置分别描写为其逻辑真或逻辑假状态时,在本发明中使用术语“断言”或“设置”以及“否定”(或“去断言”或“清除”)。如果逻辑真状态是逻辑电平“1”,逻辑假状态是逻辑电平“0”。如果逻辑真状态是逻辑电平“0”,逻辑假状态是逻辑电平“1”。

[0030] 由于实施本发明的装置大部分是由本领域所属技术人员所熟知的电子元件以及电路组成,电路的细节不会在比上述所说明的认为有必要的程度大的任何程度上进行解释。对本发明基本概念的理解以及认识是为了不混淆或偏离本发明所教导的内容。

[0031] 虽然关于具体导电类型或电位极性描述了本发明,技术人员知道导电类型和电位极性可以是相反的。

[0032] 而且,在说明书和权利要求中的术语“前面”、“后面”、“顶部”、“底部”、“上面”、“下面”等等(如果有的话)是用于描述性的目的并且不一定用于描述永久性的相对位置。应了解术语的这种用法在适当的情况下是可以互换的以便本发明所描述的实施例例如能够在其它方向而不是本发明所说明的或另外进行操作。

[0033] 虽然本发明的描述参照具体实施例,如以下权利要求所陈述的,在不脱离本发明范围的情况下,可以进行各种修改以及变化。例如,电压调节器10的每一个块可以使用不同电路实施被执行。因此,说明书以及附图被认为是说明性而不是狭义性的,并且所有这些修改是为了包括在本发明范围内。本发明关于具体实施例所描述的任何好处、优点或解决方

案都不旨在被解释为任何或所有权利要求的重要的、必需的、或本质特征或元素。

[0034] 本发明所使用的术语“耦合”不旨在限制为直接耦合或机械耦合。

[0035] 此外,本发明所用的“一”或“一个”被定义为一个或多个。并且,在权利要求中所用词语如“至少一个”以及“一个或多个”不应该被解释以暗示通过不定冠词“一”或“一个”引入的其它权利要求元素限制任何其它特定权利要求。所述特定权利要求包括这些所介绍的对发明的权利元素,所述权利元素不仅仅包括一个这样的元素。即使当同一权利要求中包括介绍性短语“一个或多个”或“至少一个”以及不定冠词,例如“一”或“一个”。使用定冠词也是如此。

[0036] 除非另有说明,使用术语如“第一”以及“第二”是用于任意区分这些术语描述的元素。因此,这些术语不一定表示时间或这些元素的其它优先次序。

[0037] 以下是本发明的各种实施例。

[0038] 项1包括一种电压调节器,所述电压调节器包括具有耦合于第一参考电压的第一输入和耦合于电压反馈信号的第二输入的放大器;具有耦合于所述放大器的输出的第一输入、耦合于电压箝位信号的第二输入和控制输入的复用器;具有耦合于过电流指示器的第一输入、耦合于非过电压指示器的第二输入、耦合于定时器信号的第三输入以及耦合于所述复用器的所述控制输入的输出的控制电路。项2包括项1所述的电压调节器,并且还包括耦合于所述放大器的所述输入的负载电路。项3包括项2所述的电压调节器,并且还包括具有耦合于所述复用器的输出的栅极端子、耦合于电源电压的源极端子以及耦合于所述负载电路和所述放大器的所述第二输入的漏极端子的镇流器晶体管。项4包括项1所述的电压调节器,并且还包括具有耦合于所述复用器的所述输出的栅极端子、耦合于电源电压的源极端子以及耦合于第一电流至电压转换器电路的输入的漏极端子的电流定标器晶体管。项5包括项4所述的电压调节器,并且还包括被配置为向过电流检测电路提供定标电流的第一电流至电压转换器电路,以及所述过电流检测电路输出所述过电流指示器。项6包括项5所述的电压调节器,并且还包括具有耦合于最大参考电流电源的输入和耦合于所述过电流检测电路的输出的第二电流至电压转换器电路。项7包括项6所述的电压调节器,其中所述过电流检测电路(28)包括比较器电路。项8包括项1所述的电压调节器,并且还包括具有耦合于第二参考电压的第一输入、耦合于所述电压反馈信号的第二输入以及提供非过电压指示器的输出的过电压检测电路。项9包括项8所述的电压调节器,其中所述过电压检测电路包括比较器电路。项10包括项1所述的电压调节器,并且还包括被配置为提供所述定时器信号的模拟定时器电路,其中当检测到过电流条件但没有检测到过电压条件时,由所述电压调节器输出的电流被限制,直到定时器期满为止。

[0039] 项11包括一种电压调节器。所述电压调节器包括具有耦合于过电流指示器的第一输入、耦合于非过电压指示器的第二输入、耦合于定时器信号的第三输入以及被耦合为提供控制信号的输出的电压调节器控制电路;以及具有耦合于放大器输出信号的第一输入、耦合于电压极限信号的第二输入以及耦合于所述控制信号的控制输入的复用器;以及其中当过电流条件不存在而过电压条件存在时,所述复用器输出所述放大器输出信号,以及当所述过电流条件存在以及在所述过电压条件不存在时所述定时器信号尚未期满时,所述复用器输出所述电压极限信号。项12包括项11所述的电压调节器,其中当所述过电压条件不存在以及所述定时器信号期满时,所述复用器输出所述放大器输出信号。项13包括项11所

述的电压调节器,并且还包括被耦合为在第一输入接收参考电压和在第二输入接收反馈电压以及输出所述放大器输出信号的放大器,其中所述反馈电压基于耦合于负载的电压调节器电源电压。项14包括项11所述的电压调节器,并且还包括被配置为将第二参考电压和所述反馈电压进行比较并且设置非过电压指示器以指示所述过电压条件是否存在的过电压检测电路。项15包括项11所述的电压调节器,并且还包括被配置为将定标电流和最大电流进行比较并且设置过电流指示器以指示所述过电流条件是否存在的过电流检测电路。项16包括项15所述的电压调节器,并且还包括被耦合以在选定时间量接收所述过电流指示器和所述非过电压指示器以及输出尚未期满的定时器信号的模拟定时器电路。项17包括项11所述的电压调节器,并且还包括具有耦合于所述复用器的输出的栅极端子、耦合于电源电压的源极端子以及耦合于负载电路的漏极端子的镇流器晶体管。项18包括项11所述的电压调节器,并且还包括具有耦合于所述复用器的输出的栅极端子、耦合于电源电压的源极端子以及耦合于第一电流至电压转换器电路的输入的漏极端子的电流定标器晶体管。

[0040] 项19包括一种调节电压的方法。所述方法包括当负载器件所需的电流大于最大电流时,限制提供给所述负载装置的电流以及激活定时器;以及当提供给所述负载器件的电压小于或等于最大电压时,在再次允许所述负载器件吸取大于所述最大电流的电流量之前等待直到所述定时器期满。项20包括项19所述的方法,并且还包括当提供给所述负载器件的电压大于所述最大电压时,向所述负载器件提供调节电压。

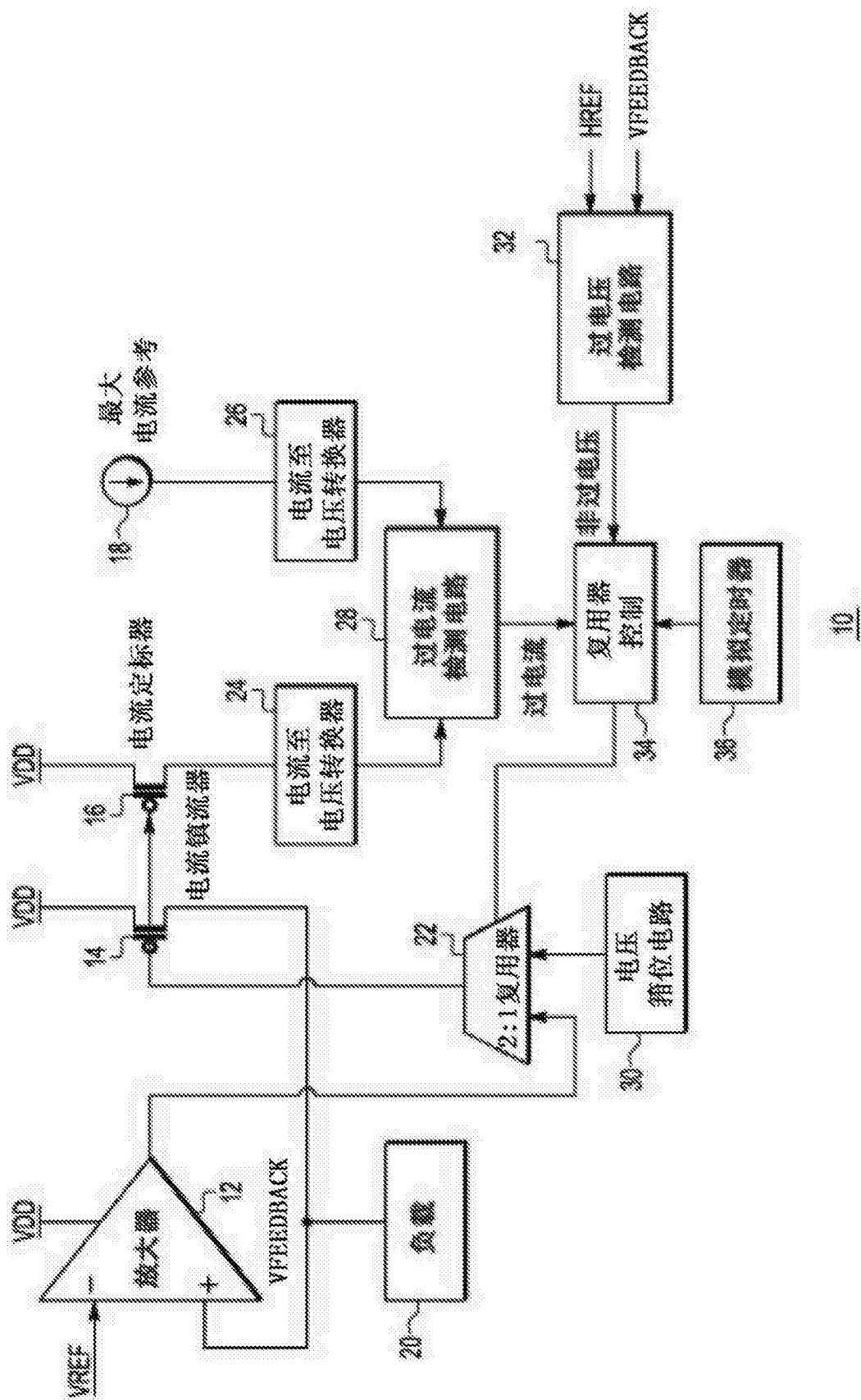


图1

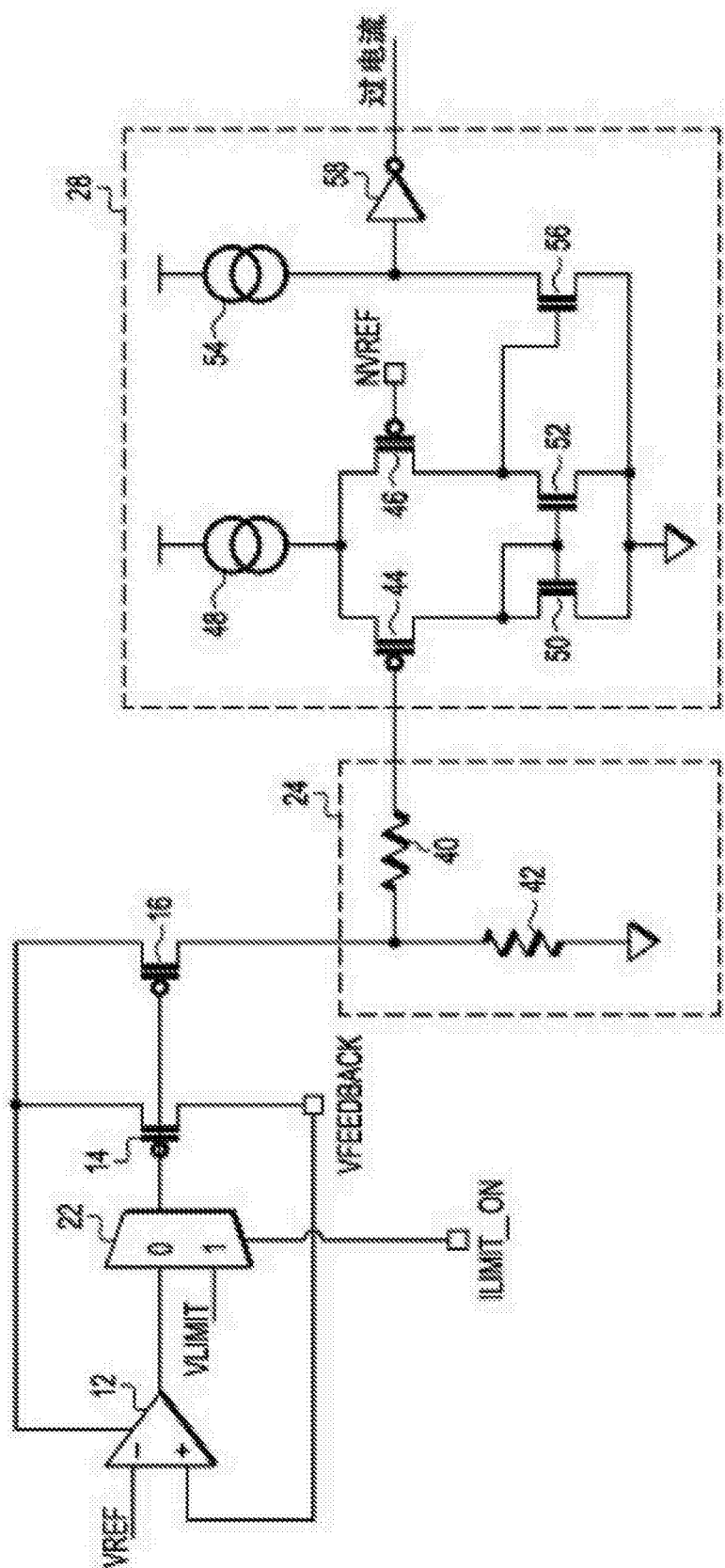


图 2

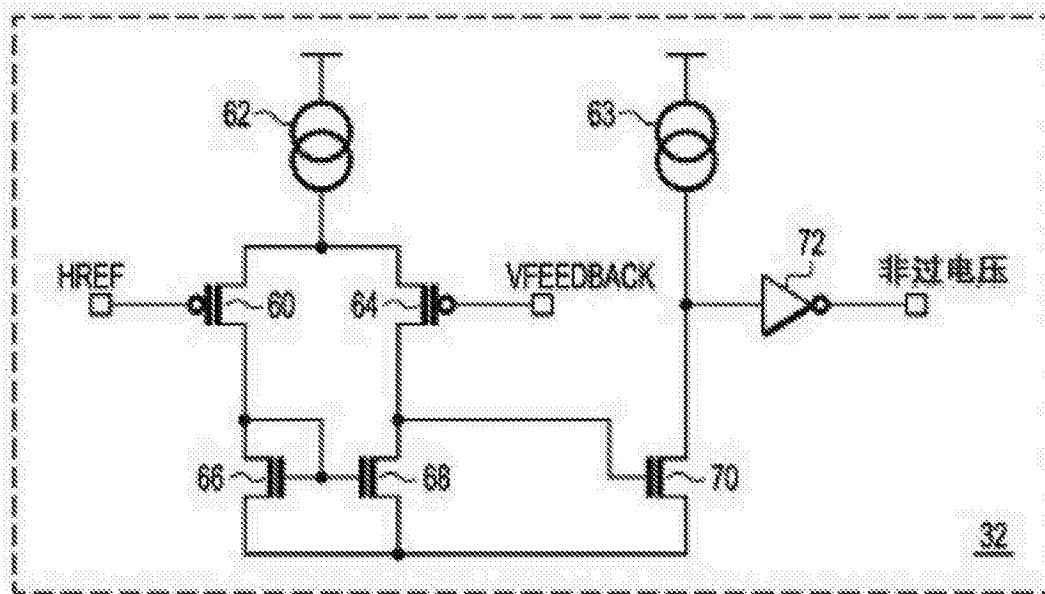


图3

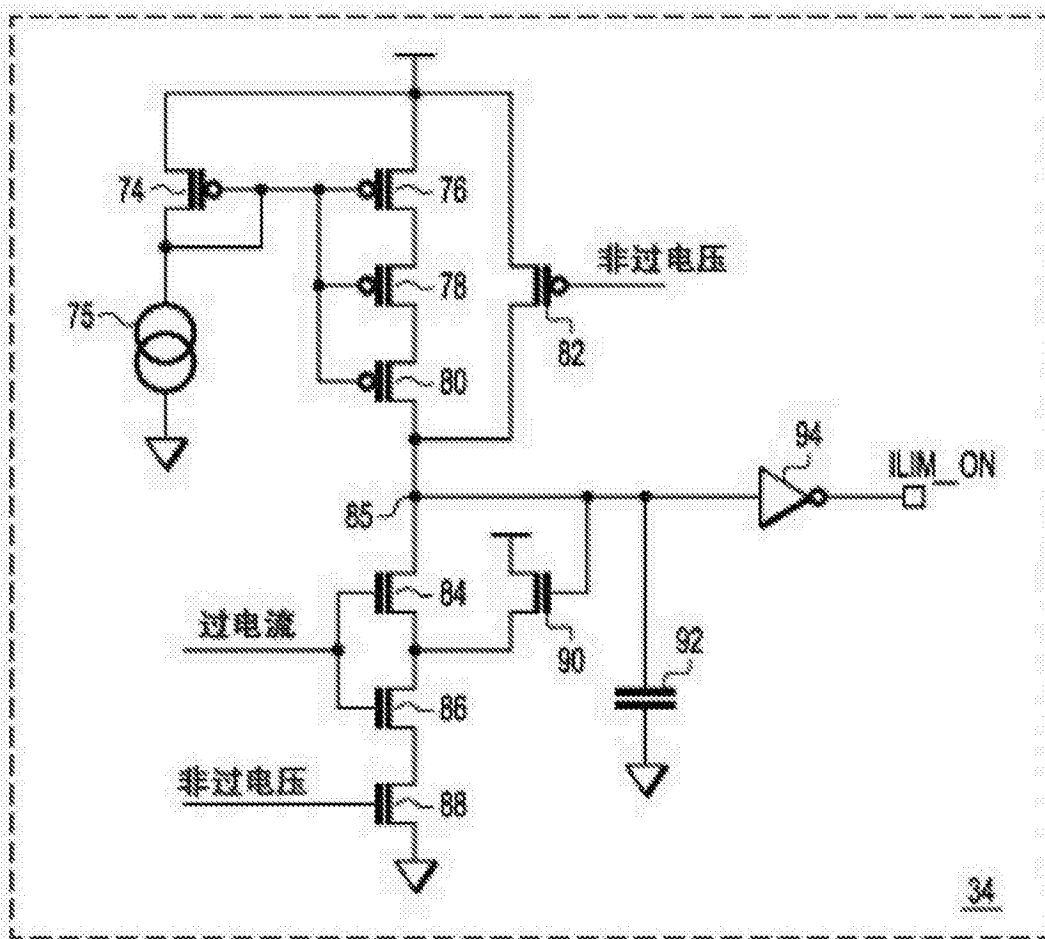


图4

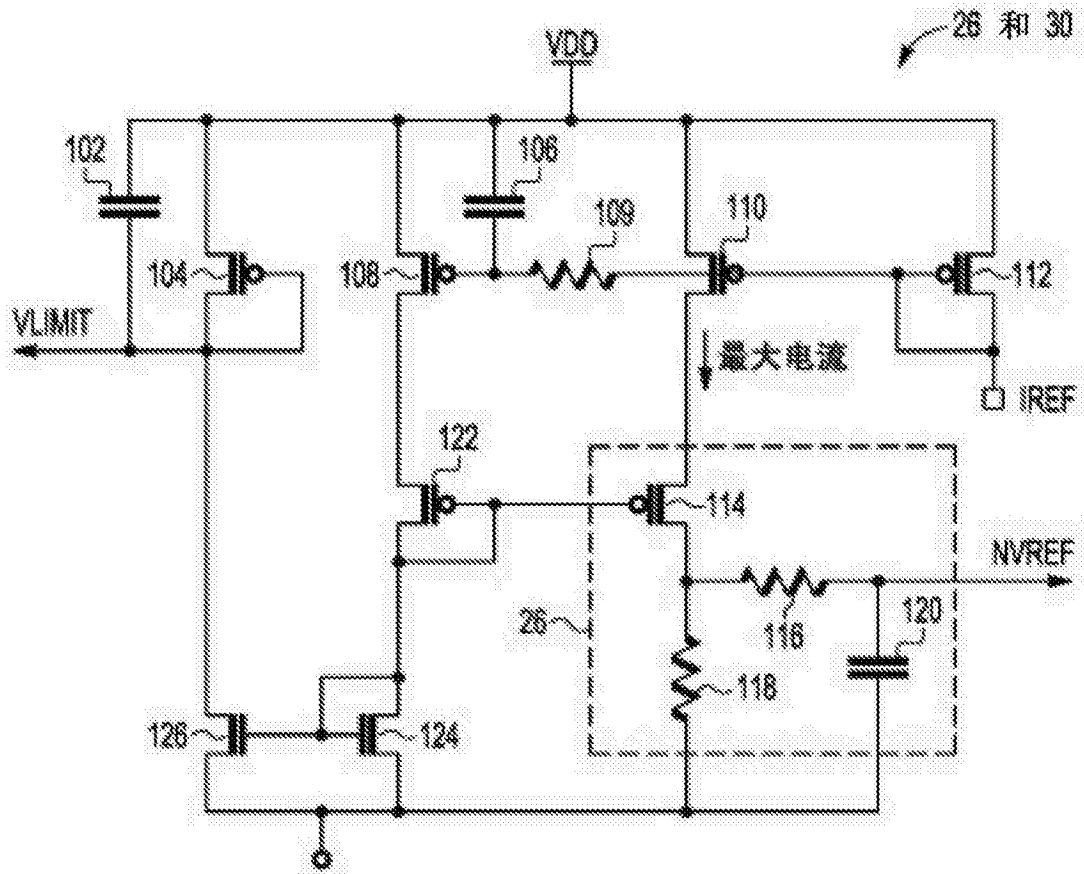


图5

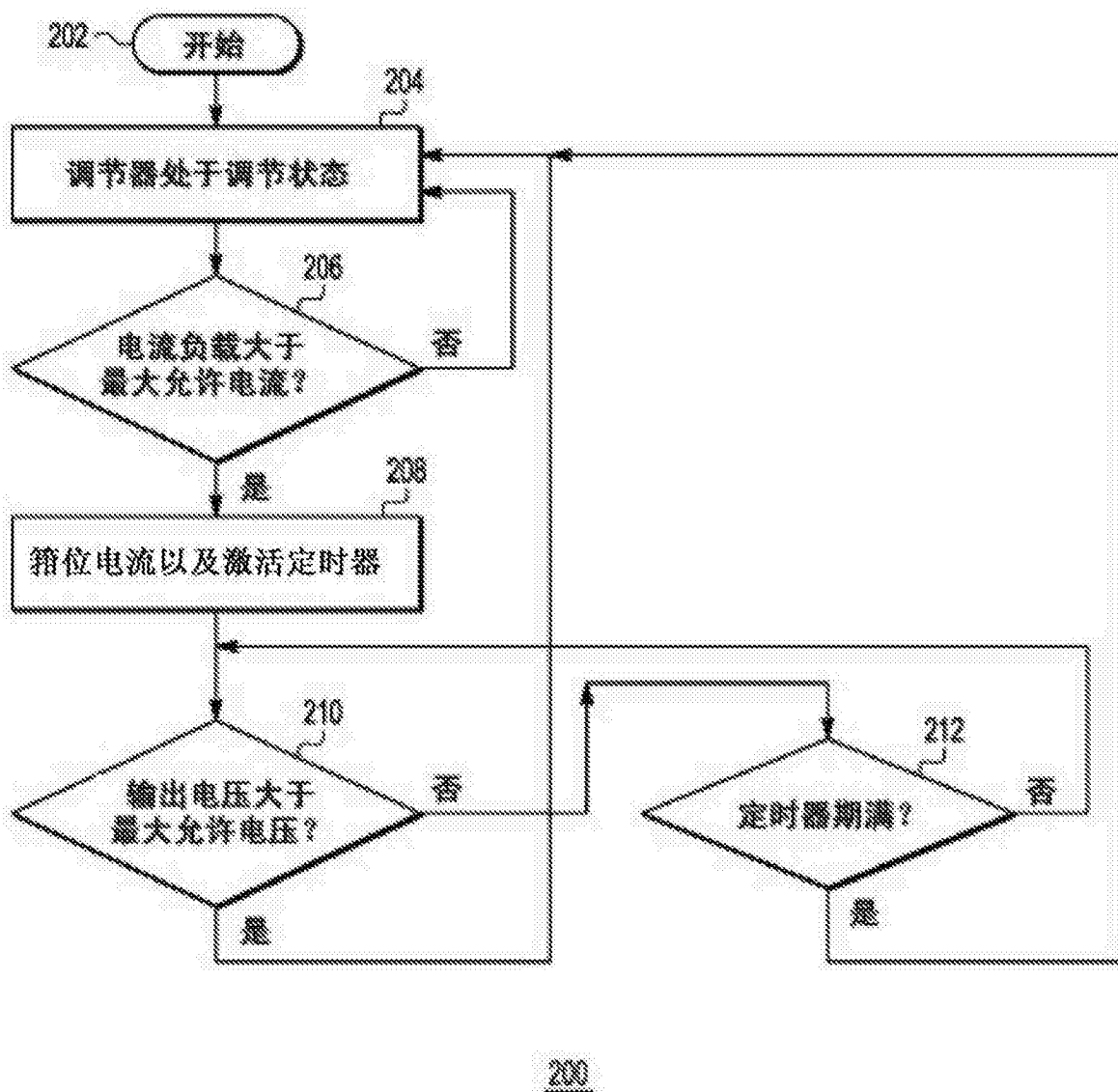


图6