



(12)发明专利

(10)授权公告号 CN 105006453 B

(45)授权公告日 2018.03.30

(21)申请号 201410163869.8

(22)申请日 2014.04.22

(65)同一申请的已公布的文献号
申请公布号 CN 105006453 A

(43)申请公布日 2015.10.28

(30)优先权数据
10201401622R 2014.04.17 SG

(73)专利权人 台达电子国际(新加坡)私人有限公司
地址 新加坡加基武吉一道4号5楼之4

(72)发明人 陈大容

(74)专利代理机构 隆天知识产权代理有限公司
72003
代理人 李昕巍 赵根喜

(51)Int.Cl.

H01L 23/31(2006.01)

H01L 23/488(2006.01)

H01L 23/367(2006.01)

(56)对比文件

US 2010/0127383 A1,2010.05.27,

US 2010/0127383 A1,2010.05.27,

CN 102915977 A,2013.02.06,

US 2012/0306086 A1,2012.12.06,

CN 103477429 A,2013.12.25,

审查员 韩增智

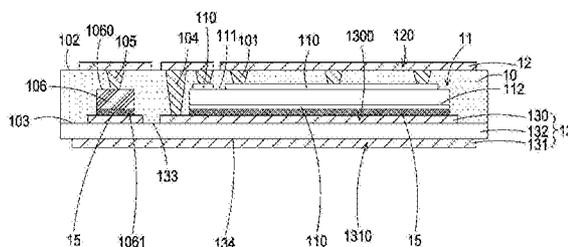
权利要求书3页 说明书9页 附图11页

(54)发明名称

封装结构

(57)摘要

本发明关于一种封装结构,包含:第一绝缘层,具有第一导电通孔;第一导电层,设置于第一绝缘层的顶面上,且与第一导电通孔连接而导通;覆铜陶瓷基板,包含:陶瓷基底,利用一压合动作后设置于第一绝缘层的底面上且外露于第一绝缘层;第二导电层,设置于陶瓷基底的顶面上且埋设于第一绝缘层内;以及第三导电层,设置于陶瓷基底的底面上;以及第一电子元件,内埋于第一绝缘层内并设置于第二导电层上,且具有第一导接端,第一导接端与第二导电层相导通及/或通过第一导电通孔而与第一导电层相导通。



1. 一种封装结构,其特征在于,包含:
 - 第一绝缘层,具有至少一第一导电通孔;
 - 第一导电层,设置于该第一绝缘层的一顶面上,且与该至少一第一导电通孔连接而导通;
 - 覆铜陶瓷基板,包含:
 - 陶瓷基底,利用一压合动作后设置于该第一绝缘层的一底面上且外露于该第一绝缘层,且包含外露于周围的一第一侧面及与该第一侧面相对的一第二侧面;
 - 第二导电层,设置于该陶瓷基底的一顶面上且埋设于该第一绝缘层内;以及
 - 第三导电层,设置于该陶瓷基底的一底面上;以及
 - 至少一第一电子元件,内埋于该第一绝缘层内并以一固着材料黏着于该第二导电层上,且具有至少一第一导接端,其中该至少一第一导接端与该第二导电层相导通及/或通过该至少一第一导电通孔而与该第一导电层相导通。
2. 根据权利要求1所述的封装结构,其还包含一第一散热装置,与该第三导电层相邻地外接于该封装结构的一侧。
3. 根据权利要求1所述的封装结构,其中该第三导电层的水平长度短于该陶瓷基底的水平长度,且该第三导电层设置于该陶瓷基底的该底面的实质上中间位置。
4. 根据权利要求1所述的封装结构,其中该第一绝缘层还具有:
 - 第三导电通孔,该第三导电通孔的一端与该第一导电层连接而导通;以及
 - 导接块,该导接块的一顶面与该第三导电通孔的另一端相连接而导通,该导接块的一底面设置于该第二导电层上,且该导接块的材质为金属。
5. 根据权利要求1所述的封装结构,其中该第一导电层包括至少一个第一导电图形,该第二导电层包括至少一个第二导电图形,该第三导电层包括至少一个第三导电图形。
6. 根据权利要求5所述的封装结构,其中该至少一第一导电图形与对应的该至少一第一导电通孔相连接而导通,且该第二导电图形供该至少一第一电子元件设置,且与该至少一第一电子元件的该第一导接端连接而导通。
7. 根据权利要求6所述的封装结构,其中该第一电子元件具有一上表面及一下表面,位于该第一电子元件的该上表面的每一个该导接端通过对应的该第一导电通孔与对应的该第一导电图形导通,位于该第一电子元件的该下表面的每一个该导接端设置于对应的该第二导电图形而与该第二导电图形导通。
8. 根据权利要求5所述的封装结构,其中该第一绝缘层还具有一第二导电通孔,该第二导电通孔的一端与对应的该第一导电图形相连接,该第二导电通孔的另一端与对应的该第二导电图形相连接。
9. 一种封装结构,其特征在于,包含:
 - 第一绝缘层,具有至少一第一导电通孔;
 - 第一导电层,设置于该第一绝缘层的一顶面上,且与该至少一第一导电通孔连接而导通,其中该第一导电层包括至少一个第一导电图形;
 - 覆铜陶瓷基板,包含:
 - 陶瓷基底,利用一压合动作后设置于该第一绝缘层的一底面上且外露于该第一绝缘层;

一第二导电层,设置于该陶瓷基底的一顶面上且埋设于该第一绝缘层内;以及
一第三导电层,设置于该陶瓷基底的一底面上;

至少一第一电子元件,内埋于该第一绝缘层内并以一固着材料黏着于该第二导电层上,且具有至少一第一导接端,其中该至少一第一导接端与该第二导电层相导通及/或通过该至少一第一导电通孔而与该第一导电层相导通;以及

多个导脚,每一该导脚设置与连接于对应的该第一导电图形上。

10. 根据权利要求9所述的封装结构,其还包括至少一第二电子元件,设置于该第一导电层上且位于该多个导脚之间,并具有至少一第二导接端,每一该第二导接端设置于对应的该第一导电图形上。

11. 根据权利要求10所述的封装结构,其中该导脚还包含:

一插接部;以及

一抵顶部,该抵顶部的一端部设置且连接于对应的该第一导电图形上,该抵顶部的另一端部连接于该插接部,且该抵顶部的宽度大于该插接部的宽度。

12. 根据权利要求11所述的封装结构,其中该抵顶部于该第一导电层上的整体高度大于该第二电子元件于该第一导电层上的整体高度。

13. 根据权利要求9所述的封装结构,其还包含:

一第一绝缘散热层,设置于该第一导电层上且包覆部分该第一导电层;以及

一第二散热装置,与该第一绝缘散热层相邻地外接于该封装结构的一侧,用以加强该第一导电层的散热效率。

14. 根据权利要求13所述的封装结构,其中该多个导脚设置于暴露该第一绝缘散热层外的部分该第一导电层上,而该第二散热装置设置于该多个导脚之间。

15. 一种封装结构,其特征在于,包含:

一第一绝缘层,具有至少一第一导电通孔;

一第一导电层,设置于该第一绝缘层的一顶面上,且与该至少一第一导电通孔连接而导通,其中该第一导电层包括至少一个第一导电图形;

一覆铜陶瓷基板,包含:

一陶瓷基底,利用一压合动作后设置于该第一绝缘层的一底面上且外露于该第一绝缘层;

一第二导电层,设置于该陶瓷基底的一顶面上且埋设于该第一绝缘层内;以及

一第三导电层,设置于该陶瓷基底的一底面上;

至少一第一电子元件,内埋于该第一绝缘层内并以一固着材料黏着于该第二导电层上,且具有至少一第一导接端,其中该至少一第一导接端与该第二导电层相导通及/或通过该至少一第一导电通孔而与该第一导电层相导通;

一第二绝缘层,设置于该第一导电层上,且包覆该第一导电层,并具有至少一第四导电通孔;

一第四导电层,设置于该第二绝缘层的一顶面,且与该第四导电通孔连接而导通;以及

一第三电子元件,内埋于该第二绝缘层内并以该固着材料黏着于该第一导电层上,且具有多个第三导接端,其中该多个第三导接端与该第一导电层相导通及/或通过该至少一第四导电通孔而与该第四导电层相导通。

16. 根据权利要求15所述的封装结构,其中该第四导电层包括至少一第四导电图形,且该第三电子元件具有一上表面及一下表面,位于该第三电子元件的该上表面的该第三导接端与该第四导电通孔相连接而导通,且位于该第三电子元件的该下表面的该第三导接端设置于该第一导电层上而与该第一导电层相连接导通。

17. 根据权利要求16所述的封装结构,其中该第二绝缘层还具有第五导电通孔,该第五导电通孔的一端与对应的该第四导电图形相连接,该第五导电通孔的另一端与对应的该第一导电图形相连接。

18. 根据权利要求16所述的封装结构,其还包括多个导脚,每一该导脚设置与连接于对应的该第四导电图形上。

19. 根据权利要求18所述的封装结构,其还包含:

一第二绝缘散热层,设置于该第四导电层上且包覆部分该第四导电层;以及

一第三散热装置,与该第二绝缘散热层相邻地外接于该封装结构的一侧,用以加强该第四导电层的散热效率。

20. 根据权利要求19所述的封装结构,其还包含一金属层,设置于该第二绝缘散热层与该第三散热装置之间。

封装结构

技术领域

[0001] 本发明关于一种封装结构,尤指一种将覆铜陶瓷基板部分内埋于绝缘层内的封装结构。

背景技术

[0002] 近年来随着可携式电子产品的蓬勃发展,各类相关产品逐渐朝向高密度、高性能以及轻、薄、短、小的趋势发展。再者,许多电子产品的内部电路已朝模块化发展,藉以使许多功能整合在一电路模块中。以常见的电路模块例如功率电源模块(power module)为例,其可应用于逆变器(Inverter)、转换器(Converter)、电动汽车(EV)或混合电动汽车(HEV)中,且通常将例如电容器、电阻器、电感、变压器、二极管、晶体管等电子元件整合为功率电源模块,进而可将功率电源模块安装于主机板或系统电路板上。

[0003] 目前传统的功率电源模块的封装结构以壳型封装(housing package)为主,亦即将散热程度及耐电压程度较佳的覆铜陶瓷基板(Direct Bond Copper;DBC)作为基板,并于覆铜陶瓷基板的其中一面放置多个功率半导体裸芯片、无源元件及用来对外连接的导脚(Pin),且功率半导体裸芯片、无源元件及导脚利用焊锡(solder)而焊接在覆铜陶瓷基板上。各功率半导体裸芯片可以利用铝线、金线、铜线、带状接合(ribbon bond)或铜削(copper clipper)等材料而以打线的方式与外部的装置或元件连接。此外,覆铜陶瓷基板上功率半导体裸芯片、无源元件及导脚所设置的面将盖上一塑壳,塑壳利用黏着剂(或胶)而与覆铜陶瓷基板黏着,接着于塑壳与覆铜陶瓷基板的空间内注入硅胶(silicone gel),以保护功率半导体裸芯片,同时提供绝缘之用。最后于硅胶固化后,再于塑壳的上方盖上封盖,即完成壳型封装。

[0004] 虽然覆铜陶瓷基板可提供较佳的散热效率并具有较佳的耐电压程度,然而由于传统以壳型封装的封装结构仅能于覆铜陶瓷基板的其中一面放置半导体裸芯片及无源元件等电子元件,因此实际上传统封装结构仅能以2D方式摆放电子元件,故局限了电子元件的设置密度。此外,因传统封装结构的电子元件摆放在覆铜陶瓷基板的同一层,故电子元件元件与电子元件元件之间的线路连接距离仍然太长,导致线阻高,且较易产生寄生效应,进而影响电特性。更甚者,传统封装结构皆以插件或螺旋固定(screwing)的方式将功率电源模块组装于主机板或系统电路板上,而无法以回焊(reflow)的方式组装,因此限制了传统封装结构的应用场合。

[0005] 因此,如何发展一种可改善上述公知技术缺失的封装结构,实为相关技术领域者目前所迫切需要解决的问题。

发明内容

[0006] 本发明的主要目的为提供一种封装结构,其藉由将覆铜陶瓷基板部分内埋于绝缘层内,以解决公知封装结构易产生寄生效应而影响电特性。

[0007] 本发明的另一目的在于提供一种封装结构,其可以多层方式堆叠电子元件,因此

实现高积密度电子元件封装,且可应用于表面黏着技术。

[0008] 为达上述目的,本发明提供一种封装结构,包含:第一绝缘层,具有至少一第一导电通孔;第一导电层,设置于第一绝缘层的顶面上,且与至少一第一导电通孔连接而导通;覆铜陶瓷基板,包含:陶瓷基底,利用一压合动作后设置于第一绝缘层的底面上且外露于第一绝缘层;第二导电层,设置于陶瓷基底的顶面上且埋设于第一绝缘层内;以及第三导电层,设置于陶瓷基底的底面上;以及至少一第一电子元件,内埋于第一绝缘层内并以固着材料黏着于第二导电层上,且具有至少一第一导接端,其中至少一第一导接端与第二导电层相导通及/或通过至少一第一导电通孔而与第一导电层相导通。

附图说明

[0009] 图1A为本发明第一实施例的封装结构的剖面结构示意图。

[0010] 图1B为图1A所示的封装结构的另一变化例。

[0011] 图2为本发明第二实施例的封装结构的剖面结构示意图。

[0012] 图3为本发明第三实施例的封装结构的剖面结构示意图。

[0013] 图4为本发明第四实施例的封装结构的剖面结构示意图。

[0014] 图5为本发明第五实施例的封装结构的剖面结构示意图。

[0015] 图6为本发明第六实施例的封装结构的剖面结构示意图。

[0016] 图7为本发明第七实施例的封装结构的剖面结构示意图。

[0017] 图8为本发明第八实施例的封装结构的剖面结构示意图。

[0018] 图9为本发明第九实施例的封装结构的剖面结构示意图。

[0019] 图10为本发明第十实施例的封装结构的剖面结构示意图。

[0020] 其中,附图标记说明如下:

[0021] 1、2、3、4、5、6、7、8、9、100:封装结构

[0022] 10:第一绝缘层

[0023] 101:第一导电通孔

[0024] 102:第一绝缘层的顶面

[0025] 103:第一绝缘层的底面

[0026] 104:第二导电通孔

[0027] 105:第三导电通孔

[0028] 106:导接块

[0029] 1060:导接块的顶面

[0030] 1061:导接块的底面

[0031] 11、11a、11b、11c、11d:第一电子元件

[0032] 110:第一导接端

[0033] 111、611:上表面

[0034] 112、612:下表面

[0035] 12:第一导电层

[0036] 120:第一导电图形

[0037] 13:覆铜陶瓷基板

- [0038] 130:第二导电层
- [0039] 1300:第二导电图形
- [0040] 131:第三导电层
- [0041] 1310:第三导电图形
- [0042] 132:陶瓷基底
- [0043] 133:陶瓷基底的顶面
- [0044] 134:陶瓷基底的底面
- [0045] 14:第一散热装置
- [0046] 15:固着材料
- [0047] 30、80:导脚
- [0048] 300:插接部
- [0049] 301:抵顶部
- [0050] 40、40a、40b、40c:第二电子元件
- [0051] 400:第二导接端
- [0052] 41:焊锡
- [0053] 50:第一绝缘散热层
- [0054] 51:第二散热装置
- [0055] 60:第二绝缘层
- [0056] 600:第四导电通孔
- [0057] 601:第二绝缘层的顶面
- [0058] 602:第五导电通孔
- [0059] 61、61a、61b、61c:第三电子元件
- [0060] 610:第三导接端
- [0061] 62:第四导电层
- [0062] 620:第四导电图形
- [0063] 90:第二绝缘散热层
- [0064] 91:第三散热装置
- [0065] 200:金属层

具体实施方式

[0066] 体现本发明特征与优点的一些典型实施例将在后段的说明中详细叙述。应理解的是本发明能够在不同的态样上具有各种的变化,其皆不脱离本发明的范围,且其中的说明及附图在本质上当作说明之用,而非限制本发明。

[0067] 图1A为本发明第一实施例的封装结构的剖面结构示意图。如图1A所示,本发明的封装结构1可应用于表面黏着型的电子元件模块,且包含第一绝缘层10、至少一第一电子元件11、第一导电层12、覆铜陶瓷基板13。

[0068] 第一绝缘层10具有多个第一导电通孔(conductive vias)101。第一导电层12设置于第一绝缘层10的顶面102上,且覆盖部分的第一绝缘层10的顶面102。再者,第一导电层12与第一导电通孔101连接而导通。

[0069] 覆铜陶瓷基板13部分埋设于第一绝缘层10内,且具有第二导电层130、第三导电层131及陶瓷基底132。陶瓷基底132利用一压合动作后设置于第一绝缘层10的底面103上且外露于第一绝缘层10。第二导电层130设置于陶瓷基底132的一顶面133上,且埋设于第一绝缘层10内。第三导电层131相对于第二导电层130而设置于陶瓷基底132的一底面134上。

[0070] 第一电子元件11内埋于第一绝缘层10内,且以固着材料15而黏着设置于第二导电层130上,该第一电子元件11具有至少一第一导接端110,其中位于第一电子元件11的上表面111的第一导接端110与第一导电通孔101相连接而导通,位于第一电子元件11的下表面112的第一导接端110设置于第二导电层130上而与第二导电层130相连接而导通。

[0071] 于本实施例中,第一绝缘层10的材质(可为但不限于)例如是树脂或是其他具高热传导系数的绝缘材料。再者,第一导电通孔101位于第一绝缘层10中,并暴露于第一绝缘层10的顶面102且与第一导电层12相接触。多个第一导电通孔101的形成方式可先以例如但不限于雷射钻孔、机械钻孔或是光刻(Photolithography)成孔方式于第一绝缘层10中形成多个孔洞,之后再于该多个孔洞中以例如但不限于填充或电镀方式将导电物质形成于该多个孔洞中,以形成多个第一导电通孔101。

[0072] 第一导电层12、第二导电层130及第三导电层131可分别以例如蚀刻方式而形成一个或是多个彼此独立且隔离的第一导电图形120、第二导电图形1300及第三导电图形1310,例如如图1A所示,第一导电层12利用蚀刻方式而形成三个彼此独立且隔离的第一导电图形120,第二导电层130以蚀刻方式形成两个第二导电图形1300,第三导电层131以蚀刻方式形成一个第三导电图形1310,该第一导电图形120与对应的至少一第一导电通孔101相连接而导通,第二导电图形1300可设置至少一第一电子元件11,且与对应的该第一电子元件11的第一导接端110连接而导通。

[0073] 于一些实施例中,第一导电层12、第二导电层130及第三导电层131(可为但不限于)例如是由铜或其他导电材料所构成,并分别以例如电镀或沉积方式形成于第一绝缘层10的顶面102、陶瓷基底132的顶面133及陶瓷基底132的底面134上。第一导电图形120及第三导电图形1310可作为封装结构1的接触垫,以使封装结构1可利用表面黏着技术设置于一系统电路板(未图示)上。

[0074] 于一些实施例中,固着材料15(可为但不限于)例如是银烧结(Ag sintering)、银环氧树脂接着剂(Ag adhesive epoxy)、焊锡、接着剂、银扩散软焊(Diffusion soldering)等所构成,且以具有较佳湿敏等级(Moisture Sensitivity Level;MSL)而使用寿命较长的银烧结或银扩散软焊为佳。

[0075] 于本实施例中,第一电子元件11可为有源元件或是无源元件,例如但不限于集成电路、整合性功率元件、金属氧化物半导体场效晶体管(MOSFET)、绝缘栅双极性晶体管(Insulated-gate bipolar transistor,IGBT)、二极管(Diode)、电容、电阻、电感或保险丝等。

[0076] 于一些实施例中,封装结构1的第一绝缘层10更可具有至少一第二导电通孔104,第二导电通孔104的第一端与对应的第一导电图形120相连接,第二导电通孔104的第二端与对应的第二导电图形1300相连接,用以当第一电子元件11所产生的热能传导至第二导电层130时,可通过第二导电通孔104进一步将热能传导至第一导电层12,以提升散热效率,同时使第一导电层12及第二导电层130相导通,藉此当第一电子元件11的第一导接端110设置

于与第二导电通孔104相连接导通的第二导电层130上时,第一导接端110可藉由第二导电层130、第二导电通孔104而与第一导电层12相导通,如此一来,第一导电图形120可作为封装结构1的接触垫,藉此使封装结构1可以表面黏着技术安装于一系统电路板上,此时第一电子元件11的第一导接端110可藉由对应的第二导电图形1300、第二导电通孔104及第一导电图形120而与系统电路板上的线路或其它电子元件等电性连接。于上述实施例中,第二导电通孔104的形成方式相同于第一导电通孔101,因此于此不再赘述。

[0077] 于一实施例中,第一电子元件11以绝缘栅双极性晶体管为较佳,如图1A所示,第一电子元件11具有三个第一导接端110,亦即分别为栅极、集极及射极,其中栅极、集极及射极的任二者设置于第一电子元件11的上表面111,栅极、集极及射极的另一者设置于第一电子元件11的下表面112。

[0078] 于其它实施例中,第三导电层131的水平长度实质上短于陶瓷基底132的水平长度,且第三导电层131设置于陶瓷基底132的底面134的实质上中间位置,如此一来,可增加位于封装结构1外侧的第三导电层131与第一导电层12之间的沿面爬电距离。

[0079] 此外,为了使第一导电层12以及第二导电层130可相互导接,第二导电通孔104的第一端以及第二端分别需与第一导电层12以及第二导电层130相连接,因此在第一绝缘层10内欲形成第二导电通孔104而以雷射钻孔、机械钻孔或是光刻(Photolithography)成孔方式所形成的孔洞须必须较深,才能使孔洞连接第一导电层12以及第二导电层130,由此可知,第二导电通孔104的形成时较为费工费时,且可能破坏第一绝缘层10的结构。因此于一些实施例中,第一绝缘层10更具有一第三导电通孔105以及一导接块106,其中第三导电通孔105的第一端与第一导电层12连接而导通,第三导电通孔105的第二端与导接块106的顶面1060相连接而导通,导接块106的底面1061利用固着材料15而设置于第二导电层130上,且导接块106的材质为金属,并可但不限于由一铜柱(copper stud)所构成,如此一来,第二导电通孔104可由第三导电通孔105以及导接块106取代,以利用导接块106来辅助第三导电通孔105而使第一导电层12以及第二导电层130相连接导通,故可使第三导电通孔105于形成时所需具有的孔洞的深度相较于第二导电通孔104于形成时所需具有的孔洞的深度为短,进而节省第三导电通孔105的制造工艺工时,且较不易破坏第一绝缘层10的结构。于上述实施例中,第三导电通孔105的形成方式相同于第一导电通孔101,因此于此不再赘述。

[0080] 当本实施例的封装结构1的第一电子元件11开始运作并产生热能时,由于第一电子元件11的第一导接端110经由对应的第一导电通孔101而与对应的第一导电图形120相导通及/或藉由设置于对应的第二导电图形1300上而与第二导电图形1300相导通,因此第一电子元件11的第一导接端110、对应的第一导电通孔101、对应的第一导电图形120及对应的第二导电图形1300之间可形成导电及导热路径。此外,由于具导热特性的陶瓷基底132设置于第二导电层130及第三导电层131之间,因此,第二导电层130所接收到由第一电子元件11所传来的热能亦经由陶瓷基底132传导至第三导电层131上,因此第一电子元件11所产生的热能便可经由第一导电图形120、第三导电图形1310而以双面散热方式传导至封装结构1的外部的上方及下方。此外,由于本发明将第一电子元件11内埋于第一绝缘层10内,且使第一电子元件11的第一导接端110经由对应的第一导电通孔101而与对应的第一导电图形120相导通及/或藉由设置于对应的第二导电图形1300上而与第二导电图形1300相导通,故第一电子元件11无须额外再利用打线方式(wire bond)来与第一导电图形120及/或第二导电图

形1300相导通,故可藉由省略打线步骤而减少封装结构1的制造工艺复杂度及生产成本。更甚者,本发明可利用第一导电图形120作为封装结构1的接触垫,藉此使封装结构1可以表面黏着技术安装于一系统电路板上,因此相较于传统封装结构仅能以插件或螺旋固定(screwing)的方式将组装于主机板或系统电路板上,本发明的封装结构的应用场合较为广泛。

[0081] 当然,为了加强例如图1A所示的封装结构1的散热效率,于一些实施例中,如图1B所示,封装结构1更可具有一第一散热装置14,第一散热装置14与第三导电层131相邻地外接于封装结构1的一侧,因此当第一电子元件11所产生的热能经由第三导电层131而散热传导至封装结构1的外部的下方时,第一散热装置14便可加强第三导电层131的散热效率。

[0082] 于一些实施例中,第一散热装置14可为无源式散热装置,例如由金属或陶瓷等物质所构成散热鳍片(heat sink),但不以此为限,亦可为有源式散热装置,例如冷却水(cooling water)散热装置或是热管(heat pipe)散热装置。

[0083] 以下将进一步说明本发明图1B所示的封装结构的各种可能变化例,且由于以下图式中所所示的封装结构的整体结构及元件特征相似于图1B所示的封装结构,故仅以相同符号表示元件结构、连接关系及功用相同,而不再赘述。

[0084] 图2为本发明第二实施例的封装结构的剖面结构示意图。相较于图1B所示的第一实施例,本实施例的封装结构2可包括多个相同或不同的第一电子元件11,例如图2中的四个第一电子元件11a、11b、11c、11d,且每一个第一电子元件11的第一导接端110的数量视该第一电子元件11的种类而有所不同,例如当第一电子元件11为绝缘栅双极性晶体管时,则具有三个第一导接端110,亦即如图2所示的第一电子元件11a。当第一电子元件11为电容、电阻或二极管等,则具有两个第一导接端110,亦即如图2所示的为二极管的第一电子元件11b及为电容或电阻的第一电子元件11d。当第一电子元件11为集成电路(Integrated Circuit:IC)时,第一导接端110的数目则依集成电路的实际架构而有所变化,例如图2所示,当第一电子元件11c为集成电路,其具有多个第一导接端110,例如四个。当然,封装结构2内的多个第一电子元件11并不局限于图2所示,可依实际需求来搭配设置。

[0085] 图3为本发明第三实施例的封装结构的剖面结构示意图。相较于图2所示的第二实施例,本实施例的封装结构3更具有由金属所构成的至少一导脚(pin)30,该导脚30设置且连接于对应的第一导电层12的第一导电图形120上,其设置方式(可为但不限于)例如是焊锡焊接、超音波焊接、热压焊接、电热焊接或机械嵌入等,藉此封装结构3便可利用导脚30插接于系统电路板上,而当导脚30插接于系统电路板上时,亦可利用手动焊接方式或是波峰焊接(wave soldering)方式固定于系统电路板上。

[0086] 图4为本发明第四实施例的封装结构的剖面结构示意图。相较于图3所示的第三实施例,本实施例的封装结构4更具有至少一第二电子元件40,设置于第一导电层12上且位于多个导脚30之间,且第二电子元件40具有至少一第二导接端400,每一第二导接端400设置于第一导电层12的对应的单一第一导电图形120上,并利用例如焊锡41焊接方式而固定于对应的第一导电图形120上,藉此提升封装结构4的功率密度。而由于本实施例的封装结构4于其外部设置第二电子元件40,故可降低制作成本,且使电子元件的选择较有弹性。

[0087] 此外,于本实施例中,导脚30更具有一插接部300以及一抵顶部301,其中插接部300为长条结构,用以插接于系统电路板上。抵顶部301的一端部设置且连接于对应的第一

导电层12的第一导电图形120上,抵顶部301的另一端部则连接插接部300,且抵顶部301的宽度大于插接部300的宽度,此外,抵顶部301于第一导电层12上的整体高度大于第二电子元件40于第一导电层12上的整体高度,抵顶部301当插接部300插接于系统电路板时,与系统电路板相抵顶,且与插接部300分别位于系统电路板的相对两侧,而藉由抵顶部301设置于第一导电层12上时的整体高度大于第二电子元件40设置于第一导电层12上的整体高度,便可避免当封装结构4藉由插接部300插接于系统电路板的过程中,因不当施力导致系统电路板压迫到第二电子元件40,进而使第二电子元件40损坏,故藉由插接部300插接于系统电路板时抵顶部301与系统电路板相抵顶,便可保护第二电子元件40。

[0088] 当然,本实施例的封装结构4亦可包括多个相同或不同的第二电子元件40,例如如图4中的三个第二电子元件40a、40b、40c,且每一个第二电子元件40的第二导接端400的数量视该第二电子元件40的种类而有所不同,例如为集成电路的第二电子元件40a、40b可依集成电路的实际架构而分别具有多个第二导接端400,例如四个。当第二电子元件40为电容、电阻或二极管等,则具有两个第二导接端400,亦即如图4所示为电阻的第一电子元件40c。当然,本实施例的封装结构4的多个第二电子元件40并不局限于图4所示,可依实际需求来搭配设置。

[0089] 图5为本发明第五实施例的封装结构的剖面结构示意图。相较于图3所示的第三实施例,本实施例的封装结构5更具有至少一第一绝缘散热层50及外接的一第二散热装置51,其中第一绝缘散热层50设置于第一导电层12上且包覆部分的第一导电层12。第二散热装置51与第一绝缘散热层50相邻地外接于封装结构5的一侧,用以加强第一导电层12的散热效率。而于上述实施例中,封装结构5的导脚30为多个,设置于暴露第一绝缘散热层50外的部分第一导电层12上,且第二散热装置51设置于多个导脚30之间。

[0090] 于上述实施例中,第一绝缘散热层50可提供与第一导电层12相导通的第一电子元件11的第一导接端110及第二散热装置51之间的绝缘效果,且使第一导电层12所接收到的热能可传导至第二散热装置51。此外,当封装结构5应用于高电压的场合时,第一绝缘散热层50更可防止漏电及跳火现象。而上述的第二散热装置51的种类相同于第一散热装置14,于此不再赘述。

[0091] 图6为本发明第六实施例的封装结构的剖面结构示意图。相较于图2所示的第二实施例,本实施的封装结构6更具有第二绝缘层60、第三电子元件61以及第四导电层62。第二绝缘层60设置于第一导电层12上,且包覆第一导电层12,并具有至少一第四导电通孔600。第四导电层62设置于第二绝缘层60的顶面601上,且暴露部分的第二绝缘层60的顶面601。此外,第四导电层62与第四导电通孔600连接而导通。第三电子元件61内埋于第二绝缘层60内,且以固着材料15而黏着设置于第一导电层12上,并具有至少一第三导接端610,其中位于第三电子元件61的一上表面611的第三导接端610与第四导电通孔600相连接而导通,且位于第三电子元件61的一下表面612的第三导接端610直接设置于第一导电层12上而与第一导电层12相连接导通。因此通过位于第三电子元件61的上表面611的第三导接端610及第四导电通孔600,第三电子元件61与第四导电层62相导通,及/或通过位于第三电子元件61的下表面612的第三导接端610设置于第一导电层12上,第三电子元件61与第一导电层12相导通。此外,由于第一电子元件11与第一导电层12相导通,且第三电子元件61亦与第一导电层12相导通,因此通过第一导电层12可使第一电子元件11与第三电子元件61的对应第

三导接端610相导通。

[0092] 于本实施例中,第四导电层62可以例如蚀刻方式而形成一个是或多个彼此独立且隔离的第四导电图形620。例如图6所示,第四导电层62以蚀刻方式形成三个第四导电图形620,第四导电图形620与对应的第四导电通孔600相连接而导通。

[0093] 此外,藉由位于第三电子元件61的上表面611的第三导接端610通过第四导电通孔600而与对应的第四导电图形620相连接而导通。第三电子元件61的下表面612的第三导接端610藉由直接设置于对应的第一导电图形120上而与该第一导电图形120相连接导通。因此,第四导电图形620可作为封装结构6的接触垫,使封装结构6可以表面黏着技术安装于一系统电路板上,此时第一电子元件11的多个第一导接端110以及第三电子元件61的多个第三导接端610便可分别藉由对应的第四导电图形620而与系统电路板上的线路或其它电子元件等电性连接。

[0094] 由于本实施例的封装结构6为具有第一绝缘层10及第二绝缘层60的多层结构,使第一电子元件11以及第三电子元件61可分别内埋于位于不同层的第一绝缘层10以及第二绝缘层60内,而非如公知封装结构需将所有电子元件设置于覆铜陶瓷基板的同一层上,因此本实施例的封装结构6可减少电子元件(例如第一电子元件11以及第二电子元件61之间)间的距离而缩短导通间距,故可有效降低导通阻抗,减少寄生效应,进而获得较好的效率及电性表现,同时可使封装结构6的整体功率密度大幅提升。

[0095] 于一些实施例中,如图6所示,第二绝缘层60更具有至少一第五导电通孔602,第五导电通孔602的第一端与对应的第四导电图形620相连接,第五导电通孔602的第二端与对应的第一导电图形120相连接,用以当第一电子元件11所产生的热能传导至第一导电层12时,可通过第五导电通孔602进一步将热能传导至第四导电层62,以提升散热效率,同时使第一导电层12及第四导电层62相导通,藉此当第三电子元件61的第三导接端610设置于与第五导电通孔602相连接导通的第一导电层12上时,第三导接端610可藉由第五导电通孔602而与第四导电层62相导通(如图6所示)。第五导电通孔602的形成方式相同于第一导电通孔101,于此不再赘述。

[0096] 于上述实施例中,第一绝缘层10与第二绝缘层60的材质选自于环氧树脂(Epoxy)、胶材、非导电材料中的任一材料,且第一绝缘层10与第二绝缘层60的材质可相同或不同。第一导电层12、第二导电层130、第三导电层131以及第四导电层62可选自于铜或其他导电材料中的任一材料,且第一导电层12、第二导电层130、第三导电层131以及第四导电层62的材质可相同或不同。第一电子元件11及第三电子元件61可选自于集成电路、整合性功率元件、金属氧化物半导体场效晶体管(MOSFET)、绝缘栅双极性晶体管(Insulated-gate bipolar transistor, IGBT)、二极管(Diode)、电容、电阻、电感或保险丝中的任一电子元件,且第一电子元件11及第三电子元件61的种类可相同或不同。

[0097] 图7为本发明第七实施例的封装结构的剖面示意图。相较于图6所示的第六实施例,本实施例的封装结构7可包括多个相同或不同的第三电子元件61,例如图7所示的三个第三电子元件61a、61b、61c,且每一个第三电子元件61的第三导接端610的数量视该第三电子元件61的种类而有所不同,例如当第三电子元件61为集成电路时,第三导接端610的数目则依集成电路的实际架构而有所变化,例如图7所示,第三电子元件61a为集成电路,其具有至少一个第三导接端610,例如四个。当第三电子元件61为电容、电阻或二极管等,则具有两

个第三导接端610,亦即如图7所示的为电阻的第三电子元件61b,以及为电容的第三电子元件61c。

[0098] 图8为本发明第八实施例的封装结构的剖面示意图。相较于图7所示的第七实施例,本实施例的封装结构8可更具有由金属所构成的至少一导脚(pin)80,该导脚80设置且连接于对应的第四导电层62的第四导电图形620上,其设置方式(可为但不限于)例如是焊锡焊接、超音波焊接、热压焊接、电热焊接或机械嵌入等,藉此封装结构8便可利用导脚80插接于系统电路板上,而当导脚80插接于系统电路板上时,亦可利用手动焊接方式或是波峰焊接(wave soldering)方式固定于系统电路板上。

[0099] 图9为本发明第九实施例的封装结构的剖面结构示意图。相较于图8所示的第八实施例,本实施例的封装结构9更具有至少一第二绝缘散热层90及外接的一第三散热装置91,其中第二绝缘散热层90设置于第四导电层62上且包覆部分的第四导电层62。第三散热装置91与第二绝缘散热层90相邻地外接于封装结构9的一侧,用以加强第四导电层62的散热效率。而于上述实施例中,封装结构9的导脚80具有两个,设置于暴露第二绝缘散热层90外的部分第四导电层62上,且第三散热装置91设置于多个导脚80之间。

[0100] 于上述实施例中,第二绝缘散热层90可提供与第四导电层62相导通的第三电子元件61的第三导接端610及第三散热装置91之间的绝缘效果,且使第四导电层62所接收到的热能可传导至第三散热装置91。此外,当封装结构9应用于高电压的场合时,第二绝缘散热层90更可防止漏电及跳火现象。

[0101] 图10为本发明第十实施例的封装结构的剖面结构示意图。相较于图9所示的第九实施例,本实施例的封装结构100更可具有一金属层200,设置第二绝缘散热层90的外表面上且与外接的第三散热装置91相接,亦即设置于该第二绝缘散热层90及该第三散热装置91之间,其可将由第二绝缘散热层90所传来的热能均匀传导至第三散热装置91上,以加强散热效果。

[0102] 综上所述,本发明提供一种封装结构,该封装结构将覆铜陶瓷基板部分内埋于绝缘层中,且将电子元件内埋于绝缘层内,使得内埋于绝缘层内的电子元件于运作时所产生的热能可经由覆铜陶瓷基板而传导至封装结构的外部的下方,并经由散热装置散热,而电子元件于运作时所产生的热能亦同时经由导电通孔而传导至封装结构的外部的上方,故具有较佳的散热效率。此外,本发明的电子元件直接内埋于绝缘层内,并利用导电通孔使电子元件的导接端与位于封装结构外部的导电图形相导通,故本发明的封装结构可提升使用寿命。更甚者,本发明的封装结构可于外部表面设置电子元件或散热装置,使得本发明的封装结构的元件整合密度提升,且散热特性更佳。再者,本发明的封装结构可利用表面黏着技术或是插件式安装于一系统电路板上,因此本发明的封装结构的应用场合较为广泛。另外,本发明的封装结构为多层结构,使每一绝缘层内可埋设至少一电子元件,而非如公知封装结构需将所有电子元件设置于覆铜陶瓷基板的同一层上,因此本发明的封装结构不但可以3D方式摆放电子元件,而提升电子元件的设置密度,且可减少设置于不同层的绝缘层的电子元件间的距离而缩短导通间距,故有效降低导通阻抗,减少寄生效应,进而获得较好的效率及电性表现,同时使封装结构的整体功率密度大幅提升。

[0103] 本发明得由本领域技术人员任施匠思而为诸般修饰,然皆不脱如附权利要求所欲保护者。

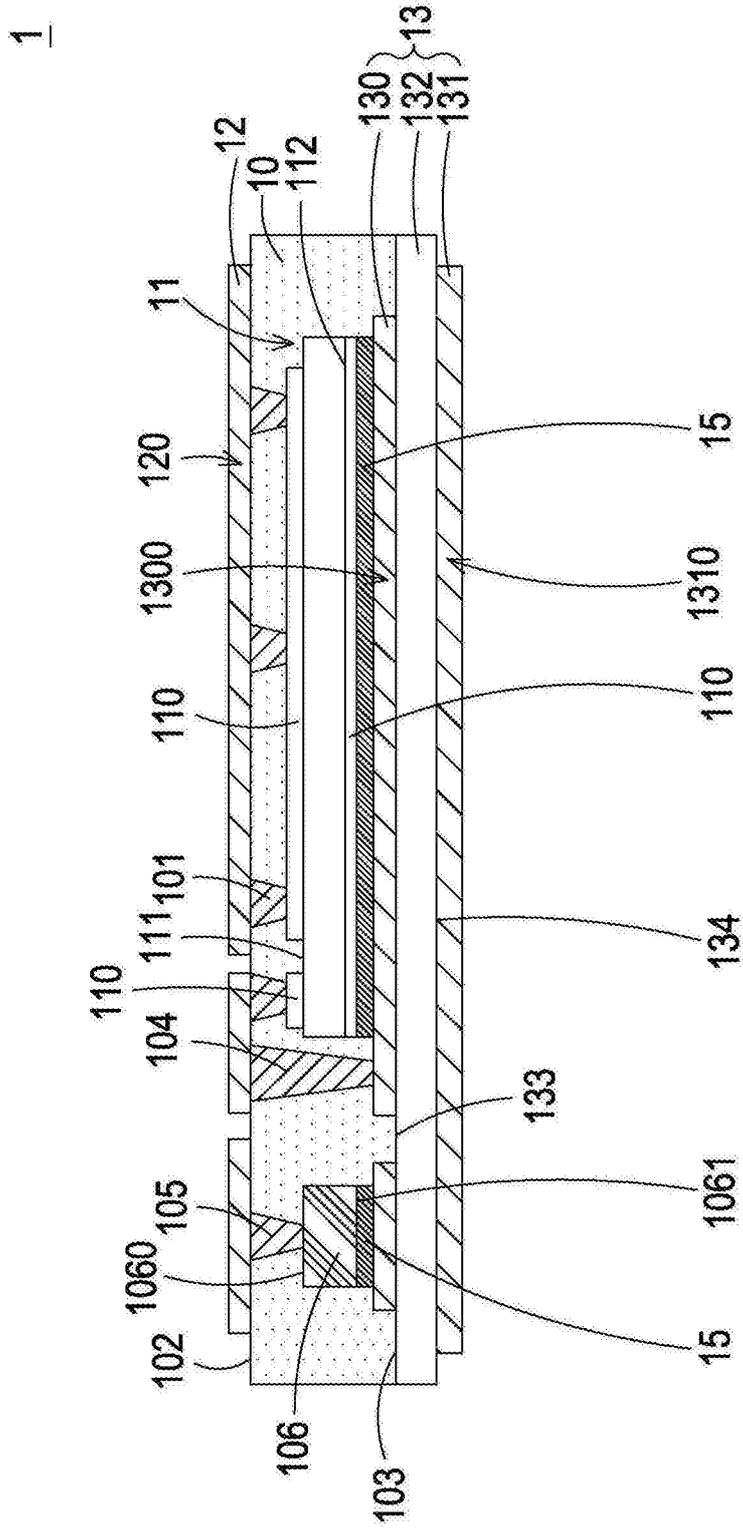


图1A

1

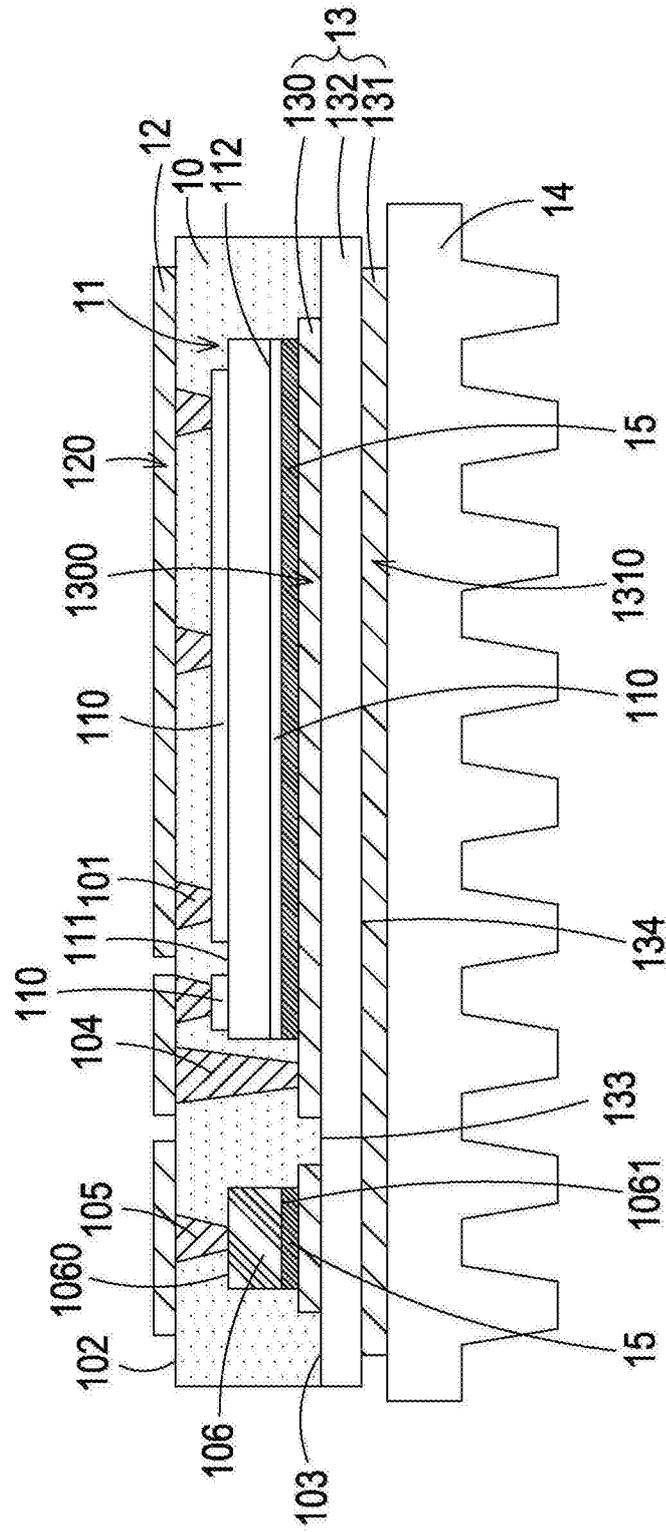


图1B

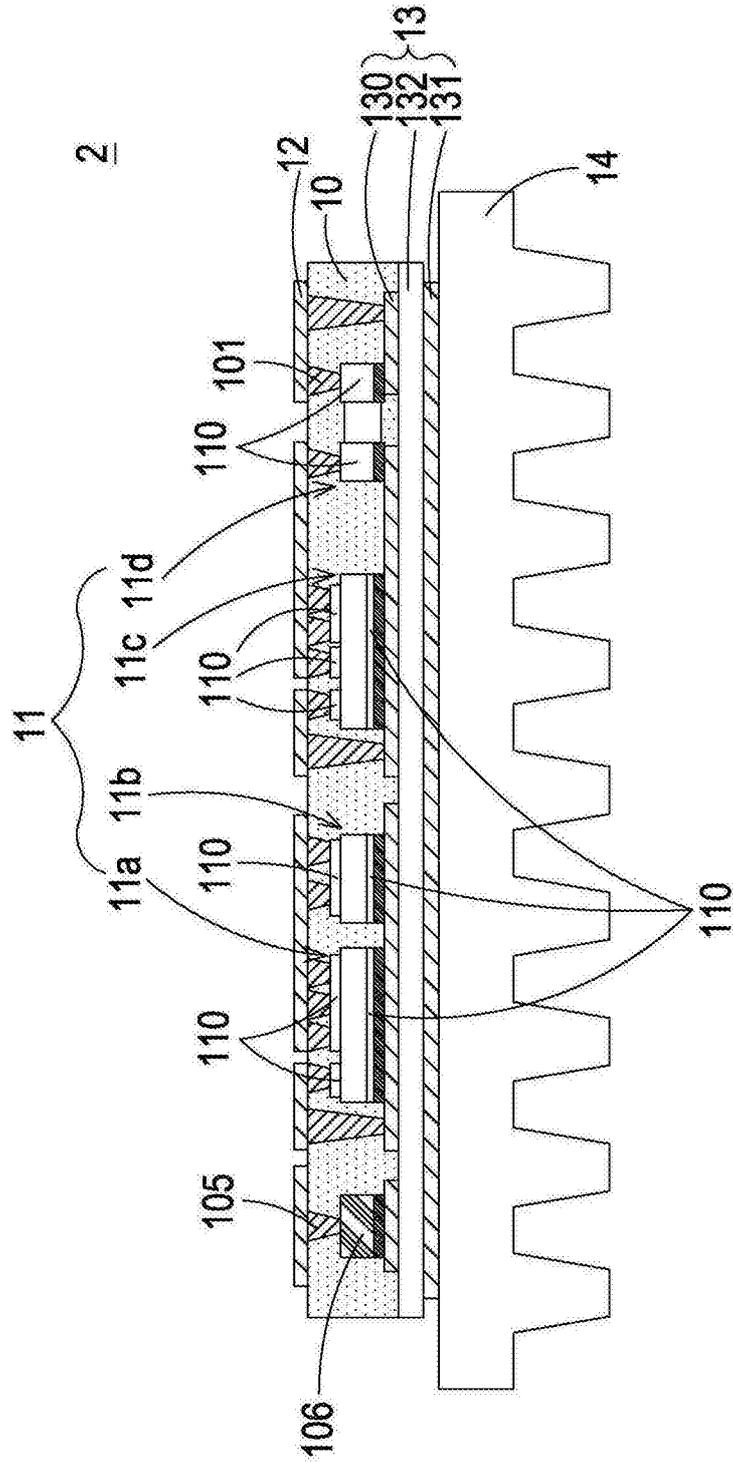


图2

3

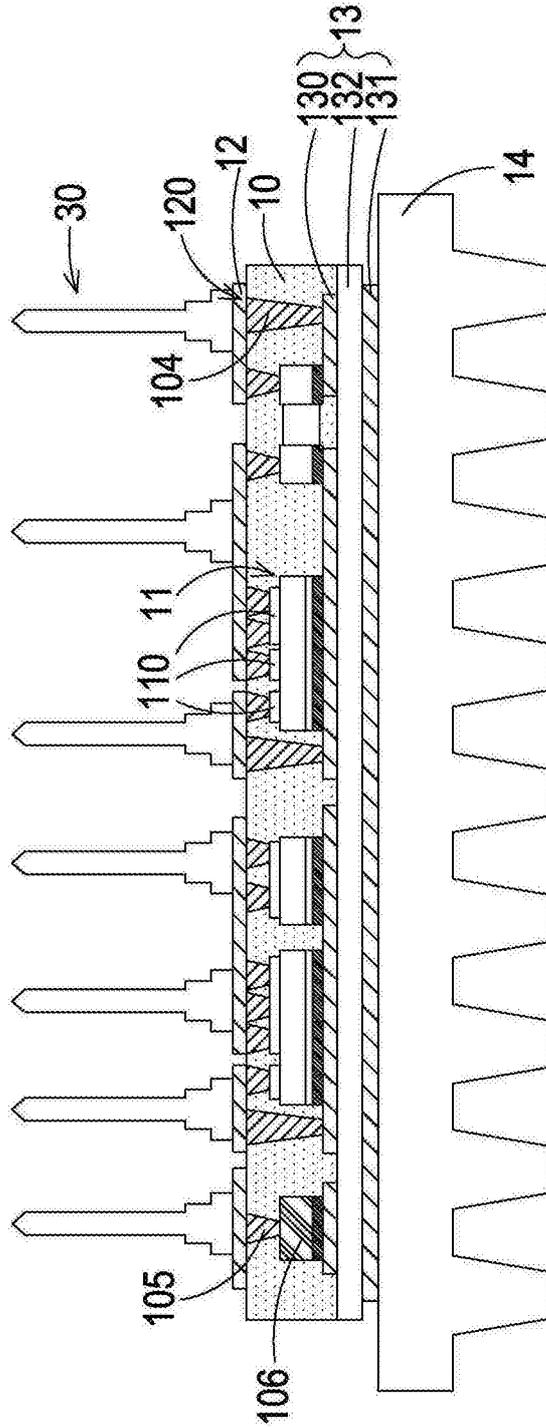


图3

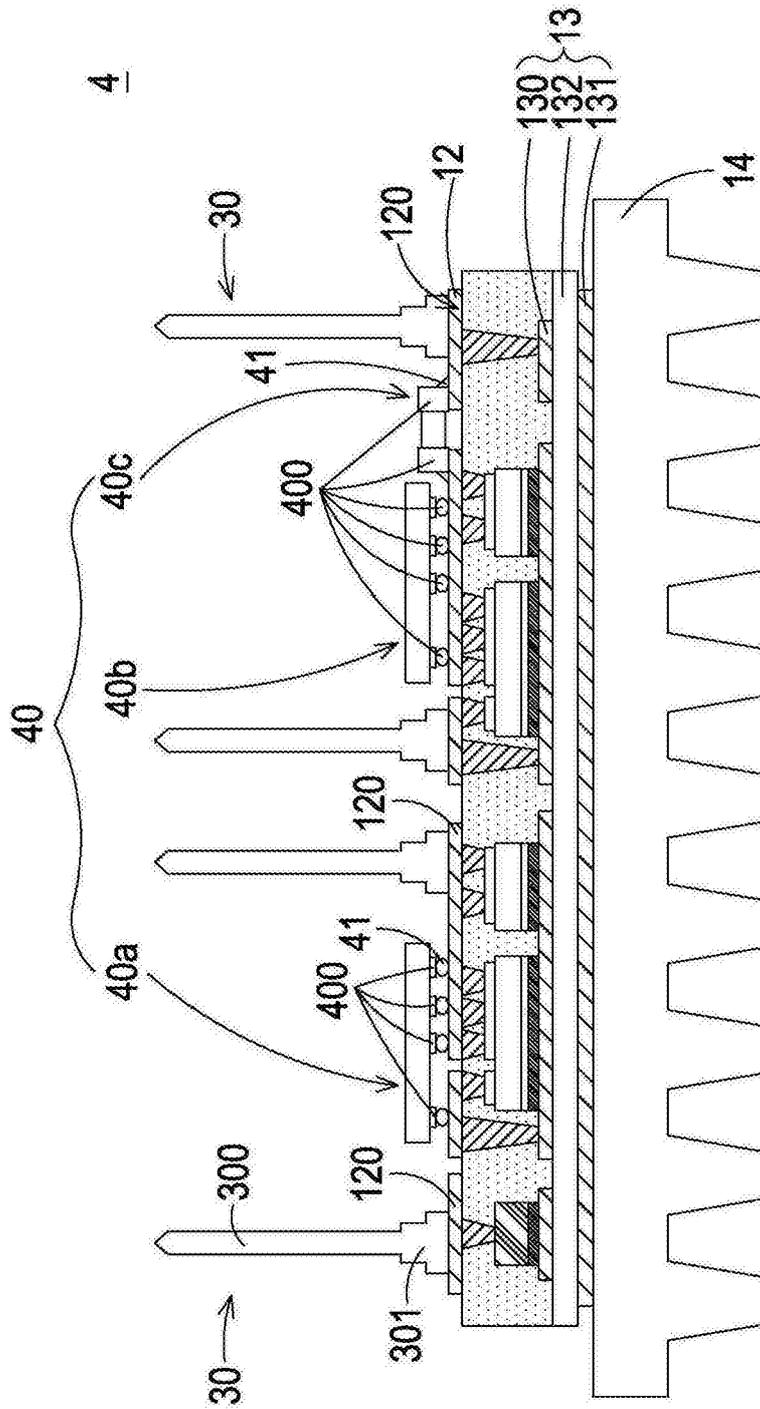


图4

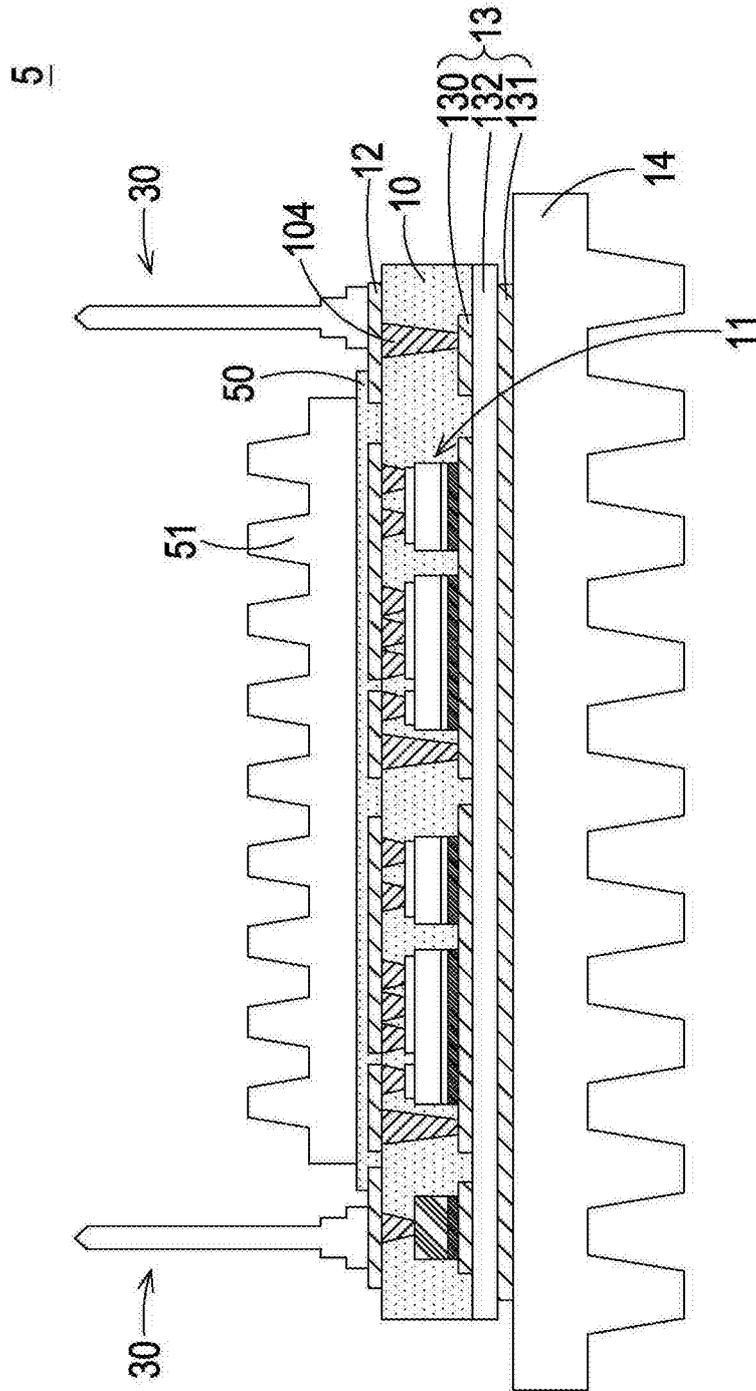


图5

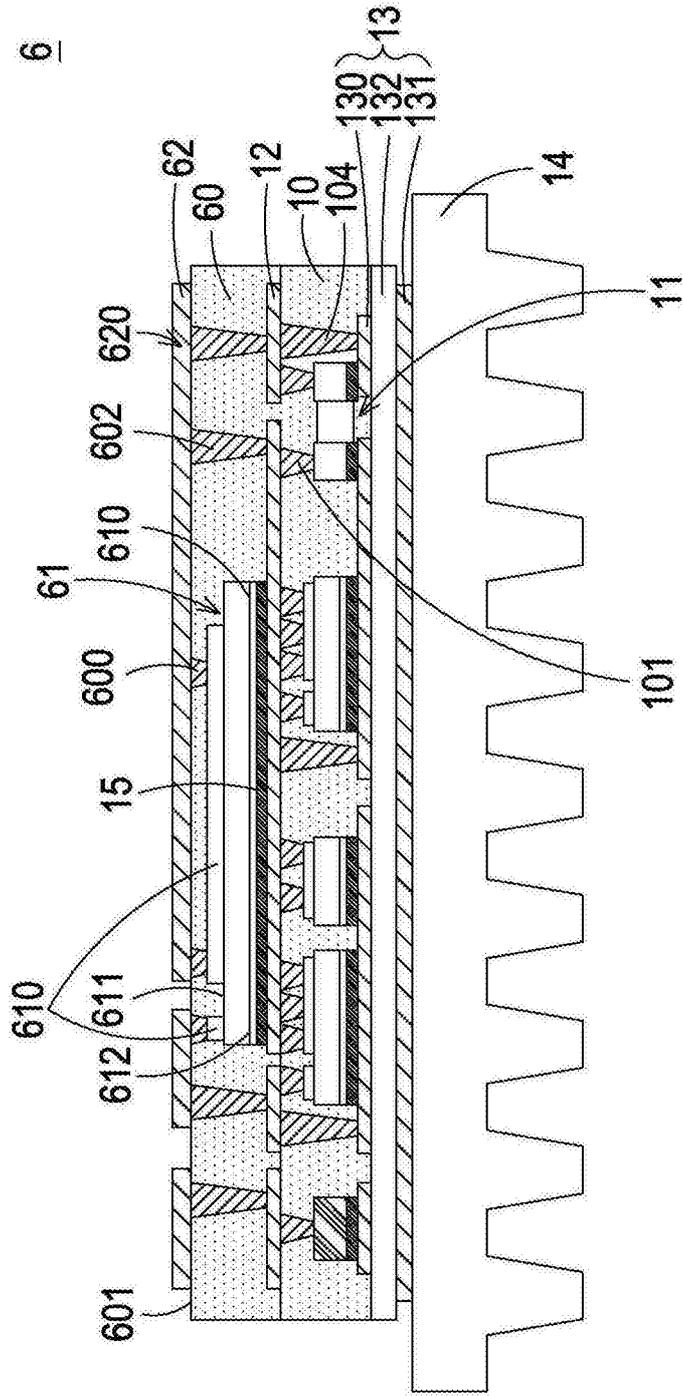


图6

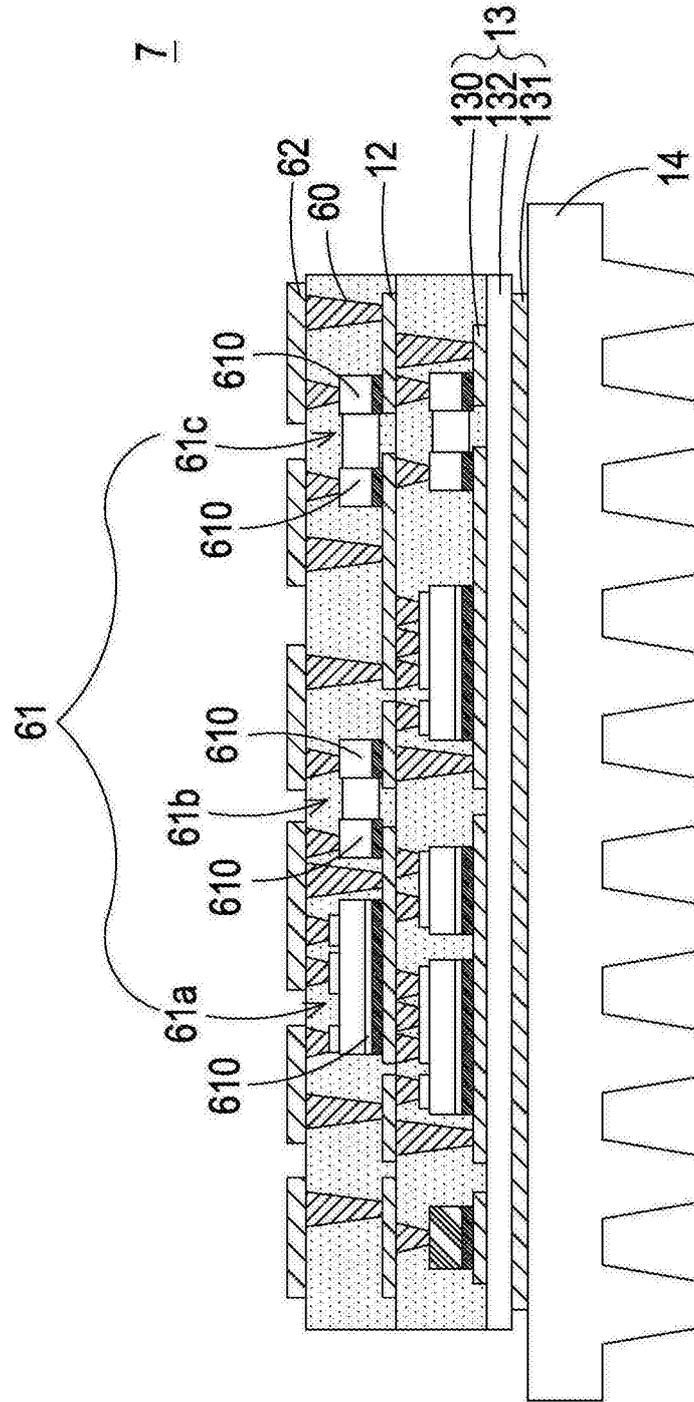


图7

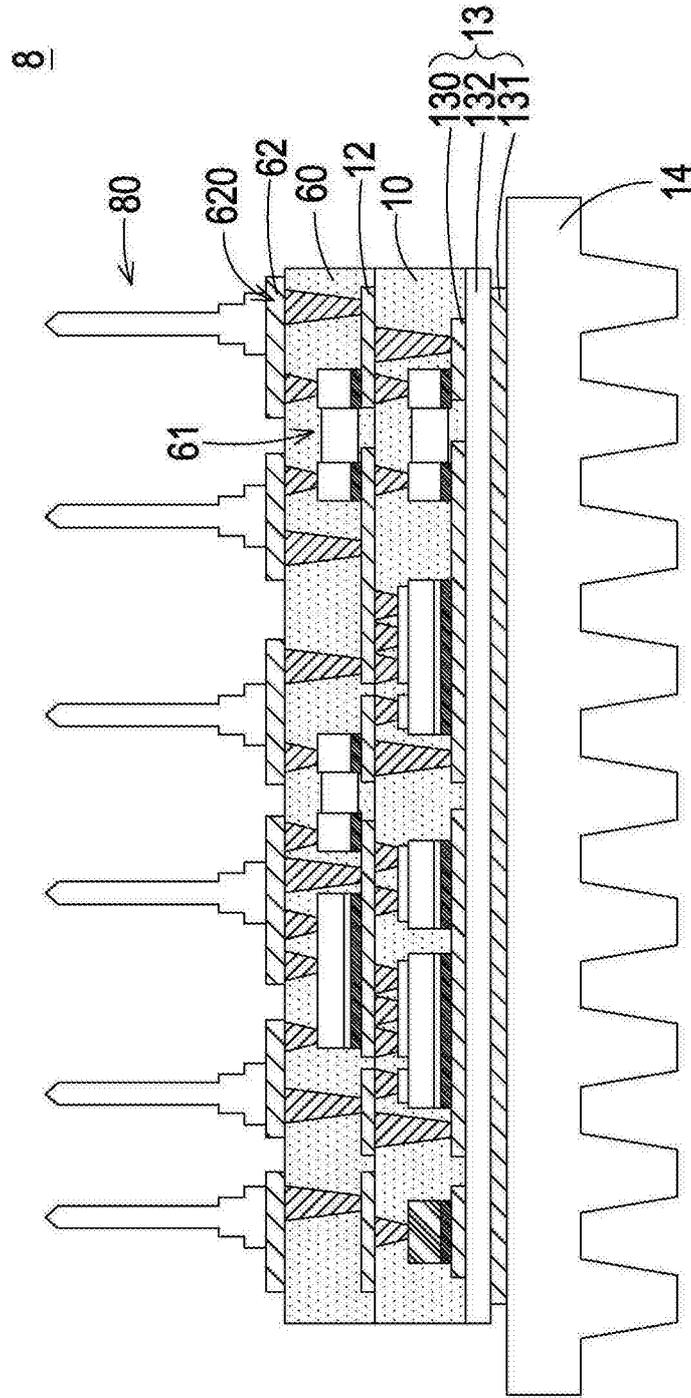


图8

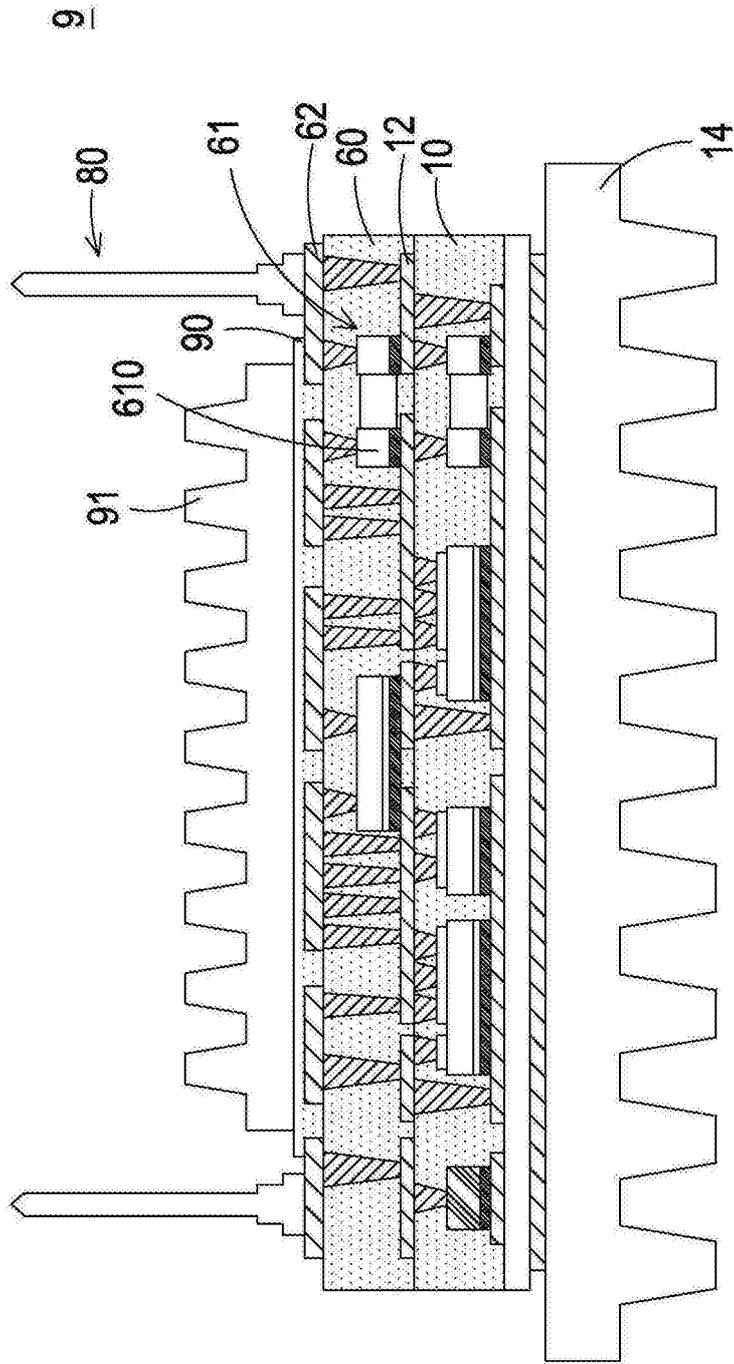


图9

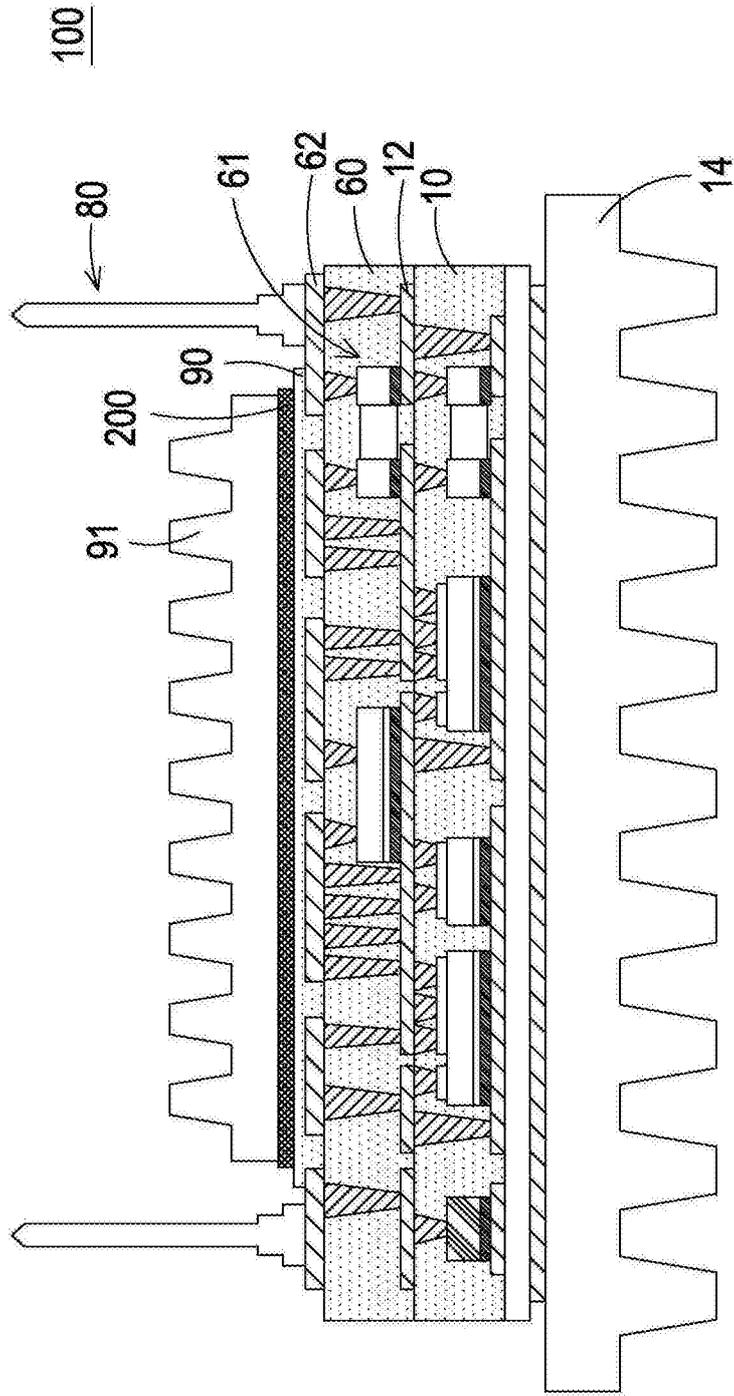


图10