



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0014022
(43) 공개일자 2019년02월11일

- (51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) H01L 23/31 (2006.01)
H01L 23/485 (2006.01)
- (52) CPC특허분류
H01L 23/481 (2013.01)
H01L 23/31 (2013.01)
- (21) 출원번호 10-2019-0009716(분할)
- (22) 출원일자 2019년01월25일
심사청구일자 없음
- (62) 원출원 특허 10-2012-0047315
원출원일자 2012년05월04일
심사청구일자 2017년03월10일
- (30) 우선권주장
JP-P-2011-115633 2011년05월24일 일본(JP)

- (71) 출원인
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
- (72) 발명자
나가타 마사야
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
- (74) 대리인
최달용

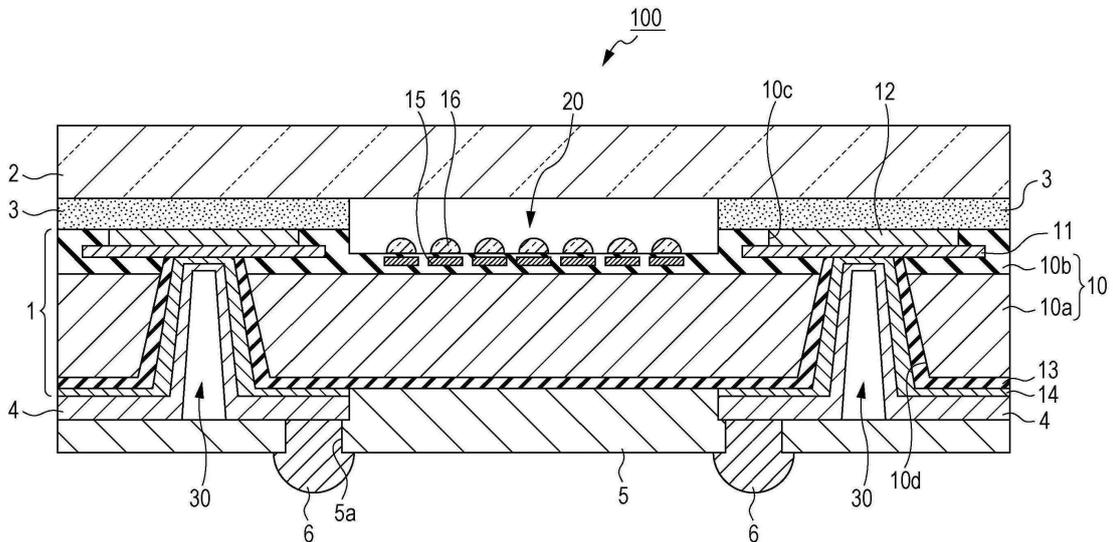
전체 청구항 수 : 총 2 항

(54) 발명의 명칭 반도체 장치, 및, 반도체 장치의 제조 방법

(57) 요약

반도체 장치는: 반도체 기관, 및, 그 반도체 기관의 한쪽의 면상에 형성된 절연막을 가지며, 내부에 그 반도체 기관의 두께 방향에 따라서 수직구멍이 형성된 기재부와; 상기 수직구멍을 구획하는 상기 기재부의 측벽상에 형성된 수직구멍 전극을 갖는 수직구멍 배선부와; 상기 절연막 내에 형성되고, 상기 수직구멍 배선부와 전기적으로 접속된 금속막; 및 상기 절연막 내에서 상기 금속막에 접하도록 형성되고, 또한, 상기 금속막의 막면에서 제조 도중에 행하는 프로브 테스트시의 프로브의 접촉 영역을 포함하는 영역에 형성된 도전성 보호막을 구비한다.

대표도



(52) CPC특허분류
H01L 23/485 (2013.01)

명세서

청구범위

청구항 1

반도체 기관, 및, 반도체 기관의 한쪽의 면상에 형성된 제1의 절연층을 가지며, 내부에 그 반도체 기관의 두께 방향에 따라서 수직구멍이 형성된 기재부와;

상기 수직구멍을 구획하는 상기 기재부의 측벽상에, 제2의 절연층을 끼워 형성된 수직구멍 전극과;

상기 제1의 절연층 내에 형성되고, 상기 수직구멍 전극과 전기적으로 접속된 금속막과;

상기 제1의 절연층 내에서 상기 금속막에 접하도록 형성된 도전성 보호막을 구비하고,

상기 도전성 보호막이, 상기 금속막의 상기 반도체 기관 측의 전면을 피복하기 위하여 형성되고,

상기 금속막의 상기 반도체 기관 측과는 반대 측의 적어도 일부가, 상기 제1의 절연층으로 피복되어 있는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 도전성 보호막의 상기 반도체 기관 측의 면이, 상기 제2의 절연층 및 상기 수직구멍 전극과 접하고, 상기 도전성 보호막의 상기 반도체 기관 측의, 상기 제2의 절연층 또는 상기 수직구멍 전극과 접하는 이외의 면이, 상기 제1의 절연층으로 피복되는 것을 특징으로 하는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치, 및, 그 제조 방법에 관한 것으로, 보다 상세하게는, 반도체 장치의 제조 도중에 반도체 부재의 전기적 성능 평가를 행하는 반도체 장치, 및, 그 제조 방법에 관한 것이다.

배경 기술

[0002] 종래, 예를 들면, 반도체 장치의 소형화 및 고기능화를 도모하기 위해, 복수의 반도체 부재(배선 기관)를 적층하여 반도체 장치를 구성한다. 이와 같은 반도체 장치에서는, 각 반도체 부재 사이의 전기적 접속을 얻기 위해, 각 반도체 부재의 실리콘 기관에, 그 두께 방향을 따라서 연재된 수직구멍형상의 배선부(이하, TSV(Through Silicon Via)라고도 한다)를 형성한다. 구체적으로는, 우선, 실리콘 기관의 두께 방향을 따라서 연재된 수직구멍을 형성하고, 뒤이어, 그 수직구멍을 구획하는 실리콘 기관의 벽면상에 예를 들면 Cu 등의 금속재료로 이루어지는 전극막을 형성한다.

[0003] 상술한 바와 같은 TSV를 갖는 반도체 장치에서는, 일반적으로, 그 제조 도중에서, TSV를 형성하기 전에, 반도체 부재의 전기적 성능 평가(이하, 프로브 테스트라고 한다)를 행한다. 프로브 테스트에서는, 통상, 전극 배선의 일부(패드부)를 노출시키고, 그 패드부에 프로브를 접촉시켜서, 반도체 부재의 전기적 성능의 평가를 행한다.

[0004] 그 때문에, 프로브 테스트를 행한 때에는, 전극 배선의 패드부에 프로브의 흔적(이하, 프로브 마크라고 한다)이 남는다. 이 경우, 예를 들면, 프로브 테스트 후에 행하는 TSV의 형성 공정으로 이용하는 약액(예를 들면 도금액 등)이, 프로브 마크에 침투하여, 패드부에ダメージ를 주는 일이 있다. 또한, 패드부를 노출하기 위한 개구부가 마련되기 때문에, 패드부에서 충분한 강도를 얻을 수가 없어서, 예를 들면, TSV의 형성 공정시에 패드부가 변형하거나, 패드부가 박리하거나 하는 경우도 있다. 즉, 프로브 테스트의 영향에 의해, 반도체 장치의 예를 들면 수율, 신뢰성 등이 저하되는 일이 있다.

[0005] 그래서, 종래, 상술한 프로브 테스트의 영향을 경감하기 위한 다양한 기술이 제안되어 있다(예를 들면, 일본 특개2007-288150호 공보 참조). 도 23의 A 및 B에, 일본 특개2007-288150호 공보에서 제안되어 있는 배선 기관의 개략 구성 단면도를 도시한다. 그리고, 도 23의 A에 도시하는 예는, 일본 특개2007-288150호 공보에서 제안되어

있는 배선 기판의 제 1의 구성예이고, 도 23의 B에 도시하는 예는, 일본 특개2007-288150호 공보에서 제안되어 있는 배선 기판의 제 2의 구성예이다.

[0006] 일본 특개2007-288150호 공보의 제 1의 구성예에서는, 도 23의 A에 도시하는 바와 같이, 배선 기판(400)은, 기재(401), 및, 기재(401)의 한쪽의 면상에 형성된 제 1 절연부(402)를 포함하는 기체(base substrate; 410)를 구비한다. 그리고, 기체(410) 내부에는, 그 두께 방향으로 연재된 관통구멍(403)이 형성된다. 또한, 배선 기판(400)은, 관통구멍(403)의 한쪽에 개구부를 막도록, 제 1 절연부(402)의 내부에 형성된 제 1 도전층(411)과, 제 1 절연부(402)의 표면에 형성된 제 2 도전층(412)을 구비한다. 또한, 배선 기판(400)은, 제 1 도전층(411)과 제 2 도전층(412)을 잇는 섬형상(島狀)의 중간층(413)을 구비한다.

[0007] 또한, 배선 기판(400)은, 제 2 도전층(412)상에 형성된 제 2 절연부(414)를 구비한다. 그리고, 관통구멍(403)의 바로 위에 위치하는 제 2 절연부(414)의 영역에, 프로브의 접촉 영역이 되는 개구부(414a)를 형성한다. 상술한 바와 같이, 일본 특개2007-288150호 공보의 제 1의 구성예에서는, 프로브의 접촉 영역이 되는 제 2 절연부(414)의 개구부(414a)의 도전부를 다층 구조로 하고, 이에 의해, 상술한 프로브 마크의 영향을 저감한다.

[0008] 한편, 일본 특개2007-288150호 공보의 제 2의 구성예에서는, 도 23(b)에 도시하는 바와 같이, 배선 기판(420)은, 기재(421), 및, 기재(421)의 한쪽의 면상에 형성된 제 1 절연부(422)를 포함하는 기체(430)를 구비한다. 그리고, 기체(430) 내부에는, 그 두께 방향으로 연재된 관통구멍(423)이 형성된다. 또한, 배선 기판(420)은, 관통구멍(423)의 한쪽에 개구부를 막도록, 제 1 절연부(422)상에 형성된 도전부(431)와, 도전부(431)의 표면에 형성된 제 2 절연부(432)를 구비한다.

[0009] 그리고, 일본 특개2007-288150호 공보의 제 2의 구성예에서는, 배선 기판(420)의 면 내에서, 관통구멍(423)의 개구 영역과 겹쳐지지 않는 제 2 절연부(432)의 영역에 개구부(432a)가 형성된다. 즉, 일본 특개2007-288150호 공보의 제 2의 구성예에서는, 배선 기판(420)의 면 내에서, 프로브의 접촉 영역이 되는 도전부(431)의 영역을, 관통구멍(423)의 개구 영역과 겹쳐지지 않는 영역에 배치함에 의해 상술한 프로브 테스트의 영향을 저감한다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 일본 특개2007-288150호

발명의 내용

해결하려는 과제

[0011] 상술한 바와 같이, 종래, TSV를 갖는 반도체 장치에서는, 그 제조 도중에 행하는 프로브 테스트의 제품에의 영향을 경감하기 위한 기술이 여러가지 제안되어 있다. 그러나, 이와 같은 TSV를 갖는 반도체 장치에서는, 상술한 프로브 테스트의 제품에 대한 영향을 더욱 경감하여, 예를 들면 반도체 장치의 수율, 신뢰성 등을 보다 한층 향상시키는 기술의 개발이 요망되고 있다.

[0012] 본 발명은, 상기 요망에 응하기 위해 이루어진 것으로, 본 발명의 목적은, 프로브 테스트의 제품에 대한 영향을 더욱 경감하여, 예를 들면 수율, 신뢰성 등을 보다 한층 향상시킬 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0013] 상기 과제를 해결하기 위해, 본 발명의 반도체 장치는, 기재부와, 수직구멍 배선부와, 금속막과, 도전성 보호막을 구비한 구성으로 하고, 각 부분의 구성을 다음과 같이 한다. 기재부는, 반도체 기판, 및, 반도체 기판의 한쪽의 면상에 형성된 절연막을 가지며, 내부에 반도체 기판의 두께 방향에 따라서 수직구멍이 형성된다. 수직구멍 배선부는, 수직구멍을 구획하는 기재부의 측벽상에 형성된 수직구멍 전극을 갖는다. 금속막은, 절연막 내에 형성되고, 수직구멍 배선부와 전기적으로 접속된다. 도전성 보호막은, 절연막 내에서 금속막에 접하도록 형성되고, 또한, 금속막의 막면에서 제조 도중에 행하는 프로브 테스트시의 프로브의 접촉 영역을 포함하는 영역에 형성된다.

[0014] 또한, 본 발명의 반도체 장치의 제조 방법은, 다음의 순서로 행한다. 우선, 반도체 기판, 및, 반도체 기판의 한

쪽의 면상에 형성된 절연막을 갖는 기재부의 절연막 내에 금속막을 형성한다. 뒤이어, 절연막 내로서, 또한, 금속막의 막면 내의 소정 영역에, 금속막에 접하도록 도전성 보호막을 형성한다. 또한, 절연막의 반도체 기관의 측과는 반대측의 표면에 노출한 금속막 및 도전성 보호막의 한쪽에 프로브를 접촉시켜서 프로브 테스트를 행한다. 그리고, 프로브 테스트 후에, 반도체 기관의 두께 방향에 따라서, 기재부에 수직구멍을 형성한다.

발명의 효과

[0015] 상술한 바와 같이, 본 발명의 반도체 장치 및 그 제조 방법에서는, 프로브 테스트시의 프로브의 접촉 영역을 포함하는 소정의 영역에, 금속막에 접하도록 도전성 보호막을 형성한다. 그 때문에, 본 발명에 의하면, 상술한 프로브 테스트의 제품에의 영향을 더욱 경감할 수 있고, 반도체 장치의 예를 들면 수율, 신뢰성 등을 보다 한층 향상시킬 수 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 제 1의 실시 형태에 관한 반도체 장치의 개략 구성 단면도.
- 도 2는 제 1의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 3은 제 1의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 4는 제 1의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 5는 제 1의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 6은 제 1의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 7은 제 1의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 8은 제 1의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 9는 제 1의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 10은 제 1의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 11은 본 발명의 제 2의 실시 형태에 관한 반도체 장치의 개략 구성 단면도.
- 도 12는 제 2의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 13은 제 2의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 14는 제 2의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 15는 제 2의 실시 형태에 관한 반도체 장치의 제조 공정을 설명하기 위한 도면.
- 도 16은 변형예 1(변형예 1-1)의 반도체 장치의 개략 구성 단면도.
- 도 17은 변형예 1(변형예 1-2)의 반도체 장치의 개략 구성 단면도.
- 도 18은 변형예 2의 반도체 장치의 제조 수법을 설명하기 위한 도면.
- 도 19는 변형예 2의 반도체 장치의 제조 수법을 설명하기 위한 도면.
- 도 20은 변형예 3의 반도체 장치의 개략 구성 단면도.
- 도 21의 A 및 B는 변형예 4의 반도체 장치의 개략 구성도.
- 도 22는 본 발명에 관한 반도체 장치를 적용한 카메라의 개략 구성도.
- 도 23의 A 및 B는 TSV를 갖는 종래의 배선 기관의 개략 구성 단면도.

발명을 실시하기 위한 구체적인 내용

[0017] 이하에, 본 발명의 실시 형태에 관한 반도체 장치, 및, 그 제조 수법의 예를, 도면을 참조하면서 하기한 순서로 설명한다. 단, 본 발명은 하기의 예로 한정되지 않는다.

[0018] 1. 제 1의 실시 형태

- [0019] 2. 제 2의 실시 형태
- [0020] 3. 각종 변형예 및 응용예
- [0022] <1. 제 1의 실시 형태>
- [0023] [반도체 장치의 전체 구성]
- [0024] 도 1에, 제 1의 실시 형태에 관한 반도체 장치의 개략 구성 단면도를 도시한다. 또한, 본 실시 형태에서는, 반도체 장치로서, 고체 촬상 소자(이미지 센서)를 예로 들어서 설명한다. 또한, 도 1에는, 설명을 간략화하기 위해, 센서부 및 TSV 부근의 구성만을 도시한다.
- [0025] 반도체 장치(100)는, 장치 본체부(1)와, 유리 기판(2)과, 유리 실 재(3)와, 도금막(4)과, 솔더 마스크(5)와, 솔더 볼(6)을 구비한다. 장치 본체부(1)의 구성에 관해서는, 후에 상세히 기술한다.
- [0026] 유리 기판(2)은, 장치 본체부(1)의 한쪽의 면(도 1의 예에서는 윗면)상에, 유리 실 재(3)를 통하여 마련된다. 그리고, 유리 실 재(3)는, 장치 본체부(1)와 유리 기판(2)을 접합하기 위한 실 부재이다.
- [0027] 도금막(4)은, 장치 본체부(1)의 다른쪽의 면(도 1의 예에서는 하면) 상의 일부에 마련된다. 구체적으로는, 장치 본체부(1)가 후술하는 TSV(30)(수직구멍 배선부)를 구성하는 메탈 시드층(14)을 덮도록 마련된다. 또한, 도금막(4)은, TSV(30)를 구성하는 메탈 시드층(14)을 에칭하여 패터닝할 때의 마스크로서도 이용된다.
- [0028] 솔더 마스크(5)는, 장치 본체부(1)의 하면, 및, 도금막(4)을 덮도록 마련된다. 또한, 솔더 마스크(5)에는, 도금막(4)을 노출하기 위한 개구부(5a)가 마련되고, 그 개구부(5a)에, 솔더 볼(6)이 마련된다. 이에 의해, 솔더 볼(6)은, 도금막(4)을 통하여 TSV(30)와 전기적으로 접속된다. 또한, 솔더 볼(6)은, TSV(30)를 통하여 출력된 신호를 외부의 배선에 출력하기 위한 접속단자이다. 또한, 솔더 마스크(5)는, 외부의 배선을 솔더 볼(6)에 솔더링하여 접속할 때에, 솔더가 불필요한 부분에 부착하지 않도록 하기 위한 마스크로서 작용한다.
- [0029] [장치 본체부의 구성]
- [0031] *장치 본체부(1)는, Si 기재부(10)(기재부)와, 메탈 패드(11)(금속막)와, 도전성 보호막(12)과, 절연층(13)과, 메탈 시드층(14)(수직구멍 전극)을 구비한다. 또한, 장치 본체부(1)는, 외부로부터 수광한 광을 전하 신호에 변환하는 복수의 포토 다이오드(15)와, 그 복수의 포토 다이오드(15)의 각각 바로 위에 마련되고, 대응하는 포토 다이오드(15)에 광을 각각 집광하는 복수의 온 칩 마이크로 렌즈(16)를 구비한다.
- [0032] Si 기재부(10)는, 예를 들면 실리콘 기판 등으로 구성된 Si층(10a)(반도체 기판)과, 그 Si층(10a)의 한쪽의 표면(도 1의 예에서는 윗면)에 형성된 산화층(10b)(절연막)을 갖는다. 또한, 산화층(10b)은, SiO₂막으로 구성되고, 산화층(10b)에는, 메탈 패드(11)를 노출시키는 개구부(10c)가 마련된다. 또한, Si 기재부(10)의 내부에는, 그 두께 방향에 따라서 연재된 수직구멍(10d)이 형성된다. 그리고, 수직구멍(10d)은, Si층(10a)의 다른쪽의 표면(도 1의 예에서는 하면)으로부터 메탈 패드(11)의 하면까지 연재되어 형성된다.
- [0033] 또한, 본 실시 형태에서는, Si 기재부(10)의 산화층(10b)의 표면에, 복수의 온 칩 마이크로 렌즈(16)를 배열하여 마련하고, 산화층(10b) 내에 복수의 온 칩 마이크로 렌즈(16)에 대응하는 복수의 포토 다이오드(15)를 각각 형성한다. 이에 의해, 피사체로부터의 광을 검출하는 센서부(20)가 구성된다. 또한, 도 1에는 도시하지 않지만, 센서부(20)는, 예를 들면, 컬러 필터, 각종 트랜지스터, 플로팅 디퓨전 등도 구비한다.
- [0034] 메탈 패드(11)는, 산화층(10b) 내에 마련된다. 이 때, Si 기재부(10)의 수직구멍(10d)의 유리 기판(2)측의 개구를 막도록, 메탈 패드(11)가 마련된다. 그리고, 메탈 패드(11)는, 예를 들면, Al, Cu, W, Ni, Ta 등의 도전성 재료로 형성할 수 있다. 또한, 메탈 패드(11)의 두께는, 예를 들면, 약 1μm 이하 정도로 설정할 수 있다.
- [0035] 메탈 패드(11)는, 예를 들면, 센서부(20)로부터 출력되는 신호를 외부에 출력하기 위한 출력 전극, 센서부(20)에 전압을 인가하기 위한 입력 전극, 그라운드 전극 등의 전극 배선으로서 이용된다. 보다 구체적으로는, 메탈 패드(11)는, 예를 들면, 센서부(20) 내에 마련된 화소(부도시)를 구성하는 선택 트랜지스터(부도시)에 접속되는 신호선의 단부(BEOL : Back End Of the Line)로서 이용된다.
- [0036] 도전성 보호막(12)은, 산화층(10b)의 개구부(10c)에 노출한 메탈 패드(11)상(제 1의 영역)에 형성된다. 또한,

본 실시 형태에서는, 도전성 보호막(12)을, 반도체 장치(100)의 제조 도중에 프로브 테스트를 행할 때에 프로브를 접촉시키는 영역에 마련한다. 즉, 본 실시 형태에서는, 도전성 보호막(12)을 프로브 패드로서 이용한다. 그 때문에, 본 실시 형태에서는, 프로브 테스트시에 메탈 패드(11)를 보호하기 위해, 도전성 보호막(12)을 후막의 금속막으로 구성한다. 그리고, 도전성 보호막(12)의 두께는, 예를 들면, 프로브의 접촉압 등의 조건을 고려하여 적절히 설정되지만, 가능한 한 두껍게 하는 것이 바람직하다. 예를 들면, 수 μm 내지 수십 μm 의 범위에서, 도전성 보호막(12)의 두께를 설정할 수 있다.

[0037] 또한, 도전성 보호막(12)의 형성 재료로서는, 후막의 금속막을 형성 가능한 도전성 재료라면, 임의의 재료를 이용할 수 있다. 예를 들면, Ni, Cu, Au, Ag 등의 금속재료로 도전성 보호막(12)을 형성할 수 있다. 또한, 본 실시 형태에서는, 도전성 보호막(12)을 하나의 금속막으로 구성하는 예를 설명하지만, 본 발명은 이것으로 한정되지 않고, 도전성 보호막(12)의 구성을 복수의 금속막을 적층한 다층 구조로 하여도 좋다.

[0038] 또한, 본 실시 형태에서는, Si 기재부(10)의 수직구멍(10d)을 구획하는 Si 기재부(10)의 측벽상에, 절연층(13)(SiO₂층) 및 메탈 시드층(14)이 이 순서로 적층된다. 또한, 이 때, 메탈 시드층(14)과 메탈 패드(11)의 하면이 직접 접하도록, 절연층(13) 및 메탈 시드층(14)을 형성한다. 본 실시 형태에서는, 이와 같이, Si 기재부(10)의 수직구멍(10d)을 구획하는 Si 기재부(10)의 측벽상에, 절연층(13) 및 메탈 시드층(14)을 마련함에 의해 TSV(30)를 구성한다.

[0039] TSV(30)는, 센서부(20)로부터 메탈 패드(11)를 통하여 출력되는 신호를, 메탈 시드층(14), 도금막(4) 및 솔더 볼(6)을 통하여, 외부의 배선에 출력한다. 즉, 본 실시 형태의 반도체 장치(100)에서는, 센서부(20)에서 검출한 신호를, 장치 본체부(1)의 솔더 마스크(5)의 측에서 취출한다.

[0040] [반도체 장치의 제조 수법]

[0041] 다음에, 본 실시 형태의 반도체 장치(100)의 제작 수법의 한 예를, 도 2 내지 10을 참조하면서 설명한다. 또한, 도 2 내지 10은, 각 공정에서 제작되는 반도체 부재의 개략 단면도이다. 또한, 여기서는, 설명을 간략화하기 위해, 장치 본체부(1)의 TSV(30) 부근의 구성의 제작 공정에 관해 설명한다. 그 이외의 구성부는, 예를 들면 종래의 고체 촬상 소자의 제작 수법과 마찬가지로 하여 제작할 수 있다.

[0042] 본 실시 형태에서는, 우선, 도 2에 도시하는 바와 같이, Si 기재부(10)의 산화층(10b) 내에, 메탈 패드(11)를 형성한다. 또한, 이 메탈 패드(11)는, 예를 들면 종래의 고체 촬상 소자에서의 메탈 패드의 제작 수법과 마찬가지로 하여 제작할 수 있다.

[0043] 예를 들면, 우선, Si층(10a)상에 산화막(SiO₂막)을, 예를 들면 플라즈마 CVD(Chemical Vapor Deposition)법 등의 수법을 이용하여 형성한다. 뒤이어, 그 산화막상에 메탈 패드(11)의 형성 재료로 이루어지는 금속막을 예를 들면 스퍼터링법 등의 수법을 이용하여 형성한다. 그 후, 금속막을 패터닝하여 메탈 패드(11)를 형성한다. 또한, 이 때, 메탈 패드(11)상에 형성한 산화층(10b)의 후술하는 개구부(10c)의 프로세스 마진을 고려하고, 특성상 필요하게 되는 사이즈보다 조금 큰 사이즈의 메탈 패드(11)를 형성한다. 그리고, 메탈 패드(11)상에, 예를 들면 플라즈마 CVD법 등의 수법을 이용하여 산화막을 형성한다. 본 실시 형태에서는, 이와 같이 하여 메탈 패드(11)를 산화층(10b) 내에 형성할 수 있다.

[0044] 뒤이어, 메탈 패드(11)상의 산화층(10b)의 일부의 영역, 구체적으로는, 도전성 보호막(12)의 형성 영역(프로브의 접촉 영역을 포함하는 영역)을 에칭하여 제거한다. 이에 의해, 도 3에 도시하는 바와 같이, 산화층(10b)의 도전성 보호막(12)의 형성 영역에, 개구부(10c)가 형성되고, 메탈 패드(11)가 개구부(10c)에 노출한다. 또한, 본 실시 형태에서는, 상술한 바와 같이, 개구부(10c)의 프로세스 마진을 고려하고, 특성상 필요하게 되는 사이즈보다 조금 큰 사이즈의 메탈 패드(11)를 형성한다. 그 때문에, 개구부(10c)의 개구면적은 메탈 패드(11)의 면적보다 작아지고, 메탈 패드(11)의 외주 단부 부근의 영역은, 산화층(10b)으로 피복된 상태가 된다.

[0045] 뒤이어, 예를 들면, 무전해 도금법, 스크린 인쇄법, 스프레이 코팅법, 스테드 범프 형성법 등의 수법을 이용하여, 도 4에 도시하는 바와 같이, 산화층(10b)의 개구부(10c)에 노출한 메탈 패드(11)상에, 도전성 보호막(12)을 형성한다. 그리고, 이 때, 본 실시 형태에서는, 도전성 보호막(12)의 표면과 산화층(10b)의 표면이 같은면이 되도록, 도전성 보호막(12)을 형성한다.

[0046] 보다 구체적으로 설명하면, 예를 들면, 도전성 보호막(12)의 형성 수법으로서 스크린 인쇄법을 이용한 경우에는, 우선, 도전성 페이스트의 충전용의 구멍이 형성된 스크린을 개구부(10c)상에 배치한다. 뒤이어, 도전성 페이스트를 스크린상에 바른다. 뒤이어, 스퀴즈를 이용하여 도전성 페이스트를 스크린상에 펼쳐 바른다. 이

에 의해, 스크린으로부터 스크린의 구멍을 통하여 개구부(10c)에 도전성의 페이스트가 충전되어, 도전성 보호막(12)이 형성된다.

- [0047] 또한, 예를 들면, 도전성 보호막(12)의 형성 수법으로서 스프레이 코팅법을 이용한 경우에는, 노즐로부터 개구부(10c)에, 도전성 페이스트를 미량의 레이트로 토출한다. 이에 의해, 개구부(10c)에 도전성 페이스트가 충전되어, 도전성 보호막(12)이 형성된다.
- [0048] 뒤이어, 도전성 보호막(12)이 형성된 반도체 부재에 대해 프로브 테스트를 행한다. 구체적으로는, 도 5에 도시하는 바와 같이, 프로브(50)를 도전성 보호막(12)에 접촉시켜서, 반도체 부재의 전기적 성능을 평가한다. 또한, 이 때, 도전성 보호막(12)에 프로브 마크가 발생하지만, 그 하부에 형성된 메탈 패드(11)는 도전성 보호막(12)에 의해 보호받기 때문에, 메탈 패드(11)에는 데미지는 생기지 않는다.
- [0049] 상술한 프로브 테스트가 종료된 후, 도 6에 도시하는 바와 같이, Si 기재부(10)의 산화층(10b), 및, 도전성 보호막(12)상에 유리 실 재(3)를 형성한다. 또한, 도 6에는 도시하지 않지만, 이 공정에서는, 센서부(20)상에도 유리 실 재(3)가 형성된다.
- [0050] 뒤이어, 도 7에 도시하는 바와 같이, 유리 실 재(3)상에 유리 기판(2)을 재치하고, 유리 기판(2)과, Si 기재부(10)를 유리 실 재(3)를 통하여 접합한다. 그리고, 본 실시 형태에서는, 도 7에는 도시하지 않지만, 이 공정에서, Si층(10a)의 산화층(10b)의 측과는 반대측의 표면(도 7에서는 하면)을 연삭(BGR : Back Grind)하여, Si 기재부(10)의 두께를 얇게 한다.
- [0051] 뒤이어, 도 8에 도시하는 바와 같이, 드라이 에칭법에 의해, Si층(10a)의 하면의 소정 영역을 에칭하여, 메탈 패드(11)의 하부(Si층(10a)측)에 수직구멍(10d)을 형성한다. 이 때, Si층(10a)의 하면부터 메탈 패드(11)의 하면까지 연재된 수직구멍(10d)을 형성하고, 수직구멍(10d)의 개구부에 메탈 패드(11)의 하면의 일부를 노출시킨다. 그리고, 산화층(10b)의 에칭 레이트와 메탈 패드(11)의 에칭 레이트와의 비(선택비)는 높기 때문에, 메탈 패드(11)의 하면에서 에칭 처리를 정지시키는 것은 용이하다.
- [0052] 뒤이어, 도 9에 도시하는 바와 같이, Si층(10a)의 하면상, 수직구멍(10d)을 구획하는 Si 기재부(10)의 측벽상, 및, 수직구멍(10d)에 노출한 메탈 패드(11)의 하면상에, 예를 들면 플라즈마 CVD법 등의 수법에 의해, 절연층(13)(SiO₂층)을 형성한다.
- [0053] 뒤이어, 메탈 패드(11)의 하면상에 형성된 절연층(13)의 일부를 제거하여, 수직구멍(10d)에 메탈 패드(11)의 일부를 노출시킨다. 그 후, 도 10에 도시하는 바와 같이, 절연층(13)상, 및, 노출한 메탈 패드(11)의 하면상에, 예를 들면 스퍼터링법 등의 수법에 의해, 메탈 시드층(14)을 형성한다. 이에 의해, 메탈 패드(11)와 메탈 시드층(14)이 전기적으로 접속된다.
- [0054] 그 후, 종래의 고체 촬상 소자의 제작 수법과 마찬가지로 하여, 도금막(4), 솔더 마스크(5), 및, 솔더 볼(6)을 형성한다. 본 실시 형태에서는, 이와 같이 하여, 반도체 장치(100)를 제작한다.
- [0055] 상술한 바와 같이, 본 실시 형태의 반도체 장치(100)의 제조 수법에서는, 메탈 패드(11)상에 후막의 도전성 보호막(12)을 마련하고, 그 도전성 보호막(12)을 프로브 패드로서 이용한다. 그 때문에, 본 실시 형태에서는, 프로브 테스트시에 발생하는 프로브 마크에 의한, 메탈 패드(11)의 데미지를 경감할 수 있다. 즉, TSV(30)의 형성 공정에서 사용하는 약액(예를 들면 도금액 등)의 프로브 마크에의 침투에 의해, 메탈 패드(11)가 데미지를 받는 것을 방지할 수 있다.
- [0056] 또한, 본 실시 형태는, 예를 들면 도 23의 A 및 B에서 설명한 일본 특개2007-288150호 공보에서 제안되어 있는 기술에 대해, 다음과 같은 이점을 얻을 수 있다.
- [0057] 도 23의 A 및 B에서 설명한 종래의 배선 기판에서는, 프로브를 접촉시키는 제 2 도전층(412) 또는 도전부(431)의 하부에 절연막(산화막)이 마련되기 때문에, 프로브 테스트시의 프로브의 접촉에 의해, 절연막에 데미지가 발생할 가능성이 있다. 이와 같이, 절연막에 데미지가 생긴 경우에도, 제품의 예를 들면 수율, 신뢰성 등이 저하된다. 그에 대해, 본 실시 형태의 반도체 장치(100)에서는, 메탈 패드(11)상에 직접, 도전성 보호막(12)을 마련하고 있기 때문에, 프로브(50)를 도전성 보호막(12)에 접촉시킨 때에, Si 기재부(10)의 산화층(10b)에 데미지를 주지 않는다.
- [0058] 또한, 상기 일본 특개2007-288150호 공보에서 제안되어 있는 제 1의 구성예(도 23의 A참조)에서는, 제 1 도전층(411)의 프로브가 접촉하는 영역에는, 섬형상의 중간층(413)이 제 1 도전층(411)에 접하여 마련되어 있다. 그에

대해, 본 실시 형태의 반도체 장치(100)에서는, 프로브의 접촉 영역을 포함하는 영역 전면에 걸쳐서 도전성 보호막(12)이 메탈 패드(11)에 접하여 마련된다.

- [0059] 즉, 본 실시 형태에서는, 프로브의 접촉 영역을 포함하는 영역에서, 메탈 패드(11)가 도전성 보호막(12)에 덧대어진 구성이어서, 메탈 패드(11) 및 도전성 보호막(12) 사이의 접촉면적은, 일본 특개2007-288150호 공보의 제 1의 구성예의 그것에 비하여 커진다. 그 때문에, 본 실시 형태에서는, 상기 일본 특개2007-288150호 공보의 제 1의 구성예에 비하여 메탈 패드(11)의 강도를 증대시킬 수 있다. 이 경우, 도전성 보호막(12)을 형성한 후의 각종 공정(TSV(30)의 형성 공정도 포함한다)에서, 메탈 패드(11)의 변형이나 박리를 억제할 수 있다.
- [0060] 이상의 것으로부터, 본 실시 형태에서는, 프로브 테스트의 영향을 더욱 경감할 수 있고, 반도체 장치(100)의 예를 들면 수율, 신뢰성 등을 보다 한층 향상시킬 수 있다.
- [0061] <2. 제 2의 실시 형태>
- [0062] 상기 제 1의 실시 형태에서는, 메탈 패드(11)(메탈 배선)상에, 후막의 도전성 보호막(12)(금속막)을 형성하는 예를 설명하였지만, 본 발명은 이것으로 한정되지 않는다. 예를 들면, 메탈 배선을 복수의 메탈층으로 이루어지는 다층막으로 구성하고, 그 다층막의 한쪽의 최표면층에 위치하는 메탈층을 도전성 보호막으로서 이용하여도 좋다. 제 2의 실시 형태에서는, 그 한 예를 설명한다.
- [0063] [반도체 장치의 구성]
- [0064] 도 11에, 제 2의 실시 형태에 관한 반도체 장치의 개략 구성 단면도를 도시한다. 그리고, 본 실시 형태에서는, 상기 제 1의 실시 형태와 마찬가지로, 반도체 장치로서, 고체 촬상 소자(이미지 센서)를 예로 들어서 설명한다. 또한, 도 11에는, 설명을 간략화하기 위해, 본 실시 형태의 반도체 장치의 TSV 부근의 구성만을 도시한다. 또한, 도 11에 도시하는 본 실시 형태의 반도체 장치(200)에서, 도 1에 도시하는 제 1의 실시 형태의 반도체 장치(100)와 같은 구성에는, 같은 부호를 붙여서 나타낸다.
- [0065] 본 실시 형태의 반도체 장치(200)는, 장치 본체부(201)와, 유리 기판(2)과, 유리 실 재(3)를 구비한다. 또한, 도 11에는 도시하지 않지만, 반도체 장치(200)는, 상기 제 1의 실시 형태와 마찬가지로, 도금막, 솔더 마스크, 및, 솔더 볼을 구비한다. 또한, 본 실시 형태의 반도체 장치(200)에서의 유리 기판(2), 및, 유리 실 재(3)는, 상기 제 1의 실시 형태의 그것과 같은 구성이다. 즉, 본 실시 형태에서, 장치 본체부(201) 이외의 구성은, 상기 제 1의 실시 형태의 대응하는 구성과 같기 때문에, 여기서는, 장치 본체부(201)의 구성에 관해서만 설명한다.
- [0066] [장치 본체부의 전체 구성]
- [0067] 장치 본체부(201)는, Si 기재부(10)(기재부)와, 메탈 패드(11)(금속막)와, 도전성 보호막(202)과, 절연층(13)과, 메탈 시드층(14)(수직구멍 전극)을 구비한다. 또한, 도 11에는 도시하지 않지만, 장치 본체부(201)는, 제 1의 실시 형태와 마찬가지로, 포토 다이오드 및 온 칩 마이크로 렌즈를 포함하는 센서부를 구비한다.
- [0068] 본 실시 형태의 반도체 장치(200)에서는, 도 11에 도시하는 바와 같이, TSV(30)(수직구멍 배선부)의 상부(유리 기판(2)측)에, 메탈 패드(11)를 형성하고, 또한, 메탈 패드(11)상에 박막의 도전성 보호막(202)을 적층한다. 즉, 본 실시 형태에서는, 메탈 배선을 메탈 패드(11) 및 도전성 보호막(202)의 2층 구조로 한다.
- [0069] 그리고, 본 실시 형태에서는, Si 기재부(10)의 산화층(10b)(절연막)에 개구부(203)를 마련하고, 도전성 보호막(202)을 그 개구부(203)에 노출시킨다. 본 실시 형태에서는, 이 개구부(203)에 노출한 도전성 보호막(202)에 프로브를 접촉시켜서 프로브 테스트를 행한다.
- [0070] 또한, 도전성 보호막(202)은, 메탈 패드(11)의 형성 공정에 계속해서 형성되기 때문에, 메탈 패드(11)와 같은 형성 수법(예를 들면 스퍼터링법)으로 형성된다. 그 때문에, 제 1의 실시 형태와 같이, 후막(수십 μ m 정도)의 도전성 보호막(202)을 형성하기가 어렵다. 그래서, 본 실시 형태에서는, 도전성 보호막(202)에 프로브를 접촉시킨 때에, 메탈 패드(11)에 데미지가 생기지 않도록 하기 위해, 비교적 경도가 높은 도전성 재료로 도전성 보호막(202)을 형성한다. 예를 들면, W, Ti, Ta 등의 재료로 도전성 보호막(202)을 형성할 수 있다.
- [0071] 또한, 도 11에 도시하는 예에서는, 도전성 보호막(202)을 1층으로 구성하는 예를 설명하지만, 본 발명은 이것으로 한정되지 않는다. 예를 들면, 도전성 보호막(202)을 다층 구조로 하여도 좋다. 보다 구체적으로는, 도전성 보호막(202)을, 예를 들면, TiN막/Ti막, TaN막/Ta막 등의 적층막으로 구성할 수 있다.
- [0072] 본 실시 형태에서, 상술한 바와 같이 메탈 배선을 다층 구조로 한 것 이외의 구성은, 상기 제 1의 실시 형태의

대응하는 구성과 마찬가지로이다.

- [0073] [반도체 장치의 제조 수법]
- [0074] 다음에, 본 실시 형태의 반도체 장치(200)의 제작 수법의 한 예를, 도 12 내지 15를 참조하면서 설명한다. 그리고, 본 실시 형태의 반도체 장치(200)의 제작 수법에서는, 프로브 테스트까지의 공정이 상기 제 1의 실시 형태의 반도체 장치(100)의 그것과 다르기 때문에, 도 12 내지 15에는, 프로브 테스트까지의 각 공정에서 제작되는 반도체 부재의 개략 단면도를 도시한다. 또한, 여기서는, 설명을 간략화하기 위해, 장치 본체부(201)의 TSV(30) 부근의 구성의 제작 공정에 대해 설명한다. 그 이외의 구성부는, 예를 들면 종래의 고체 촬상 소자의 제작 수법과 마찬가지로 하여 제작할 수 있다.
- [0075] 본 실시 형태에서는, 우선, Si층(10a)상에, 예를 들면 플라즈마 CVD법 등의 수법을 이용하여, 산화막(204)을 형성한다. 뒤이어, 도 12에 도시하는 바와 같이, 그 산화막(204)상에 메탈 패드(11) 및 도전성 보호막(202)을 이 순서로 형성한다.
- [0076] 그리고, 메탈 패드(11) 및 도전성 보호막(202)의 형성 수법은 임의이지만, 예를 들면, 다음과 같이 하여 메탈 패드(11) 및 도전성 보호막(202)으로 할 수 있다. 우선, 메탈 패드(11)의 형성 재료로 이루어지는 제 1의 금속막, 및, 도전성 보호막(202)의 형성 재료로 이루어지는 제 2의 금속막을, 예를 들면 스퍼터링법 등의 수법을 이용하여 산화막(204)상에 형성한다. 뒤이어, 제 1의 금속막 및 제 2의 금속막으로 이루어지는 적층막을 패터닝하여 메탈 패드(11) 및 도전성 보호막(202)을 형성한다.
- [0077] 단, 상기 메탈 패드(11) 및 도전성 보호막(202)의 형성 공정에서는, 도전성 보호막(202)상에 형성하는 후술하는 개구부(203)의 프로세스 마진을 고려하여, 특성상 필요하게 되는 사이즈보다 조금 큰 사이즈의 메탈 패드(11) 및 도전성 보호막(202)을 형성한다.
- [0078] 뒤이어, 도 13에 도시하는 바와 같이, 도전성 보호막(202)상에, 예를 들면 플라즈마 CVD법 등의 수법을 이용하여, 산화막을 형성하여 Si 기재부(10)의 산화층(10b)을 제작한다.
- [0079] 뒤이어, 도전성 보호막(202)상의 산화층(10b)의 일부의 영역, 구체적으로는, 프로브의 접촉 영역을 포함하는 영역을 에칭하여 제거한다. 이에 의해, 도 14에 도시하는 바와 같이, 산화층(10b)의 프로브의 접촉 영역을 포함하는 영역에 개구부(203)가 형성되고, 그 개구부(203)에 도전성 보호막(202)이 노출한다. 또한, 본 실시 형태에서는, 상술한 바와 같이, 개구부(203)의 프로세스 마진을 고려하여, 특성상 필요하게 되는 사이즈보다 조금 큰 사이즈의 도전성 보호막(202)을 형성한다. 그 때문에, 개구부(203)의 개구면적은 도전성 보호막(202)의 면적보다 작아지고, 도전성 보호막(202)의 외주 단부 부근의 영역은, 산화층(10b)으로 피복된 상태가 된다.
- [0080] 뒤이어, 상기 공정으로 제작된 반도체 부재에 대해 프로브 테스트를 행한다. 구체적으로는, 도 15에 도시하는 바와 같이, 프로브(50)를, 도전성 보호막(202)을 통하여 메탈 패드(11)에 접촉시켜서 반도체 부재의 전기적 성능을 평가한다. 또한, 이 때, 메탈 패드(11)는 경도가 높은 도전성 보호막(202)에 의해 보호받고 있기 때문에, 메탈 패드(11)에의 데미지를 경감할 수 있다.
- [0081] 상술한 프로브 테스트가 종료된 후, 상기 제 1의 실시 형태와 마찬가지로(도 6 내지 10에서 설명한 제작 공정)로 하여 반도체 장치(200)를 제작한다.
- [0082] 상술한 바와 같이, 본 실시 형태의 반도체 장치(200)에서는, 프로브 테스트시에 메탈 패드(11)가 경도가 높은 도전성 보호막(202)으로 보호받고, 또한, 프로브의 접촉 영역을 포함하는 영역에서, 메탈 패드(11)가 도전성 보호막(202)으로 덧붙여진 구성으로 된다. 그 때문에, 본 실시 형태에서는, 상기 제 1의 실시 형태와 같은 효과를 얻을 수 있다.
- [0083] 또한, 본 실시 형태에서는, 메탈 패드(11)와 마찬가지로의 프로세스로 도전성 보호막(202)을 형성할 수 있기 때문에, 공정수를 적게 할 수 있고, 보다 간단하게 반도체 장치(200)를 제작할 수 있다. 또한, 본 실시 형태에서는, 상술한 바와 같이, 도전성 보호막(202)의 막두께를 두껍게 하기가 어렵기 때문에, 후막의 도전성 보호막을 필요로 하는 용도에서는, 본 실시 형태보다 상기 제 1의 실시 형태의 구성의 쪽이 우위이다.
- [0084] <3. 각종 변형예 및 응용예>
- [0085] 다음에, 상기 제 1 및 제 2의 실시 형태의 반도체 장치의 각종 변형예, 및, 적용례(응용예)에 대해 설명한다.
- [0086] [변형예 1]

- [0087] 상기 제 1 및 제 2의 실시 형태에서는, 메탈 패드(11)(메탈 배선)의 프로브 접촉측의 표면에 도전성 보호막을 형성하는 예를 나타냈지만, 본 발명은 이것으로 한정되지 않고, 도전성 보호막을 메탈 패드(11)의 프로브 접촉측과는 반대측의 표면에 형성하여도 좋다. 변형예 1에서는, 그 구성예를 설명한다.
- [0088] 도 16 및 17에, 변형예 1의 반도체 장치의 개략 구성을 도시한다. 도 16은, 제 1의 실시 형태의 반도체 장치(100)에 변형예 1의 구성을 적용한 경우의 반도체 장치(110)(변형예 1-1)의 개략 단면 구성도이다. 또한, 도 17은, 제 2의 실시 형태의 반도체 장치(200)에 변형예 1의 구성을 적용한 경우의 반도체 장치(210)(변형예 1-2)의 개략 단면 구성도이다.
- [0089] 그리고, 도 16 및 17에는, 설명을 간략화하기 위해, 반도체 장치의 TSV(30) 부근의 구성만을 도시한다. 또한, 도 16에 도시하는 변형예 1-1의 반도체 장치(110)에서, 도 1에 도시하는 제 1의 실시 형태의 반도체 장치(100)와 같은 구성에는, 같은 부호를 붙여서 나타낸다. 또한, 도 17에 도시하는 변형예 1-2의 반도체 장치(210)에서, 도 11에 도시하는 제 2의 실시 형태의 반도체 장치(200)와 같은 구성에는, 같은 부호를 붙여서 나타낸다.
- [0090] 도 16과 도 17과의 비교로부터 분명한 바와 같이, 변형예 1-1의 반도체 장치(110)는, 제 1의 실시 형태의 반도체 장치(100)에서, 메탈 패드(11)와 도전성 보호막(12)의 배치를 역으로 한 구성이다. 또한, 변형예 1-1의 반도체 장치(110)에서는, 메탈 패드(11)상의 프로브의 접촉 영역을 포함하는 산화층(10b)의 영역에, 개구부(111)가 마련된다. 변형예 1-1의 반도체 장치(110)에서, 상기 구성 이외의 구성은, 제 1의 실시 형태의 반도체 장치(100)의 대응하는 구성과 마찬가지로이다.
- [0091] 또한, 도 17과 도 11과의 비교로부터 분명한 바와 같이, 변형예 1-2의 반도체 장치(210)는, 제 2의 실시 형태의 반도체 장치(200)에서, 메탈 패드(11)와 도전성 보호막(202)과의 배치를 역으로 한 구성이다. 그리고, 변형예 1-2의 반도체 장치(210)에서의 그 밖의 구성은, 제 2의 실시 형태의 반도체 장치(200)의 대응하는 구성과 마찬가지로이다.
- [0092] 이 예의 반도체 장치에서는, 프로브 테스트시에, 메탈 패드(11)에 직접, 프로브를 접촉시키기 때문에, 메탈 패드(11)에 데미지가 발생한다. 그러나, 이 예에서는, 메탈 패드(11)의 하부에 도전성 보호막이 접하여 마련되어 있기 때문에, 메탈 배선의 도전성이 유지되고, 메탈 패드(11)의 데미지의 영향을 경감할 수 있다. 또한, 이 예에서는, 메탈 패드(11)의 하부에 도전성 보호막이 접하여 마련되어 있기 때문에, 프로브를 메탈 패드(11)에 접촉시킨 때에, Si 기재부(10)의 산화층(10b)에 데미지를 주지 않는다. 또한, 이 예에서도, 메탈 패드(11)가 도전성 보호막으로 덮여진 구성이기 때문에, 메탈 패드(11)의 강도를 증대시킬 수 있다. 즉, 이 예에서도, 상기 제 1 및 제 2의 실시 형태와 같은 효과를 얻을 수 있다.
- [0093] [변형예 2]
- [0094] 상기 제 1의 실시 형태에서는, 도전성 보호막(12)을 메탈 패드(11)상에 형성한(도 4의 공정) 후, 프로브 테스트(도 5의 공정)를 행하는 예를 설명하였지만, 본 발명은 이것으로 한정되지 않는다. 예를 들면, 도전성 보호막(12)을 메탈 패드(11)상에 형성하기 전에, 프로브 테스트를 행하여도 좋다. 그 반도체 장치의 제작 수법의 한 예(변형예 2)를, 도 18 및 19를 참조하면서 설명한다. 그리고, 도 18 및 19는, 각각 프로브 테스트시 및 도전성 보호막형성시의 공정의 양상을 도시하는 도면이다.
- [0095] 이 예에서는, 우선, 제 1의 실시 형태와 마찬가지로 하여, 메탈 패드(11)상에 산화층(10b)의 개구부(10c)를 형성하고, 메탈 패드(11)를 노출시킨다(도 2 및 3의 공정). 뒤이어, 도 18에 도시하는 바와 같이, 개구부(10c)에 노출한 메탈 패드(11)에 프로브(50)를 접촉시켜서 프로브 테스트를 행한다.
- [0096] 뒤이어, 프로브 테스트 후, 예를 들면, 무전해 도금법, 스크린 인쇄법, 스프레이 코팅법, 스퍼터링법 등의 수법을 이용하여, 도 19에 도시하는 바와 같이, 산화층(10b)의 개구부(10c)에 노출한 메탈 패드(11)상에, 도전성 보호막(12)을 형성한다. 그 후는, 상기 제 1의 실시 형태와 마찬가지로(도 6 내지 10의 공정)로 하여 반도체 장치를 제작한다.
- [0097] 이 예에서는, 메탈 패드(11)에 직접, 프로브를 접촉시켜서 프로브 테스트를 행하기 때문에, 메탈 패드(11)에 데미지(프로브 마크)가 발생한다. 그러나, 이 예에서는, 프로브 테스트 후, 메탈 패드(11)(프로브 마크)를 덮도록, 도전성 보호막(12)을 메탈 패드(11)에 접하여 마련한다. 즉, 프로브 마크가 남는 메탈 패드(11)의 표면을 도전성 보호막(12)으로 보호한다. 이 경우, 메탈 배선의 도전성이 유지됨과 함께, TSV(30)의 형성 공정에서 사용하는 약액(예를 들면 도금액 등)의 프로브 마크에의 침투를 방지할 수 있고, 메탈 패드(11)의 데미지의 영향을 경감할 수 있다.

- [0098] 또한, 이 예에서도, 메탈 패드(11)가 도전성 보호막(12)으로 덧붙여진 구성이기 때문에, 메탈 패드(11)의 강도를 증대시킬 수 있다. 즉, 이 예에서도, 상기 제 1의 실시 형태와 마찬가지로, 프로브 테스트의 영향을 더욱 경감할 수 있고, 반도체 장치의 예를 들면 수율, 신뢰성 등을 보다 한층 향상시킬 수 있다.
- [0099] [변형예 3]
- [0100] 상기 제 1의 실시 형태에서는, TSV(30)의 상부에, 도전성 보호막(12)(프로브 접촉 영역을 포함하는 영역)을 마련하는 예, 즉, 도전성 보호막(12)이, 수직구멍(10d)의 개구부와 대향하는 위치에 배치된 예를 설명하였다. 그러나, 본 발명은 이것으로 한정되지 않는다. 반도체 장치의 Si 기재부(10)의 면 내에서, TSV(30)의 형성 영역과 도전성 보호막(12)의 형성 영역이 겹쳐지지 않도록, 양 영역을 배치하여도 좋다. 변형예 3에서는, 그 한 구성예를 설명한다.
- [0101] 도 20에, 변형예 3의 반도체 장치(120)의 개략 구성을 도시한다. 도 20은, 제 1의 실시 형태의 반도체 장치(100)에 변형예 3의 구성을 적용한 경우의 반도체 장치(120)의 개략 단면 구성도이고, 여기서는 설명을 간략화하기 위해, 반도체 장치(120)의 TSV(30) 부근의 구성만을 도시한다. 또한, 도 20에 도시하는 변형예 3의 반도체 장치(120)에서, 도 1에 도시하는 제 1의 실시 형태의 반도체 장치(100)와 같은 구성에는, 같은 부호를 붙여서 나타낸다.
- [0102] 도 20과 도 1의 비교로부터 분명한 바와 같이, 이 예의 반도체 장치(120)에서는, Si 기재부(10)의 면 내에서, TSV(30)의 형성 영역과 도전성 보호막(12)의 형성 영역이 겹쳐지지 않도록, 양 영역을 배치한다. 그리고, 이 예에서는, Si 기재부(10)의 면 내에서, TSV(30)의 형성 영역부터 도전성 보호막(12)의 형성 영역으로 건너는 영역에 메탈 패드(121)를 형성한다. 이 예의 반도체 장치(120)에서, 상기 구성 이외의 구성은, 제 1의 실시 형태의 반도체 장치(100)의 대응하는 구성과 마찬가지로이다.
- [0103] 상술한 바와 같이, 이 예의 구성에서도, 프로브의 접촉 영역에는, 도전성 보호막(12)이 메탈 패드(121)에 접하여 형성되고, 메탈 패드(121)가 도전성 보호막(12)으로 덧붙여진 구성이 된다. 그 때문에, 이 예의 반도체 장치(120)에서도, 상기 제 1의 실시 형태와 같은 효과를 얻을 수 있다.
- [0104] 또한, 도 20에 도시하는 예에서는, 제 1의 실시 형태의 반도체 장치(100)에 변형예 3의 구성을 적용한 예를 설명하였지만, 본 발명은 이것으로 한정되지 않고, 예를 들면, 제 2의 실시 형태의 반도체 장치(200)에 변형예 3의 구성을 적용하여도 좋다. 즉, 제 2의 실시 형태의 반도체 장치(200)의 Si 기재부(10)의 면 내에서, TSV(30)의 형성 영역과 도전성 보호막(202)의 형성 영역이 겹쳐지지 않도록, 양 영역을 배치하여도 좋다.
- [0105] 단, 이 예에서는, Si 기재부(10)의 면 내에서, TSV(30)의 형성 영역과 도전성 보호막의 형성 영역을 서로 다른 영역에 형성하기 때문에, 반도체 장치의 칩 사이즈가, 상기 제 1 및 제 2의 실시 형태의 반도체 장치의 그것에 비하여 커지는 경우가 있다. 따라서 반도체 장치의 소형화의 관점에서는, 상기 제 1 및 제 2의 실시 형태의 반도체 장치의 쪽이 이 예의 반도체 장치보다 우위이다.
- [0106] [변형예 4]
- [0107] 상기 제 2의 실시 형태에서는, 예를 들면, W, Ti, Ta 등의 재료로 이루어지는 비교적 경도가 높은 도전성 보호막(202)을 메탈 패드(11)상에 형성하지만, 이와 같은 재료로 형성된 도전성 보호막(202)의 응력은 크다. 그 때문에, 메탈 패드(11)상의 도전성 보호막(202)의 형성 영역이 크면, 그 막의 응력에 의해, 도전성 보호막(202)의 막 벗겨짐이 발생할 가능성이 있다. 그 때문에, 메탈 패드(11)상의 도전성 보호막(202)의 형성 영역은 가능한 한 작은 쪽이 바람직하다. 변형예 4에서는, 그 한 예를 설명한다.
- [0108] 도 21의 A 및 B에, 변형예 4의 반도체 장치에서의 메탈 패드(11) 및 도전성 보호막(222)의 개략 구성을 도시한다. 그리고, 도 21의 A는, 변형예 4의 반도체 장치의 메탈 패드(11) 및 도전성 보호막(222)의 개략 상면도이고, 도 21의 B는, 도 21의 A중의 A-A 단면도이다. 또한, 도 21의 A 및 B에 도시하는 변형예 4의 반도체 장치에서, 도 11에 도시하는 제 2의 실시 형태의 반도체 장치(200)와 같은 구성에는, 같은 부호를 붙여서 나타낸다. 또한, 여기서는, 설명을 간략화하기 위해, 도 21의 A 및 B에는, 도전성 보호막(222)의 형성 공정 후의 반도체 부재의 개략 구성을 도시한다.
- [0109] 이 예의 반도체 장치에서는, 도전성 보호막(222)의 형성 영역을, 도 11에 도시하는 상기 제 2의 실시 형태의 도전성 보호막(202)의 형성 영역보다 작게 한다. 예를 들면, 도전성 보호막(222)의 형성 영역의 사이즈를, 프로브 테스트시에 필요로 하는 프로브 패드의 최소 사이즈로 설정한다. 그리고, 도 21의 A 및 B에는 도시하지 않지만, 이 예의 반도체 장치에서, 도전성 보호막(222) 이외의 구성은, 상기 제 2의 실시 형태의 대응하는 구성과 마찬가지로

가지이다.

- [0110] 상술한 바와 같이, 이 예의 구성에서도, 프로브의 접촉 영역을 포함하는 영역에서는, 도전성 보호막(222)이 메탈 패드(11)에 접하여 형성되고, 메탈 패드(11)가 도전성 보호막(222)으로 덮여진 구성이 된다. 그 때문에, 이 예의 반도체 장치에서도, 상기 제 2의 실시 형태와 같은 효과를 얻을 수 있다. 또한, 이 예에서는, 비교적 경도가 높은 도전성 보호막(222)의 형성 영역을 보다 작게 할 수 있기 때문에, 상술한 도전성 보호막(222)의 막 벗겨짐의 발생을 억제할 수 있다.
- [0111] [변형예 5]
- [0112] 상기 변형예 4에서는, 도전성 보호막(222)의 막 벗겨짐을 억제하기 위해, 도전성 보호막(222)의 형성 영역을 작게 한 예를 설명하였지만, 도전성 보호막(222)의 막 벗겨짐의 발생을 억제하는 수법은, 이 수법으로 한정되지 않는다.
- [0113] 예를 들면, 도전성 보호막(222)을, W, Ti, Ta 등의 재료로 이루어지는 도전성 보호막 본체와, 그 도전성 보호막 본체의 메탈 패드(11)측의 표면에 마련된 밀착층으로 구성하여도 좋다. 이 경우에는, W, Ti, Ta 등의 재료로 이루어지는 도전성 보호막 본체와 메탈 패드(11)의 사이에, 밀착층이 형성되기 때문에, 도전성 보호막(222)의 막 벗겨짐의 발생을 억제할 수 있다.
- [0114] [변형예 6]
- [0115] 상기 각종 실시 형태에서는, TSV(30)의 수직구멍(10d)이 메탈 패드(11)를 관통하지 않는 구성예를 설명하였지만, 본 발명은 이것으로 한정되지 않고, 수직구멍(10d)이 메탈 패드(11)를 관통하고 있어도 좋다. 이와 같은 구성은, 예를 들면, 레이저를 이용하여 수직구멍(10d)을 형성함에 의해 실현할 수 있다.
- [0116] [응용예]
- [0117] 상기 각종 실시 형태 및 각종 변형예의 반도체 장치는, 각종 전자 기기에 적용 가능하다. 예를 들면, 디지털 카메라나 비디오 카메라 등의 카메라 시스템, 촬상 기능을 갖는 휴대 전화, 또는, 촬상 기능을 구비한 다른 기기 등의 전자 기기에, 상기 각종 실시 형태 및 각종 변형예를 적용할 수 있다. 또한, 상기 각종 실시 형태 및 각종 변형예에서 설명한 본 발명의 기술은, MEMS(Micro Electro Mechanical Systems)에도 적용 가능하다.
- [0118] 여기서는, 상기 각종 실시 형태 및 각종 변형예의 반도체 장치를 적용한 전자 기기로서, 카메라를 예(응용예)로 들어서 설명한다. 도 22에, 응용예에 관한 카메라의 개략 구성을 도시한다. 그리고, 도 22에는, 정지화상 또는 동화를 촬영할 수 있는 비디오 카메라의 구성예를 나타낸다.
- [0119] 이 예의 카메라(300)는, 고체 촬상 소자(301)와, 고체 촬상 소자(301)의 수광 센서(부도시)에 입사광을 유도하는 광학계(302)와, 고체 촬상 소자(301) 및 광학계(302) 사이에 마련된 셔터 장치(303)와, 고체 촬상 소자(301)를 구동하는 구동 회로(304)를 구비한다. 또한, 카메라(300)는, 고체 촬상 소자(301)의 출력 신호를 처리하는 신호 처리 회로(305)를 구비한다.
- [0120] 고체 촬상 소자(301)는, 상술한 각종 실시 형태 및 각종 변형예의 어느 하나의 반도체 장치로 구성된다. 그 밖의 각 부분의 구성 및 기능은, 다음과 같다.
- [0121] 광학계(광학 렌즈)(302)는, 피사체로부터의 상광(입사광)을 고체 촬상 소자(301)의 촬상면(부도시)상에 결상시킨다. 이에 의해, 고체 촬상 소자(301) 내에, 일정 기간, 신호 전하가 축적된다. 또한, 광학계(302)는, 복수의 광학 렌즈를 포함하는 광학 렌즈군으로 구성하여도 좋다. 또한, 셔터 장치(303)는, 입사광의 고체 촬상 소자(301)에의 광조사 기간 및 차광 기간을 제어한다.
- [0122] 구동 회로(304)는, 고체 촬상 소자(301) 및 셔터 장치(303)에 구동 신호를 공급한다. 그리고, 구동 회로(304)는, 공급한 구동 신호에 의해, 고체 촬상 소자(301)의 신호 처리 회로(305)에의 신호 출력 동작, 및, 셔터 장치(303)의 셔터 동작을 제어한다. 즉, 이 예에서는, 구동 회로(304)로부터 공급되는 구동 신호(타이밍 신호)에 의해, 고체 촬상 소자(301)로부터 신호 처리 회로(305)에의 신호 전송 동작을 행한다.
- [0123] 신호 처리 회로(305)는, 고체 촬상 소자(301)로부터 전송된 신호에 대해, 각종의 신호 처리를 시행한다. 그리고, 각종 신호 처리가 시행된 신호(영상 신호)는, 메모리 등의 기억 매체(부도시)에 기억되는, 또는, 모니터(부도시)에 출력된다.
- [0124] 그리고, 본 발명은, 이하와 같은 구성을 취할 수도 있다.

- [0125] (1)
- [0126] 반도체 기관, 및, 그 반도체 기관의 한쪽의 면상에 형성된 절연막을 가지며, 내부에 그 반도체 기관의 두께 방향에 따라서 수직구멍이 형성된 기재부와,
- [0127] 상기 수직구멍을 구획하는 상기 기재부의 측벽상에 형성된 수직구멍 전극을 갖는 수직구멍 배선부와,
- [0128] 상기 절연막 내에 형성되고, 상기 수직구멍 배선부와 전기적으로 접속된 금속막과,
- [0129] 상기 절연막 내에서 상기 금속막에 접하도록 형성되고, 또한, 상기 금속막의 막면에서 제조 도중에 행하는 프로브 테스트시의 프로브의 접촉 영역을 포함하는 영역에 형성된 도전성 보호막을 구비하는 반도체 장치.
- [0130] (2)
- [0131] 상기 금속막이, 상기 도전성 보호막의 상기 반도체 기관의 측에 마련되어 있는 (1)에 기재된 반도체 장치.
- [0132] (3)
- [0133] 상기 도전성 보호막이, 상기 금속막의 상기 반도체 기관의 측에 마련되어 있는 (1)에 기재된 반도체 장치.
- [0134] (4)
- [0135] 상기 도전성 보호막이, 상기 수직구멍의 개구부와 대향한 위치에 배치되어 있는 (1) 내지 (3)의 어느 하나에 기재된 반도체 장치.
- [0136] (5)
- [0137] 상기 절연막의 상기 프로브의 접촉측의 표면에, 상기 도전성 보호막이 형성된 상기 프로브의 접촉 영역을 포함하는 영역보다 작은 개구면적의 개구부가 형성되어 있는 (1) 내지 (4)의 어느 하나에 기재된 반도체 장치.
- [0138] (6)
- [0139] 상기 도전성 보호막이, Au 막, Ni 막, 및, Cu 막의 어느 하나인 (1) 내지 (5)의 어느 하나에 기재된 반도체 장치.
- [0140] (7)
- [0141] 상기 도전성 보호막이, W막, Ti막, TiN막 및 Ti막의 적층막, 및, TaN막 및 Ta막의 적층막의 어느 하나인 (1) 내지 (5)의 어느 하나에 기재된 반도체 장치.
- [0142] (8)
- [0143] 반도체 기관, 및, 그 반도체 기관의 한쪽의 면상에 형성된 절연막을 갖는 기재부의 그 절연막 내에 금속막을 형성하는 스텝과,
- [0144] 상기 절연막 내에 있고, 또한, 상기 금속막의 막면 내에 있는 소정 영역에, 상기 금속막에 접하도록 도전성 보호막을 형성하는 스텝과,
- [0145] 상기 절연막의 상기 반도체 기관의 측과는 반대측의 표면에 노출한 상기 금속막 및 상기 도전성 보호막의 한쪽에 프로브를 접촉시켜서 프로브 테스트를 행하는 스텝과,
- [0146] 상기 프로브 테스트 후에, 상기 반도체 기관의 두께 방향을 따라서, 상기 기재부에 수직구멍을 형성하는 스텝을 포함하는 반도체 장치의 제조 방법.
- [0147] 본 발명은 2011년 5월 24일자로 일본특허청에 특허출원된 일본특허원 제2011-115633호를 우선권으로 주장한다.
- [0148] 당업자라면, 하기의 특허청구범위 또는 그 등가의 범위 내에서, 설계상의 필요 또는 다른 요인에 따라, 상기 실시예에 대한 여러가지 수정예, 조합예, 부분 조합예 및 변경예를 실시할 수 있을 것이다.

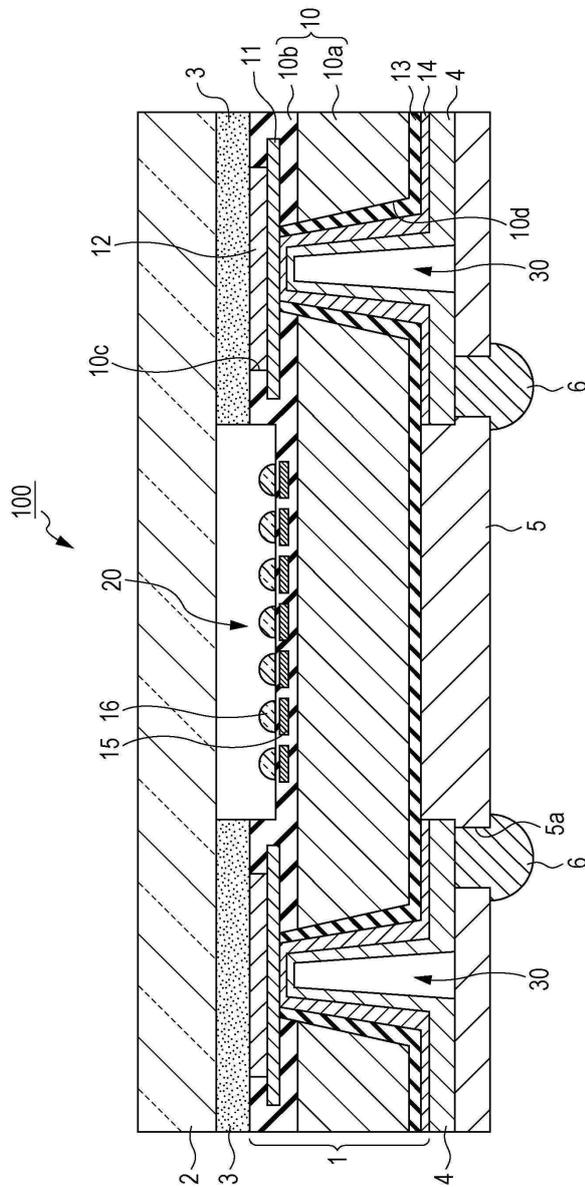
부호의 설명

- [0149] 1, 201 : 장치 본체부 2 : 유리 기관
- 3 : 유리 실재 4 : 도금막
- 5 : 솔더 마스크 6 : 솔더 볼

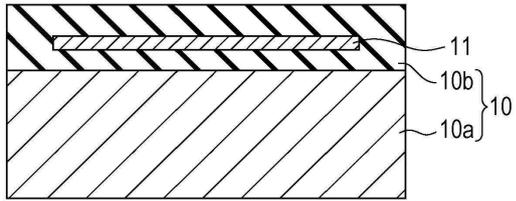
- 10 : Si 기재부 10a : Si 층
- 10b : 산화층 10c, 203 : 개구부
- 10d : 수직구멍 11 : 메탈 패드
- 12, 202 : 도전성 보호막 13 : 절연층
- 14 : 메탈 시드층 15 : 포토 다이오드
- 16 : 온 칩 마이크로 렌즈 20 : 센서부
- 30 : TSV 50 : 프로브
- 100, 200 : 반도체 장치

도면

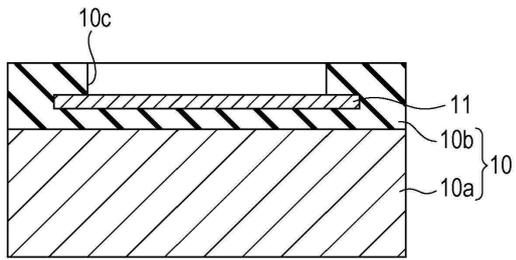
도면1



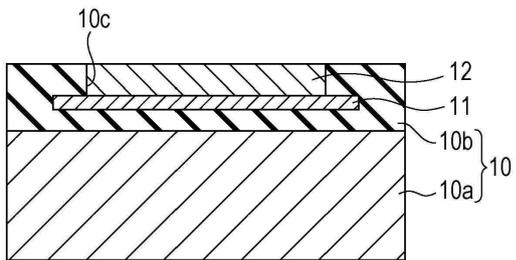
도면2



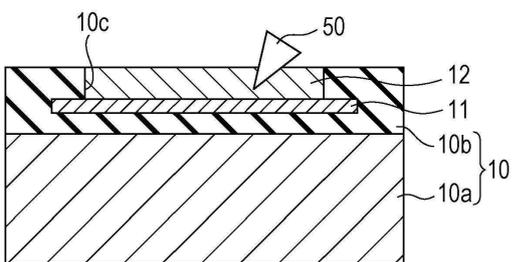
도면3



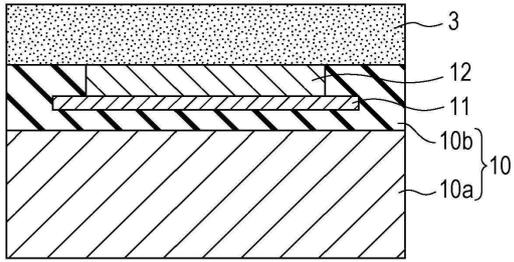
도면4



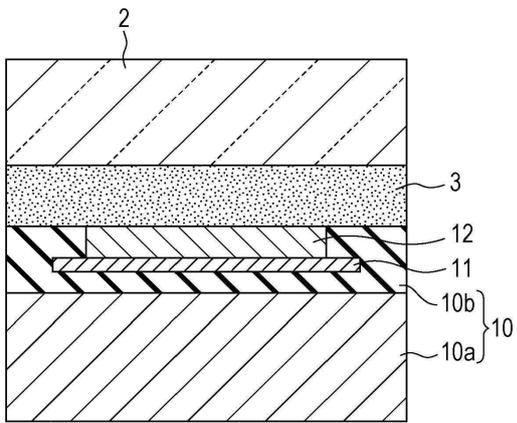
도면5



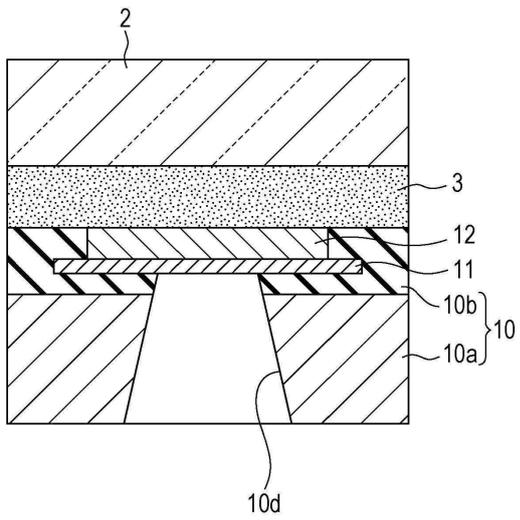
도면6



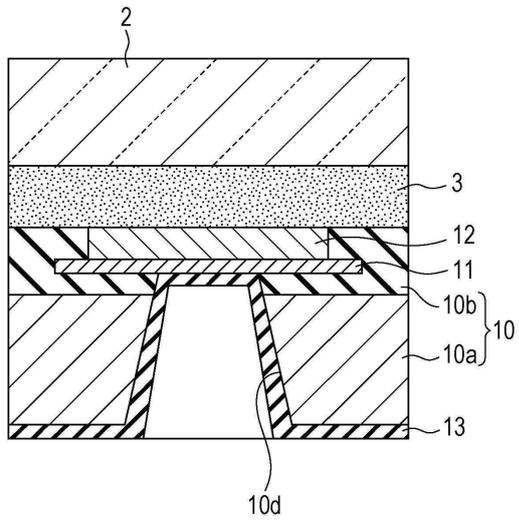
도면7



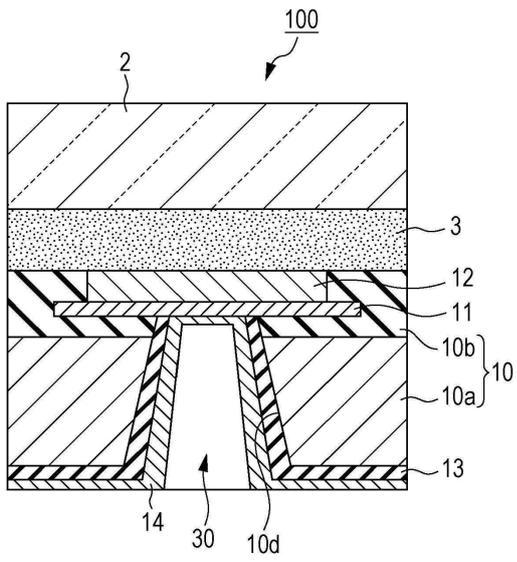
도면8



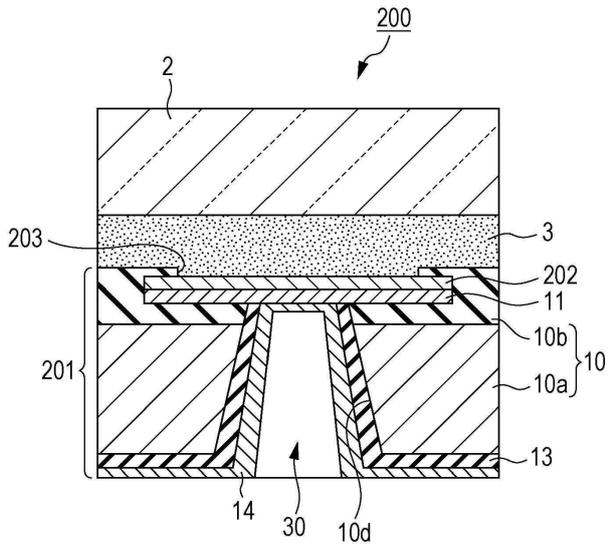
도면9



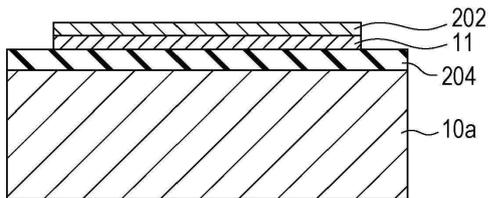
도면10



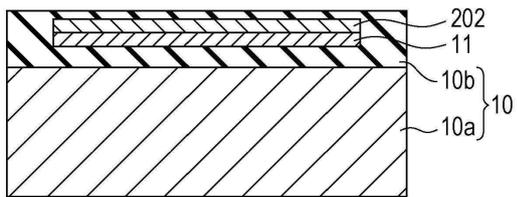
도면11



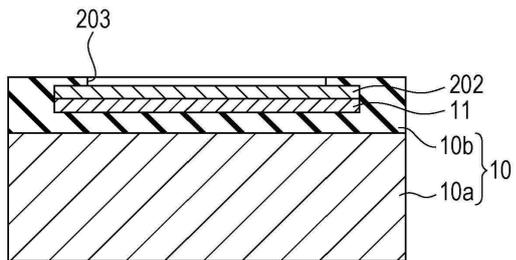
도면12



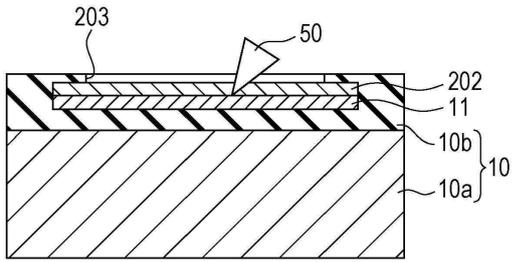
도면13



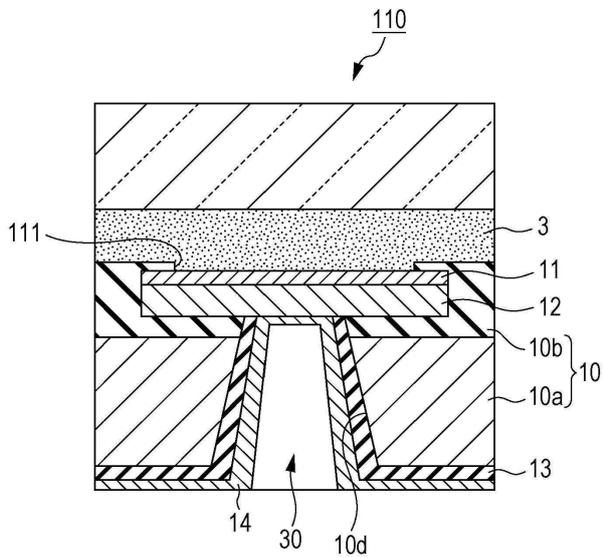
도면14



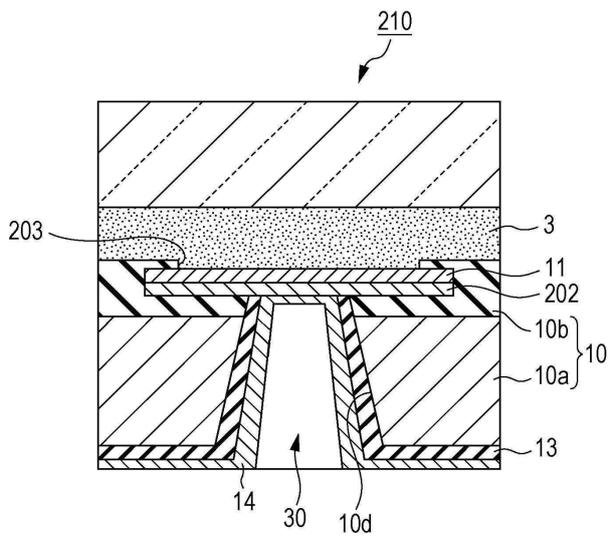
도면15



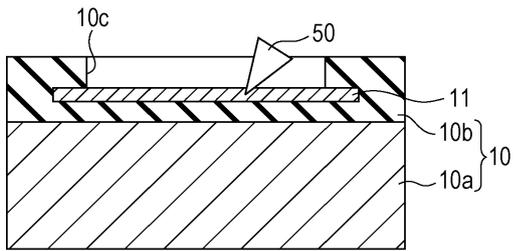
도면16



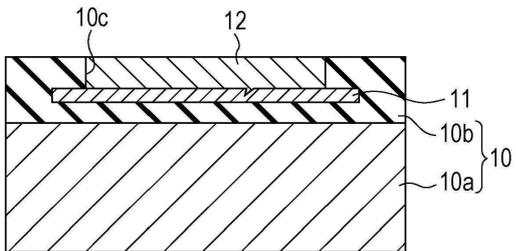
도면17



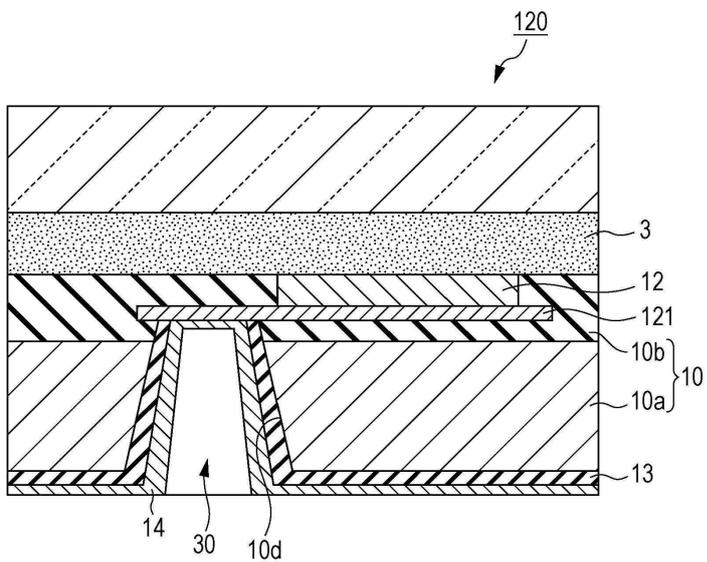
도면18



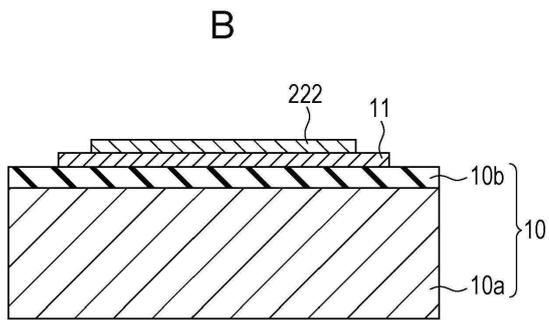
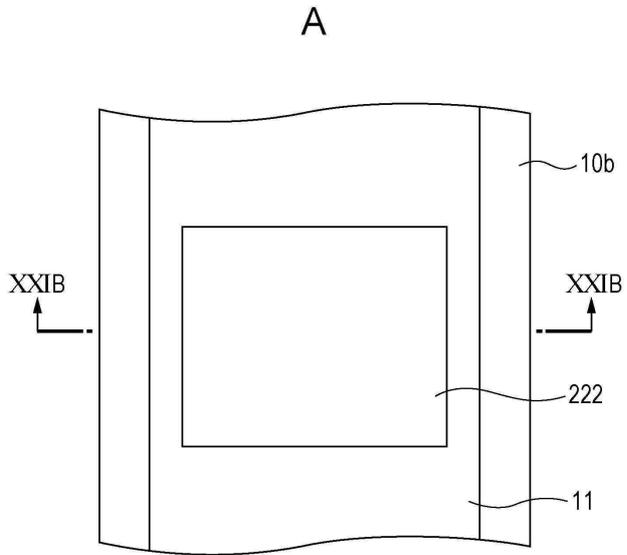
도면19



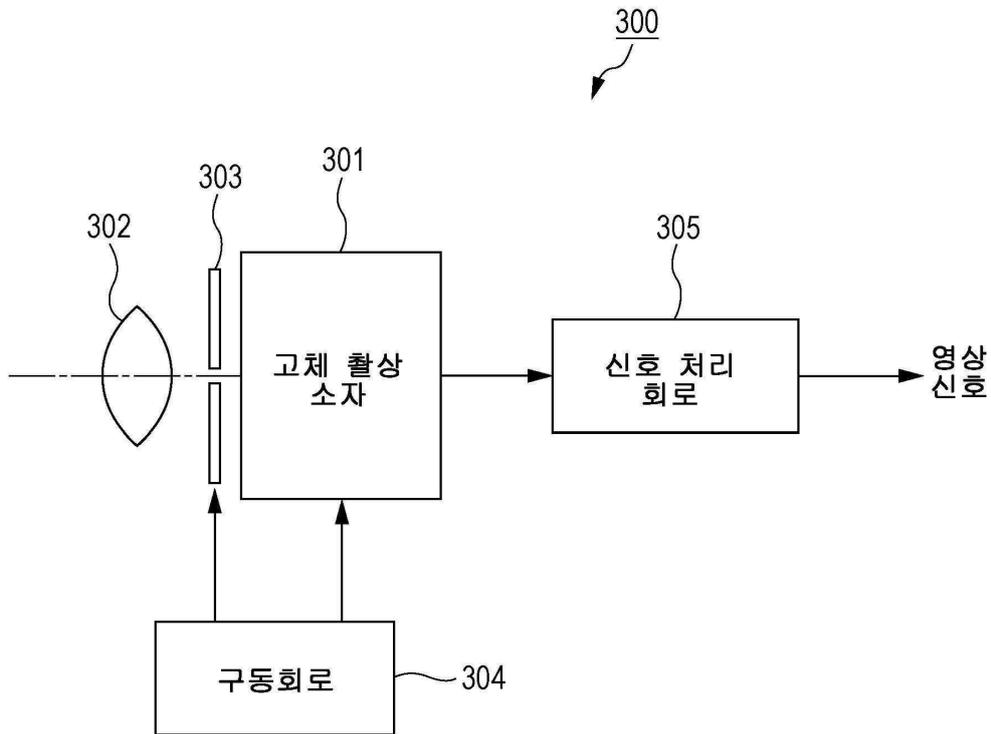
도면20



도면21



도면22



도면23

