

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-534195

(P2005-534195A)

(43) 公表日 平成17年11月10日(2005.11.10)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/10	HO 1 L 27/10 4 5 1	5 F 0 8 3
HO 1 L 49/02	HO 1 L 49/02	

審査請求 有 予備審査請求 未請求 (全 24 頁)

(21) 出願番号 特願2004-528394 (P2004-528394)
 (86) (22) 出願日 平成15年7月19日 (2003. 7. 19)
 (85) 翻訳文提出日 平成17年1月26日 (2005. 1. 26)
 (86) 国際出願番号 PCT/DE2003/002434
 (87) 国際公開番号 W02004/017436
 (87) 国際公開日 平成16年2月26日 (2004. 2. 26)
 (31) 優先権主張番号 10234660. 7
 (32) 優先日 平成14年7月26日 (2002. 7. 26)
 (33) 優先権主張国 ドイツ (DE)
 (81) 指定国 EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), CN, JP, KR, SG, US

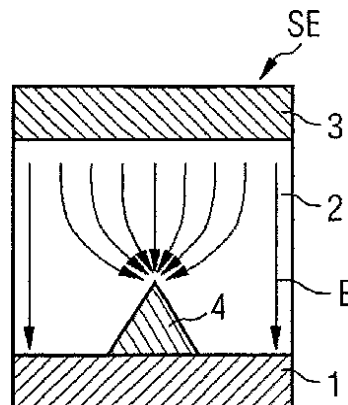
(71) 出願人 501209070
 インフィネオン テクノロジーズ アクチ
 エンゲゼルシャフト
 ドイツ連邦共和国 81669 ミュンヘ
 ン ザンクト マルティン シュトラーセ
 53
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 ブルーユ, ローラン
 ベルギー 3010 ルーヴェン ケッセ
 ルダラーン 97
 (72) 発明者 シューラー, フランツ
 ドイツ連邦共和国 01109 ドレスデ
 ン ルードヴィッヒ ヤーン シュトラー
 セ 4

最終頁に続く

(54) 【発明の名称】 不揮発性記憶素子とその製造方法、および記憶素子構造

(57) 【要約】

本発明は、不揮発性記憶素子とその製造方法、および記憶素子構造に関するものである。この不揮発性記憶素子は、形成電圧を低減するために、第1電極(1)が、スイッチング材(2)の中に、第2電極(3)によって形成された電界(E)の強度を増幅するための電界増幅構造(4)を備えている。



【特許請求の範囲】

【請求項 1】

スイッチング材(2)と、このスイッチング材(2)に設けられた導電性電極(1, 3)とを備え、電圧の印加により、スイッチング材(2)に電界(E)を形成する不揮発性記憶素子であって、

形成工程後、スイッチング材(2)に、少なくとも2つの異なる導電状態(ON、OFF)が広がり、スイッチング材(2)に、所定のプログラム電圧($V_{schreib}$ 、 V_{loesch})を印加することにより、これらの導電状態を繰り返しスイッチング可能な不揮発性記憶素子において、

上記導電性電極(1, 3)の少なくとも一方は、スイッチング材(2)の電界(E)の強度を増幅する、少なくとも1つの電界増幅構造(4)を備えていることを特徴とする、不揮発性記憶素子。 10

【請求項 2】

上記電界増幅構造は、スイッチング材(2)内に突出した電極(1, 3)の突出部であることを特徴とする、請求項 1 に記載の不揮発性記憶素子。

【請求項 3】

上記突出部が、電極(1, 3)の突端部、角部、または、エッジであることを特徴とする、請求項 2 に記載の不揮発性記憶素子。

【請求項 4】

上記突端部、角部、または、エッジの角度が、 90° 以下であることを特徴とする、請求項 3 に記載の不揮発性記憶素子。 20

【請求項 5】

上記スイッチング材(2)が、水素飽和アモルファス半導体材料を含んでいることを特徴とする、請求項 1 ~ 4 のいずれか 1 項に記載の不揮発性記憶素子。

【請求項 6】

上記スイッチング材(2)が、多層構造(2A、2B、2C)を有していることを特徴とする、請求項 1 ~ 5 のいずれか 1 項に記載の不揮発性記憶素子。

【請求項 7】

上記電極(1, 3)が、金属を含んでいることを特徴とする、請求項 1 ~ 5 のいずれか 1 項に記載の不揮発性記憶素子。 30

【請求項 8】

以下の a) ~ g) の工程を含む不揮発性記憶素子の製造方法。

a) 支持材(T)を供給する工程、

b) 補助層(I)を形成する工程、

c) 上記補助層(I)に窪み(V)を形成する工程、

d) 上記窪み(V)に第 1 導電材料を充填することにより、第 1 電極(1)を形成する工程、

e) 上記第 1 電極(1)に、少なくとも1つの電界増幅構造(4A)を形成する工程、

f) 上記電界増幅構造(4A)を備えた第 1 電極(1)上に、スイッチング材(2)を形成し、形成工程後、上記スイッチング材(2)に少なくとも2つの異なる導電状態(ON、OFF)が広がり、上記スイッチング材(2)所定のプログラム電圧($V_{schreib}$ 、 V_{loesch})を印加することにより、これらの導電状態を繰り返しスイッチング可能とする工程、および、 40

g) 上記スイッチング材(2)上に、第 2 導電性電極(3)を形成する工程。

【請求項 9】

上記工程 a) では、支持材(T)として半導体基板を用いることを特徴とする、請求項 8 に記載の方法。

【請求項 10】

上記工程 a) では、窪み(V)の領域の支持材(T)に、ワード線(WL)を形成し、前記ワード線(WL)が、第 1 電極(1)の材料とともに、抵抗接合またはダイオード 50

接合 (D I) を実現する材料を有するものであることを特徴とする、請求項 8 または 9 に記載の方法。

【請求項 1 1】

上記工程 a) では、ソース / ドレイン領域 (S / D) を備えた選択トランジスタ (A T) を、支持材 (T) に形成し、

前記ソース / ドレイン領域 (S / D) が、ビット線 (B L)、および、第 1 電極 (1) の端子領域をそれぞれ形成できることを特徴とする、請求項 8 または 9 に記載の方法。

【請求項 1 2】

上記工程 b) では、支持材 (T) の全面に、絶縁層 (I) を堆積することを特徴とする、請求項 8 ~ 1 1 のいずれか 1 項に記載の方法。

10

【請求項 1 3】

上記工程 c) では、

レジスト層をパターン形成し、

上記パターン形成されたレジスト層を用いて、補助層 (I) の少なくとも一部を除去し、

上記レジスト層を除去し、さらに、

洗浄工程を行うことを特徴とする請求項 8 ~ 1 2 のいずれか 1 項に記載の方法。

【請求項 1 4】

上記工程 c) では、異方性エッチングにより、補助層 (I) の少なくとも一部を除去することを特徴とする、請求項 1 3 に記載の方法。

20

【請求項 1 5】

上記工程 c) では、窪み (V) として、溝または穴を形成することを特徴とする、請求項 8 ~ 1 4 のいずれか 1 項に記載の方法。

【請求項 1 6】

上記工程 d) では、窪み (V) の領域に、適切な凹部 (V V) が生じるように、導電材料 (1) を堆積することを特徴とする、請求項 8 ~ 1 5 のいずれか 1 項に記載の方法。

【請求項 1 7】

上記工程 e) には、

e 1 1) 異方性エッチング法により、少なくとも補助層 (I) の表面まで、導電材料 (1) を均一にエッチバックする工程、および、

30

e 1 2) 異方性エッチング法により、適切な凹部 (V V) のほぼ下端領域まで、補助層 (I) をエッチバックする工程が含まれることを特徴とする、請求項 1 6 に記載の方法。

【請求項 1 8】

上記工程 e) には、

e 2 1) 平坦化法により、少なくとも補助層 (I) の表面まで、導電材料 (1) を除去する工程、および、

e 2 2) 選択的エッチング法により、所定量 (d 1) まで補助層 (I) をエッチバックする工程が含まれることを特徴とする、請求項 8 ~ 1 6 のいずれか 1 項に記載の方法。

【請求項 1 9】

上記工程 e) には、

40

e 3 1) エッチング法により、窪み (V) 中の導電材料 (1) を、少なくとも所定量 (d 2) 除去する工程、

e 3 2) 窪み (V) の領域に、適切な凹部 (V V) が残るように、薄膜状の均一な導電層を形成する工程、

e 3 3) 異方性エッチング法により、少なくとも補助層 (I) の表面まで、導電層 (1) をエッチバックする工程、および、

e 3 4) 異方性エッチング法により、適切な凹部 (V V) のほぼ下端領域まで、補助層 (I) を、実質的にエッチバックする工程とを含むことを特徴とする、請求項 8 ~ 1 6 のいずれか 1 項に記載の方法。

【請求項 2 0】

50

上記工程 f) では、電界増幅構造 (4 ; 4 A、4 B) を備えた第 1 電極 (1) 上に、1 または複数の水素飽和アモルファス半導体層を堆積することを特徴とする、請求項 8 ~ 19 のいずれか 1 項に記載の方法。

【請求項 2 1】

上記工程 g) では、第 2 電極 (3) として、Cr 層、Au 層、Al 層、Cu 層、NiCr 層、Ag 層、Ni 層、Mo 層、V 層、Co 層、Fe 層、W 層、または、Mn 層を堆積することを特徴とする、請求項 8 ~ 20 のいずれか 1 項に記載の方法。

【請求項 2 2】

請求項 1 ~ 7 のいずれか 1 項に記載の不揮発性記憶素子を複数備え、それら複数の不揮発性記憶素子がマトリクス状に配置された記憶素子構造であって、

10

上記不揮発性記憶素子が、列状に配置されたビット線 (BL) および行状に配置されたワード線 (WL) を介して駆動する、記憶素子構造において、

各不揮発性記憶素子は、

第 1 電極 (1) が、ダイオード接合部 (DI) を介して、半導体基板 (T) に形成されたワード線 (WL) と電氣的に接続されており、

ビット線 (BL) を形成する第 2 電極 (3) が、補助層 (I) の表面に、帯状にパターン形成されていることを特徴とする、記憶素子構造。

【請求項 2 3】

請求項 1 ~ 7 のいずれか 1 項に記載の不揮発性記憶素子を複数備え、それら複数の不揮発性記憶素子がマトリクス状に配置された記憶素子構造であって、

20

上記不揮発性記憶素子が、列状に配置されたビット線 (BL) および行状に配置されたワード線 (WL) を介して駆動する、記憶素子構造において、

各不揮発性記憶素子は、

第 1 電極 (1) が、抵抗接合部を介して、半導体基板 (T) に形成されたワード線 (WL) に電氣的に接続されており、

ビット線 (BL) を形成する第 2 電極 (3) が、補助層 (I) の表面に、帯状にパターン形成されていることを特徴とする、記憶素子構造。

【請求項 2 4】

請求項 1 ~ 7 のいずれか 1 項に記載の不揮発性記憶素子を複数備え、それら複数の不揮発性記憶素子がマトリクス状に配置された記憶素子構造であって、

30

上記不揮発性記憶素子が、列状に配置されたビット線 (BL) および行状に配置されたワード線 (WL) を介して駆動する、記憶素子構造において、

各不揮発性記憶素子 (SE) は、

制御層として用いられるワード線 (WL)、および、第 1 ソース/ドレイン領域 (S/D) として用いられるビット線 (BL) を有する選択トランジスタ (AT) が、半導体基板 (T) に形成されており、

上記選択トランジスタ (AT) の第 2 ソース/ドレイン領域 (S/D) が、記憶素子 (SE) の第 1 電極 (1) に電氣的に接続されており、

第 2 電極 (3) の電位が、共通の電位であることを特徴とする記憶素子構造。

【発明の詳細な説明】

40

【発明の詳細な説明】

【0001】

本発明は、不揮発性記憶素子とその製造方法、および記憶素子構造に関するものであり、特に、スイッチング材を有する不揮発性記憶素子に関するものである。このスイッチング材は、形成工程 (Formierungs-Schritt) 後に、少なくとも 2 つの異なる導電状態 (Leitfaehigkeitszustaende) が実現され、スイッチング材 2 に所定のプログラム電圧が印加されることによって、これらの導電状態の切り替えを繰り返し行うことができる。

【0002】

図 1 A ~ 図 1 C は、例えば特許明細書 US 5,360,981 に開示されているように、一般的な不揮発性記憶素子についての簡単な断面図、および、簡単な U-I 特性曲線を

50

示している。

【0003】

図1Aによると、上記の不揮発性記憶素子は、第1電極1、第1電極1上に形成されたスイッチング材2、および、第2電極3を備えている。電極1と電極3とは接続されているため、電圧の印加により電界Eが生じる。スイッチング材2には、例えば、p型にドーブされた、水素飽和アモルファスシリコン半導体材料（水素化アモルファスシリコン）が含まれている。また、第1電極1には、例えば、導電材料（好ましくはCr）が用いられる。また、第2電極3を適切に選択することにより、スイッチング材2に適した、アナログスイッチング動作、またはデジタルスイッチング動作を実現できる。図1Aでは、例えば、この第2電極3の材料として、V、Co、Ni、および、Tbを用いると、アナログ

10

【0004】

このような不揮発性記憶素子の特徴は、特に、必須の形成工程をまず第1に実行し、不揮発性記憶素子の本来の記憶特性を用いることができるようにすることである。

【0005】

例えば、図1Bに見られる初期状態のU-I特性直線は、形成電圧 F_A を印加した場合のみ、図1Cの記憶装置特性曲線領域になる。この形成電圧 F_A は、比較的高い電圧であり、通常、5~30ボルトである。図1Bでは、形成工程は形成電圧 $F_A = -20V$ で行われる。

20

【0006】

したがって、不揮発性記憶特性をもつ特性曲線領域（Kennlinienfeld） K_A が生じるのは、この形成工程の実施後、もしくは、この形成電圧 F_A をスイッチング材2に印加した後だけである。不揮発性記憶特性とは、例えば、2つの伝導状態をもつことや特性曲線が分枝することであり、図1Cに示されるONとOFFである。図1Cに示す特性曲線領域 K_A については、電極材料としてCr、およびスイッチング材2としてp型にドーブされた水素飽和アモルファスシリコンを使用した。

【0007】

図1Cのような上記形成工程後に得られた複雑な特性曲線領域 K_A に基づいて、適切な作動電圧を印加することにより、実際の不揮発性記憶動作が実現できる。すなわち矢印の

30

【0008】

つまり、例えば導電状態がONであるスイッチング材2は、約2.5ボルトのプログラム電圧 $V_{l.o.e.sch}$ を印加することにより、再プログラミングすることができる。これにより、導電状態または特性曲線分枝ONが、他の導電状態または特性曲線分枝OFFに切り替わる。同様に、例えばさらに-3Vのプログラム電圧 $V_{schreib}$ を印加することにより、該スイッチング材2は、再び導電状態ONとすることができる。このように、特性曲線領域 K_A では、導電状態はONになったりOFFになったりすることができる（つまり、プログラミングを行うことができる）。ここで、各読み出し電圧 $V_{l.e.s.}$ は、プログラム電圧よりも低い（図1Cでは例えば1ボルト）。特性曲線領域 K_A や1度プログラミングされた導電状態ONおよびOFFはこのようなスイッチング材2においては変わらない。従って、このようにして、読み出し電流を評価することにより、不揮発性記憶素子が得られる。

40

【0009】

図2Aは、スイッチング材に複数の積層が含まれた、他の従来の不揮発性記憶素子を示す簡単な断面図である。つまり、第1電極1の上に、例えばp型にドーブされた、水素飽和アモルファスシリコン2Aが形成されており、水素飽和アモルファスシリコン2Aの上面は、n型にドーブされた水素飽和アモルファスシリコン層2Bによって接合されている。スイッチング材2の第2電極3側には、さらに、ドーブされていない、水素飽和アモルファスシリコンが、さらに含まれている。これにより、いわゆるp-n-i構造が形成さ

50

れる。この構造の不揮発性記憶素子の利点は、p型にドーパされた半導体材料にとって電極材料はあまり重要ではないにもかかわらず、必須の形成工程に用いられる電圧が図1Aのスイッチング材の電圧よりもさらに高いという点にある。従来、電圧については、不揮発性記憶装置を大量生産することが考慮に入れられていなかった。

【0010】

図2Bは、前述と同様に、形成工程の実行後の簡単な特性曲線領域 K_A を示している。この図から、異なる導電状態ONとOFFとの差がより大きいので、プログラミングが改善されることが分かる。

【0011】

したがって、本発明の目的は、従来の半導体回路への集積を実現するために用いられる不揮発性記憶素子およびその製造方法、並びに、記憶素子構造を提供することである。特に、本発明の目的は、不揮発性記憶装置を動作させるために必要な形成工程を最適化することである。

10

【0012】

本発明では、この目的を、不揮発性記憶素子に関しては特許請求項1を特徴とすることによって達成し、方法に関しては特許請求項8を特徴とすることによって達成する。また、記憶素子構造に関しては特許請求項22~24を特徴とすることによって達成する。

【0013】

特に、スイッチング材中の電界の強度を増幅するための少なくとも1つの電極に、少なくとも1つの電界増幅構造(Feldverstärkerstruktur)を使用することにより、形成工程に必要ではあるが非常に高い電圧を著しく低減できる。これにより、これらの記憶素子を、従来の半導体回路(例えばCMOS回路)に接続または組み合わせて形成できるようになった。

20

【0014】

また、電界増幅構造は、スイッチング材内に突出した電極の突出部(例えば突端部、角部、または、エッジ(端部))であることが好ましく、角度は90度以下であることが好ましい。このように、必要な電界ピーク(Feldspitzen)または電界の大きさを、集積された不揮発性記憶素子に特に簡単に形成することができる。

また、スイッチング材は、水素飽和アモルファス半導体材料からなり、多層構造を用いることもでき、電極は、金属材料からなることが好ましい。

30

【0015】

不揮発性記憶素子の製造方法には、特に、補助層に窪みを形成する工程と、この窪みに第1導電材料を充填することにより、第1電極を形成する工程とが含まれているので、次の工程では、電界増幅構造を非常に簡単に形成することができる。

【0016】

ここで、窪みの領域に適切な凹部が生じるように導電材料を堆積することが好ましく、異方性エッチング法によって、導電材料を少なくとも補助層の表面まで均一にエッチバックし、補助層を適切な凹部のほぼ下端領域までエッチバックすることが好ましい。これにより、第1電極に、鋭い突端部が形成され、電界が所望の大きさになり、したがって形成電圧が低減する。

40

【0017】

これに代わるものとして、研磨工程によって、導電材料を少なくとも補助層の表面まで除去し、その後の選択的エッチング法によって、補助層を、所定量までエッチバックしてもよい。これにより、再び、第1電極には、非常に鋭い縁または角が得られ、電界は所望のように増幅または増大する。

【0018】

また、別の方法では、エッチング法によって、窪みの中の導電材料を少なくとも所定量を除去する工程と、次に、窪みの領域に適切な凹部が生じるように、薄く、均一な導電層を形成する工程と、最後に、異方性エッチング法またはスペーサー法によって、導電層を少なくとも補助層の表面までエッチバックする工程とを行う。適切な凹部のほぼ下端領域

50

まで異方性エッチング法によって補助層をエッチバックした後、スイッチング材の電界中に、スペーサー構造によって生じた電界増幅構造または電界の増大が再度得られる。これにより、必要な形成電圧を非常に低減できる。

【0019】

また、記憶素子構造では、不揮発性記憶素子がマトリックス状に配置され、列状に配置されたビット線および行状に配置されたワード線を介して駆動する。ここで、記憶素子の各第1電極は、抵抗接合部またはダイオード接合部を介して、直接、半導体基板に形成される各ワード線と電氣的に接続されており、ビット線を形成するための各第2電極が、半導体基板の表面に帯状にパターン形成されている。

【0020】

これに代わるものとして、各不揮発性記憶素子の記憶素子構造において、制御層として用いられるワード線と第1ソース/ドレイン領域として用いられるビット線とを有する選択トランジスタを、半導体基板に形成できる。この配列では、選択トランジスタの第2ソース/ドレイン領域が、記憶素子の各第1電極に電氣的に接続されている。これにより、同様に、集積度の高い新たな不揮発性記憶素子構造が得られる。

【0021】

他の従属請求項に、本発明の他の好ましい実施形態の特徴を述べる。

【0022】

次に、本発明を、実施例に基づいて図面を参照しながら詳述する。図1A～図1Cは、従来技術の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。図2Aおよび図2Bは、従来技術の他の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。図3A～図3Cは、第1実施例の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。図4Aおよび図4Bは、第2実施例の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。図5A～図5Eは、第3実施例の不揮発性記憶素子の製造における基本的な製造工程を示す、簡単な断面図である。図6A～図6Cは、第4実施例の不揮発性記憶素子の製造における基本的な製造工程を示す、簡単な断面図である。図7A～図7Dは、第5実施例の不揮発性記憶素子の製造における基本的な製造工程を示す、簡単な断面図である。図8Aおよび図8Bは、第6実施例の記憶素子構造を示す簡単な等価回路図、および、第6実施例の不揮発性記憶素子を示す簡単な断面図である。図9Aおよび図9Bは、第7実施例の記憶素子構造を示す簡単な等価回路図、および、第7実施例の不揮発性記憶素子を示す簡単な断面図である。図10Aおよび図10Bは、第8実施例の記憶素子構造を示す簡単な等価回路図、および、第10実施例の不揮発性記憶素子を示す簡単な断面図である。

【0023】

以下に、簡単な不揮発性記憶素子を用いて、本発明を説明する。以下では、図1に記載の簡単な不揮発性記憶素子と、同一またはほぼ同じ層または部材には、同一の参照符号を付し、説明を省略する。また、特に指摘すべき点は、スイッチング材2が、同様の多層構造であってもよく、特に、種々のドーピングドーブされたアモルファス半導体材料を含んでいてもよい点である。

【0024】

〔第1実施例〕

図3Aのように、第1実施例の不揮発性記憶素子SEは、前述のように、スイッチング材2と、スイッチング材2に設けられた2つの導電性電極1・3とを含んでいる。導電性電極1・3に電圧を印加すると、スイッチング材2に電界Eを形成できる。ここでは、スイッチング材2は、特殊な性質を有している。すなわち、その性質は、上記形成工程の後、少なくとも2つの異なる導電状態が得られ、スイッチング材2に所定のプログラム電圧を印加することによって、それらの導電状態を繰り返しスイッチングできる(切換えることができる)ことである。

【0025】

スイッチング材2としては、水素飽和アモルファスシリコン、または、対応する多層構

10

20

30

40

50

造を用いることが好ましい。水素飽和アモルファスシリコンは、例えば、いわゆるグロー放電技術によって製造することができる。さらに、第1電極1および第2電極3は適当な導電材料を含んでいる。この導電材料は、金属を含有していることが好ましい。

【0026】

第1電極1, 第2電極3, およびスイッチング材2に適用可能な材料を、典型的に表にすると、以下ようになる。なお、基本的には、他の材料を用いてもよい。

【0027】

【表1】

第1電極	スイッチング材	第2電極
ステンレス鋼	p-n-i型ドーピングされたa-Si:H	AuまたはAl
ステンレス鋼	p-n-i型ドーピングされたa-Si:H	Au、Al、または、NiCr
Cr	p-n-i型ドーピングされたa-Si:H または n-p-i型ドーピングされたa-Si:H または p-i-n型ドーピングされたSi:H	AlまたはCr
Cr	p型ドーピングされたa-Si:H	V
Cr	p型ドーピングされたa-Si:H	Ag, Al, Cr, Mn, Fe, W, V, Ni, Co, Mo, Pd
Cr	a-SiN:H	Ni
Cr	a-SiN:H または a-SiC:H	Ni または Mo
Al	四面体アモルファス炭素	Al
電気化学的不活性陰極	30%未満のAgを含んだカルコゲナイドガラス	酸化できるAg (陽極)
酸化インジウム-TiN	共役ポリマー	Al
金属	カルコゲナイド合金	金属

10

20

30

【0028】

スイッチング材2において生じるプロセスは、推定されているものの、従来、完全には解明されてこなかった。しかし、特に、アモルファスシリコンを用いた場合、所定の電圧を印加すると、スイッチング材中のアモルファス材料の内部に、導電性フィラメントまたは金属フィラメントが形成され、これらのフィラメントは、逆の電圧および/または逆の電流の供給により、破壊されるということが明らかになった。

【0029】

本発明では、第1電極1または第2電極3の少なくとも一方が、スイッチング材2の電界Eの強度を増幅するための少なくとも1つの電界増幅構造4を備えている必要がある。図3Aのように、第1電極1には、電界増幅構造4として、突端部4が形成されている。この突端部4は、スイッチング材2に広がる電界Eを著しく増幅させる。このような電界の増幅により、スイッチング材2に、電界ピークを生じさせる。この電界ピークは、特に冒頭部で述べた形成工程に対して有効に作用する。

40

【0030】

したがって、図3Bのように、図3Aに示した電界増幅構造4を備えた不揮発性記憶素子SEでは、通常必要な約20Vの形成電圧 F_A が、例えば約5Vの形成電圧 F_B に低減される。これにより、形成電圧 F_A は、例えば従来のCMOS半導体回路に利用できる程度の電圧領域となる。つまり、電界増幅構造4を不揮発性記憶素子に形成することにより、はじめて、この構成素子と、従来の半導体構成素子との集積が可能になる。なお、従来の半導体構成素子は、10ボルト未満(好ましくは5ボルト未満)の電圧領域にて駆

50

動する。したがって、この必要な作動電圧を発生させる駆動回路を簡略化できる。これにより、消費電力を著しく低減できる。

【0031】

図3Cのように、不揮発性記憶素子SEまたはそのスイッチング材2では、形成電圧 F_B を著しく低減させる形成工程後に、特性曲線領域 K_B が変化する。ここで、従来技術による特性曲線領域を、同様に K_A と示す。その結果、第1電極1上に電界増幅構造4を形成することにより、形成電圧が低減されるだけでなく、スイッチング材2または不揮発性記憶素子SEの特性曲線領域も変化させる。つまり、一方の電界が増幅した結果、負の電圧領域では、特性曲線領域が K_A から K_B に圧縮される。一方、正の電圧領域では、符号が逆であるため、特性曲線領域は、 K_A から K_B に広がる。

10

【0032】

この結果、上記形成電圧を低減できるだけでなく、プログラム電圧 V_{loesch} および $V_{schreib}$ をそれぞれの境界条件に適合させることができる。

【0033】

〔第2実施例〕

図4Aおよび図4Bは、第2実施例にかかる、簡略化した断面図およびU-I特性曲線領域を示している。同一またはほぼ同じ層または部材には、同一の参照符号を付し、説明を省略する。

【0034】

図4Aのように、第1電極1に突端部4Aが形成されているだけでなく、第2電極3に、電界増幅構造として、突端部4Aに対向する突端部4Bが形成されている。これにより、電界を両方向（つまり、正および負の電圧）に増幅できる。同様に、不揮発性記憶素子SEでは、この電界増幅構造4Aおよび4Bにより、形成電圧が低減する。ここで、図4Bのように、正の電圧領域では、特性曲線領域を K_A から K_B に圧縮する。したがって、導電状態の書き込み、または、導電状態のOFFからONへの切換えのためのプログラム電圧 $V_{schreib}$ を低減できるだけでなく、不揮発性記憶素子SEの消去、または、導電状態のONからOFFへの切換えのためのプログラム電圧 V_{loesch} も低減できる。さらに、スイッチング材2または不揮発性記憶素子SEでは、不揮発性記憶装置を動作させるための形成電圧 F_B を著しく低減できるとともに、電界増幅構造によって、特性曲線領域を適合させることができ、特に書き込み電圧および消去電圧を必要な値に低減できる。このようにして、作動電圧を著しく低減し、電力消費量を著しく改善した、全く新しい不揮発性記憶素子を実現できる。

20

30

【0035】

第1および第2実施例では、電界増幅構造として、第1電極1および/または第2電極3に突端部を形成した。しかし、これらの突出部がスイッチング材2に突き出し、その中で電界Eの強度を少なくとも局部的に増幅する限り、同じ方法で、電極1・3の他の突出部（例えば、形成されたエッジまたは角）も電界増幅構造として使用することができる。電極1・3の突端部、エッジ、または、角の角度が、鋭角（つまり、90度以下の角度）であることが好ましい。これにより、局部の電界ピーク（lokale Feldspitzen）を特に簡単に実現できる。電界ピークを特に簡単にコストをかけずに実現するために、特に、次に

40

【0036】

〔第3実施例〕

図5A～図5Eは、第3実施例にかかる不揮発性記憶素子を製造する場合の、基本的な製造工程を示す簡単な断面図である。参照符号が同じものについては、同じまたはほぼ同じ層または部材を示し、以下では記載を省略する。

【0037】

図5Aによれば、初めに、支持材Tの上に補助層Iを形成し、その中に窪みVを形成する。支持材Tには、半導体基板（Si）を使用することが好ましい。この基板には、例えば、STI法（シャロートレンチ分離）およびドーピングウェル（Dotierwannen）によっ

50

て活性領域がすでに形成されており、および/または、半導体構成素子がすでに完全に、または、部分的に完成した状態で存在している。好適なシリコン半導体基板に加えて、もちろん、SOIや酸化シリコンのような他の支持材を用いることもできる。

【0038】

また、補助層Iとして、誘電層または絶縁層を支持材Tの全面に堆積し、この層に窪みVを形成することが好ましい。また、これ以外の材料を使用してもよいし、導電材料でもよい。

【0039】

窪みV（例えば、補助層I中の溝（トレンチ）または穴のこと）を形成するとき、例えば、絶縁層（図示せず）は形成され、その後、従来のフォトリソグラフィ法によってパターン形成される。そして、この絶縁層（図示せず）を用いて補助層Iの少なくとも一部分を除去し、図5Aによれば、補助層Iを支持材Tまで完全に除去する。この結果、窪みVとして深い溝（トレンチ）または深い穴が生じる。最後に、絶縁層を除去し、不純物が発生した場合には、不純物を除去するための洗浄工程（後処理）を行う。特に、この窪みを形成するために、例えば反応性イオンエッチング（RIE、Reactive Ion Etch）のような異方性エッチングを行うことにより、窪みVの壁をほぼ垂直にすることができる。

10

【0040】

図5Bによれば、次の工程では、窪みVに、第1電極1を形成するための第1導電材料を充填する。ここで、例えば、堆積した材料1の窪みVの領域に適切な凹部VVが生じるように、化学蒸着法（CVD、Chemical Vapor Deposition）により、補助層Iの表面に金属（例えばタングステン）を蒸着させる。

20

【0041】

上述したように、第1電極1の導電材料として、材料を上記の表から選択してもよいし、他の方法によって形成してもよい。

【0042】

図5Cによれば、次の製造工程では、導電材料1を、少なくとも補助層Iの表面まで均一に（konformal）（つまり、開始表面（Ausgangsoberflaeche）と同じ強さで）除去する。ここで、特に、エッチバック工程として異方性エッチング工程を行うことにより、図5Cに示した第1電極1用の構造が得られる。その結果、適切な凹部VVはそのままの形状をとどめるか、あるいは、窪みVに変わる。

30

【0043】

図5Dによれば、次に、第1電極1の電界増幅構造として突端部4Aが得られ、補助層Iの上に十分に突き出るように、補助層Iを除去する。補助層を適切な凹部VVのほぼ下部の領域までエッチバックすることが好ましい。これにより、突端部またはエッジまたは角（トレンチの場合）を効果的に形成できる。このような補助層Iの除去形成工程は、再び、第1電極1の材料に対して選択的な異方性エッチバック工程であることが好ましい。

【0044】

最後に、図5Eによれば、中に電界増幅構造4Aを備えた第1電極1の上に、スイッチング材2を形成する。スイッチング材の材料として、再び、上記の表に示した材料または多層構造を使用してもよいが、飽和水素アモルファスシリコンまたはそれに相当する多層を形成することが好ましい。

40

【0045】

不揮発性記憶素子SEを完成するために、最後に、スイッチング材2の表面に第2導電電極3を形成する。再び、基本的には上記の表に挙げた材料を用いる。次に、それぞれの使用方法に応じて、第2導電電極3の平坦化および/またはパターン形成を行ってもよい。

【0046】

例えば、第2電極3の形成を、金属を含有した層を堆積することにより行う。

【0047】

〔第4実施例〕

50

図 6 A ~ 図 6 C は、第 4 実施例にかかる不揮発性記憶素子を製造する場合の基本的な製造工程を示す簡単な断面図である。ここで、参照符号が同じものについては、同じまたはほぼ同じ層または部材を示し、以下では記載を省略する。

【 0 0 4 8 】

第 4 実施例では、再び、第 3 実施例の図 5 A および図 5 B の準備段階の製造工程を行う。この点について明確に記載する。

【 0 0 4 9 】

図 6 A によれば、この第 4 実施例では、第 1 電極 1 (図 5 B 参照) を形成するための第 1 導電材料を窪み V に充填した後、初めに、導電材料 1 を除去するための平坦化方法を、少なくとも補助層 I の表面まで行う。好ましくは、タングステン層 1 に化学機械研磨 (CMP、Chemical Mechanical Polishing) を施す。これにより、図 6 A に示した断面図が得られる。

10

【 0 0 5 0 】

図 6 B によれば、次に、補助層 I を所定量 d 1 まで除去する。ここで、例えば、第 1 電極 1 とそこに形成された、電界増幅構造としてのエッジ 4 A とを露出させるために、選択的エッチバック工程を行う。

【 0 0 5 1 】

図 6 C によれば、第 3 実施例では再び、補助層 I と第 1 電極 1 との表面にスイッチング材 2 を形成し、最後に、その上に第 2 導電電極 3 を形成する。これにより、形成電圧を低減した不揮発性記憶素子を得られる。電界増幅構造は、ここでは、第 1 電極 1 の直角のエッジ 4 A である。スイッチング材 2 と第 2 電極 3 との形成工程を考慮した点は、第 3 実施例にて明確に言及する。

20

【 0 0 5 2 】

〔 第 5 実施例 〕

図 7 A ~ 図 7 D は、第 5 実施例にかかる不揮発性記憶素子を製造する場合の、基本的な製造工程を示す簡単な断面図である。ここで、図 1 ~ 図 6 と同様に、参照符号が同じものについては、同じまたはほぼ同じ層または部材を示し、以下では記載を省略する。

【 0 0 5 3 】

図 7 A によれば、例えば図 5 A および図 5 B または図 6 A に示されているような準備段階の工程後、初めに、窪み V に位置する第 1 電極の所定量 (d 2) の導電材料 1 を除去する。好ましくは、ここでは、導電層 1 をエッチバックするための従来のエッチング法を使用する。

30

【 0 0 5 4 】

図 7 B によれば、次に、窪み V の領域に適切な凹部 V V が残るように、薄い均一な導電層を形成する。好ましくは、均一 (つまり、基準表面に対して同じ厚さ) に形成された層は、第 1 導電材料 1 と同じ材料からなる。しかし、他の導電材料を供給してもよい。この結果、第 1 電極は多層構造になる。

【 0 0 5 5 】

図 7 C によれば、次に、異方性エッチング工程により、均一に形成された導電層またはその下に位置する導電層を、少なくとも補助層 I の表面まで、除去、または、エッチバックする。これにより、突端部 4 A が得られる。第 1 電極 1 に突端部 4 A を形成するために、図 7 B および図 7 C では、従来のスペーサー方法を行うことが好ましい。

40

【 0 0 5 6 】

図 7 D では、再び、図 6 B および図 6 C に記載した製造工程を行う。ここで、例えば異方性エッチング法により、補助層 I を適切な凹部 V V のほぼ下部領域までエッチバックし、次に、スイッチング材層 2 および第 2 電極 3 を形成する。繰り返しを避けるために、上記実施例の記載については、ここでは省略する。

【 0 0 5 7 】

このようにして、非常に簡単な製造工程により、電界増幅構造を備えた不揮発性記憶素子 S E が得られ、その結果、特に、いわゆる形成電圧が著しく低減される。

50

【0058】

次に、不揮発性記憶装置を実現する上述の不揮発性記憶素子を用いて形成できる通常の記憶素子構造について、例証的に挙げる。

【0059】

〔第6実施例〕

図8Aは、図8Bの簡単な断面図に示したような、第6実施例にかかる不揮発性記憶素子を用いた場合の記憶素子構造を示す簡単な等価回路図である。

【0060】

図8Bによれば、例えば半導体材料を有する支持材Tには、ワード線WLが、例えばトレンチ絶縁STI (Shallow Trench Isolation) を用いて互いに絶縁または分離しているドーピング領域を貫いて形成されている。他の記憶素子構造は、第3実施例にかかる記憶素子構造と同じである。ここで、第1電極1の材料は、この材料がワード線WLまたはドーピング領域とともにダイオード接合またはショットキーダイオードを構成するように、選択されている。

10

【0061】

図8Aは、マトリクス状に配置された複数の不揮発性記憶素子SEと列状に配置されたビット線BL1、BL2等および行状に配置されたワード線WL1、WL2等を介して駆動できるダイオードDIとを備えた、記憶素子構造を示している。ここで、第1電極1は、各ダイオード接合またはダイオードDIを介して、半導体基板Tにそれぞれ形成されたワード線と電氣的に接続されており、各ビット線BLを構成するための各第2電極3が、補助層Iの表面に帯状にパターン形成されている。この結果、形式電圧を低くすることのできる非常に高い集積密度を有する、記憶素子構造が得られる。

20

【0062】

〔第7実施例〕

図9Aは、図9Bの簡単な断面図によって示すように、第7実施例にかかる不揮発性記憶素子を使用する場合の記憶素子構造を示す簡単な等価回路図である。ここで、参照符号が同じものについては、図8に示したような同じまたはほぼ同じ層または部材を示し、以下では記載を省略する。

【0063】

図9Bによれば、各不揮発性記憶素子は、抵抗接合部またはオームの抵抗部 (ohmschen Widerstand) を介して各導電ワード線WLと直接的に電氣的に接続されている第1電極1と、再び、ビット線BLを形成するために補助層Iの表面に帯状にパターン形成されている各第2電極3とからなる。

30

【0064】

〔第8実施例〕

図10Aは、図10Bの簡単な断面図に示したような、第8実施例にかかる不揮発性記憶素子を用いた記憶素子構造を示す簡単な等価回路図である。ここで、参照符号が同じものについては、図8および図9に示したような同じまたはほぼ同じ層または部材を示し、以下では記載を省略する。

【0065】

各不揮発性記憶素子SEの記憶素子構造が図10Bに示した断面図のような構造である場合、制御層として機能するワード線WLと第1ソース/ドレイン領域S/Dとして機能するビット線BLとを備えた選択トランジスタATが、半導体基板Tに形成されている。選択トランジスタATの第2ソース/ドレイン領域S/Dは、不揮発性記憶素子SEの各第1電極1に接続されており、各第2電極3の電位は共通の基準電位 (例えば共通のソース) である。再び、一定の使用領域に特に簡単に実現される、所要面積が最小で形成電圧が著しく低い記憶素子構造が、生じる。直列の (seriellen) 選択トランジスタを加えると、周知のように、信号対雑音比が著しく改善される。その結果、セルアレイまたはセル領域を非常に大きく形成することができる。

40

【0066】

50

上述したように、本発明を、選択された材料に基づいて（特にスイッチング材としての飽和水素アモルファスシリコンに基づいて）説明してきたが、これらの材料に限定されるものではなく、また、少なくとも2つの異なる導電状態を有する不揮発性記憶素子を実現するための他の材料を用いてもよい。

【図面の簡単な説明】

【0067】

【図1A】従来技術の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図1B】従来技術の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図1C】従来技術の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図2A】従来技術の他の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図2B】従来技術の他の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図3A】第1実施例の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図3B】第1実施例の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図3C】第1実施例の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図4A】第2実施例の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図4B】第2実施例の不揮発性記憶素子を示す簡単な断面図および簡単なU-I特性曲線領域である。

【図5A】第3実施例の不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図5B】第3実施例の不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図5C】第3実施例の不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図5D】第3実施例の不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図5E】第3実施例の不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図6A】第4実施例の不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図6B】第4実施例の不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図6C】第4実施例の不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図7A】第5実施例の不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図7B】不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図7C】不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図7D】不揮発性記憶素子の基本的な製造工程を示す、簡単な断面図である。

【図8A】第6実施例の記憶素子構造を示す簡単な等価回路図、および、第6実施例の不揮発性記憶素子を示す簡単な断面図である。

【図8B】第6実施例の記憶素子構造を示す簡単な等価回路図、および、第6実施例の不

10

20

30

40

50

揮発性記憶素子を示す簡単な断面図である。

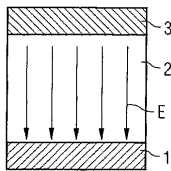
【図 9 A】第 7 実施例の記憶素子構造を示す簡単な等価回路図、および、第 7 実施例の不揮発性記憶素子を示す簡単な断面図である。

【図 9 B】第 7 実施例の記憶素子構造を示す簡単な等価回路図、および、第 7 実施例の不揮発性記憶素子を示す簡単な断面図である。

【図 10 A】第 8 実施例の記憶素子構造を示す簡単な等価回路図、および、第 10 実施例の不揮発性記憶素子を示す簡単な断面図である。

【図 10 B】第 8 実施例の記憶素子構造を示す簡単な等価回路図、および、第 10 実施例の不揮発性記憶素子を示す簡単な断面図である。

FIG 1A Stand der Technik



【図 1 B】

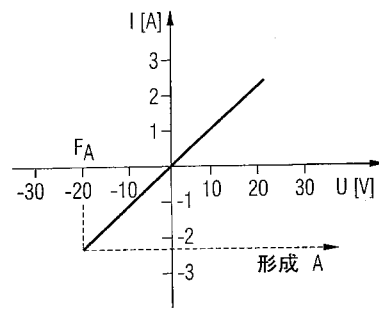


FIG 1B Stand der Technik

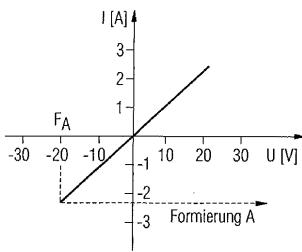


FIG 1C Stand der Technik

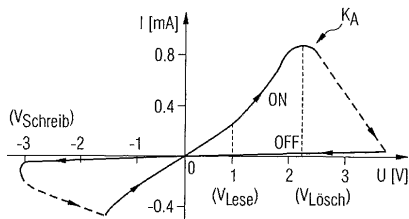


FIG 2A Stand der Technik

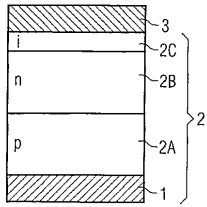


FIG 2B Stand der Technik

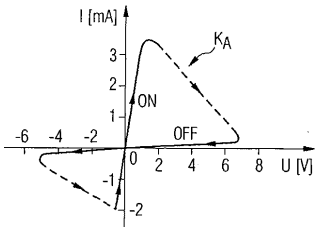


FIG 3A

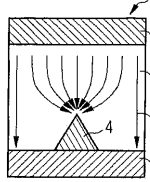


FIG 3B

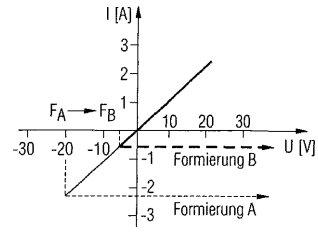
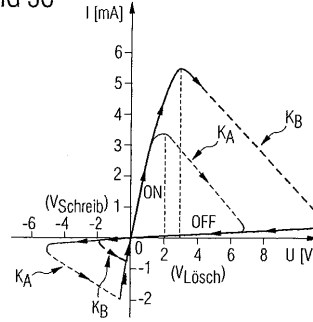


FIG 3C



【 図 3 B 】

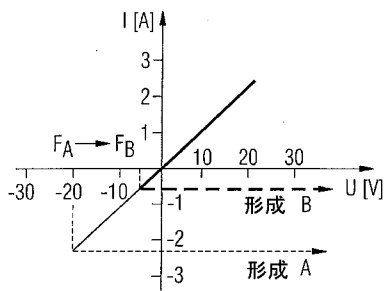


FIG 4A

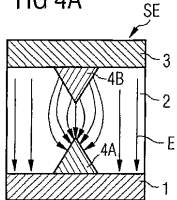


FIG 5A

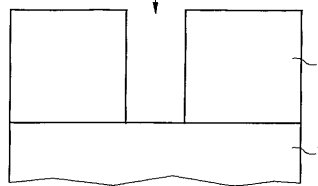


FIG 5B

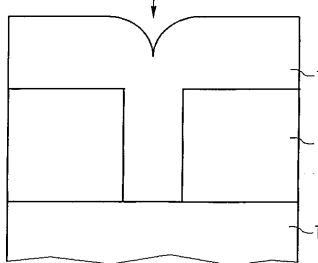


FIG 4B

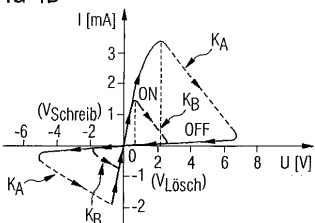


FIG 5C

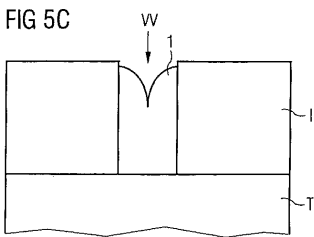


FIG 5D

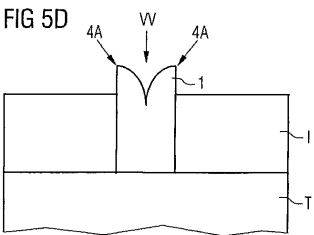


FIG 5E

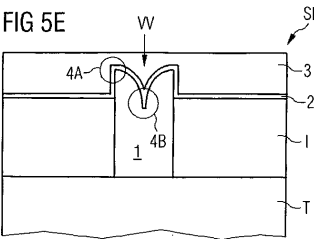


FIG 6A

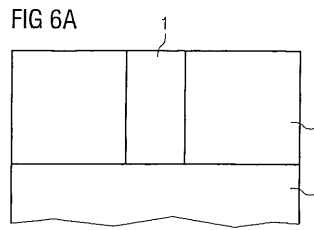


FIG 6B

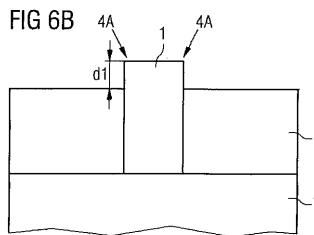


FIG 6C

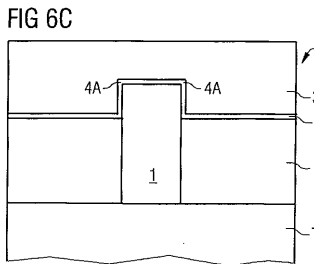


FIG 7A

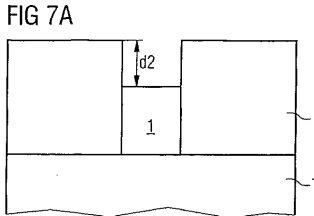


FIG 7B

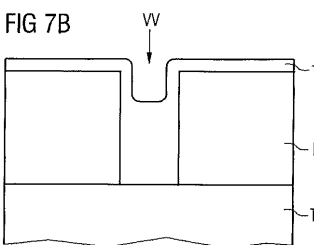


FIG 7C

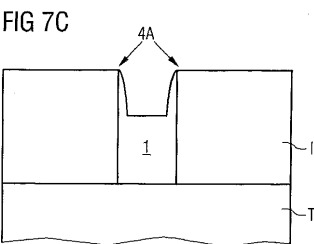


FIG 7D

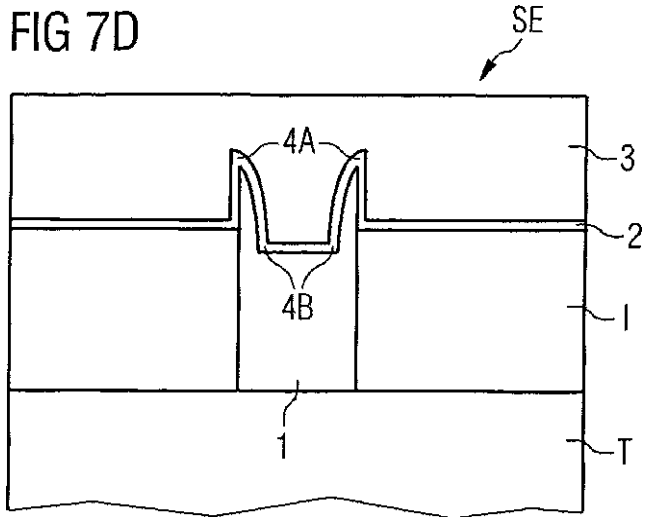


FIG 8A

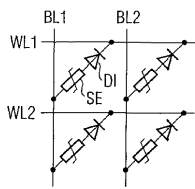


FIG 8B

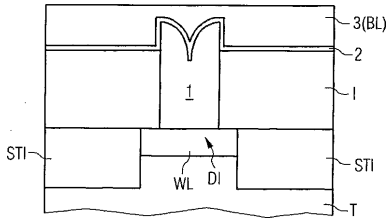


FIG 9A

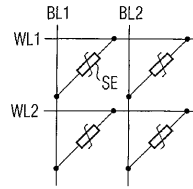


FIG 9B

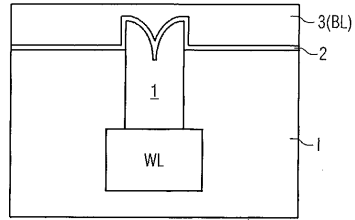


FIG 10A

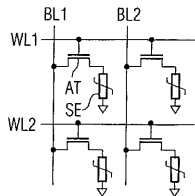
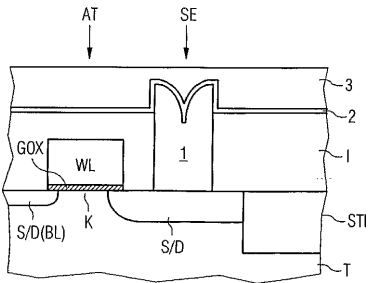


FIG 10B



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/02434

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L45/00 H01L27/24		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 90 00817 A (RAYCHEM LTD) 25 January 1990 (1990-01-25) page 10, paragraph 1 -page 11, paragraph 2 page 16, paragraph 1; figure 7; example 3 ---	1,5-8, 20,21
A	WO 90 13921 A (BRITISH TELECOM PLC; OWEN ALAN ERNEST ET AL) 15 November 1990 (1990-11-15) cited in the application page 4, line 24 -page 6, line 11; figure 1; example 1 ---	1,5,7,8, 20,21
A	DE 14 65 450 B (DANFOSS AS) 23 July 1970 (1970-07-23) column 1, line 1 - line 48 column 3, line 3 -column 4, line 7; figure ---	1-4,7,8
	-/--	
<input checked="" type="checkbox"/>	Further documents are listed in the continuation of box C.	<input checked="" type="checkbox"/>
	Patent family members are listed in annex.	
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
2 April 2004	13/04/2004	
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Köpf, C	

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/DE 03/02434

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GB 1 083 154 A (DANFOSS AS) 13 September 1967 (1967-09-13) page 1, line 86 -page 2, line 50 page 2, line 83 - line 95; figure 2 page 2, line 129 -page 3, line 14; figures 4,5 -----	1,7,8, 22-24

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/02434

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 9000817	A	25-01-1990	CA 1313569 C	09-02-1993
			EP 0426722 A1	15-05-1991
			WO 9000817 A1	25-01-1990
			IL 90960 A	29-06-1995
			JP 4501038 T	20-02-1992
			US 5151384 A	29-09-1992
			US 5151384 A	29-09-1992
WO 9013921	A	15-11-1990	AT 115773 T	15-12-1994
			AU 628562 B2	17-09-1992
			AU 5565590 A	29-11-1990
			CA 2051112 A1	12-11-1990
			DE 69015177 D1	26-01-1995
			DE 69015177 T2	04-05-1995
			EP 0471737 A1	26-02-1992
			WO 9013921 A1	15-11-1990
			HK 138296 A	02-08-1996
			JP 7058813 B	21-06-1995
			JP 4504331 T	30-07-1992
			US 5360981 A	01-11-1994
			US 5360981 A	01-11-1994
DE 1465450	B	23-07-1970	BE 674037 A	15-04-1966
			DE 1465450 B1	23-07-1970
			DK 111529 B	09-09-1968
			FR 1460438 A	08-02-1967
			GB 1065930 A	19-04-1967
			NL 6516741 A	23-06-1966
			SE 305024 B	14-10-1968
			US 3401318 A	10-09-1968
			US 3401318 A	10-09-1968
GB 1083154	A	13-09-1967	BE 663477 A	01-09-1965
			DE 1464880 A1	05-12-1968
			FR 1432260 A	18-03-1966
			NL 6505614 A	08-11-1965
			SE 325642 B	06-07-1970
			US 3358192 A	12-12-1967

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/02434

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H01L45/00 H01L27/24		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L G11C		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX, IBM-TDB		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 90 00817 A (RAYCHEM LTD) 25. Januar 1990 (1990-01-25) Seite 10, Absatz 1 -Seite 11, Absatz 2 Seite 16, Absatz 1; Abbildung 7; Beispiel 3	1,5-8, 20,21
A	WO 90 13921 A (BRITISH TELECOM PLC; OWEN ALAN ERNEST ET AL) 15. November 1990 (1990-11-15) in der Anmeldung erwähnt Seite 4, Zeile 24 -Seite 6, Zeile 11; Abbildung 1; Beispiel 1	1,5,7,8, 20,21
A	DE 14 65 450 B (DANFOSS AS) 23. Juli 1970 (1970-07-23) Spalte 1, Zeile 1 - Zeile 48 Spalte 3, Zeile 3 -Spalte 4, Zeile 7; Abbildung	1-4,7,8
-/-		
<input checked="" type="checkbox"/>	Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen	<input checked="" type="checkbox"/> Siehe Anhang Patentfamilie
<p>* Besondere Kategorien von angegebenen Veröffentlichungen :</p> <p>*A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>*E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>*L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>*O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>*P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p>		<p>*T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>*X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>*Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>*Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>
Datum des Abschlusses der internationalen Recherche		Absenddatum des internationalen Recherchenberichts
2. April 2004		13/04/2004
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5018 Patentlaan 2 NL - 2260 HW Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Köpf, C

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/02434

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	GB 1 083 154 A (DANFOSS AS) 13. September 1967 (1967-09-13) Seite 1, Zeile 86 -Seite 2, Zeile 50 Seite 2, Zeile 83 - Zeile 95; Abbildung 2 Seite 2, Zeile 129 -Seite 3, Zeile 14; Abbildungen 4,5 -----	1,7,8, 22-24

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/DE 03/02434

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 9000817 A	25-01-1990	CA 1313569 C	09-02-1993
		EP 0426722 A1	15-05-1991
		WO 9000817 A1	25-01-1990
		IL 90960 A	29-06-1995
		JP 4501038 T	20-02-1992
		US 5151384 A	29-09-1992
WO 9013921 A	15-11-1990	AT 115773 T	15-12-1994
		AU 628562 B2	17-09-1992
		AU 5565590 A	29-11-1990
		CA 2051112 A1	12-11-1990
		DE 69015177 D1	26-01-1995
		DE 69015177 T2	04-05-1995
		EP 0471737 A1	26-02-1992
		WO 9013921 A1	15-11-1990
		HK 138296 A	02-08-1996
		JP 7058813 B	21-06-1995
		JP 4504331 T	30-07-1992
		US 5360981 A	01-11-1994
		DE 1465450 B	23-07-1970
DE 1465450 B1	23-07-1970		
DK 111529 B	09-09-1968		
FR 1460438 A	08-02-1967		
GB 1065930 A	19-04-1967		
NL 6516741 A	23-06-1966		
SE 305024 B	14-10-1968		
US 3401318 A	10-09-1968		
GB 1083154 A	13-09-1967	BE 663477 A	01-09-1965
		DE 1464880 A1	05-12-1968
		FR 1432260 A	18-03-1966
		NL 6505614 A	08-11-1965
		SE 325642 B	06-07-1970
		US 3358192 A	12-12-1967

フロントページの続き

(72)発明者 テンベル, ゲオルク

ドイツ連邦共和国 0 1 2 7 7 ドレスデン ベルクガルテンシュトラッセ 2 3 ベー
Fターム(参考) 5F083 FZ10 GA09 GA11 JA36 JA37 JA38 JA39 NA01 PR22