



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I669964 B

(45)公告日：中華民國 108 (2019) 年 08 月 21 日

(21)申請案號：105106200

(22)申請日：中華民國 105 (2016) 年 03 月 01 日

(51)Int. Cl. : H04N5/369 (2011.01)

H04N5/3745 (2011.01)

H04N5/378 (2011.01)

(30)優先權：2015/04/06 日本

2015-077902

(71)申請人：日商新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：半澤克彦 HANZAWA, KATSUHIKO (JP) ; 松本靜德 MATSUMOTO, SHIZUNORI (JP)

(74)代理人：陳長文

(56)參考文獻：

JP 092118594A

JP I357260A

JP 2013038549A

JP I390854A

JP 2014017838A

JP 13078417A

審查人員：林宥辰

申請專利範圍項數：30 項 圖式數：16 共 47 頁

(54)名稱

固體攝像裝置、電子機器及 AD 轉換裝置

(57)摘要

本發明技術係關於一種能夠抑制 AD 轉換結果之誤差之產生的固體攝像裝置、電子機器及 AD 轉換裝置。

固體攝像裝置具備：像素部，其具有複數個像素；比較器，其將從像素輸出之像素信號與參考信號予以比較；及計數器，其計數比較器之比較時間。比較器具備：第 1 放大器，其進行像素信號與參考信號之比較動作；第 2 放大器，其具有第 1 電晶體，並使第 1 放大器之輸出信號放大；及第 2 電晶體，其係與第 1 電晶體之極性為相同極性者。第 2 電晶體之閘極連接於第 1 放大器之輸出端，第 2 電晶體之源極及汲極連接於與第 1 電晶體之源極相同之固定電位。本發明技術可應用於例如 CMOS 圖像感測器。

指定代表圖：

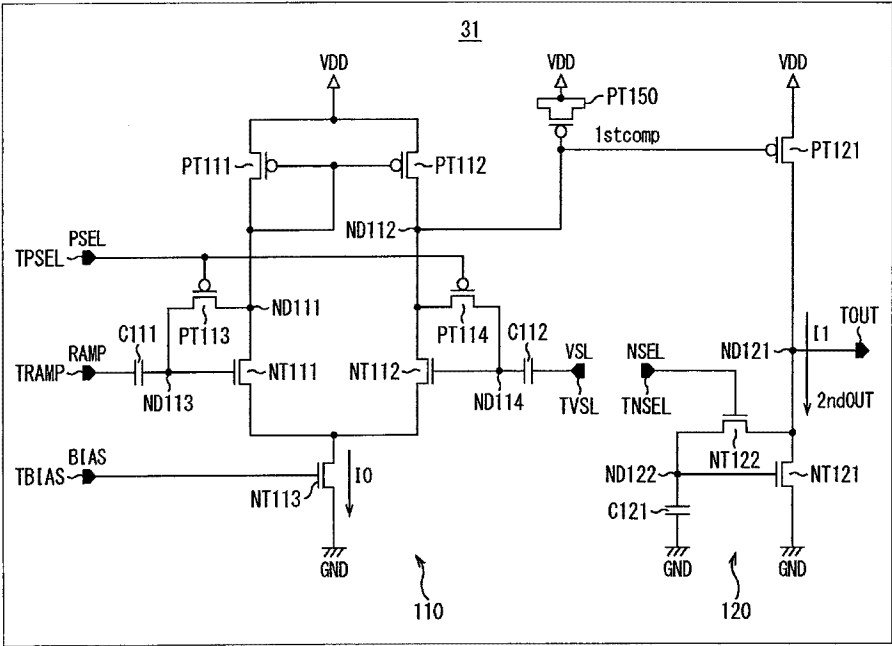


圖 9

符號簡單說明：

- 1stcomp . . . 輸出信號
- 2ndOUT . . . 輸出信號
- 31 . . . 比較器
- 110 . . . 第 1 放大器
- 120 . . . 第 2 放大器
- BIAS . . . 偏壓信號
- C111 . . . 電容
- C112 . . . 電容
- C121 . . . 電容
- GND . . . 基準電位/接地電位
- I1 . . . 電流
- ND111 . . . 節點
- ND112 . . . 輸出節點/節點
- ND113 . . . 節點
- ND114 . . . 節點
- ND121 . . . 輸出節點
- ND122 . . . 節點
- NSEL . . . 第 2 自動調零信號
- NT111 . . . n 通道 MOS(NMOS)電晶體/ NMOS 電晶體
- NT112 . . . n 通道 MOS(NMOS)電晶體/ NMOS 電晶體
- NT113 . . . n 通道 MOS(NMOS)電晶體/ NMOS 電晶體
- NT121 . . . NMOS 電晶體
- NT122 . . . NMOS 電晶體

PSEL . . . 第 1 自動
調零信號

PT111 . . . p 通道
MOS(PMOS)電晶體/
PMOS 電晶體

PT112 . . . p 通道
MOS(PMOS)電晶體/
PMOS 電晶體

PT113 . . . p 通道
MOS(PMOS)電晶體

PT114 . . . p 通道
MOS(PMOS)電晶體

PT121 . . . PMOS
電晶體

PT150 . . . PMOS
電晶體

RAMP . . . 斜波信
號

TBIAS . . . 輸入端
子

TNSEL . . . 輸入端
子

TOUT . . . 輸出端
子

TPSEL . . . 輸入端
子

TRAMP . . . 輸入端
子

TVSEL . . . 輸入端
子

VDD . . . 電源電位

VSL . . . 像素信號

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

固體攝像裝置、電子機器及A D轉換裝置

【技術領域】

本發明技術係關於一種固體攝像裝置、電子機器及AD轉換裝置，尤其係關於一種能夠抑制AD轉換結果之誤差之產生的固體攝像裝置、電子機器及AD轉換裝置。

【先前技術】

近年來，針對ADC(Analog Digital Converter，類比數位轉換器)所使用之兩級放大器構成的比較器，業界追求雜訊之減少及反轉延遲之抑制。反轉延遲是指自差動對之2輸入之大小關係發生變化起直至輸出反轉之時間。

藉由減少比較器之雜訊，而能夠減少ADC之雜訊。又，藉由抑制比較器之反轉延遲，而能夠縮短AD轉換時間。

比較器之雜訊之減少能夠藉由使限制頻帶之電容(以下稱為頻帶限制電容)之電容值變大而縮窄雜訊頻帶來實現。然而，在該情形下，反轉延遲會增大。

相對於此，專利文獻1中揭示有一種將頻帶限制電容之電容值設為可變之比較器。根據該構成，藉由在參考信號傾斜時將頻帶限制電容之電容值變小，而除能夠將雜訊設為一定外，又能夠將反轉延遲抑制至最小限度。

然而，根據專利文獻1之構成，雜訊與反轉延遲之折衷並未消除，若減少雜訊則反轉延遲會增大。

專利文獻2中曾提議：為消除雜訊與反轉延遲之折衷，在構成比

較器之第2放大器的輸入輸出間，連接用於發揮密勒效應之電容。根據該構成，該電容之電容值雖在反轉動作前為小，但在反轉動作中藉由密勒效應而變大。藉此，能夠減少雜訊，且將反轉延遲抑制至最小限度。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本特開2013-38549號公報

[專利文獻2]日本特開2014-17838號公報

【發明內容】

[發明所欲解決之問題]

然而，根據專利文獻2之構成，在多數之ADC如行ADC等般一齊動作之情形下，由於電源變動，而在輸出段中重疊有雜訊。其結果為，AD轉換結果產生誤差。

本發明技術係鑒於如以上之狀況而完成者，係抑制AD轉換結果之誤差的產生者。

[解決問題之手段]

本發明技術之一個層面之固體攝像裝置，具備：像素部，其具有複數個像素；比較器，其將從前述像素輸出之像素信號與參考信號予以比較；及計數器，其計數前述比較器之比較時間；且前述比較器具有：第1放大器，其進行前述像素信號與前述參考信號之比較動作；第2放大器，其具有第1電晶體，並使前述第1放大器之輸出信號放大；及第2電晶體，其係與前述第1電晶體之極性為相同極性者；並且前述第2電晶體之閘極連接於前述第1放大器之輸出節點；而且前述第2電晶體之源極與汲極連接於與前述第1電晶體之源極相同之固定電位。

在前述第2電晶體為PMOS電晶體之情形下，前述第2電晶體之源

極及汲極連接於電源電位。

在前述第2電晶體為NMOS電晶體之情形下，前述第2電晶體之源極及汲極連接於接地電位。

前述第2電晶體之臨限值電壓設定為與前述第2放大器即將開始反轉之前的前述第1放大器的輸出信號大致相同之位準。

本發明技術之一個層面之電子機器具備固體攝像裝置，該固體攝像裝置具備：像素部，其具有複數個像素；比較器，其將從前述像素輸出之像素信號與參考信號予以比較；及計數器，其計數前述比較器之比較時間，且前述比較器具有：第1放大器，其進行前述像素信號與前述參考信號之比較動作；第2放大器，其具有第1電晶體，並使前述第1放大器之輸出信號放大；及第2電晶體，其係與前述第1電晶體之極性為相同極性者；並且前述第2電晶體之閘極連接於前述第1放大器之輸出節點；而且前述第2電晶體之源極與汲極連接於與前述第1電晶體之源極相同之固定電位。

本發明技術之一個層面之AD轉換電路具備：比較器，其將類比信號與參考信號予以比較並使其結果放大；及計數器，其計數前述比較器之比較時間；且前述比較器具有：第1放大器，其進行前述類比信號與前述參考信號之比較動作；第2放大器，其具有第1電晶體，並使前述第1放大器之輸出信號放大；及第2電晶體，其係與前述第1電晶體之極性為相同極性者；並且前述第2電晶體之閘極連接於前述第1放大器之輸出節點；而且前述第2電晶體之源極與汲極連接於與前述第1電晶體之源極相同之固定電位。

在本發明技術之一個層面中，比較器具有：第1放大器，其進行像素信號與參考信號的比較動作；第2放大器，其具有第1電晶體，並使第1放大器之輸出信號放大；及第2電晶體，其係與第1電晶體之極性為相同極性者，且在該比較器中，第2電晶體之閘極連接於第1放大

器之輸出節點；而且第2電晶體之源極與汲極連接於與第1電晶體之源極相同之固定電位。

[發明之效果]

根據本發明技術之一個層面，可抑制AD轉換結果之誤差的產生。

【圖式簡單說明】

圖1係顯示本發明技術之固體攝像裝置之構成例的方塊圖。

圖2係顯示像素之構成例的圖。

圖3係顯示先前之比較器之構成例的電路圖。

圖4係顯示圖3之比較器之動作的時序圖。

圖5係顯示先前之比較器之另一構成例的電路圖。

圖6係顯示圖5之比較器之動作的時序圖。

圖7係顯示先前之比較器之又一構成例的電路圖。

圖8係顯示圖7之比較器之動作的時序圖。

圖9係顯示本發明技術之比較器之構成例的電路圖。

圖10係顯示PMOS電晶體之電容特性的圖。

圖11係顯示本發明技術之比較器之動作的時序圖。

圖12係說明電源變動雜訊之影響的圖。

圖13係顯示本發明技術之比較器之另一構成例的電路圖。

圖14係顯示NMOS電晶體之電容特性的圖。

圖15係顯示本發明技術之電子機器之構成例的方塊圖。

圖16係顯示使用圖像感測器之使用例的圖。

【實施方式】

以下，參照圖式說明本發明技術之實施形態。

< 固體攝像裝置之構成 >

圖1係顯示本發明技術之固體攝像裝置之構成例的方塊圖。

圖1所示之固體攝像裝置1構成為CMOS(Complementary Metal Oxide Semiconductor，互補金屬氧化物半導體)圖像感測器。

固體攝像裝置1具備：像素部11、垂直掃描電路12、水平傳送掃描電路13、時序控制電路14、ADC(Analog Digital Converter，類比數位轉換器)群15、DAC 16、放大器電路17、及信號處理電路18。

該等構成要素之中，像素部11、垂直掃描電路12、水平傳送掃描電路13、ADC群15、DAC 16、及放大器電路17係由類比電路構成。又，時序控制電路14、及信號處理電路18係由數位電路構成。

像素部11藉由複數個像素配置為行列狀而構成。像素之構成將參照圖2於下文敘述。

垂直掃描電路12控制列位址與列掃描。水平傳送掃描電路13控制行位址與行掃描。

時序控制電路14作為用於依次讀出像素部11之信號的控制電路，生成內部時脈。時序控制電路14生成對於像素部11、垂直掃描電路12、水平傳送掃描電路13、ADC群15、DAC 16、及信號處理電路18之信號處理而言必要的時序信號。時序控制電路14在ADC群15之各比較器之動作開始時，生成作為初始化信號之控制脈衝，該初始化信號施加至用於就每一行確定動作點之初始化(自動調零：AZ)用開關(以下稱為AZ開關)。

ADC群15係將ADC配列為複數行而構成。每行之ADC對來自像素部11之像素信號VSL進行使用來自DAC 16之參考電壓Vslop之AD轉換、及數位CDS(Correlated Double Sampling，相關雙取樣)，而輸出數個位元之數位信號。

各ADC具備比較器31、計數器32、及鎖存器33。

比較器31將由DAC 16生成之參考電壓Vslop與就每列經由垂直信號線從像素所獲得之像素信號VSL予以比較。

計數器32計數比較器31之比較時間。

鎖存器33保持計數器32之計數值。各鎖存器33之輸出連接於水平傳送線LTRF。

在ADC群15中，配置於每行之比較器31將於垂直信號線所讀出之像素信號VSL與參考電壓Vslop(斜波波形之斜波信號RAMP)予以比較。

此時，與比較器31相同地配置於每行之計數器32動作，且斜波信號RAMP與計數值一邊取得一對一之對應一邊變化，藉此像素信號VSL轉換為數位信號。

而後，在像素信號VSL與斜波信號RAMP相交時，比較器31之輸出反轉，且計數器32之輸入時脈停止，或輸入停止之時脈輸入至計數器32，從而AD轉換完成。

AD轉換期間終了後，藉由水平傳送掃描電路13，鎖存器33所保持之資料傳送至水平傳送線LTRF。所傳送之資料經由放大器電路17被輸入至信號處理電路18，並藉由特定之信號處理生成二維圖像。

< 像素之構成例 >

圖2係顯示構成固體攝像裝置1之像素部11之像素之構成例的圖。

像素51包含光電二極體61、傳送電晶體62、重設電晶體63、放大電晶體64、及選擇電晶體65。

光電二極體61將入射光予以光電轉換為對應於其光量之量的電荷(此處為電子)。

傳送電晶體62連接於光電二極體61與作為輸出節點之浮動擴散部(FD)之間。若傳送電晶體62經由傳送控制線LTx於閘極被賦與驅動信號TG，則將由光電二極體61所光電轉換之電子傳送至FD。

重設電晶體63連接於電源線LVDD與FD之間。若重設電晶體63經

由重設控制線LRST於閘極被賦與驅動信號RST，則將FD之電位重設為電源線LVDD之電位。

在FD連接有放大電晶體64之閘極。放大電晶體64介以選擇電晶體65連接於垂直信號線66，而構成未圖示之定電流源與源極隨耦器。

若控制信號SEL經由選擇控制線LSEL被賦與至選擇電晶體65之閘極，則選擇電晶體65導通。若選擇電晶體65導通，則放大電晶體64使FD之電位放大，並將相應於該電位之電壓輸出至垂直信號線66。經由垂直信號線66從各像素51輸出之電壓(像素信號VSL)被輸入至ADC群15。

此外，重設控制線LRST、傳送控制線LTx、及選擇控制線LSEL以像素配列之列單位配線，並由垂直掃描電路12驅動。

亦即，由於傳送電晶體62、重設電晶體63、及選擇電晶體65之各閘極以列單位連接，因而上述之動作係就1列部分之各像素51同時進行。

<比較器之構成例>

本實施形態之比較器31主要包含級聯連接之第1放大器及第2放大器。

此處，在說明本實施形態之比較器31之構成之前，先說明先前之比較器之構成。

(先前之比較器之構成1)

圖3係顯示先前之比較器之構成例的電路圖。

如圖3所示，比較器100A包含級聯連接之第1放大器110及第2放大器120。第1放大器110進行像素信號VSL與參考信號Vslop(斜波信號RAMP)之比較動作。第2放大器120使第1放大器110之輸出信號放大。

第1放大器110具備：p通道MOS(PMOS)電晶體PT111至PT114、n通道MOS(NMOS)電晶體NT111至NT113、及電容C111、C112。

PMOS電晶體PT111之源極及PMOS電晶體PT112之源極連接於電源電位VDD。

PMOS電晶體PT111之汲極連接於NMOS電晶體NT111之汲極，由其連接點形成節點ND111。又，PMOS電晶體PT111之汲極與閘極連接，其連接點連接於PMOS電晶體PT112之閘極。

PMOS電晶體PT112之汲極連接於NMOS電晶體NT112之汲極，由其連接點形成第1放大器110之輸出節點ND112。NMOS電晶體NT111與NMOS電晶體NT112之源極彼此連接，其連接點連接於NMOS電晶體NT113之汲極。NMOS電晶體NT113之源極連接於基準電位(例如接地電位)GND。

NMOS電晶體NT111之閘極連接於電容C111之第1電極，由其連接點形成節點ND113。電容C111之第2電極連接於斜波信號RAMP之輸入端子TRAMP。

NMOS電晶體NT112之閘極連接於電容C112之第1電極，由其連接點形成節點ND114。電容C112之第2電極連接於像素信號VSL之輸入端子TVSL。

又，NMOS電晶體NT113之閘極連接於偏壓信號BIAS之輸入端子TBIAS。

PMOS電晶體PT113之源極連接於節點ND111，其汲極連接於節點ND113。PMOS電晶體PT114之源極連接於節點ND112，其汲極連接於節點ND114。

另外，PMOS電晶體PT113及PT114之閘極共通連接於低位準且有效之第1AZ信號PSEL之輸入端子TPSEL。

在第1放大器110中，由PMOS電晶體PT111、PT112構成電流鏡電路，由NMOS電晶體NT111、NT112構成將NMOS電晶體NT113作為電流源之差動比較部(差動對)。

又，PMOS電晶體PT113、PT114作為AZ開關發揮機能，且電容C111、C112作為AZ位準之取樣電容發揮機能。

另外，第1放大器110之輸出信號1stcomp從輸出節點ND112輸出至第2放大器120。

第2放大器120具備：PMOS電晶體PT121；NMOS電晶體NT121、NT122；及電容C121。

PMOS電晶體PT121之源極連接於電源電位VDD，其閘極連接於第1放大器110之輸出節點ND112。

PMOS電晶體PT121之汲極連接於NMOS電晶體NT121之汲極，由其連接點形成輸出節點ND121。

NMOS電晶體NT121之源極連接於接地電位GND，其閘極連接於電容C121之第1電極，由其連接點形成節點ND122。電容C121之第2電極連接於接地電位GND。

NMOS電晶體NT122之汲極連接於節點ND121，其源極連接於節點ND122。

另外，NMOS電晶體NT122之閘極連接於高位準且有效之第2AZ信號NSEL之輸入端子TNSEL。

該第2AZ信號NSEL係採用與被供給至第1放大器110之第1AZ信號PSEL互補之位準。

在第2放大器120中，由PMOS電晶體PT121構成輸入端及放大電路。

又，NMOS電晶體NT122作為AZ開關發揮機能，且電容C121作為AZ位準之取樣電容發揮機能。

另外，第2放大器120之輸出信號2ndOUT從輸出節點ND121被輸出至比較器100A之輸出端子TOUT。

(比較器之動作1)

此處，參照圖4之時序圖說明圖3之比較器100A之動作。

此處，省略詳細之說明，若AZ期間終了，則重設位準之積分型AD轉換(P相)開始。

在P相中，追隨斜波信號RAMP之斜波波形之變化，開始與像素信號VSL之比較。而後，在斜波信號RAMP與像素信號VSL之交叉以後，第1放大器110之輸出信號1stcomp急劇變化。

若第1放大器110之輸出信號1stcomp成為第2放大器120之輸出信號2ndOUT開始反轉之位準(反轉開始電壓Vstart)，則第2放大器120之PMOS電晶體PT121導通。若PMOS電晶體PT121導通，則電流I1開始流動，第2放大器120之輸出信號2ndOUT從低位準(L)反轉為高位準(H)。

此外，在信號位準之積分型AD轉換(D相)中亦然，比較器100A進行與P相相同之動作。藉此，可消除數位CDS之結果、kTC雜訊及比較器之偏移。

如圖4所示，在比較器100A中，反轉延遲被抑制為比較小。然而，在第2放大器120之輸出信號2ndOUT變動中，第1放大器110之輸出信號1stcomp之變化之斜率大。因而，頻帶變寬而無法減少雜訊。

為此，說明為減少雜訊而設置有頻帶限制電容之構成。

(先前之比較器之構成2)

圖5係顯示先前之比較器之另一構成例的電路圖。

圖5之比較器100B之構成雖與圖3之比較器100A之構成基本相同，但在第1放大器110之輸出節點ND112與電源電位VDD之間進一步具備頻帶限制電容C130此點上不同。

(比較器之動作2)

圖6係說明圖5之比較器100B之動作的時序圖。

在圖6中，省略了D相期間之時序圖，而顯示AZ期間及P相期間

之時序圖。

如圖6所示，由於在比較器100B中設置有頻帶限制電容C130，因而第1放大器110之輸出信號1stcomp之變化之斜率變小。藉此，頻帶變窄而能夠減少雜訊。然而，反轉延遲會變大。

為此，說明為消除如上述之雜訊與反轉延遲之折衷，在第2放大器之輸入輸出間設置有用於表現密勒效應之電容的構成。

(先前之比較器之構成3)

圖7係顯示先前之比較器之又一構成例的電路圖。

圖7之比較器100C之構成雖與圖3之比較器100A之構成基本相同，但在第2放大器120之輸入輸出間進一步具備電容C140此點上不同。

(比較器之動作3)

圖8係說明圖7之比較器100C之動作的時序圖。

在圖8中亦然，省略了D相期間之時序圖，而顯示AZ期間及P相期間之時序圖。

如圖8所示，由於在比較器100C中設置有電容C140，因而藉由密勒效應而僅在第2放大器120之輸出信號2ndOUT變動時，電容C140之電容值(第2放大器120之輸入端之實效性的電容值)變大。藉此，能夠減少雜訊，且抑制反轉延遲之增大。

其次，說明本發明技術之比較器31之構成。

<本發明技術之比較器之構成>

圖9係顯示本發明技術之比較器之構成例的電路圖。

比較器31之構成雖與圖3之比較器100A之構成基本相同，但於在第1放大器110之輸出節點ND112與電源電位VDD之間，作為頻帶限制電容進一步具備PMOS電晶體PT150此點上不同。

PMOS電晶體PT150具有與在第1放大器110中由NMOS電晶體

NT111、NT112構成之差動對相反之極性。換言之，PMOS電晶體PT150具有與成為第2放大器120之輸入端之PMOS電晶體PT121相同之極性。

PMOS電晶體PT150之閘極連接於第1放大器110之輸出節點ND112。又，PMOS電晶體PT150之源極及汲極連接於電源電位VDD。

圖10係顯示PMOS電晶體之電容特性的圖。

如圖10所示，PMOS電晶體之電容值在以下情形下為小：輸入電壓高，亦即閘極-源極間電壓 V_{gs} 為低電壓。然而，若輸入電壓變低，閘極-源極間電壓 V_{gs} 超過臨限值電壓 V_{th} ，則PMOS電晶體之電容值急劇變大。

利用該特性與第1放大器110之輸出信號1stcomp從高位準變化為低位準，能夠在第2放大器120之輸出信號2ndOUT之反轉開始前後，使頻帶限制電容之電容值變大。此時，PMOS電晶體PT150之臨限值電壓 V_{th} 係採用設定為與第2放大器120之輸出信號2ndOUT即將開始反轉之前之第1放大器110的輸出信號1stcomp大致相同之位準者。此外，PMOS電晶體PT150之臨限值電壓 V_{th} 只要為較反轉開始電壓 V_{start} 高之位準即可。

< 本發明技術之比較器之動作 >

圖11係說明圖9之比較器31之動作的時序圖。

在圖11中亦然，省略了D相期間之時序圖，而顯示AZ期間及P相期間之時序圖。

如圖11所示，由於比較器31中作為頻帶限制電容已設置PMOS電晶體PT150，因而在輸出信號1stcomp從高位準變化為低位準，而成為與反轉開始電壓 V_{start} 大致相同之位準(臨限值電壓 V_{th})時，PMOS電晶體PT150之電容值(第2放大器120之輸入端之實效性的電容值)變

大。藉此，能夠減少雜訊，且抑制反轉延遲之增大。

此外，由於PMOS電晶體PT150的電容特性，在反轉動作後，PMOS電晶體PT150之電容值保持大之狀態不變。因此，第1放大器110之輸出信號1stcomp之電壓變動方向雖然較佳者係自高位準至低位準之一方向，但亦可為相反方向。

如此，根據本發明技術之比較器31之構成，與利用密勒效應之圖7之比較器100C之構成相同地能夠消除雜訊與反轉延遲之折衷。

另外，在例如多數之ADC如行ADC等般一齊動作之情形下，電源變動。

在該情形下，根據比較器100C之構成，如圖12之上段所示，因電源變動而產生之雜訊輸入至PMOS電晶體PT121之源極。因此，閘極-源極間電壓 V_{gs} 變動，且第2放大器120之輸出信號2ndOUT中重疊有雜訊。其結果為，AD轉換結果產生誤差。尤其是，同時動作之比較器愈多，則變動會愈大，從而AD轉換結果之誤差會愈大。

另一方面，根據本發明技術之比較器31之構成，如圖12之下段所示，因電源變動而產生之雜訊除輸入至PMOS電晶體PT121之源極外，亦經由PMOS電晶體PT150輸入至PMOS電晶體PT121之閘極。因此，能夠相對地抑制閘極-源極間電壓 V_{gs} 之變動，而能夠抑制在第2放大器120之輸出信號2ndOUT中重疊有雜訊。結果為能夠抑制AD轉換結果之誤差的產生。尤其是，即便在同時動作之比較器多，而變動變大之情形下，亦可以抑制AD轉換結果之誤差的產生。

如上述般，根據本發明技術之構成，可以消除雜訊與反轉延遲之折衷，且可以抑制AD轉換結果之誤差的產生。

＜本發明技術之比較器之另一構成＞

圖13係顯示本發明技術之比較器之另一構成例的電路圖。

圖13之比較器200係將圖9之比較器31之電晶體之極性設為反極

性而構成。因此，所連接之電源電位與接地電位亦在電路上相反。此外，在圖13中，為便於理解，就節點與電容之符號將賦予與圖9相同之符號。

如圖13所示，比較器200包含級聯連接之第1放大器210、第2放大器220、及NMOS電晶體NT230。

在第1放大器210中，代替圖9之NMOS電晶體NT111至NT113，使用PMOS電晶體PT211至PT213構成差動對及電流源。另外，作為電流源之PMOS電晶體PT213之源極連接於電源電位VDD。

又，代替圖9之PMOS電晶體PT111、PT112，使用NMOS電晶體NT211、NT212構成電流鏡電路，NMOS電晶體NT211、NT212之源極連接於接地電位GND。

再者，代替圖9之PMOS電晶體PT113、PT114，使用NMOS電晶體NT213、NT214構成AZ開關。在該情形下，在第1放大器210中，第2AZ信號NSEL被供給至NMOS電晶體NT213、NT214之閘極。

在第2放大器220中，代替圖9之PMOS電晶體PT121，使用NMOS電晶體NT221構成輸入端及放大電路。NMOS電晶體NT221之源極連接於接地電位GND。

代替圖9之NMOS電晶體NT121，使用PMOS電晶體PT221構形成密勒電路之電晶體。另外，PMOS電晶體PT221之源極連接於電源電位VDD。

又，電容C121之第1電極連接於與PMOS電晶體PT221之閘極連接之節點ND122，第2電極連接於電源電位VDD。

再者，代替圖9之NMOS電晶體NT122，使用PMOS電晶體PT222構成AZ開關。在該情形下，在第2放大器220中第1AZ信號PSEL被供給至PMOS電晶體PT222之閘極。

另外，NMOS電晶體NT230作為頻帶限制電容連接於第1放大器

210之輸出節點ND112與接地電位GND之間。

NMOS電晶體NT230具有與在第1放大器210中由PMOS電晶體PT211、PT212構成之差動對相反之極性。換言之，NMOS電晶體NT230具有與成為第2放大器220之輸入端之NMOS電晶體NT221相同之極性。

NMOS電晶體NT230之閘極連接於第1放大器210之輸出節點ND112。又，NMOS電晶體NT230之源極及汲極連接於接地電位GND。

圖14係顯示NMOS電晶體之電容特性的圖。

如圖14所示，NMOS電晶體之電容值在以下情形下為小：輸入電壓低，亦即閘極-源極間電壓 V_{gs} 為低電壓。然而，若輸入電壓變高，閘極-源極間電壓 V_{gs} 超過臨限值電壓 V_{th} ，則NMOS電晶體之電容值急劇變大。

利用該特性與第1放大器210之輸出信號1stcomp從低位準變化為高位準，能夠在第2放大器220之輸出信號2ndOUT之反轉開始前後，使頻帶限制電容之電容值變大。此時，NMOS電晶體NT230之臨限值電壓 V_{th} 係採用設定為與第2放大器220之輸出信號2ndOUT即將開始反轉之前之第1放大器210的輸出信號1stcomp大致相同之位準者。此外，NMOS電晶體NT230之臨限值電壓 V_{th} 只要為較反轉開始電壓 V_{start} 低之位準即可。

具有如以上之構成之圖13的比較器200基本上與圖9之比較器31相同地動作。但是，圖11之時序圖之RAMP、1stcomp、2ndAmp之各波形成相反狀。

另外，根據圖13之比較器200，可獲得與圖9之比較器31相同的效果。

具體而言，根據圖13之比較器200之構成，因GND變動而產生之

雜訊除輸入至NMOS電晶體NT221之源極外，經由NMOS電晶體NT230亦輸入至NMOS電晶體NT221之閘極。因此，能夠相對地抑制閘極-源極間電壓 V_{gs} 之變動，而能夠抑制在第2放大器220之輸出信號2ndOUT中重疊有雜訊。結果為能夠抑制AD轉換結果之誤差的產生。

本發明技術並不限定於對固體攝像裝置之應用，亦可應用於攝像裝置。此處，所謂攝像裝置是指數位靜態相機及數位視訊攝影機等之相機系統、或行動電話等之具有攝像功能之電子機器。此外，亦存在將搭載於電子機器中之模組狀之形態，亦即將相機模組作為攝像裝置之情形。

< 電子機器之構成例 >

此處，參照圖15說明應用本發明技術之電子機器之構成例。

圖15所示之電子機器300具備：光學透鏡301、快門裝置302、固體攝像裝置303、驅動電路304、及信號處理電路305。在圖15中顯示作為固體攝像裝置303，將上述之本發明技術之固體攝像裝置1設置於電子機器(數位靜態相機)中之情形的實施形態。

光學透鏡301使來自被攝體之像光(入射光)在固體攝像裝置303之攝像面上成像。藉此，信號電荷以一定期間蓄積於固體攝像裝置303內。快門裝置302控制對固體攝像裝置303之光照射期間及遮光期間。

驅動電路304將驅動信號供給至快門裝置302及固體攝像裝置303。被供給至快門裝置302之驅動信號係用於控制快門裝置302之快門動作的信號。被供給至固體攝像裝置303之驅動信號係用於控制固體攝像裝置303之信號傳送動作的信號。固體攝像裝置303藉由從驅動電路304供給之驅動信號(時序信號)而進行信號傳送。信號處理電路305相應於從固體攝像裝置303輸出之信號進行各種信號處理。經進行信號處理之映像信號儲存於記憶體等之記憶媒體，或輸出至監視器。

在本實施形態之電子機器300中，在固體攝像裝置303中，由於

能夠抑制AD轉換結果之誤差的產生，因而結果為可提供一種能夠獲得高畫質之圖像的電子機器。

<圖像感測器之使用例>

最後，說明應用本發明技術之圖像感測器之使用例。

圖16係顯示上述之圖像感測器之使用例的圖。

上述圖像感測器可使用於例如下述之感測可視光或紅外光、紫外光、X線等光之各種情形。

- 拍攝供鑑賞用之圖像的數位相機或附帶相機機能的可攜式機器等之裝置
- 用於自動停止等之安全駕駛、或駕駛者狀態之識別等而拍攝汽車之前方或後方、周圍、車內等之車載用感測器，監視行走車輛或道路之監視相機，進行車輛之間等之測距之測距感測器等之供交通用之裝置
- 為了拍攝使用者之手勢且根據該手勢進行機器操作而供TV或冰箱、空氣調節機等之家電用之裝置
- 內視鏡或利用紅外光之受光進行血管攝影之裝置等之供醫療或健康照護用之裝置
- 防止犯罪用之監視相機或人物認證用之相機等之供保安用之裝置
- 拍攝肌膚之肌膚測定器或拍攝頭皮之顯微鏡等之供美容用之裝置
- 針對體育運動用途等之動作相機或可佩戴相機等之供體育用之裝置
- 用於監視田地或作物之狀態之相機等之供農業用之裝置

此外，本技術之實施形態並不限定於上述之實施形態，在不脫離本技術之要旨之範圍內可進行各種變更。

再者，本技術可採用下述之構成。

(1)

一種固體攝像裝置，其具備：

像素部，其具有複數個像素；

比較器，其將從前述像素輸出之像素信號與參考信號予以比較；及

計數器，其計數前述比較器之比較時間；且

前述比較器具備：

第1放大器，其進行前述像素信號與前述參考信號之比較動作；

第2放大器，其具有第1電晶體，並使前述第1放大器之輸出信號放大；及

第2電晶體，其係與前述第1電晶體之極性為相同極性者；並且

前述第2電晶體之閘極連接於前述第1放大器之輸出節點；而且

前述第2電晶體之源極及汲極連接於與前述第1電晶體之源極相同之固定電位。

(2)

如(1)之固體攝像裝置，其中在前述第2電晶體為PMOS電晶體之情形下，前述第2電晶體之源極及汲極連接於電源電位。

(3)

如(1)之固體攝像裝置，其中在前述第2電晶體為NMOS電晶體之情形下，前述第2電晶體之源極及汲極連接於接地電位。

(4)

如(1)至(3)中任一項之固體攝像裝置，其中前述第2電晶體之臨限值電壓設定為與前述第2放大器即將開始反轉之前的前述第1放大器的輸出信號大致相同之位準。

(5)

一種電子機器，其具備固體攝像裝置，該固體攝像裝置具備：
像素部，其具有複數個像素；

比較器，其將從前述像素輸出之像素信號與參考信號予以比較；及

計數器，其計數前述比較器之比較時間；且
前述比較器具有：

第1放大器，其進行前述像素信號與前述參考信號之比較動作；

第2放大器，其具有第1電晶體，並使前述第1放大器之輸出信號
放大；及

第2電晶體，其係與前述第1電晶體之極性為相同極性者；並且
前述第2電晶體之閘極連接於前述第1放大器之輸出節點；而且
前述第2電晶體之源極及汲極連接於與前述第1電晶體之源極相
同之固定電位。

(6)

一種AD轉換裝置，其具備：

比較器，其將類比信號與參考信號予以比較，並使其結果放
大；及

計數器，其計數前述比較器之比較時間；且
前述比較器具備：

第1放大器，其進行前述類比信號與前述參考信號之比較動作；

第2放大器，其具有第1電晶體，並使前述第1放大器之輸出信號
放大；及

第2電晶體，其係與前述第1電晶體之極性為相同極性者；並且
前述第2電晶體之閘極連接於前述第1放大器之輸出節點；而且
前述第2電晶體之源極及汲極連接於與前述第1電晶體之源極相
同之固定電位。

【符號說明】

1	固體攝像裝置
1stcomp	輸出信號
2ndOUT	輸出信號
11	像素部
12	垂直掃描電路
13	水平傳送掃描電路
14	時序控制電路
15	類比數位轉換器群
16	DAC
17	放大器電路
18	信號處理電路
31	比較器
32	計數器
33	鎖存器
51	像素
61	光電二極體
62	傳送電晶體
63	重設電晶體
64	放大電晶體
65	選擇電晶體
66	垂直信號線
100A	比較器
100B	比較器
100C	比較器
110	第1放大器

120	第2放大器
200	比較器
210	第1放大器
220	第2放大器
300	電子機器
301	光學透鏡
302	快門裝置
303	固體攝像裝置
304	驅動電路
305	信號處理電路
AZ	自動調零
BIAS	偏壓信號
C111	電容
C112	電容
C121	電容
C130	頻帶限制電容
C140	電容
FD	浮動擴散部
GND	基準電位/接地電位
I1	電流
LRST	重設控制線
LSEL	選擇控制線
LTRF	水平傳送線
LTX	傳送控制線
LVDD	電源線
ND111	節點

ND112	輸出節點/節點
ND113	節點
ND114	節點
ND121	輸出節點
ND122	節點
NSEL	第2自動調零信號
NT111	n通道MOS(NMOS)電晶體/NMOS電晶體
NT112	n通道MOS(NMOS)電晶體/NMOS電晶體
NT113	n通道MOS(NMOS)電晶體/NMOS電晶體
NT121	NMOS電晶體
NT122	NMOS電晶體
NT211	NMOS電晶體
NT212	NMOS電晶體
NT213	NMOS電晶體
NT214	NMOS電晶體
NT221	NMOS電晶體
NT230	NMOS電晶體
PSEL	第1自動調零信號
PT111	p通道MOS(PMOS)電晶體/PMOS電晶體
PT112	p通道MOS(PMOS)電晶體/PMOS電晶體
PT113	p通道MOS(PMOS)電晶體
PT114	p通道MOS(PMOS)電晶體
PT121	PMOS電晶體
PT150	PMOS電晶體
PT211	PMOS電晶體
PT212	PMOS電晶體

PT213	PMOS電晶體
PT221	PMOS電晶體
PT222	PMOS電晶體
RAMP	斜波信號
RST	驅動信號
SEL	控制信號
TBIAS	輸入端子
TG	驅動信號
TNSEL	輸入端子
TOUT	輸出端子
TPSEL	輸入端子
TRAMP	輸入端子
TVSEL	輸入端子
VDD	電源電位
VSL	像素信號
Vslop	參照電壓
Vstart	反轉開始電壓



I669964

公告本

發明摘要

※ 申請案號：105106200

※ 申請日：105年3月1日

※IPC 分類：

【發明名稱】

固體攝像裝置、電子機器及AD轉換裝置

【中文】

本發明技術係關於一種能夠抑制AD轉換結果之誤差之產生的固體攝像裝置、電子機器及AD轉換裝置。

固體攝像裝置具備：像素部，其具有複數個像素；比較器，其將從像素輸出之像素信號與參考信號予以比較；及計數器，其計數比較器之比較時間。比較器具備：第1放大器，其進行像素信號與參考信號之比較動作；第2放大器，其具有第1電晶體，並使第1放大器之輸出信號放大；及第2電晶體，其係與第1電晶體之極性為相同極性者。第2電晶體之閘極連接於第1放大器之輸出端，第2電晶體之源極及汲極連接於與第1電晶體之源極相同之固定電位。本發明技術可應用於例如CMOS圖像感測器。

【英文】

無

【代表圖】

【本案指定代表圖】：第（9）圖。

【本代表圖之符號簡單說明】：

1stcomp	輸出信號
2ndOUT	輸出信號
31	比較器
110	第1放大器
120	第2放大器
BIAS	偏壓信號
C111	電容
C112	電容
C121	電容
GND	基準電位/接地電位
I1	電流
ND111	節點
ND112	輸出節點/節點
ND113	節點
ND114	節點
ND121	輸出節點
ND122	節點
NSEL	第2自動調零信號
NT111	n通道MOS(NMOS)電晶體/ NMOS電晶體
NT112	n通道MOS(NMOS)電晶體/ NMOS電晶體
NT113	n通道MOS(NMOS)電晶體/ NMOS電晶體
NT121	NMOS電晶體
NT122	NMOS電晶體

PSEL	第1自動調零信號
PT111	p通道MOS(PMOS)電晶體/PMOS電晶體
PT112	p通道MOS(PMOS)電晶體/PMOS電晶體
PT113	p通道MOS(PMOS)電晶體
PT114	p通道MOS(PMOS)電晶體
PT121	PMOS電晶體
PT150	PMOS電晶體
RAMP	斜波信號
TBIAS	輸入端子
TNSEL	輸入端子
TOUT	輸出端子
TPSEL	輸入端子
TRAMP	輸入端子
TVSEL	輸入端子
VDD	電源電位
VSL	像素信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種攝像裝置，其具備：

複數個像素，包括經組態以接收入射光及輸出類比信號之像素；

複數之信號線，包括連接至前述像素之信號線；及

複數之比較器，其中前述複數之比較器之一者包括：

第1放大器，其具有第1電晶體及第2電晶體，該第1電晶體經組態以接收依據前述類比信號之信號，該第2電晶體經組態以接收參考信號；

第2放大器，其具有第3電晶體，該第3電晶體經組態以接收來自前述第1放大器之輸出節點的輸出；及

第4電晶體，其具有閘極、源極與汲極，該閘極連接於前述第1放大器之前述輸出節點與前述第3電晶體之間，該源極與該汲極經組態以接收電源電壓。

2. 如請求項1之攝像裝置，其中前述第1放大器更包括第5電晶體，該第5電晶體經組態以接收前述電源電壓。

3. 如請求項2之攝像裝置，其中前述第3電晶體更經組態以接收前述電源電壓。

4. 如請求項3之攝像裝置，其中前述第3電晶體之閘極經組態以接收來自前述第1放大器之前述輸出節點的輸出。

5. 如請求項1之攝像裝置，其中前述第4電晶體之極性與前述第1電晶體與前述第2電晶體之至少一者之極性相反。

6. 如請求項1之攝像裝置，其中前述第4電晶體之極性與前述第3電晶體之極性相同。

7. 如請求項1之攝像裝置，其中前述第4電晶體經組態以具有電容

值，該電容值根據來自前述第1放大器之前述輸出節點的輸出而變化。

8. 如請求項1之攝像裝置，其中前述第4電晶體經組態以具有電容值，該電容值根據前述第4電晶體之前述閘極與前述第4電晶體之前述源極之間的電壓而變化。
9. 如請求項8之攝像裝置，其中回應於前述第4電晶體之前述閘極與前述第4電晶體之前述源極之間的前述電壓超過臨限值電壓，前述第4電晶體之前述電容值變大。
10. 如請求項9之攝像裝置，其中回應於前述第2放大器之第2輸出信號反轉，前述臨限值電壓大於或等於對應於前述輸出之位準之反轉電壓(inversion voltage)。
11. 一種攝像裝置，其具備：

複數個像素，包括經組態以接收入射光及輸出類比信號之像素；

複數之信號線，包括連接至前述像素之信號線；及

複數之比較器，其中前述複數之比較器之一者包括：

第1放大器，其具有第1電晶體及第2電晶體，該第1電晶體經組態以接收依據前述類比信號之信號，該第2電晶體經組態以接收參考信號；

第2放大器，其具有第3電晶體，該第3電晶體經組態以接收來自前述第1放大器之輸出節點的輸出；及

第4電晶體，其具有閘極、源極與汲極，該閘極連接於前述第1放大器與前述第3電晶體，該源極與該汲極經組態以接收外部電位。

12. 如請求項11之攝像裝置，其中前述第1放大器更包括第5電晶體，該第5電晶體經組態以接收電源電壓。

13. 如請求項12之攝像裝置，其中前述第3電晶體更經組態以接收前述電源電壓。
14. 如請求項13之攝像裝置，其中前述第3電晶體之閘極經組態以接收來自前述第1放大器之前述輸出節點的輸出。
15. 如請求項11之攝像裝置，其中前述第4電晶體之極性與前述第1電晶體與前述第2電晶體之至少一者之極性相反。
16. 如請求項11之攝像裝置，其中前述第4電晶體之極性與前述第3電晶體之極性相同。
17. 如請求項11之攝像裝置，其中前述第4電晶體經組態以具有電容值，該電容值根據來自前述第1放大器之前述輸出節點的輸出而變化。
18. 如請求項11之攝像裝置，其中前述第4電晶體經組態以具有電容值，該電容值根據前述第4電晶體之前述閘極與前述第4電晶體之前述源極之間的電壓而變化。
19. 如請求項18之攝像裝置，其中回應於前述第4電晶體之前述閘極與前述第4電晶體之前述源極之間的前述電壓超過臨限值電壓，前述第4電晶體之前述電容值變大。
20. 如請求項19之攝像裝置，其中回應於前述第2放大器之第2輸出信號反轉，前述臨限值電壓大於或等於對應於前述輸出之位準之反轉電壓(inversion voltage)。
21. 一種電子機器，其具備：
光學攝像系統；及
攝像裝置，其包括：
複數個像素，包括經組態以接收入射光及輸出類比信號之像素；
複數之信號線，包括連接至前述像素之信號線；及

複數之比較器，其中前述複數之比較器之一者包括：

第1放大器，其具有第1電晶體及第2電晶體，該第1電晶體經組態以接收依據前述類比信號之信號，該第2電晶體經組態以接收參考信號；

第2放大器，其具有第3電晶體，該第3電晶體經組態以接收來自前述第1放大器之輸出節點的輸出；及

第4電晶體，其具有閘極、源極與汲極，該閘極連接於前述第1放大器之前述輸出節點與前述第3電晶體之間，該源極與該汲極經組態以接收電源電壓。

22. 如請求項21之電子機器，其中前述第1放大器更包括第5電晶體，該第5電晶體經組態以接收前述電源電壓。
23. 如請求項22之電子機器，其中前述第3電晶體更經組態以接收前述電源電壓。
24. 如請求項23之電子機器，其中前述第3電晶體之閘極經組態以接收來自前述第1放大器之前述輸出節點的輸出。
25. 如請求項21之電子機器，其中前述第4電晶體之極性與前述第1電晶體與前述第2電晶體之至少一者之極性相反。
26. 如請求項21之電子機器，其中前述第4電晶體之極性與前述第3電晶體之極性相同。
27. 如請求項21之電子機器，其中前述第4電晶體經組態以具有電容值，該電容值根據來自前述第1放大器之前述輸出節點的輸出而變化。
28. 如請求項21之電子機器，其中前述第4電晶體經組態以具有電容值，該電容值根據前述第4電晶體之前述閘極與前述第4電晶體之前述源極之間的電壓而變化。
29. 如請求項28之電子機器，其中回應於前述第4電晶體之前述閘極

與前述第4電晶體之前述源極之間的前述電壓超過臨限值電壓，
前述第4電晶體之前述電容值變大。

30. 如請求項29之電子機器，其中回應於前述第2放大器之第2輸出信號反轉，前述臨限值電壓大於或等於對應於前述輸出之位準之反轉電壓(inversion voltage)。