

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2022-0051824
(43) 공개일자 2022년04월26일

- (51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) H01L 29/20 (2006.01)
H01L 29/423 (2006.01)
- (52) CPC특허분류
H01L 29/7783 (2013.01)
H01L 29/2003 (2013.01)
- (21) 출원번호 10-2021-0139503
(22) 출원일자 2021년10월19일
심사청구일자 2021년10월19일
- (30) 우선권주장
1020200134957 2020년10월19일 대한민국(KR)

- (71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
- (72) 발명자
변동진
서울특별시 강남구 영동대로114길 71-3, 101동 503호(삼성동, 삼성 대우멤버스카운티1차)
- 안민주
서울특별시 종로구 종로66길 28, 911호(승인동, 종로 중흥 S클래스)
(뒷면에 계속)
- (74) 대리인
박상열, 최내윤

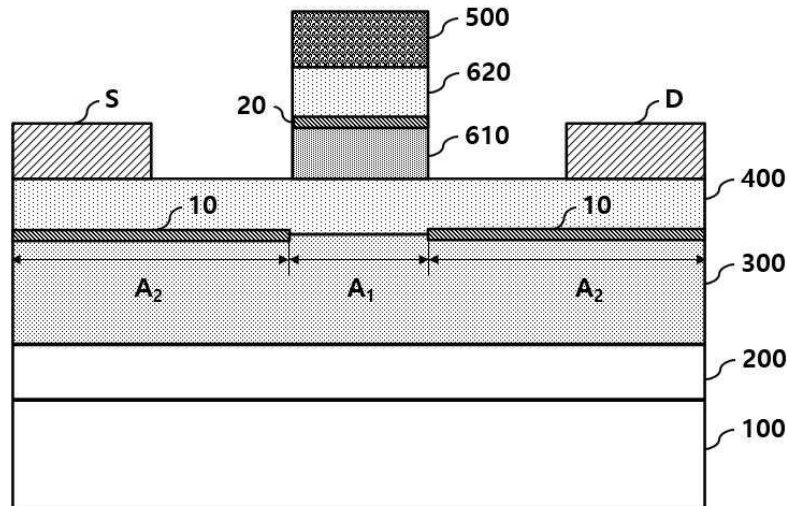
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 고전자 이동도 트랜지스터 및 그 제조방법

(57) 요약

고전자 이동도 트랜지스터가 제공된다. 상기 고전자 이동도 트랜지스터는, 기판 상에 배치된 GaN층, 상기 GaN층 상에 배치된 AlGaIn층, 상기 AlGaIn층 상에 배치된 제1 베리어층, 및 상기 제1 베리어층 상에 배치된 제2 베리어층을 포함하되, 상기 GaN층과 상기 AlGaIn층 사이의 계면에는 2차원 전자 가스(2DEG)가 형성되고, 상기 제1 베리어층과 상기 제2 베리어층 사이의 계면에는 2차원 정공 가스(2DHG)가 형성된 것을 포함할 수 있다.

대표도 - 도5



(52) CPC특허분류

H01L 29/42312 (2013.01)

(72) 발명자

김효중

서울특별시 노원구 한글비석로 91, 108동 802호(하계동, 하계1차청구아파트)

정우섭

경상남도 김해시 계동로102번길 24, 409동 1405호(대청동, 갑오마을부영아파트)

조승희

서울특별시 노원구 동일로207길 184, 111동 1501호(하계동, 학여울청구아파트)

심규연

경기도 고양시 일산동구 강촌로 114, 507동 204호(백석동, 백송마을5단지아파트)

강성호

서울특별시 성북구 안암로9가길 9-16, 211호(안암동4가, 안암맨션)

명세서

청구범위

청구항 1

기판 상에 배치된 GaN층;

상기 GaN층 상에 배치된 AlGaN층;

상기 AlGaN층 상에 배치된 제1 베리어층; 및

상기 제1 베리어층 상에 배치된 제2 베리어층을 포함하되,

상기 GaN층과 상기 AlGaN층 사이의 계면에는 2차원 전자 가스(2DEG)가 형성되고, 상기 제1 베리어층과 상기 제2 베리어층 사이의 계면에는 2차원 정공 가스(2DHG)가 형성된 것을 포함하는 고전자 이동도 트랜지스터.

청구항 2

제1 항에 있어서,

상기 GaN층과 상기 AlGaN층 사이의 계면은, 상기 제1 베리어층 및 제2 베리어층과 중첩되는 제1 영역, 및 중첩되지 않는 제2 영역을 포함하되,

상기 제1 영역에는 2차원 전자 가스(2DEG)가 형성되지 않고, 상기 제2 영역에는 2차원 전자 가스(2DEG)가 형성된 것을 포함하는 고전자 이동도 트랜지스터.

청구항 3

제2 항에 있어서,

상기 제2 베리어층 상에 배치되는 게이트를 더 포함하되,

상기 게이트를 통해 문턱 전압 이상의 전압이 인가되는 경우, 상기 제1 영역에도 2차원 전자 가스(2DEG)가 형성되어, 상기 GaN층과 상기 AlGaN층 사이에 2차원 전자 가스(2DEG)에 의한 채널이 형성되는 것을 포함하는 고전자 이동도 트랜지스터.

청구항 4

제1 항에 있어서,

상기 제1 베리어층 및 상기 제2 베리어층은, p형 반도체 물질을 포함하는 고전자 이동도 트랜지스터.

청구항 5

제4 항에 있어서,

상기 제1 베리어층은 p-AlGaN을 포함하고, 상기 제2 베리어층은 p-GaN을 포함하는 고전자 이동도 트랜지스터.

청구항 6

제4 항에 있어서,

상기 제1 및 제2 베리어층은 마그네슘(Mg)을 포함하되, 상기 마그네슘(Mg)의 농도가 증가함에 따라 문턱 전압이

상승되는 것을 포함하는 고전자 이동도 트랜지스터.

청구항 7

제1 항에 있어서,

상기 제1 베리어층은 초격자(superlattice) 구조를 갖는 것을 포함하는 고전자 이동도 트랜지스터.

청구항 8

제1 항에 있어서,

상기 AlGaIn층 상에 배치되는 소스 전극, 및 드레인 전극을 더 포함하되,

상기 소스 전극 및 드레인 전극은 상기 AlGaIn층 상에 서로 이격되어 배치되고, 상기 소스 전극 및 드레인 전극 사이에 상기 제1 및 제2 베리어층이 배치되는 것을 포함하는 고전자 이동도 트랜지스터.

청구항 9

제1 항에 있어서,

상기 AlGaIn층은, 상부면의 일 영역이 함몰된 리세스(recess) 영역을 포함하되,

상기 리세스 영역에 상기 제1 및 제2 베리어층이 배치되는 것을 포함하는 고전자 이동도 트랜지스터.

청구항 10

기판 상에 배치된 제1 GaN층;

상기 제1 GaN층 상에 배치되고, 상기 제1 GaN층을 노출하는 리세스 영역이 형성된 제1 AlGaIn층;

상기 제1 GaN층 상에, 그리고 상기 리세스 영역 내에 배치된 제2 GaN층;

상기 제2 GaN층 상에, 그리고 상기 리세스 영역 내에 배치된 제2 AlGaIn층; 및

상기 제2 AlGaIn층 상에, 그리고 상기 리세스 영역 외부에 배치된 베리어층을 포함하되,

상기 제1 GaN층과 상기 제1 AlGaIn층 사이의 계면에는 제1 2차원 전자 가스(2DEG)가 형성되고, 상기 제2 GaN층과 상기 제2 AlGaIn층 사이의 계면에는 제2 2차원 전자 가스(2DEG)가 형성된 것을 포함하는 고전자 이동도 트랜지스터.

청구항 11

제10 항에 있어서,

상기 베리어층 상에 배치되는 게이트를 더 포함하되,

상기 게이트를 통해 문턱 전압 이상의 전압이 인가되는 경우, 상기 제2 2차원 전자 가스의 영역이 증가하여 상기 제1 2차원 전자 가스와 연결됨에 따라, 상기 제1 및 제2 2차원 전자 가스에 의한 채널이 형성되는 것을 포함하는 고전자 이동도 트랜지스터.

청구항 12

제10 항에 있어서,

상기 제2 GaN층의 측면 및 상기 제1 AlGaN층 사이의 계면에는 2차원 전자 가스(2DEG)가 형성되지 않는 것을 포함하는 고전자 이동도 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 고전자 이동도 트랜지스터 및 그 제조방법에 관한 것으로서, 2차원 전자 가스(2-Dimensional Electron Gas, 2DEG)을 포함하는 고전자 이동도 트랜지스터 및 그 제조방법에 관련된 것이다.

배경 기술

[0002] 전력 변환 시스템에 있어서, 파워 스위칭 소자의 효율이 전체 시스템의 효율을 좌우한다. 스위칭 소자로서, 실리콘(silicon)을 이용한 파워 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)나 IGBT(Insulated Gate Bipolar Transistor)를 대부분 사용하였으나, 실리콘 자체의 재료적인 한계로 인하여 스위칭 소자의 효율 증가에 한계가 있다.

[0003] 이러한 실리콘의 재료적인 한계를 벗어나기 위한 시도로서, 고전자 이동도 트랜지스터(High electron mobility transistor)(이하, HEMT)에 대한 연구가 활발히 진행되고 있다.

[0004] HEMT는 전기적 분극(polarization) 특성이 서로 다른 반도체층들을 포함한다. HEMT에서 상대적으로 큰 분극률을 갖는 반도체층은 그와 이종 접합된 다른 반도체층에 2차원 전자가스(2-Dimensional Electron Gas)(이하, 2DEG)를 유발할 수 있다. 2DEG는 드레인 전극과 소스 전극 사이의 채널로서 이용되며, 이러한 채널을 흐르는 전류는 게이트 전극에 인가되는 바이어스 전압에 의해 제어된다.

[0005] 그러나, 전형적인 구조의 HEMT는 노멀리 온(normally-on) 특성을 갖는다. 파워소자로 사용하기 위해서는 fail-safe 등 안전한 동작을 위해 노멀리 오프(normally-off) 특성의 HEMT가 필요하다. 노멀리 온 특성의 HEMT 소자를 오프(off)상태로 하기 위해서 구조적 설계가 필요하며, 이에 대한 다양한 방식으로 연구가 진행되고 있다.

[0006] 또한, 파워소자를 이용하는데 있어, 높은 게이트 누설 전류(gate leakage current)는 치명적인 고장을 초래할 수 있다. 높은 게이트 누설 전류가 발생하는 경우, 스위칭을 하기 위해 바이어스를 주는 게이트가 정상적으로 작동하지 못할 수 있다. 또한, 게이트 누설 전류는 전기적 에너지가 아닌 열 에너지로 변환되어, 소자의 온도가 높아져 효율을 떨어뜨리는 요인이 된다. 이에 따라, 게이트 누설 전류를 감소시킬 수 있는 연구도 다양하게 진행되고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 일 기술적 과제는, 노멀리 오프(normally-off) 특성을 갖는 고전자 이동도 트랜지스터 및 그 제조방법을 제공하는 데 있다.

[0008] 본 발명이 해결하고자 하는 다른 기술적 과제는, 누설 전류 문제가 현저하게 감소된 고전자 이동도 트랜지스터 및 그 제조방법을 제공하는 데 있다.

[0009] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 전도도 변조 효율이 향상된 고전자 이동도 트랜지스터 및 그 제조방법을 제공하는 데 있다.

[0010] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 파워 디바이스에 용이하게 적용될 수 있는 고전자 이동도 트랜지스터 및 그 제조방법을 제공하는 데 있다.

[0011] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 쇼트키 접촉(Schottky contact)이 가능해진 고전자 이동도 트랜지스터 및 그 제조방법을 제공하는 데 있다.

[0012] 본 발명이 해결하고자 하는 기술적 과제는 상술된 것에 제한되지 않는다.

과제의 해결 수단

- [0013] 상기 기술적 과제를 해결하기 위해, 본 발명은 고전자 이동도 트랜지스터를 제공한다.
- [0014] 일 실시 예에 따르면, 상기 고전자 이동도 트랜지스터는 기판 상에 배치된 GaN층, 상기 GaN층 상에 배치된 AlGaIn층, 상기 AlGaIn층 상에 배치된 제1 베리어층, 및 상기 제1 베리어층 상에 배치된 제2 베리어층을 포함하되, 상기 GaN층과 상기 AlGaIn층 사이의 계면에는 2차원 전자 가스(2DEG)가 형성되고, 상기 제1 베리어층과 상기 제2 베리어층 사이의 계면에는 2차원 정공 가스(2DHG)가 형성된 것을 포함할 수 있다.
- [0015] 일 실시 예에 따르면, 상기 GaN층과 상기 AlGaIn층 사이의 계면은, 상기 제1 베리어층 및 상기 제2 베리어층과 중첩되는 제1 영역, 및 중첩되지 않는 제2 영역을 포함하되, 상기 제1 영역에는 2차원 전자 가스(2DEG)가 형성되지 않고, 상기 제2 영역에는 2차원 전자 가스(2DEG)가 형성된 것을 포함할 수 있다.
- [0016] 일 실시 예에 따르면, 상기 고전자 이동도 트랜지스터는 상기 제2 베리어층 상에 배치되는 게이트를 더 포함하되, 상기 게이트를 통해 문턱 전압 이상의 전압이 인가되는 경우, 상기 제1 영역에도 2차원 전자 가스(2DEG)가 형성되어, 상기 GaN층과 상기 AlGaIn층 사이에 2차원 전자 가스(2DEG)에 의한 채널이 형성되는 것을 포함할 수 있다.
- [0017] 일 실시 예에 따르면, 상기 제1 베리어층 및 상기 제2 베리어층은, p형 반도체 물질을 포함할 수 있다.
- [0018] 일 실시 예에 따르면, 상기 제1 베리어층은 p-AlGaIn을 포함하고, 상기 제2 베리어층은 p-GaN을 포함할 수 있다.
- [0019] 일 실시 예에 따르면, 상기 제1 및 제2 베리어층은 마그네슘(Mg)을 포함하되, 상기 마그네슘(Mg)의 농도가 증가함에 따라 문턱 전압이 상승되는 것을 포함할 수 있다.
- [0020] 일 실시 예에 따르면, 상기 제1 베리어층은 초격자(superlattice) 구조를 갖는 것을 포함할 수 있다.
- [0021] 일 실시 예에 따르면, 상기 고전자 이동도 트랜지스터는 상기 AlGaIn층 상에 배치되는 소스 전극, 및 드레인 전극을 더 포함하되, 상기 소스 전극 및 드레인 전극은 상기 AlGaIn층 상에 서로 이격되어 배치되고, 상기 소스 전극 및 드레인 전극 사이에 상기 제1 및 제2 베리어층이 배치되는 것을 포함할 수 있다.
- [0022] 일 실시 예에 따르면, 상기 AlGaIn층은, 상부면의 일 영역이 함몰된 리세스(recess) 영역을 포함하되, 상기 리세스 영역에 상기 제1 및 제2 베리어층이 배치되는 것을 포함할 수 있다.
- [0024] 다른 실시 예에 따르면, 상기 고전자 이동도 트랜지스터는 기판 상에 배치된 제1 GaN층, 상기 제1 GaN층 상에 배치되고, 상기 제1 GaN층을 노출하는 리세스 영역이 형성된 제1 AlGaIn층, 상기 제1 GaN층 상에, 그리고 상기 리세스 영역 내에 배치된 제2 GaN층, 상기 제2 GaN층 상에, 그리고 상기 리세스 영역 내에 배치된 제2 AlGaIn층, 및 상기 제2 AlGaIn층 상에, 그리고 상기 리세스 영역 외부에 배치된 베리어층을 포함하되, 상기 제1 GaN층과 상기 제1 AlGaIn층 사이의 계면에는 제1 2차원 전자 가스(2DEG)가 형성되고, 상기 제2 GaN층과 상기 제2 AlGaIn층 사이의 계면에는 제2 2차원 전자 가스(2DEG)가 형성된 것을 포함할 수 있다.
- [0025] 다른 실시 예에 따르면, 상기 고전자 이동도 트랜지스터는 상기 베리어층 상에 배치되는 게이트를 더 포함하되, 상기 게이트를 통해 문턱 전압 이상의 전압이 인가되는 경우, 상기 제2 2차원 전자 가스의 영역이 증가하여 상기 제1 2차원 전자 가스와 연결됨에 따라, 상기 제1 및 제2 2차원 전자 가스에 의한 채널이 형성되는 것을 포함할 수 있다.
- [0026] 다른 실시 예에 따르면, 상기 제2 GaN층의 측면 및 상기 제1 AlGaIn층 사이의 계면에는 2차원 전자 가스(2DEG)가 형성되지 않는 것을 포함할 수 있다.

발명의 효과

- [0027] 본 발명의 실시 예에 따른 고전자 이동도 트랜지스터는 기판 상에 배치된 GaN층, 상기 GaN층 상에 배치된 AlGaIn층, 상기 AlGaIn층 상에 배치된 제1 베리어층(p-AlGaIn), 및 상기 제1 베리어층 상에 배치된 상기 제2 베리어층(p-GaN)을 포함하되, 상기 GaN층과 상기 AlGaIn층 사이의 계면에는 2차원 전자 가스(2DEG)가 형성되고, 상기 제1 베리어층과 상기 제2 베리어층 사이의 계면에는 2차원 정공 가스(2DHG)가 형성된 것을 포함하되, 상기 GaN층과 상기 AlGaIn층 사이의 계면 중 상기 제1 및 제2 베리어층과 중첩되는 제1 영역에는 2차원 전자 가스(2DEG)가 형성되지 않고, 중첩되지 않는 제2 영역에만 2차원 전자 가스(2DEG)가 형성될 수 있다. 이에 따라, 노멀리 오프(normally-off) 특성을 가질 수 있을 뿐만 아니라, 누설 전류 문제가 현저하게 감소된 고전자 이동도 트랜지스터가 제공될 수 있다.

[0028] 또한, 상기 제1 및 제2 베리어층이 포함하는 마그네슘(Mg)의 농도를 증가시킴으로써 문턱 전압을 향상시킬 수 있고, 상기 제1 베리어층이 초격자(superlattice) 구조를 가짐에 따라 전도도 변조 효율이 향상되어 파워 디바이스에 용이하게 적용될 수 있다.

[0029] 또한, 상기 제2 베리어층이 상기 게이트와 인접하게 배치되고, 상기 제1 베리어층이 상기 AlGaIn층과 인접하게 배치됨에 따라 쇼트키 접촉(Schottky contact)이 가증해질 수 있다.

도면의 간단한 설명

[0030] 도 1은 종래의 basic-HEMT를 설명하기 위한 도면이다.

도 2 내지 도 4는 종래의 p-Gate HEMT를 설명하기 위한 도면이다.

도 5는 본 발명의 제1 실시 예에 따른 고전자 이동도 트랜지스터를 설명하기 위한 도면이다.

도 6 및 도 7은 본 발명의 제1 실시 예에 따른 고전자 이동도 트랜지스터의 동작을 설명하기 위한 도면이다.

도 8은 본 발명의 제1 실시 예에 따른 고전자 이동도 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

도 9는 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터가 포함하는 AlGaIn층에 형성된 리세스 영역을 설명하기 위한 도면이다.

도 10은 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터를 설명하기 위한 도면이다.

도 11 및 도 12는 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터의 리세스 영역을 제조하는 방법을 설명하기 위한 도면이다.

도 13 및 도 14는 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

도 15는 본 발명의 제3 실시 예에 따른 고전자 이동도 트랜지스터가 포함하는 AlGaIn층에 형성된 리세스 영역을 설명하기 위한 도면이다.

도 16은 본 발명의 제3 실시 예에 따른 고전자 이동도 트랜지스터를 설명하기 위한 도면이다.

도 17은 본 발명의 제3 실시 예에 따른 고전자 이동도 트랜지스터의 리세스 영역을 제조하는 방법을 설명하기 위한 도면이다.

도 18은 본 발명의 제3 실시 예에 따른 고전자 이동도 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명할 것이다. 그러나 본 발명의 기술적 사상은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0032] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[0033] 또한, 본 명세서의 다양한 실시 예들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에 제 1 구성요소로 언급된 것이 다른 실시 예에서는 제 2 구성요소로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 또한, 본 명세서에서 '및/또는'은 전후에 나열한 구성요소들 중 적어도 하나를 포함하는 의미로 사용되었다.

[0034] 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함한다. 또한, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 구성요소 또는 이들을 조합한 것들의 존재

또는 부가 가능성을 배제하는 것으로 이해되어서는 안 된다. 또한, 본 명세서에서 "연결"은 복수의 구성 요소를 간접적으로 연결하는 것, 및 직접적으로 연결하는 것을 모두 포함하는 의미로 사용된다.

[0035] 또한, 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다.

[0037] 종래의 고전자 이동도 트랜지스(HEMT)

[0038] 도 1은 종래의 basic-HEMT를 설명하기 위한 도면이고, 도 2 내지 도 4는 종래의 p-Gate HEMT를 설명하기 위한 도면이다.

[0039] 도 1을 참조하면, 종래의 basic-HEMT(High Electron Mobility Transistor)는 기판(100), 버퍼층(200), GaN층(300), AlGaN층(400), 게이트(500), 소스 전극(S), 및 드레인 전극(D)을 포함하고, 상기 GaN층(300)과 상기 AlGaN층(400) 사이 계면에 2차원 전자 가스(10)가 형성된 구조를 갖는다. 이러한 basic-HEMT의 경우 실리콘 기반의 트랜지스터와 비교하여 높은 스위칭 속도와 높은 전자 이동도를 갖는 장점이 있지만, 2차원 전자 가스(10)로 인한 채널의 형성으로 인해 항상 전류가 흐를 수 있는 노멀리 온(normally-on) 특성을 가짐으로 안정성의 문제 및 기존 실리콘 기반 트랜지스터와의 호환성 문제가 발생되었다.

[0040] 이에 따라, HEMT의 장점(높은 스위칭 속도 및 높은 전자 이동도)을 유지하면서도 노멀리 오프(normally-off) 특성을 갖는 p-Gate HEMT가 연구되었다. 보다 구체적으로, 도 2를 참조하면, 종래의 p-Gate HEMT는 종래의 basic-HEMT와 같은 구조를 갖되, 상기 AlGaN층(400)과 상기 게이트(500) 사이에 p형 반도체 물질(예를 들어, p-GaN)을 포함하는 베리어층(600)이 배치될 수 있다. 이에 따라, 상기 GaN층(300)과 상기 AlGaN층(400) 사이의 계면 중 상기 베리어층(600)과 중첩되는 제1 영역(A₁)에는 2차원 전자 가스(10)가 형성되지 않으므로, 노멀리 오프 특성을 가질 수 있다.

[0041] 이러한 p-Gate HEMT는 상기 게이트(500)를 통해 문턱 전압 이상의 전압이 인가됨에 따라, 도 3에 도시된 바와 같이, 상기 제1 영역(A₁)에도 2차원 전자 가스(10)가 형성될 수 있다. 이로 인해, 상기 GaN층(300)과 상기 AlGaN층(400) 사이에 2차원 전자 가스(10)에 의한 채널이 형성됨으로써 p-Gate HEMT가 동작될 수 있다.

[0042] 하지만, p-Gate HEMT의 경우, 일정 전압 이상의 전압이 상기 게이트(500)를 통해 인가되는 경우, 도 4에 도시된 바와 같이, 누설 전류가 상기 게이트(500) 쪽으로 흐르는 문제점이 발생된다. 상기 게이트(500)쪽으로 누설 전류가 흐르게 되는 경우, 상기 게이트(500)가 정상적으로 작동하지 못하거나 소자의 온도를 높일 수 있으므로, 누설 전류의 감소가 중요한 문제로 대두되고 있다. 뿐만 아니라, p-Gate HEMT의 경우 문턱 전압이 낮다는 문제점이 있다.

[0043] 본 발명의 실시 예에 따른 고전자 이동도 트랜지스터는, 노멀리 오프 특성을 갖고, 종래의 p-Gate HEMT에서 발생하는 누설 전류 문제를 감소시킬 수 있을 뿐만 아니라, 문턱 전압을 향상시킬 수 있다. 이하, 본 발명의 실시 예에 따른 고전자 이동도 트랜지스터 및 그 제조 방법이 설명된다.

[0045] 제1 실시 예에 따른 고전자 이동도 트랜지스터(HEMT)

[0046] 도 5는 본 발명의 제1 실시 예에 따른 고전자 이동도 트랜지스터를 설명하기 위한 도면이고, 도 6 및 도 7은 본 발명의 제1 실시 예에 따른 고전자 이동도 트랜지스터의 동작을 설명하기 위한 도면이다.

[0047] 도 5를 참조하면, 본 발명의 제1 실시 예에 따른 고전자 이동도 트랜지스터는, 기판(100), 버퍼층(200), GaN층(300), AlGaN층(400), 게이트(500), 제1 베리어층(610), 제2 베리어층(620), 소스 전극(S), 및 드레인 전극(D)을 포함할 수 있다.

[0048] 일 실시 예에 따르면, 상기 기판(100)은 사파이어(sapphire) 기판을 포함할 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 기판(100)은 실리콘(Si) 기판, 및 실리콘 카바이드(SiC) 기판과 같이 질화 갈륨(GaN)과 격차상수 차이가 크지 않은 기판을 포함할 수 있다. 상기 기판(100)의 종류는 제한되지 않는다.

[0049] 상기 기판(100) 상에 상기 GaN층(300) 및 상기 AlGaN층(400)이 순차적으로 배치될 수 있다. 또한, 상기 GaN층(300)과 상기 기판(100) 사이에는 버퍼층(200)이 배치될 수 있다. 상기 GaN층(300) 및 상기 AlGaN층(400)이 접촉되도록 배치됨에 따라, 상기 GaN층(300)과 상기 AlGaN층(400) 사이의 계면에 2차원 전자 가스(10)가 형성될

수 있다.

- [0050] 상기 AlGaIn층(400) 상에는, 상기 소스 전극(S), 상기 드레인 전극(D), 및 상기 제1 베리어층(610)이 배치될 수 있다. 보다 구체적으로, 상기 소스 전극(S) 및 상기 드레인 전극(D)은 상기 AlGaIn층(400) 상에서 서로 이격되어 배치되고, 상기 제1 베리어층(610)은 상기 AlGaIn층(400) 상에서 상기 소스 전극(S)과 상기 드레인 전극(D) 사이에 배치될 수 있다.
- [0051] 일 실시 예에 따르면, 상기 제1 베리어층(610)은 p형 반도체 물질을 포함할 수 있다. 예를 들어, 상기 제1 베리어층(610)은 p-AlGaIn을 포함할 수 있다. 또한, 상기 제1 베리어층(600)은 마그네슘(Mg)의 도핑에 의해 p형 반도체 특성을 나타낼 수 있다. 일 실시 예에 따르면, 상기 제1 베리어층(610)은 초격자(superlattice) 구조를 가질 수 있다. 이에 따라, 상기 제1 실시 예에 따른 고전자 이동도 트랜지스터의 전도도 변조 효율이 향상될 수 있다. 이로 인해, 상기 제1 실시 예에 따른 고전자 이동도 트랜지스터는 파워 디바이스에 용이하게 적용될 수 있다.
- [0052] 상기 제1 베리어층(610) 상에 제2 베리어층(620)이 배치될 수 있다. 일 실시 예에 따르면, 상기 제2 베리어층(620)은 p형 반도체 물질을 포함할 수 있다. 예를 들어, 상기 제2 베리어층(620)은 p-GaN을 포함할 수 있다. 또한, 상기 제2 베리어층(600)은 마그네슘(Mg)의 도핑에 의해 p형 반도체 특성을 나타낼 수 있다.
- [0053] 상기 제1 베리어층(610) 및 상기 제2 베리어층(620)이 접촉되도록 배치됨에 따라, 상기 제1 베리어층(610) 및 상기 제2 베리어층(620) 사이의 계면에 2차원 정공 가스(2D)가 형성될 수 있다.
- [0054] 일 실시 예에 따르면, 상기 제1 및 제2 베리어층(610, 620)에 도핑되는 마그네슘(Mg)의 농도가 증가함에 따라, 상기 제1 실시 예에 따른 고전자 이동도 트랜지스터의 문턱 전압이 향상될 수 있다. 즉, 상기 제1 및 제2 베리어층(610, 620)이 포함하는 마그네슘(Mg)의 농도가 증가함에 따라, 상기 제1 실시 예에 따른 고전자 이동도 트랜지스터의 문턱 전압이 향상될 수 있다.
- [0055] 상술된 바와 같이, 상기 AlGaIn층(400) 상에 상기 제1 및 제2 베리어층(610, 620)이 배치된 경우, 상기 GaN층(300)과 상기 AlGaIn층(400) 사이의 계면 중 어느 영역에는 2차원 전자 가스(2DEG)가 형성되지 않을 수 있다. 보다 구체적으로, 상기 GaN층(300)과 상기 AlGaIn층(400) 사이의 계면은, 상기 제1 및 제2 베리어층(610, 620)과 중첩되는 제1 영역(A_1) 및 중첩되지 않는 제2 영역(A_2)으로 구분되되, 상기 제1 영역(A_1)에는 2차원 전자 가스(2DEG)가 형성되지 않고 상기 제2 영역(A_2)에만 2차원 전자 가스(2DEG)가 형성될 수 있다. 이에 따라, 상기 제1 실시 예에 따른 고전자 이동도 트랜지스터는 노멀리 오프(normally-off) 특성을 가질 수 있다.
- [0056] 상기 제2 베리어층(620) 상에 상기 게이트(500)가 배치되고, 상기 게이트(500)를 통해 전압이 인가될 수 있다. 상기 게이트(500)를 통해 문턱 전압(Threshold Voltage) 이상의 전압이 인가되는 경우, 도 6에 도시된 바와 같이, 상기 GaN층(300)과 상기 AlGaIn층(400) 사이 계면의 상기 제1 영역(A_1)에도 2차원 전자 가스(2DEG)가 형성될 수 있다. 이에 따라, 상기 GaN층(300)과 상기 AlGaIn층(400) 사이의 계면에 2차원 전자 가스(2DEG)에 의한 채널이 형성됨으로써, 상기 제1 실시 예에 따른 고전자 이동도 트랜지스터가 동작될 수 있다.
- [0057] 상술된 바와 같이, 상기 제1 베리어층(610)과 상기 제2 베리어층(620) 사이의 계면에 2차원 정공 가스(2D)가 형성되는 경우, 누설 전류가 상기 게이트(500)쪽으로 흐르는 문제점이 감소될 수 있다. 보다 구체적으로, 도 7에 도시된 바와 같이, 누설 전류가 상기 게이트(500)쪽으로 흐르는 경우, 2차원 정공 가스(2D)에서 정공과 전자의 재결합이 발생됨으로 전자가 상기 게이트(500)쪽으로 흐르는 문제점이 방지될 수 있다. 이로 인해, 종래의 p-Gate HEMT에서 발생하는 누설 전류 문제가 현저하게 감소될 수 있다.
- [0058] 또한, 상기 제2 베리어층(620)이 상기 게이트(500)와 인접하도록 배치되고, 상기 제1 베리어층(610)이 상기 AlGaIn층(400)과 인접하도록 배치됨에 따라, 쇼트키 접촉(Schottky contact)이 가능해질 수 있다. 이와 달리, 상기 제1 베리어층(610)이 상기 게이트(500)와 인접하도록 배치되고, 상기 제2 베리어층(620)이 상기 AlGaIn층(400)과 인접하도록 배치되는 경우, 쇼트키 접촉(Schottky contact)이 구현되기 어려워질 수 있다.
- [0059] 결과적으로, 본 발명의 제1 실시 예에 따른 고전자 이동도 트랜지스터는 상기 기판(100) 상에 배치된 상기 GaN층(300), 상기 GaN층(300) 상에 배치된 상기 AlGaIn층(400), 상기 AlGaIn층(400) 상에 배치된 상기 제1 베리어층(610, p-AlGaIn), 및 상기 제1 베리어층(610) 상에 배치된 상기 제2 베리어층(620, p-GaN)을 포함하되, 상기 GaN층(300)과 상기 AlGaIn층(400) 사이의 계면에는 2차원 전자 가스(2DEG)가 형성되고, 상기 제1 베리어층(610)과 상기 제2 베리어층(620) 사이의 계면에는 2차원 정공 가스(2DHG)가 형성된 것을 포함하되, 상기 GaN층(300)과 상기 AlGaIn층(400) 사이의 계면 중 상기 제1 및 제2 베리어층(610, 620)과 중첩되는 제1 영역(A_1)에는 2차원

전자 가스(2DEG)가 형성되지 않고, 중첩되지 않는 제2 영역(A_2)에만 2차원 전자 가스(2DEG)가 형성될 수 있다. 이에 따라, 노멀리 오프(normally-off) 특성을 가질 수 있을 뿐만 아니라, 누설 전류 문제가 현저하게 감소된 고전자 이동도 트랜지스터가 제공될 수 있다.

[0060] 또한, 상기 제1 및 제2 베리어층(610, 620)이 포함하는 마그네슘(Mg)의 농도를 증가시킴으로써 문턱 전압을 향상시킬 수 있고, 상기 제1 베리어층(610)이 초격자(superlattice) 구조를 가짐에 따라 전도도 변조 효율이 향상되어 파워 디바이스에 용이하게 적용될 수 있다.

[0061] 또한, 상기 제2 베리어층(620)이 상기 게이트(500)와 인접하게 배치되고, 상기 제1 베리어층(610)이 상기 AlGaIn층(400)과 인접하게 배치됨에 따라 쇼트키 접촉(Schottky contact)이 가증해질 수 있다.

[0062] 도 8은 본 발명의 제1 실시 예에 따른 고전자 이동도 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[0063] 도 8을 참조하면, 본 발명의 제1 실시 예에 따른 고전자 이동도 트랜지스터의 제조 방법은, 상기 기판(100) 상에 상기 버퍼층(200)을 형성하는 단계(S110), 상기 버퍼층(200) 상에 상기 GaN층(300) 및 상기 AlGaIn층(400)을 순차적으로 형성하는 단계(S120), 상기 AlGaIn층(400) 상에 제1 베리어층(610) 및 제2 베리어층(620)을 순차적으로 형성하는 단계(S130), 상기 제1 및 제2 베리어층(610, 620)을 식각하는 단계(S140), 및 상기 AlGaIn층(400) 상에 소스 전극(S) 및 드레인 전극(D)을 형성하고 상기 제2 베리어층(620) 상에 상기 게이트(500)를 형성하는 단계(S150)를 포함할 수 있다.

[0064] 일 실시 예에 따르면, 상기 S110 단계, 상기 S120 단계 및 S130 단계에서, 상기 버퍼층(200), 상기 GaN층(300), 상기 AlGaIn층(400), 상기 제1 베리어층(610), 및 상기 제2 베리어층(620)은 MOCVD(Metal Organic Chemical Vapor Deposition) 방법으로 형성될 수 있다. 또한, 상기 S150 단계에서의 상기 소스 전극(S), 드레인 전극(D), 및 게이트(500)도 MOCVD 방법으로 형성될 수 있다. 일 실시 예에 따르면, 상기 S140 단계에서 상기 제1 및 제2 베리어층(610, 620)은 ICP-RIE(Inductively Coupled Plasma-Reactive Ion Etching) 방법으로 식각될 수 있다.

[0066] 제2 실시 예에 따른 고전자 이동도 트랜지스터(HEMT)

[0067] 도 9는 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터가 포함하는 AlGaIn층에 형성된 리세스 영역을 설명하기 위한 도면이고, 도 10은 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터를 설명하기 위한 도면이다.

[0068] 도 9 및 도 10을 참조하면, 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터는, 도 5 내지 도 7을 참조하여 설명된 제1 실시 예에 따른 고전자 이동도 트랜지스터와 같되, 상기 AlGaIn층(400)이 리세스(recess) 영역(RA)을 포함할 수 있다. 보다 구체적으로, 상기 리세스 영역(RA)은 상기 AlGaIn층(400) 상부면의 일 영역이 함몰되어 형성될 수 있다. 또한, 상기 제1 및 제2 베리어층(610, 620)이 상기 AlGaIn층(400) 상에 배치되되, 상기 리세스 영역(RA) 상에 배치될 수 있다.

[0069] 상기 제2 실시 예에 따른 고전자 이동도 트랜지스터와 같이 상기 리세스 영역(RA) 상에 상기 제1 및 제2 베리어층(610, 620)이 배치되는 경우, 상기 AlGaIn층(400)의 두께가 상대적으로 감소될 수 있다. 이에 따라, 상기 제2 실시 예에 따른 고전자 이동도 트랜지스터는 상기 제1 실시 예에 따른 고전자 이동도 트랜지스터와 비교하여 문턱 전압이 향상될 수 있다.

[0070] 도 11 및 도 12는 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터의 리세스 영역을 제조하는 방법을 설명하기 위한 도면이고, 도 13 및 도 14는 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[0071] 도 11을 참조하면, 상기 리세스 영역(RA)을 형성하는 단계는 상기 기판(100), 상기 기판 상에 형성된 버퍼층(200), 상기 버퍼층(200) 상에 형성된 GaN층(300), 및 상기 GaN층(300) 상에 형성된 AlGaIn층(400)을 포함하는 적층 구조체를 준비한 후 상기 AlGaIn층(400) 상에 포토레지스트 패턴(PR)을 형성하는 단계(S211), 상기 AlGaIn층(400)의 노출된 영역에 패시베이션층(PL)을 형성하는 단계(S212), 상기 AlGaIn층(400) 상에 상기 패시베이션층(PL)은 잔존시키고 상기 포토레지스트 패턴(PR)은 제거하는 단계(S213), 및 상기 포토레지스트 패턴(PR)이 제거됨에 따라 상기 AlGaIn층(400)이 노출된 영역을 식각하는 단계(S214)를 포함할 수 있다.

[0072] 일 실시 예에 따르면, 상기 S212 단계에서 상기 패시베이션층(PL)으로서 실리콘 산화물(SiO_2), 실리콘 질화물

(Si_3N_4), 티타늄(Ti), 티타늄 질화물(TiN) 등의 물질들이 사용될 수 있다. 또한, 상기 패시베이션층(PL)은 PECVD(Plasma Enhanced Chemical Vapor Deposition), 스퍼터(sputter) 등의 방법으로 형성될 수 있다.

[0073] 이와 달리, 도 12를 참조하면, 상기 리세스 영역(RA)을 형성하는 단계는 상기 기판(100), 상기 기판 상에 형성된 버퍼층(200), 상기 버퍼층(200) 상에 형성된 GaN층(300), 및 상기 GaN층(300) 상에 형성된 AlGaN층(400)을 포함하는 적층 구조체를 준비한 후 상기 AlGaN층(400) 상에 패시베이션층(PL)을 형성하는 단계(S211), 상기 패시베이션층(PL) 상에 포토레지스트 패턴(PR)을 형성하는 단계(S212), 노출된 상기 AlGaN층(400)을 식각하는 단계(S213), 및 상기 포토레지스트 패턴(PR)을 제거하는 단계(S214)를 포함할 수 있다.

[0074] 도 13을 참조하면, 상기 기판(100), 상기 기판 상에 형성된 버퍼층(200), 상기 버퍼층(200) 상에 형성된 GaN층(300), 및 상기 GaN층(300) 상에 형성된 AlGaN층(400), 및 상기 AlGaN층(400) 상에 형성된 제1 패시베이션층(PL_1) 포함하고 상기 AlGaN층(400)에 리세스 영역(RA)이 형성되며, 상기 제1 패시베이션층(PL_1)에는 상기 리세스 영역(RA)과 연통하는 홀이 형성되어 상기 리세스 영역(RA)이 외부에 노출되는 구조체가 준비될 수 있다(S221). 일 실시 예에 따르면, 상기 S221 단계에서 준비되는 구조체는 도 11을 참조하여 설명된 방법으로 제조된 구조체일 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 S221 단계에서 준비되는 구조체는 도 12를 참조하여 설명된 방법으로 제조된 구조체일 수 있다.

[0075] 상기 리세스 영역(RA) 내에 제1 베리어층(610) 및 제2 베리어층(620)을 순차적으로 형성한 후(S222), 상기 제2 베리어층(620) 및 상기 제1 패시베이션층(PL_1)을 덮는 제2 패시베이션층(PL_2)이 형성되고(S223), 상기 제2 패시베이션층(PL_2) 상에 제1 포토레지스트 패턴(PR_1)이 형성될 수 있다(S224).

[0076] 상기 제1 포토레지스트 패턴(PR_1)을 마스크로 사용하여 상기 제2 패시베이션층(PL_2) 및 상기 제2 패시베이션층(PL_1)의 측벽을 제거하여, 상기 AlGaN층(400)의 일부를 노출시킬 수 있다(S225). 노출된 상기 AlGaN층(400) 상에는 소스 전극(S) 및 드레인 전극(D)이 형성될 수 있다(S226).

[0077] 도 14를 참조하면, 상기 제1 포토레지스트 패턴(PR_1)이 제거되고(S227), 상기 소스 전극(S) 및 드레인 전극(D) 상에 제3 패시베이션층(PL_3)이 형성될 수 있다(S228).

[0078] 상기 제3 패시베이션층(PL_3) 및 상기 제2 패시베이션층(PL_2)의 일부를 덮는 제2 포토레지스트 패턴(PR_2)이 형성되고(S229), 상기 제2 포토레지스트 패턴(PR_2)을 마스크로 하여 노출된 상기 제2 패시베이션층(PL_2)이 식각될 수 있다. 이에 따라, 상기 제2 베리어층(620)이 외부에 노출될 수 있다(S230).

[0079] 노출된 상기 제2 베리어층(620) 상에 게이트(500)가 형성될 수 있다(S231), 이후, 상기 AlGaN층(400)상에 잔존된 상기 제2 포토레지스트 패턴(PR_2), 제1 내지 제3 패시베이션층(PL_1 , PL_2 , PL_3)이 제거될 수 있다(S232). 이에 따라, 본 발명의 제2 실시 예에 따른 고전자 이동도 트랜지스터가 제조될 수 있다.

[0081] 제3 실시 예에 따른 고전자 이동도 트랜지스터(HEMT)

[0082] 도 15는 본 발명의 제3 실시 예에 따른 고전자 이동도 트랜지스터가 포함하는 AlGaN층에 형성된 리세스 영역을 설명하기 위한 도면이고, 도 16은 본 발명의 제3 실시 예에 따른 고전자 이동도 트랜지스터를 설명하기 위한 도면이다.

[0083] 도 15 및 도 16을 참조하면, 본 발명의 제3 실시 예에 따른 고전자 이동도 트랜지스터는, 기판(100), 상기 기판(100) 상에 배치된 버퍼층(200), 상기 버퍼층 상에 배치된 제1 GaN층(310), 상기 제1 GaN층(310) 상에 배치되고 상기 제1 GaN층을 노출하는 리세스 영역(RA)이 형성된 제1 AlGaN층(410), 상기 제1 GaN층(310) 상에, 그리고 상기 리세스 영역(RA) 내에 배치된 제2 GaN층(320), 상기 제2 GaN층(320) 상에, 그리고 상기 리세스 영역(RA) 내에 배치된 제2 AlGaN층(420), 상기 제2 AlGaN층(420) 상에, 그리고 상기 리세스 영역(RA) 외부에 배치된 베리어층(600), 상기 베리어층(600) 상에 배치된 게이트(500), 상기 제1 AlGaN층(410) 상에 배치된 소스 전극(S) 및 드레인 전극(D)을 포함할 수 있다.

[0084] 상기 제3 실시 예에 따른 고전자 이동도 트랜지스터는, 상기 제1 GaN층(310)과 상기 제1 AlGaN층(410) 사이의 계면에 제1 2차원 전자 가스(11)가 형성되고, 상기 제2 GaN층(320)과 상기 제2 AlGaN층(420) 사이의 계면에 제2

2차원 전자 가스(12)가 형성될 수 있다.

- [0085] 일 실시 예에 따르면, 상기 제2 GaN층(320)의 측면은 m-plane으로 성장될 수 있다. 이에 따라, 상기 제2 GaN층(320)의 측면은 극성을 나타내지 않을 수 있다. 이로 인해, 상기 제2 GaN층(320)의 측면과 상기 제1 AlGaIn층(410) 사이의 계면에는 2차원 전자 가스가 형성되지 않을 수 있다.
- [0086] 상기 제3 실시 예에 따른 고전자 이동도 트랜지스터는 상기 게이트(500)를 통해 문턱 전압 이상의 전압이 인가되는 경우, 상기 제2 2차원 전자 가스(12)의 영역이 증가하여 상기 제1 2차원 전자 가스(11)와 연결될 수 있다. 이에 따라, 상기 제1 및 제2 2차원 전자 가스(11, 12)에 의한 채널이 형성되어, 상기 제3 실시 예에 따른 고전자 이동도 트랜지스터가 동작될 수 있다.
- [0087] 또한, 상기 제3 실시 예에 따른 고전자 이동도 트랜지스터는 상기 제2 GaN층(320)의 두께를 제어함에 따라, 상기 게이트(500)의 문턱 전압을 제어할 수 있다.
- [0088] 또한, 상기 제2 GaN층(320)은 호모-에피택셜(homo-epitaxial) 성장 방법으로 형성될 수 있다. 이에 따라, 종래의 p-Gate 및 리세스(recess) 관련 기술과 비교하여 공정 과정이 간소화될 수 있다. 뿐만 아니라, 상기 베리어층(예를 들어, AlN층) 또한 인-시츄(in-situ) 성장 가능한 장점이 있다.
- [0089] 도 17은 본 발명의 제3 실시 예에 따른 고전자 이동도 트랜지스터의 리세스 영역을 제조하는 방법을 설명하기 위한 도면이고, 도 18은 본 발명의 제3 실시 예에 따른 고전자 이동도 트랜지스터의 제조 방법을 설명하기 위한 도면이다.
- [0090] 도 17을 참조하면, 상기 리세스 영역(RA)을 형성하는 단계는 상기 기판(100), 상기 기판 상에 형성된 버퍼층(200), 상기 버퍼층(200) 상에 형성된 제1 GaN층(310), 및 상기 제1 GaN층(310) 상에 형성된 제1 AlGaIn층(410)을 포함하는 적층 구조체를 준비하는 단계(S311), 상기 제1 AlGaIn층(410) 상에 포토레지스트 패턴(PR)을 형성하는 단계(S312), 상기 제1 AlGaIn층(410)의 노출된 영역에 패시베이션층(PL)을 형성하는 단계(S313), 상기 제1 AlGaIn층(410) 상에 상기 패시베이션층(PL)을 잔존시키고 상기 포토레지스트 패턴(PR)을 제거하는 단계(S314), 상기 포토레지스트 패턴(PR)이 제거됨에 따라 상기 제1 AlGaIn층(410)이 노출된 영역을 식각하는 단계(S315), 및 상기 패시베이션층(PL)을 제거하는 단계(S316)를 포함할 수 있다.
- [0091] 도 18을 참조하면, 기판(100), 상기 기판 상에 형성된 버퍼층(200), 상기 버퍼층(200) 상에 형성된 제1 GaN층(310), 및 상기 제1 GaN층(310) 상에 형성된 제1 AlGaIn층(410)을 포함하되, 상기 제1 AlGaIn층(410)에는 상기 제1 GaN층(310)을 노출하는 리세스 영역(RA)이 형성된 구조체가 준비될 수 있다(S310). 일 실시 예에 따르면, 상기 S310 단계에서 준비되는 구조체는, 도 17을 참조하여 설명된 방법으로 준비될 수 있다.
- [0092] 상기 제1 AlGaIn층(410) 상에 패시베이션층(PL)이 형성된 후(S320), 상기 리세스 영역(RA) 내에 제2 GaN층(320) 및 제2 AlGaIn층(420)이 순차적으로 형성될 수 있다(S330).
- [0093] 이후, 상기 제2 AlGaIn층(420) 상에 베리어층(600)이 형성되고(S340), 상기 베리어층(600) 상에 게이트(500)가 형성될 수 있다(S350). 최종적으로, 상기 베리어층(600)을 둘러싸고 있던 패시베이션층(PL)을 제거함으로써(S360) 상기 제3 실시 예에 따른 고전자 이동도 트랜지스터가 제조될 수 있다.
- [0095] 이상, 본 발명을 바람직한 실시 예를 사용하여 상세히 설명하였으나, 본 발명의 범위는 특정 실시 예에 한정되는 것은 아니며, 첨부된 특허청구범위에 의하여 해석되어야 할 것이다. 또한, 이 기술분야에서 통상의 지식을 습득한 자라면, 본 발명의 범위에서 벗어나지 않으면서도 많은 수정과 변형이 가능함을 이해하여야 할 것이다.

부호의 설명

- [0096] 100: 기판
200: 버퍼층
300: GaN층
310, 320: 제1 및 제2 GaN층
400: AlGaIn층
410, 420: 제1 및 제2 AlGaIn층

500: 게이트

600: 베리어층

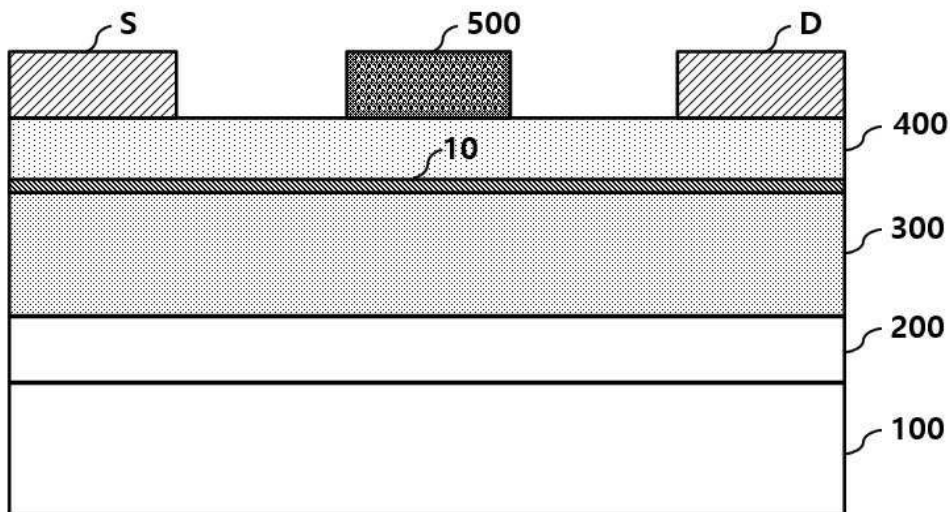
610, 620: 제1 베리어층, 제2 베리어층

S: 소스 전극

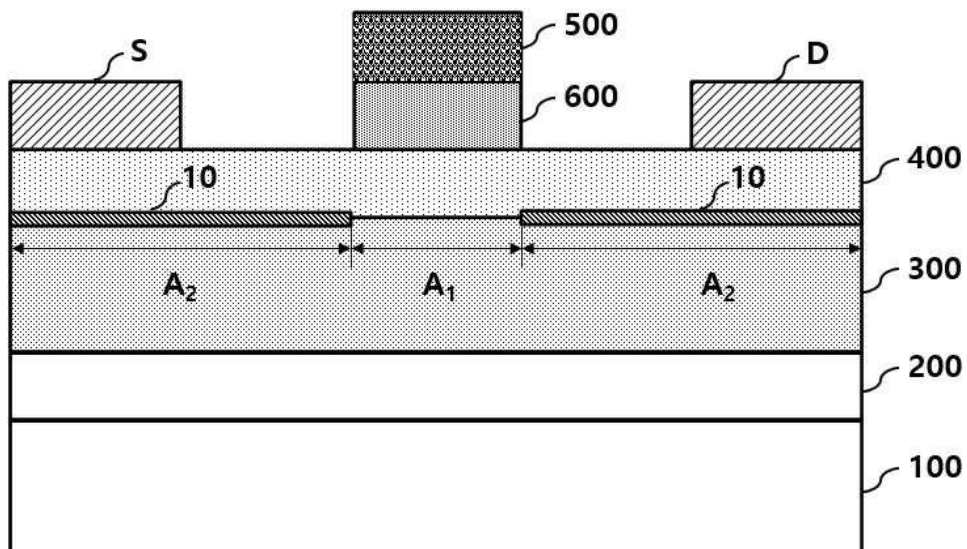
D: 드레인 전극

도면

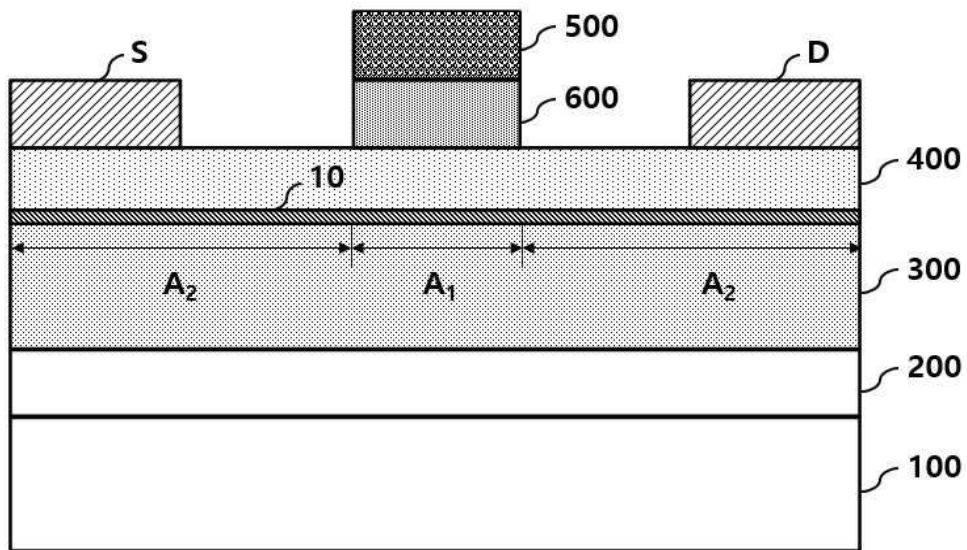
도면1



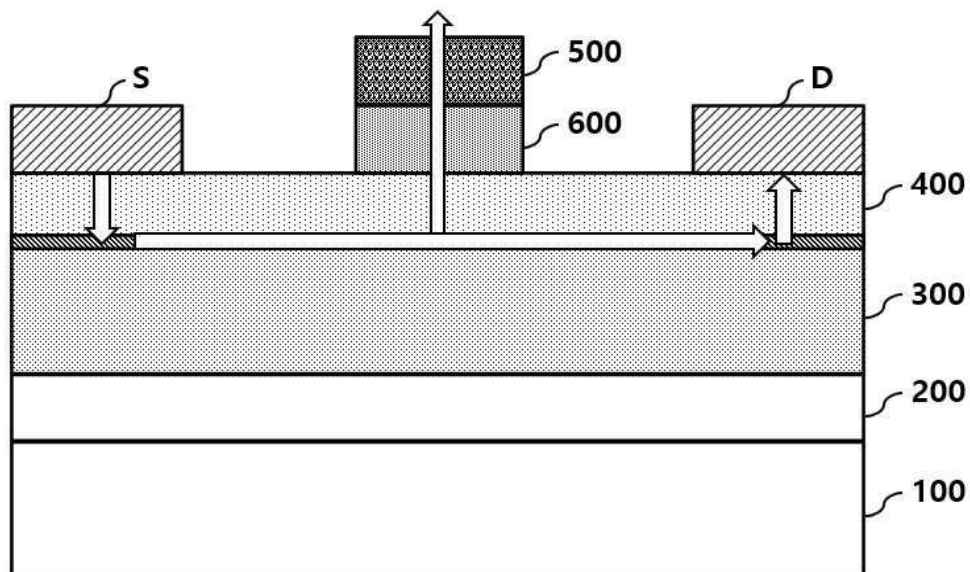
도면2



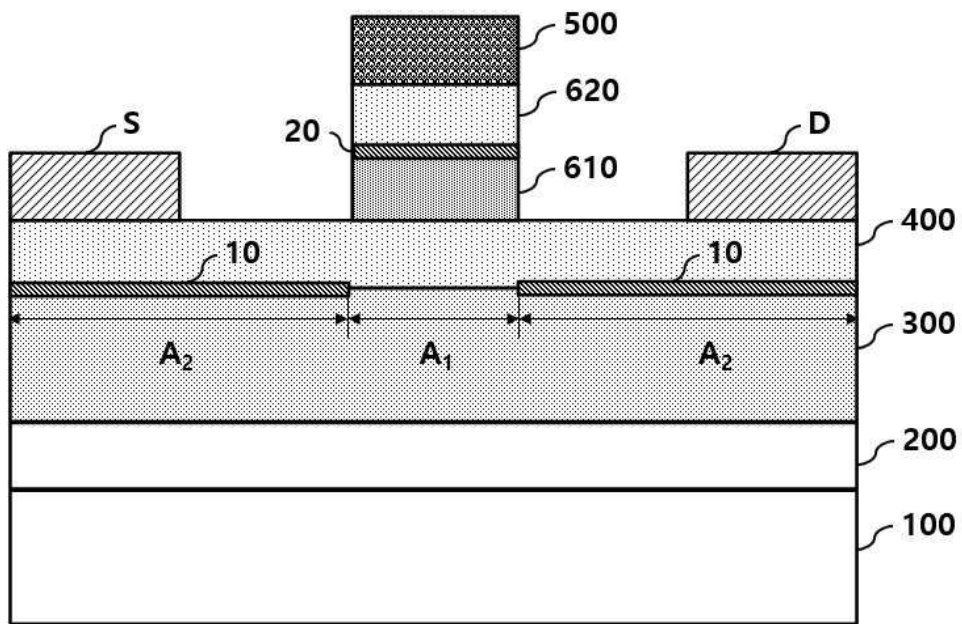
도면3



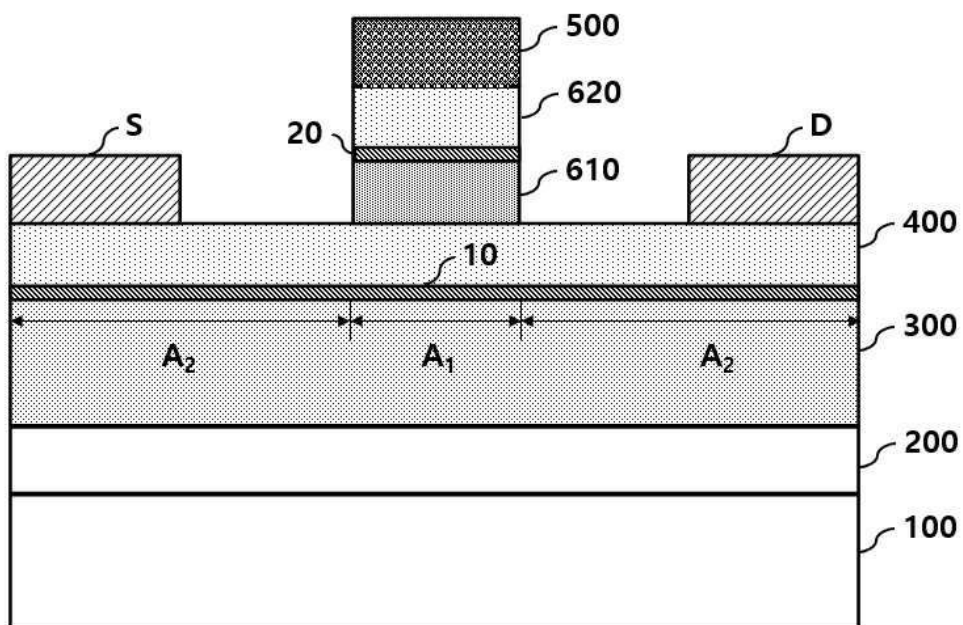
도면4



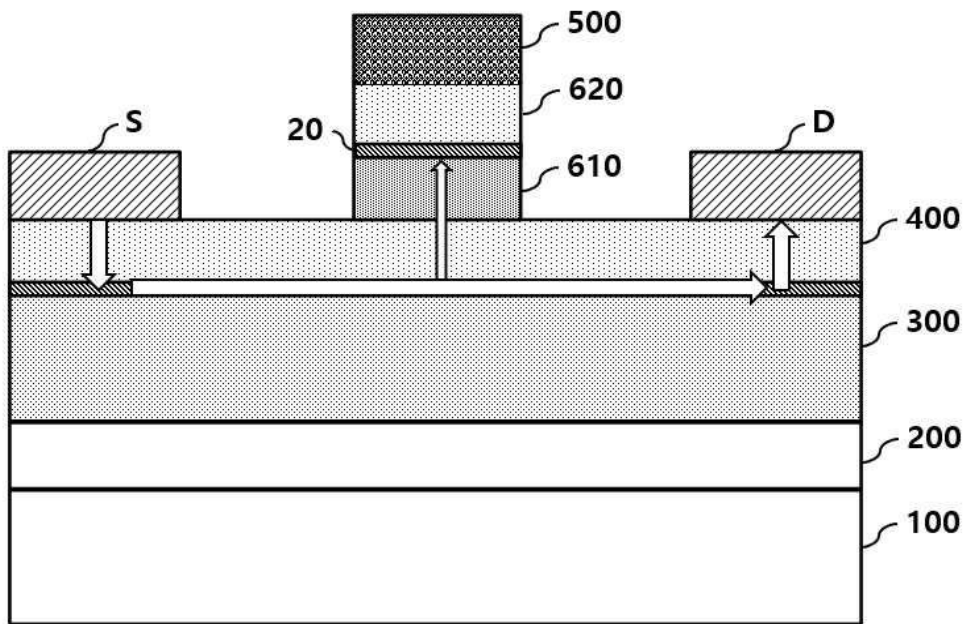
도면5



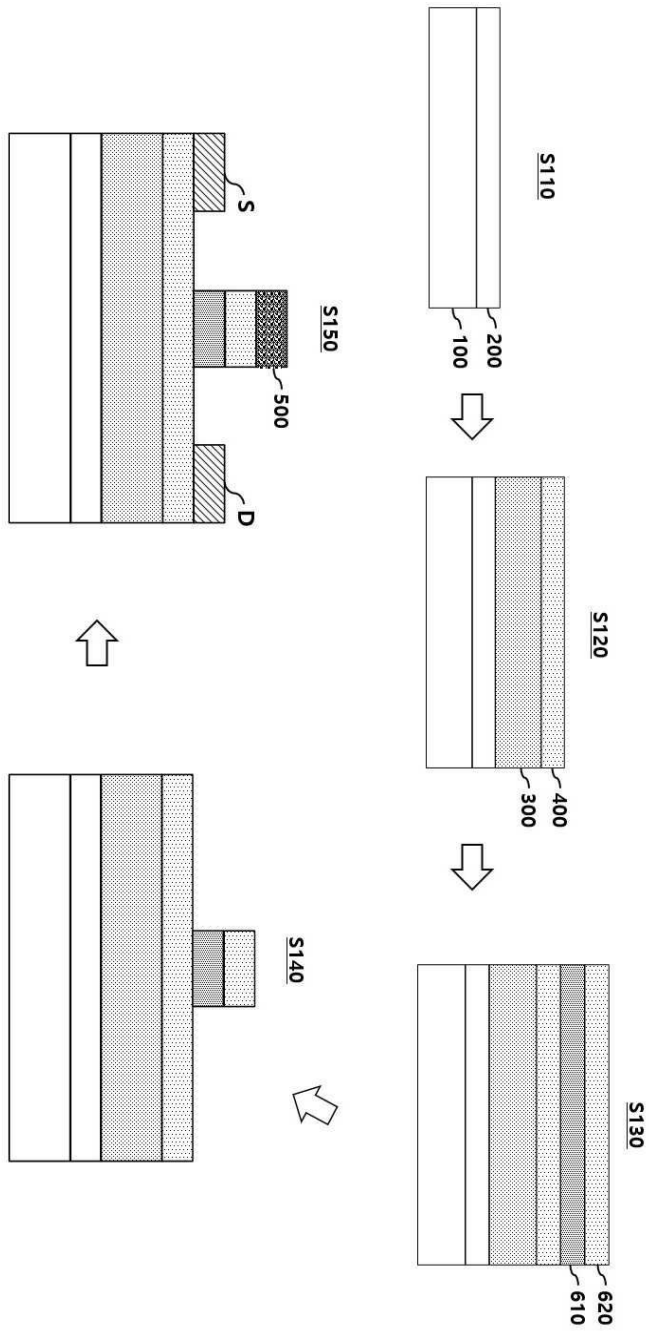
도면6



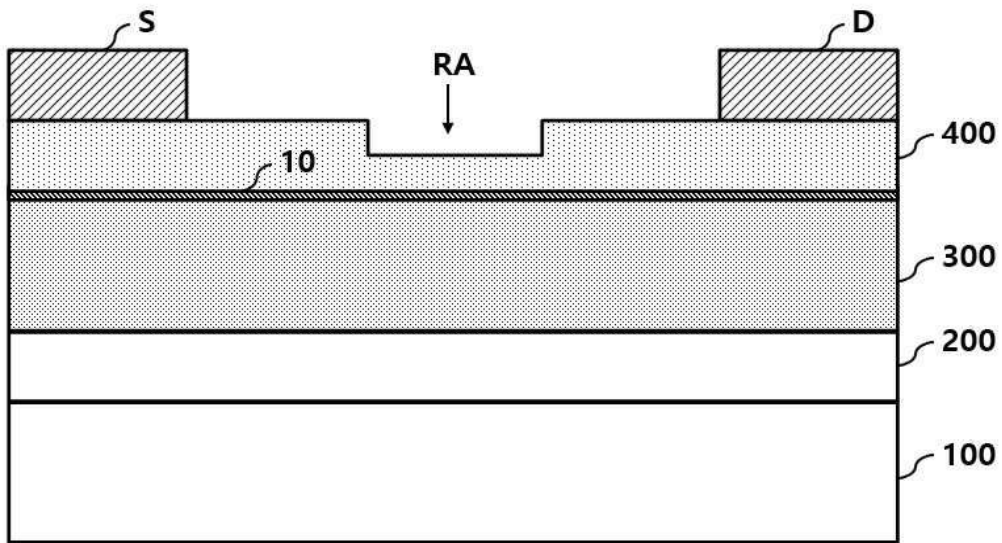
도면7



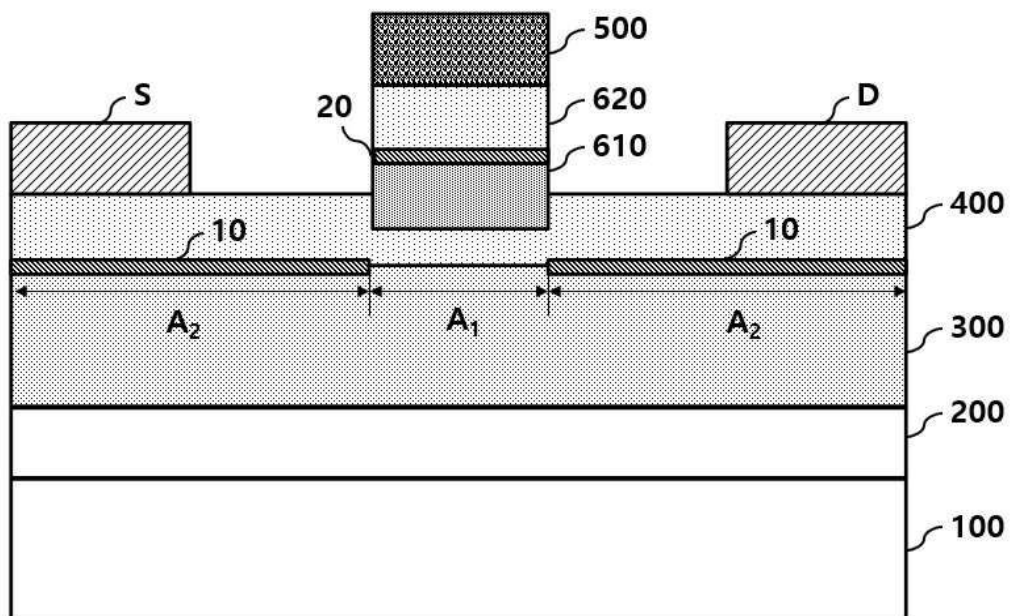
도면8



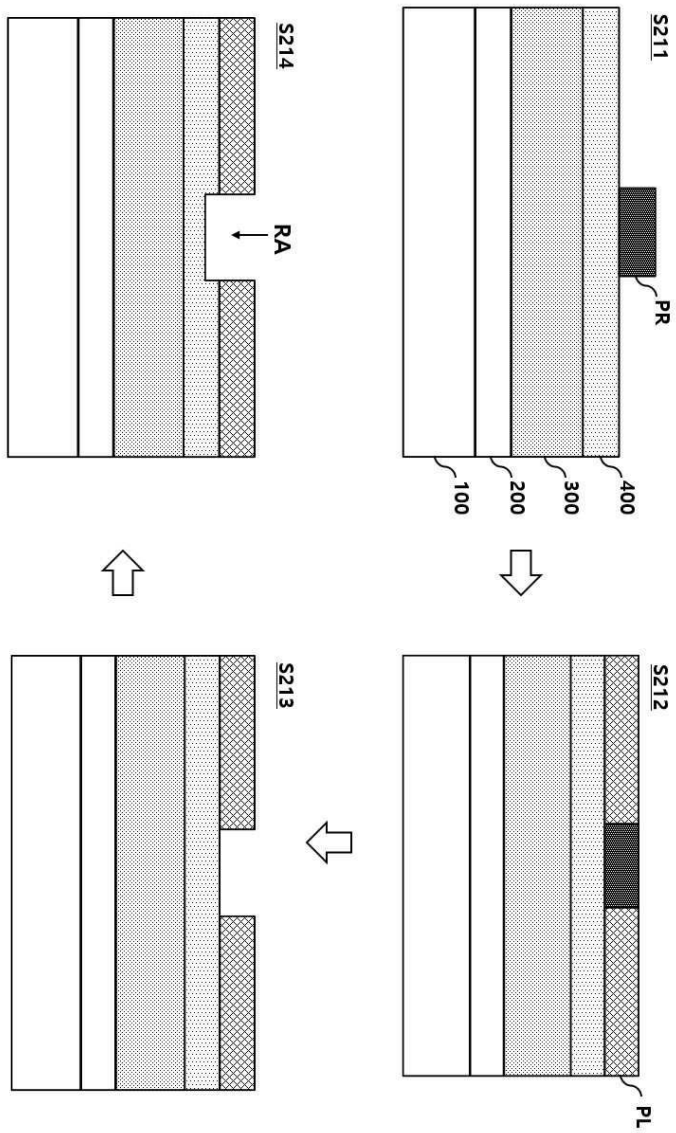
도면9



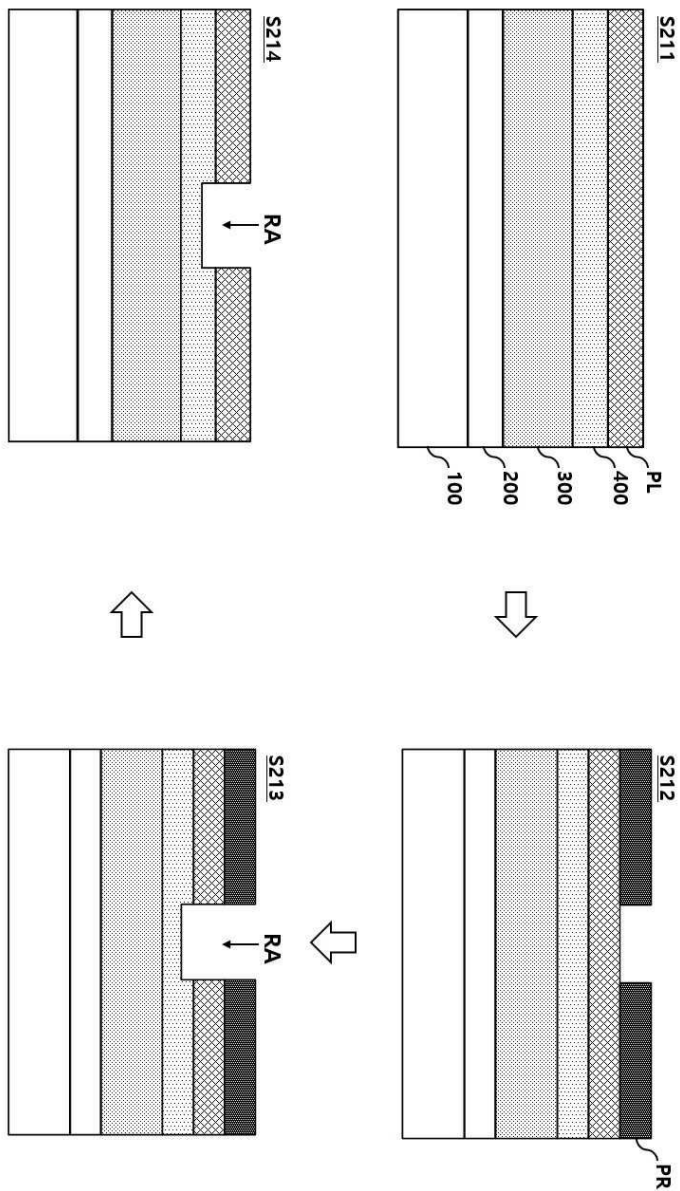
도면10



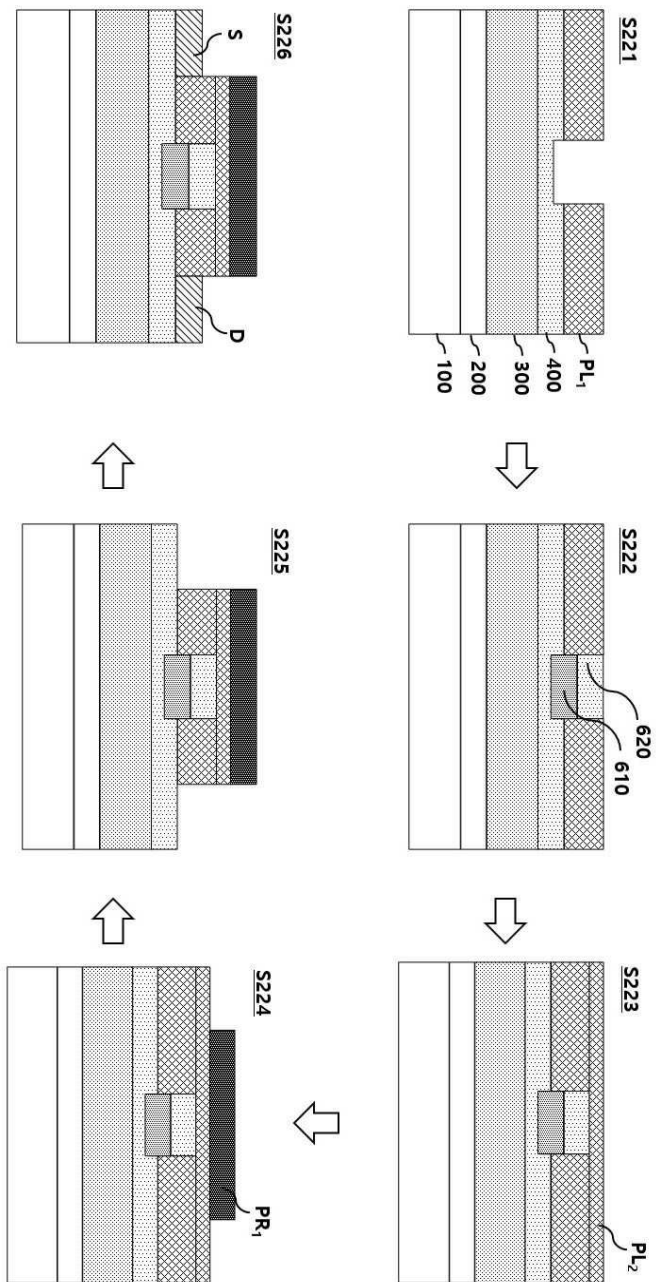
도면11



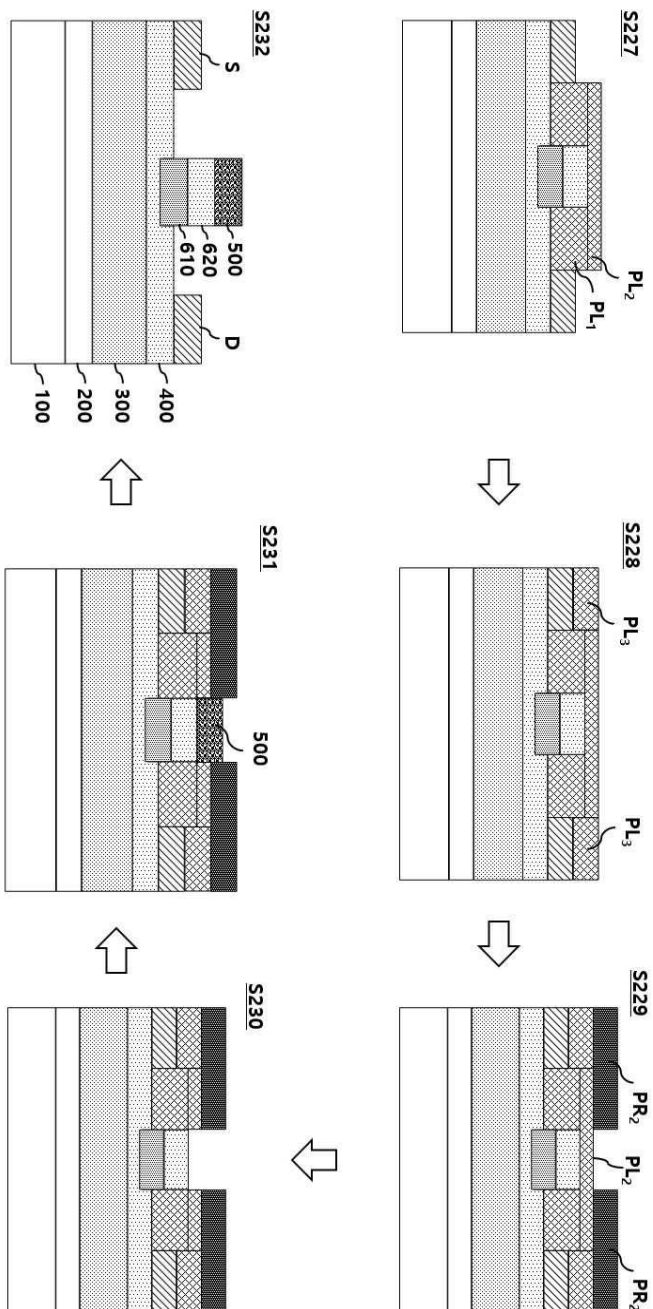
도면12



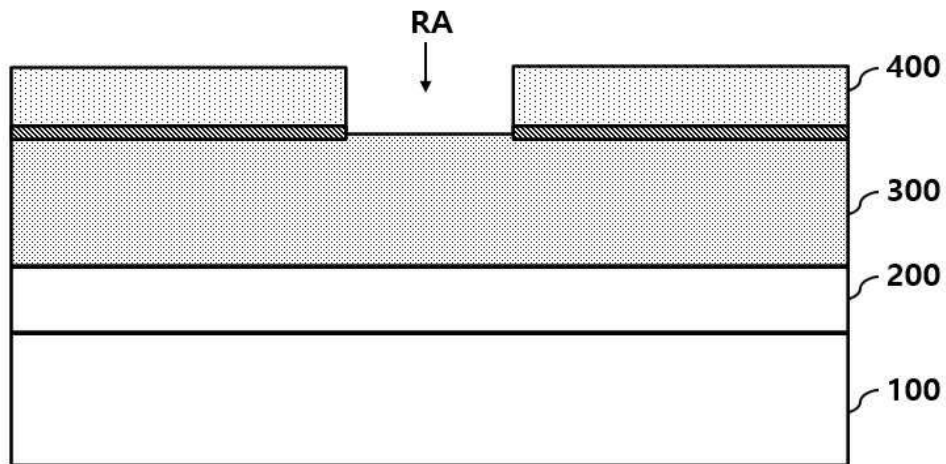
도면13



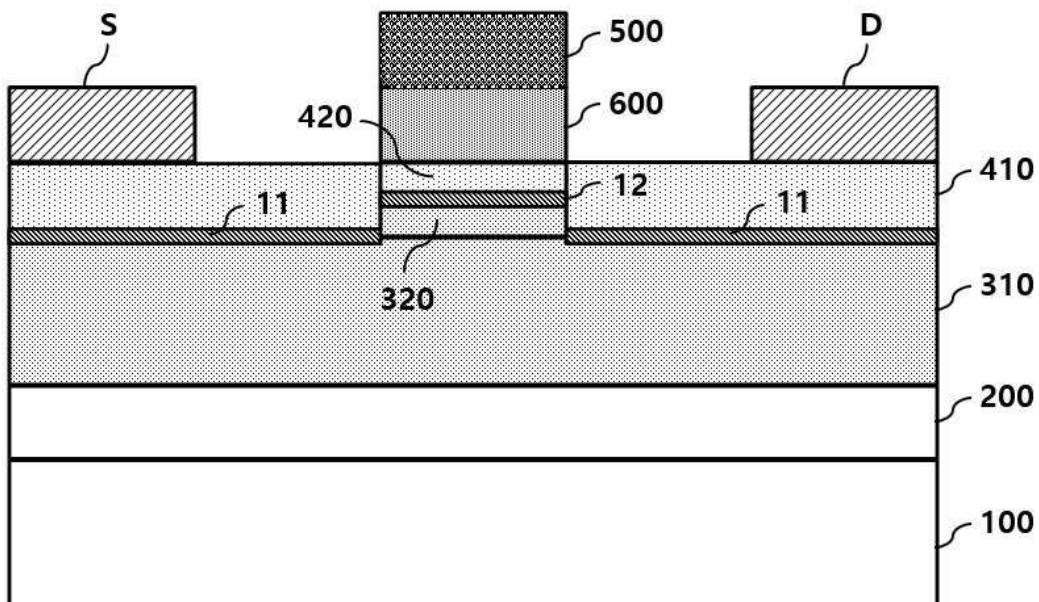
도면14



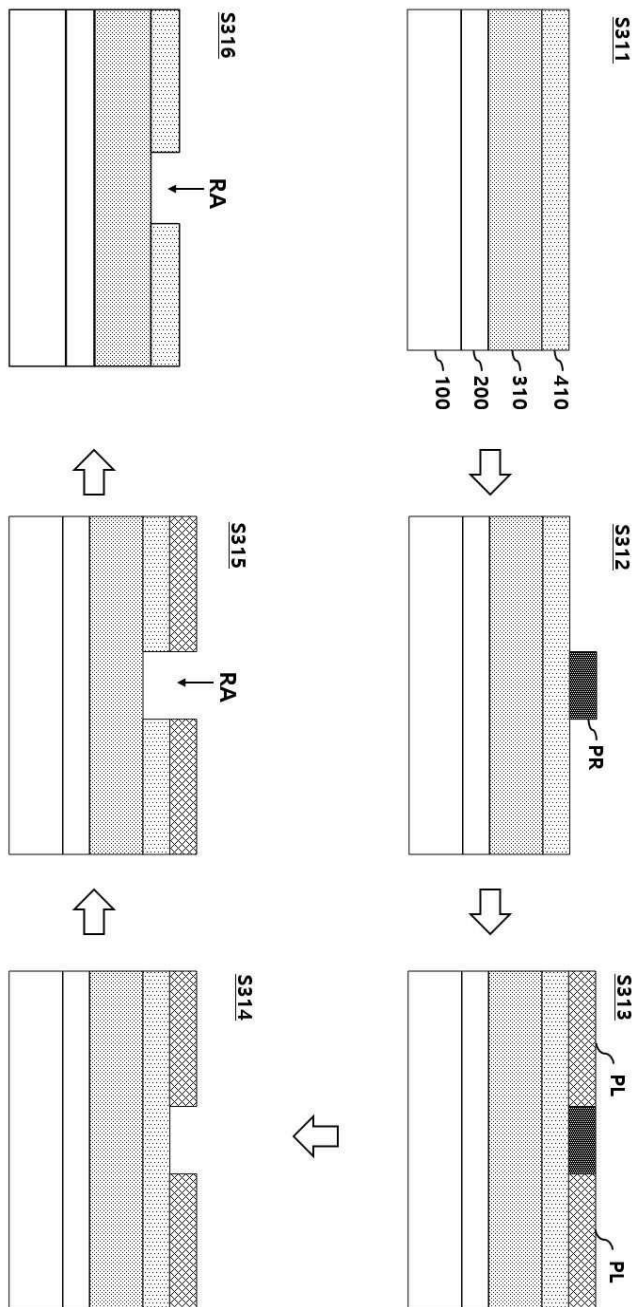
도면15



도면16



도면17



도면18

