

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4880894号  
(P4880894)

(45) 発行日 平成24年2月22日(2012.2.22)

(24) 登録日 平成23年12月9日(2011.12.9)

(51) Int.Cl. F I  
 HO 1 L 27/105 (2006.01) HO 1 L 27/10 4 4 8  
 HO 1 L 45/00 (2006.01) HO 1 L 45/00 Z

請求項の数 13 (全 18 頁)

(21) 出願番号	特願2004-333130 (P2004-333130)	(73) 特許権者	000005049
(22) 出願日	平成16年11月17日(2004.11.17)		シャープ株式会社
(65) 公開番号	特開2006-147694 (P2006-147694A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成18年6月8日(2006.6.8)	(74) 代理人	100114476
審査請求日	平成17年12月6日(2005.12.6)		弁理士 政木 良文
		(72) 発明者	大西 哲也
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	新村 尚之
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	山崎 信夫
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置の構造及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

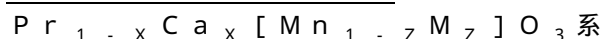
同方向に延伸する複数の上部電極と、前記上部電極の延伸方向と直交する方向に延伸する複数の下部電極とを備え、前記上部電極と前記下部電極との間の層にデータを蓄積するための記憶材料体を形成してなるクロスポイント構造の半導体記憶装置であって、

前記記憶材料体が、電気信号にตอบสนองして抵抗率が変化するペロブスカイト材料からなり、且つ、前記上部電極夫々の前記下部電極側に、前記上部電極に沿って延伸するように形成され、

互いに直交して延伸する前記上部電極と前記下部電極とが交差するクロスポイント領域にわたって、前記記憶材料体と上部電極の接合面、及び、前記記憶材料体と前記下部電極の接合面が、夫々平面であり、

前記ペロブスカイト材料が、Pr、Ca、La、Sr、Gd、Nd、Bi、Ba、Y、Ce、Pb、Sm、Dyの内から選択された少なくとも1種の元素と、Ta、Ti、Cu、Mn、Cr、Co、Fe、Ni、Gaの内から選択された少なくとも1種の元素とを含んで構成される酸化物であり、

前記ペロブスカイト材料が、

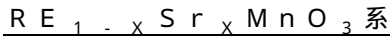


(但し、MはCr、Co、Fe、Ni、Gaの中から選択される何れかの元素)、

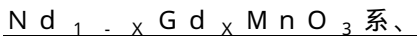
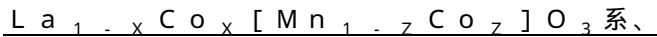


(但し、AEはCa、Sr、Pb、Baの中から選択される何れかの2価のアルカリ土類

金属)、



(但し、REはSm、La、Pr、Nd、Gd、Dyの中から選択される何れかの3価の希土類元素)、



の内の何れか1つの一般式( $0 < X < 1$ 、 $0 < Z < 1$ )で表される系の酸化物であることを特徴とするクロスポイント構造の半導体記憶装置。

【請求項2】

前記下部電極の下部電極材料が、白金族金属の貴金属単体、該貴金属をベースとした合金、Ir、Ru、Re、Osの中から選択される酸化物導電体、及び、SRO( $SrRuO_3$ )、LSCO( $(LaSr)CoO_3$ )、YBCO( $YBa_2Cu_3O_7$ )の中から選択される酸化物導電体の内の少なくとも1種類を含んでいることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記上部電極の上部電極材料が、白金族金属の貴金属、Ag、Al、Cu、Ni、Ti、Taの中から選択される金属単体またはその合金、Ir、Ru、Re、Osの中から選択される酸化物導電体、及び、SRO( $SrRuO_3$ )、LSCO( $(LaSr)CoO_3$ )、YBCO( $YBa_2Cu_3O_7$ )の中から選択される酸化物導電体の内の少なくとも1種類を含んでいることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項4】

製造プロセス上の最小加工寸法をFとすると、メモリセルのセル面積が $4F^2$ であることを特徴とする請求項1乃至3の何れか1項に記載の半導体記憶装置。

【請求項5】

同方向に延伸する複数の上部電極と前記上部電極の延伸方向と直交する方向に延伸する複数の下部電極とを備え、前記上部電極と前記下部電極との間の層にデータを蓄積するための記憶材料体を形成してなるクロスポイント構造の半導体記憶装置の製造方法であって、

半導体基板上に、前記下部電極の下部電極材料と、前記下部電極材料の表面を保護する表面保護膜とを順に堆積する第1工程と、

前記下部電極材料と前記表面保護膜とを下部電極マスクパターンを用いて加工し、前記下部電極を形成する第2工程と、

前記下部電極及び前記表面保護膜上に第1絶縁材料を堆積する第3工程と、

前記第1絶縁材料を平坦化し、前記表面保護膜の表面を露出させる第4工程と、

前記表面保護膜を除去する第5工程と、

前記下部電極及び第1絶縁材料上に、電気信号に応答して抵抗率が変化するペロプスカイト材料からなる前記記憶材料体を堆積する第6工程と、

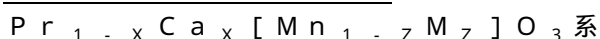
前記記憶材料体上に、前記上部電極の上部電極材料を堆積する第7工程と、

前記記憶材料体と前記上部電極材料とを上部電極マスクパターンを用いて同時に加工し、前記上部電極を形成する第8工程と、

前記上部電極上に、第2絶縁材料を堆積する第9工程と、を有し、

前記ペロプスカイト材料が、Pr、Ca、La、Sr、Gd、Nd、Bi、Ba、Y、Ce、Pb、Sm、Dyの内から選択された少なくとも1種の元素と、Ta、Ti、Cu、Mn、Cr、Co、Fe、Ni、Gaの内から選択された少なくとも1種の元素とを含んで構成される酸化物であり、

前記ペロプスカイト材料が、



(但し、MはCr、Co、Fe、Ni、Gaの中から選択される何れかの元素)、



10

20

30

40

50

(但し、A EはC a、S r、P b、B aの中から選択される何れかの2価のアルカリ土類金属)、

$RE_{1-x}Sr_xMnO_3$ 系

(但し、R EはS m、L a、P r、N d、G d、D yの中から選択される何れかの3価の希土類元素)、

$La_{1-x}Co_x[Mn_{1-z}Co_z]O_3$ 系、

$Gd_{1-x}Ca_xMnO_3$ 系、及び、

$Nd_{1-x}Gd_xMnO_3$ 系、

の内の何れか1つの一般式(  $0 < X < 1$ 、 $0 < Z < 1$  )で表される系の酸化物であることを特徴とする半導体記憶装置の製造方法。

10

【請求項6】

同方向に延伸する複数の上部電極と、前記上部電極の延伸方向と直交する方向に延伸する複数の下部電極とを備え、前記上部電極と前記下部電極との間の層にデータを蓄積するための記憶材料体を形成してなるクロスポイント構造の半導体記憶装置の製造方法であって、

半導体基板上に、前記下部電極の下部電極材料を堆積する第1工程と、

前記下部電極材料を下部電極マスクパターンを用いて加工し、前記下部電極を形成する第2工程と、

前記下部電極上に第1絶縁材料を堆積する第3工程と、

前記第1絶縁材料を平坦化し、前記下部電極の表面を露出させる第4工程と、

前記下部電極及び前記第1絶縁材料上に、電気信号にตอบสนองして抵抗率が変化するペロブスカイト材料からなる前記記憶材料体を堆積する第5工程と、

前記記憶材料体上に、前記上部電極の上部電極材料を堆積する第6工程と、

前記記憶材料体と前記上部電極材料とを上部電極マスクパターンを用いて同時に加工し、前記上部電極を形成する第7工程と、

前記上部電極上に、第2絶縁材料を堆積する第8工程と、を有し、

前記ペロブスカイト材料が、P r、C a、L a、S r、G d、N d、B i、B a、Y、C e、P b、S m、D yの内から選択された少なくとも1種の元素と、T a、T i、C u、M n、C r、C o、F e、N i、G aの内から選択された少なくとも1種の元素とを含んで構成される酸化物であり、

20

30

前記ペロブスカイト材料が、

$Pr_{1-x}Ca_x[Mn_{1-z}M_z]O_3$ 系

(但し、MはC r、C o、F e、N i、G aの中から選択される何れかの元素)、

$La_{1-x}AE_xMnO_3$ 系

(但し、A EはC a、S r、P b、B aの中から選択される何れかの2価のアルカリ土類金属)、

$RE_{1-x}Sr_xMnO_3$ 系

(但し、R EはS m、L a、P r、N d、G d、D yの中から選択される何れかの3価の希土類元素)、

$La_{1-x}Co_x[Mn_{1-z}Co_z]O_3$ 系、

$Gd_{1-x}Ca_xMnO_3$ 系、及び、

$Nd_{1-x}Gd_xMnO_3$ 系、

の内の何れか1つの一般式(  $0 < X < 1$ 、 $0 < Z < 1$  )で表される系の酸化物であることを特徴とする半導体記憶装置の製造方法。

40

【請求項7】

同方向に延伸する複数の上部電極と、前記上部電極の延伸方向と直交する方向に延伸する複数の下部電極とを備え、前記上部電極と前記下部電極との間の層にデータを蓄積するための記憶材料体を形成してなるクロスポイント構造の半導体記憶装置の製造方法であって、

半導体基板上に、第1絶縁材料を堆積する第1工程と、

50

前記第1絶縁材料を下部電極マスクパターンを用いて加工する第2工程と、  
前記第2工程において加工した前記第1絶縁材料上に、前記下部電極の下部電極材料を堆積する第3工程と、

前記下部電極材料を平坦化し、前記第1絶縁材料の表面を露出させて前記下部電極を形成する第4工程と、

前記下部電極及び前記第1絶縁材料上に、電気信号にตอบสนองして抵抗率が変化するペロブスカイト材料からなる前記記憶材料体を堆積する第5工程と、

前記記憶材料体上に、前記上部電極の上部電極材料を堆積する第6工程と、

前記記憶材料体と前記上部電極材料とを上部電極マスクパターンを用いて同時に加工し、前記上部電極を形成する第7工程と、

前記上部電極上に、第2絶縁材料を堆積する第9工程と、を有し、

前記ペロブスカイト材料が、Pr、Ca、La、Sr、Gd、Nd、Bi、Ba、Y、Ce、Pb、Sm、Dyの内から選択された少なくとも1種の元素と、Ta、Ti、Cu、Mn、Cr、Co、Fe、Ni、Gaの内から選択された少なくとも1種の元素とを含んで構成される酸化物であり、

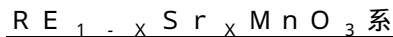
前記ペロブスカイト材料が、



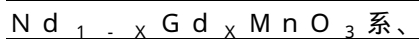
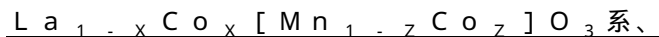
(但し、MはCr、Co、Fe、Ni、Gaの中から選択される何れかの元素)、



(但し、AEはCa、Sr、Pb、Baの中から選択される何れかの2価のアルカリ土類金属)、



(但し、REはSm、La、Pr、Nd、Gd、Dyの中から選択される何れかの3価の希土類元素)、



の内の何れか1つの一般式(0 < X < 1、0 < Z < 1)で表される系の酸化物であることを特徴とする半導体記憶装置の製造方法。

【請求項8】

前記下部電極マスクパターンによる加工が、ドライエッチング法による加工を含むことを特徴とする請求項5乃至7の何れか1項に記載の半導体記憶装置の製造方法。

【請求項9】

前記平坦化が、化学的機械的研磨法による平坦化を含むことを特徴とする請求項5乃至8の何れか1項に記載の半導体記憶装置の製造方法。

【請求項10】

前記上部電極マスクパターンによる加工が、ドライエッチング法による加工を含むことを特徴とする請求項5乃至9の何れか1項に記載の半導体記憶装置の製造方法。

【請求項11】

前記ペロブスカイト材料を堆積する前に、メモリ回路を形成する工程を更に含むことを特徴とする請求項5乃至10の何れか1項に記載の半導体記憶装置の製造方法。

【請求項12】

前記下部電極材料又は前記第1絶縁材料は、製造プロセス上形成できる最小の線幅寸法及び最小の間隔寸法を有する前記下部電極マスクパターンを用いて加工され、

前記記憶材料体及び前記上部電極材料は、製造プロセス上形成できる最小の線幅寸法及び最小の間隔寸法を有する前記上部電極マスクパターンを用いて加工されることを特徴とする請求項5乃至11の何れか1項に記載の半導体記憶装置の製造方法。

【請求項13】

前記下部電極材料が、白金族金属の貴金属単体、該貴金属をベースとした合金、Ir、Ru、Re、Osの中から選択される酸化物導電体、及び、SRO(SrRuO<sub>3</sub>)、L

10

20

30

40

50

SCO ( ( L a S r ) C o O <sub>3</sub> )、YBCO ( Y B a <sub>2</sub> C u <sub>3</sub> O <sub>7</sub> ) の中から選択される酸化物導電体の内の少なくとも1種類を含んでいることを特徴とする請求項5乃至12の何れか1項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同方向に延伸する複数の上部電極と、前記上部電極の延伸方向と直交する方向に延伸する複数の下部電極とを備え、前記上部電極と前記下部電極との間の層にデータを蓄積するための記憶材料体を形成してなるクロスポイント構造の半導体記憶装置及びその製造方法に関する。

10

【背景技術】

【0002】

一般的に、DRAM、NOR型フラッシュ、FeRAM等の半導体記憶装置は、データを蓄積するメモリ素子と、このメモリ素子を選択する為の選択トランジスタとから1個のメモリセルが構成されている。これに対しクロスポイント構造のメモリは、この選択トランジスタを廃して、ビット配線とワード配線の交点(クロスポイント)にデータを蓄積するための記憶材料体のみを配した構造である。選択されたビット配線とワード配線の交点の蓄積データを直接読み出すことになるため、非選択セルからの寄生電流による動作スピードの遅延、消費電流の増大等の課題があるものの、単純な構造のため大容量化が可能であるとして注目されている。

20

【0003】

従来、このようなクロスポイント構造を持つクロスポイントメモリの記憶材料体として、ペロブスカイト構造を有する材料が用いられている。当該材料には、巨大磁気抵抗(CMR)材料や高温超伝導(HTSC)材料等があり、これらは、外部から影響を与えることで変更できる電気的な抵抗特性を有する材料である。特に、CMR材料及びHTSC材料の特性は、例えば、CMR材料またはHTSC材料からなる薄膜またはバルク材に所定の電気的なショートパルス印加することで変更できる。印加するパルスは、電界の強さまたは電流密度が、材料の物理的状態を切り換えるのに十分であり、且つ、そのエネルギーが、材料を破壊せず、材料に酷いダメージを与えないように十分低く設定する。このようなパルス印加することで材料の特性を変更する。尚、複数のパルス印加すれば、材料の特性の段階的な変化を生成することができる。このような電気的パルスの印加によって変化させる特性の1つは、抵抗の大きさである。ここで、特性の初期の変化を誘導するために使用されるパルスに対して反対の極性を有するパルスを用いると、少なくとも部分的に特性を反転させることができる。

30

【0004】

ペロブスカイト構造を有する材料を用いたクロスポイントメモリとして、例えば、特許文献1乃至3が開示されている。

【0005】

以下、ペロブスカイト構造を有する材料を用いたクロスポイントメモリの構造及び製造方法について、図2及び図6を基に説明する。ここで、図2は、従来のクロスポイントメモリにおけるメモリセルの平面レイアウト図を示しており、図6(a)、(b)、(c)、(d)、(e)、(f)、(g)は、従来のメモリセルの各製造工程を順に示したものであり、図2のA-A'断面図、及びB-B'断面図を示している。

40

【0006】

先ず、図6(a)に示すように、メモリ回路を形成したシリコン半導体基板4上に、BPSG膜5を1500nm形成し、CMP法(化学的機械的研磨)により1000nmまで研磨し、表面を平坦化する。次に、シリコン半導体基板4と下部電極1とを接続するコンタクトプラグ6を形成する。更に、下部電極1を形成するために、BPSG膜5上に下部電極材料であるTiN膜7をスパッタリング法で50nm堆積し、このTiN膜7上に

50

P t 膜 8 をスパッタリング法で 1 5 0 n m 堆積する。

【 0 0 0 7 】

次に、下部電極 1 となる T i N 膜 7 及び P t 膜 8 を、公知のフォトリソグラフィの手法によって、L / S (ライン & スペース) 形状 (ストライプ形状) にパターンニングしたレジスト (図示せず) をマスクとして T i N 膜 7 及び P t 膜 8 をエッチングすることにより、図 6 ( b ) に示すような下部電極 1 を形成する。更に、S i O <sub>2</sub> 膜 1 9 を C V D 法 (化学気相成長) により 5 0 0 n m 堆積し、その S i O <sub>2</sub> 膜 1 9 を C M P 法により平坦化して、P t 膜 8 の表面が露出するようにする。

【 0 0 0 8 】

続いて、図 6 ( c ) に示すように、S i O <sub>2</sub> 膜 1 9 及び下部電極 1 ( P t 膜 8 ) 上に、S i O <sub>2</sub> 膜 2 0 を C V D 法により 3 0 0 n m 堆積する。そして、公知のフォトリソグラフィの手法によって、下部電極 1 と上部電極 2 との交差部であってアクティブ層を形成するための開口部 3 が形成されたレジスト (図示せず) をマスクとして、ドライエッチング法によりアクティブ層を形成する部分の S i O <sub>2</sub> 膜 2 0 をエッチングし、P t 膜 8 の表面露出させる。

【 0 0 0 9 】

更に、図 6 ( d ) に示すように、スパッタリング法により、P t 膜 8 及び S i O <sub>2</sub> 膜 2 0 上に、記憶材料体である P r <sub>0.7</sub> C a <sub>0.3</sub> M n O <sub>3</sub> ( P C M O ) 膜 2 1 を 2 0 0 n m 形成する。C M P 法により、P C M O 膜 2 1 を研磨し、S i O <sub>2</sub> 膜 2 0 の表面を露出させ、上部電極材料である P t 膜 2 2 をスパッタリング法により 1 0 0 n m 堆積する。

【 0 0 1 0 】

その後、図 6 ( e ) に示すように、公知のフォトリソグラフィの手法によって、上部電極 2 が下部電極 1 と交差するように、L / S (ライン & スペース) 形状 (ストライプ形状) にレジスト 2 3 をパターンニングする。ドライエッチング法により P t 膜 2 2 をエッチングし、図 6 ( f ) に示すような上部電極 2 ( P t 膜 2 2 ) を形成する。

【 0 0 1 1 】

更に、その後、P t 膜 2 2 上に S i O <sub>2</sub> 膜 1 4 を C V D 法により 1 2 0 0 n m 堆積し、C M P 法により 8 0 0 n m まで研磨し、表面を平坦化する。そして、図 6 ( g ) に示すように、上部電極 2 となる P t 膜 2 2 とシリコン半導体基板 4 とを接続する A l 配線 1 5 を形成する。

【特許文献 1】特開 2 0 0 3 - 6 8 9 8 4 号公報

【特許文献 2】特開 2 0 0 3 - 6 8 9 8 3 号公報

【特許文献 3】特開 2 0 0 3 - 1 9 7 8 7 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

しかしながら、上記特許文献 1 乃至 3 の製造方法では、ペロブスカイト材料をクロスポイントの交差部に形成するために専用のフォト工程が必要になり、下部電極形成及び上部電極形成と合わせ 3 回のフォト工程が必要になる。また、クロスポイント構造のメモリでは、上部電極と下部電極が直交した (クロスした) 領域が 1 つのメモリとして働く部分である。この部分の面積が集積度を決定する重要なものである。

【 0 0 1 3 】

上記特許文献 1 乃至 3 の技術では、図 2 示すように、下部電極 1 及び上部電極 2 の交差部に記憶材料体のための開口部 3 を形成するため、位置合わせ余裕を設ける必要がある。このため、下部電極 1 及び上部電極 2 の太さは、デザインルールで決定された最小加工寸法、即ち、製造プロセスの制約上形成できうる最小の線幅寸法及び最小の間隔寸法より大きくなる。最小加工寸法を『F』と定義すると、図 2 に示すように、下部電極 1 及び上部電極 2 の太さは、位置合わせ余裕が片側で 0 . 5 F ずつ必要となるため、2 F となる。そして、このクロス部分の大きさは、下部電極の延伸方向に 3 F ピッチ、上部電極の延伸方向に 3 F ピッチである。従って、メモリセルのセル面積は、図 2 の太実線領域で示すよう

10

20

30

40

50

に、 $3F \times 3F = 9F^2$  となり、理論上、これ以上小さくすることができない。

【0014】

本発明は、上記問題点に鑑みてなされたものであり、より少ないフォト工程で、且つ、製造プロセス上の最小加工寸法で規定される最小メモリセル面積よりも小さいメモリセル面積の半導体記憶装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

上記目的を達成するための本発明に係る半導体記憶装置は、同方向に延伸する複数の上部電極と、前記上部電極の延伸方向と直交する方向に延伸する複数の下部電極とを備え、前記上部電極と前記下部電極との間の層にデータを蓄積するための記憶材料体を形成してなるクロスポイント構造の半導体記憶装置であって、

前記記憶材料体が、電気信号にตอบสนองして抵抗率が変化するペロブスカイト材料からなり、且つ、前記上部電極夫々の前記下部電極側に、前記上部電極に沿って延伸するように形成され、互いに直交して延伸する前記上部電極と前記下部電極とが交差するクロスポイント領域にわたって、前記記憶材料体と上部電極の接合面、及び、前記記憶材料体と前記下部電極の接合面が、夫々平面であり、前記ペロブスカイト材料が、Pr、Ca、La、Sr、Gd、Nd、Bi、Ba、Y、Ce、Pb、Sm、Dyの内から選択された少なくとも1種の元素と、Ta、Ti、Cu、Mn、Cr、Co、Fe、Ni、Gaの内から選択された少なくとも1種の元素とを含んで構成される酸化物であり、

前記ペロブスカイト材料が、 $Pr_{1-x}Ca_x[Mn_{1-z}M_z]O_3$ 系（但し、MはCr、Co、Fe、Ni、Gaの中から選択される何れかの元素）、 $La_{1-x}AE_xMnO_3$ 系（但し、AEはCa、Sr、Pb、Baの中から選択される何れかの2価のアルカリ土類金属）、 $RE_{1-x}Sr_xMnO_3$ 系（但し、REはSm、La、Pr、Nd、Gd、Dyの中から選択される何れかの3価の希土類元素）、 $La_{1-x}Co_x[Mn_{1-z}Co_z]O_3$ 系、 $Gd_{1-x}Ca_xMnO_3$ 系、及び、 $Nd_{1-x}Gd_xMnO_3$ 系、の内の何れか1つの一般式（ $0 < x < 1$ 、 $0 < z < 1$ ）で表される系の酸化物であることを特徴とする。

【0016】

上記特徴の本発明に係る半導体記憶装置は、前記下部電極の下部電極材料が、白金族金属の貴金属単体、該貴金属をベースとした合金、Ir、Ru、Re、Osの中から選択される酸化物導電体、及び、 $SrRuO_3$ 、 $(LaSr)CoO_3$ 、 $YBa_2Cu_3O_7$ の中から選択される酸化物導電体の内の少なくとも1種類を含んでいることを特徴とする。

【0017】

上記何れかの特徴の本発明に係る半導体記憶装置は、更に、前記上部電極の上部電極材料が、白金族金属の貴金属、Ag、Al、Cu、Ni、Ti、Taの中から選択される金属単体またはその合金、Ir、Ru、Re、Osの中から選択される酸化物導電体、及び、 $SrRuO_3$ 、 $(LaSr)CoO_3$ 、 $YBa_2Cu_3O_7$ の中から選択される酸化物導電体の内の少なくとも1種類を含んでいることを特徴とする。

【0019】

上記何れかの特徴の本発明に係る半導体記憶装置は、製造プロセス上の最小加工寸法をFとすると、メモリセルのセル面積が $4F^2$ であることを特徴とする。

【0020】

上記目的を達成するための本発明に係る半導体記憶装置の製造方法は、同方向に延伸する複数の上部電極と前記上部電極の延伸方向と直交する方向に延伸する複数の下部電極とを備え、前記上部電極と前記下部電極との間の層にデータを蓄積するための記憶材料体を形成してなるクロスポイント構造の半導体記憶装置の製造方法であって、半導体基板上に、前記下部電極の下部電極材料と、前記下部電極材料の表面を保護する表面保護膜とを順

に堆積する第1工程と、前記下部電極材料と前記表面保護膜とを下部電極マスクパターンを用いて加工し、前記下部電極を形成する第2工程と、前記下部電極及び前記表面保護膜上に第1絶縁材料を堆積する第3工程と、前記第1絶縁材料を平坦化し、前記表面保護膜の表面を露出させる第4工程と、前記表面保護膜を除去する第5工程と、前記下部電極及び第1絶縁材料上に、電気信号に应答して抵抗率が変化するペロブスカイト材料からなる前記記憶材料体を堆積する第6工程と、前記記憶材料体上に、前記上部電極の上部電極材料を堆積する第7工程と、前記記憶材料体と前記上部電極材料とを上部電極マスクパターンを用いて同時に加工し、前記上部電極を形成する第8工程と、前記上部電極上に、第2絶縁材料を堆積する第9工程と、を有し、前記ペロブスカイト材料が、Pr、Ca、La、Sr、Gd、Nd、Bi、Ba、Y、Ce、Pb、Sm、Dyの内から選択された少なくとも1種の元素と、Ta、Ti、Cu、Mn、Cr、Co、Fe、Ni、Gaの内から選択された少なくとも1種の元素とを含んで構成される酸化物であり、

前記ペロブスカイト材料が、 $Pr_{1-x}Ca_x[Mn_{1-z}M_z]O_3$ 系(但し、MはCr、Co、Fe、Ni、Gaの中から選択される何れかの元素)、 $La_{1-x}AExMnO_3$ 系

(但し、AEはCa、Sr、Pb、Baの中から選択される何れかの2価のアルカリ土類金属)、 $RE_{1-x}Sr_xMnO_3$ 系(但し、REはSm、La、Pr、Nd、Gd、Dyの中から選択される何れかの3価の希土類元素)、 $La_{1-x}Co_x[Mn_{1-z}Co_z]O_3$ 系、 $Gd_{1-x}Ca_xMnO_3$ 系、及び、 $Nd_{1-x}Gd_xMnO_3$ 系、の内の何れか1つの一般式( $0 < x < 1$ 、 $0 < z < 1$ )で表される系の酸化物であることを特徴とする。

#### 【0021】

上記目的を達成するための本発明に係る他の半導体記憶装置の製造方法は、同方向に延伸する複数の上部電極と、前記上部電極の延伸方向と直交する方向に延伸する複数の下部電極とを備え、前記上部電極と前記下部電極との間の層にデータを蓄積するための記憶材料体を形成してなるクロスポイント構造の半導体記憶装置の製造方法であって、半導体基板上に、前記下部電極の下部電極材料を堆積する第1工程と、前記下部電極材料を下部電極マスクパターンを用いて加工し、前記下部電極を形成する第2工程と、前記下部電極上に第1絶縁材料を堆積する第3工程と、前記第1絶縁材料を平坦化し、前記下部電極の表面を露出させる第4工程と、前記下部電極及び前記第1絶縁材料上に、電気信号に应答して抵抗率が変化するペロブスカイト材料からなる前記記憶材料体を堆積する第5工程と、前記記憶材料体上に、前記上部電極の上部電極材料を堆積する第6工程と、前記記憶材料体と前記上部電極材料とを上部電極マスクパターンを用いて同時に加工し、前記上部電極を形成する第7工程と、前記上部電極上に、第2絶縁材料を堆積する第8工程と、を有し、前記ペロブスカイト材料が、Pr、Ca、La、Sr、Gd、Nd、Bi、Ba、Y、Ce、Pb、Sm、Dyの内から選択された少なくとも1種の元素と、Ta、Ti、Cu、Mn、Cr、Co、Fe、Ni、Gaの内から選択された少なくとも1種の元素とを含んで構成される酸化物であり、

前記ペロブスカイト材料が、 $Pr_{1-x}Ca_x[Mn_{1-z}M_z]O_3$ 系(但し、MはCr、Co、Fe、Ni、Gaの中から選択される何れかの元素)、 $La_{1-x}AExMnO_3$ 系

(但し、AEはCa、Sr、Pb、Baの中から選択される何れかの2価のアルカリ土類金属)、 $RE_{1-x}Sr_xMnO_3$ 系(但し、REはSm、La、Pr、Nd、Gd、Dyの中から選択される何れかの3価の希土類元素)、 $La_{1-x}Co_x[Mn_{1-z}Co_z]O_3$ 系、 $Gd_{1-x}Ca_xMnO_3$ 系、及び、 $Nd_{1-x}Gd_xMnO_3$ 系、の内の何れか1つの一般式( $0 < x < 1$ 、 $0 < z < 1$ )で表される系の酸化物であることを特徴とする。

#### 【0022】

10

20

30

40

50



上記目的を達成するための本発明に係る更に他の半導体記憶装置の製造方法は、同方向に延伸する複数の上部電極と、前記上部電極の延伸方向と直交する方向に延伸する複数の下部電極とを備え、前記上部電極と前記下部電極との間の層にデータを蓄積するための記憶材料体を形成してなるクロスポイント構造の半導体記憶装置の製造方法であって、半導体基板上に、第1絶縁材料を堆積する第1工程と、前記第1絶縁材料を下部電極マスクパターンを用いて加工する第2工程と、前記第2工程において加工した前記第1絶縁材料上に、前記下部電極の下部電極材料を堆積する第3工程と、前記下部電極材料を平坦化し、前記第1絶縁材料の表面を露出させて前記下部電極を形成する第4工程と、前記下部電極及び前記第1絶縁材料上に、電気信号にตอบสนองして抵抗率が変化するペロプスカイト材料からなる前記記憶材料体を堆積する第5工程と、前記記憶材料体上に、前記上部電極の上部電極材料を堆積する第6工程と、前記記憶材料体と前記上部電極材料とを上部電極マスクパターンを用いて同時に加工し、前記上部電極を形成する第7工程と、前記上部電極上に、第2絶縁材料を堆積する第9工程と、を有し、前記ペロプスカイト材料が、Pr、Ca、La、Sr、Gd、Nd、Bi、Ba、Y、Ce、Pb、Sm、Dyの内から選択された少なくとも1種の元素と、Ta、Ti、Cu、Mn、Cr、Co、Fe、Ni、Gaの内から選択された少なくとも1種の元素とを含んで構成される酸化物であり、

前記ペロプスカイト材料が、 $Pr_{1-x}Ca_x[Mn_{1-z}M_z]O_3$ 系(但し、MはCr、Co、Fe、Ni、Gaの中から選択される何れかの元素)、 $La_{1-x}AE_xMnO_3$ 系

(但し、AEはCa、Sr、Pb、Baの中から選択される何れかの2価のアルカリ土類金属)、 $RE_{1-x}Sr_xMnO_3$ 系(但し、REはSm、La、Pr、Nd、Gd、Dyの中から選択される何れかの3価の希土類元素)、 $La_{1-x}Co_x[Mn_{1-z}Co_z]O_3$ 系、 $Gd_{1-x}Ca_xMnO_3$ 系、及び、 $Nd_{1-x}Gd_xMnO_3$ 系、の内の何れか1つの一般式( $0 < x < 1$ 、 $0 < z < 1$ )で表される系の酸化物であることを特徴とする。

#### 【0023】

上記何れかの特徴の本発明に係る半導体記憶装置の製造方法は、前記下部電極マスクパターンによる加工が、ドライエッチング法による加工を含むことを特徴とする。

#### 【0024】

上記何れかの特徴の本発明に係る半導体記憶装置の製造方法は、更に、前記平坦化が、化学的機械的研磨法による平坦化を包むことを特徴とする。

#### 【0025】

また、上記何れかの特徴の本発明に係る半導体記憶装置の製造方法は、前記上部電極マスクパターンによる加工が、ドライエッチング法による加工を含むことを特徴とする。

#### 【0026】

更に、上記何れかの特徴の本発明に係る半導体記憶装置の製造方法は、前記ペロプスカイト材料を堆積する前に、メモリ回路を形成する工程を更に含むことを特徴とする。

#### 【0027】

更に、上記何れかの特徴の本発明に係る半導体記憶装置の製造方法は、前記下部電極材料又は前記第1絶縁材料は、製造プロセス上形成できる最小の線幅寸法及び最小の間隔寸法を有する前記下部電極マスクパターンを用いて加工され、前記記憶材料体及び前記上部電極材料は、製造プロセス上形成できる最小の線幅寸法及び最小の間隔寸法を有する前記上部電極マスクパターンを用いて加工されることを特徴とする。

#### 【0028】

更に、上記何れかの特徴の本発明に係る半導体記憶装置の製造方法は、前記下部電極材料が、白金族金属の貴金属単体、該貴金属をベースとした合金、Ir、Ru、Re、Osの中から選択される酸化物導電体、及び、 $SrO(SrRuO_3)$ 、 $LSCO((LaSr)CoO_3)$ 、 $YBCO(YBa_2Cu_3O_7)$ の中から選択される酸化物導電体の内の少なくとも1種類を含んでいることを特徴とする。

10

20

30

40

50

## 【発明を実施するための最良の形態】

## 【0030】

本発明に係る半導体記憶装置及びその製造方法の実施の形態につき、図1及び図3乃至5に基づいて詳細に説明する。

## 【0031】

本発明に係る半導体記憶装置は、図1に示すように、同方向に延伸する複数の上部電極2と、上部電極2の延伸方向と直交する方向に延伸する複数の下部電極1とを備え、上部電極2と下部電極1との間の層にデータを蓄積するための記憶材料体が形成してあり、記憶材料体が、ペロプスカイト材料からなり、且つ、上部電極2夫々の下部電極1側に、上部電極2に沿って延伸するように形成されている。ここでは、上部電極2の形成と記憶材料体の形成とが同時に実施され、記憶材料体は、上部電極2と同じ形状に形成される。

10

## 【0032】

## &lt;第1実施形態&gt;

以下、クロスポイント構造のメモリセルの形成において、本発明に係る半導体記憶装置の製造方法(以下、適宜「本発明方法」と称す。)の第1実施形態を図面に基づいて説明する。ここで、図1は、本発明に係る半導体装置のメモリセルの平面レイアウト図を示している。また、図3(a)、(b)、(c)、(d)、(e)、(f)、(g)は、本実施形態の各製造工程を順に示したものであり、図1のA-A'断面図、及びB-B'断面図を示している。

## 【0033】

まず、図3(a)に示すように、メモリ回路を形成したシリコン半導体基板4上に、BPSG膜5を1500nm形成し、CMP法(化学的機械的研磨)により1000nmまで研磨し、表面を平坦化する。次に、シリコン半導体基板4と下部電極1とを接続するコンタクトプラグ6を形成する。続いて、下部電極1を形成するために、BPSG膜5上に下部電極材料であるTiN膜7をスパッタリング法で50nm堆積し、TiN膜7上にPt膜8をスパッタリング法で150nm堆積する。ここで、下部電極材料は、導電性酸化物または他の導電材料で作成される。好適には、導電性材料は、上にあるペロプスカイト材料のエピタキシャル成長を可能にする材料である $YBa_2Cu_3O_7$ (YBCO)等を含む材料を用いる。また、導電性材料として、プラチナまたはイリジウム等を用いるのも好適である。下部電極1は、約5nm~約500nmの範囲の厚さに形成する。この後、更に、CVD法(化学気相成長)で下部電極材料の表面保護膜となるSiN膜9を150nm堆積する(第1工程)。

20

30

## 【0034】

次に、フォトリソグラフィの手法によって、下部電極パターンに基づいて、L/S(ライン&スペース)形状(ストライプ形状)にパターンニングしたレジスト(図示せず)をマスクとして、SiN膜9、Pt膜8、及びTiN膜7をドライエッチング法によりエッチングし、レジスト除去して下部電極1を形成する(第2工程)。この下部電極1上に $SiO_2$ 膜10をCVD法にて600nm堆積する(第3工程)。ここで、堆積する絶縁膜は、 $SiO_2$ 膜に限られるものではなく、SiN膜、ポリイミド膜、若しくは $SiOF$ 膜等、任意の適切な絶縁膜を用いてもよい。また、絶縁膜の堆積は、パルス化レーザ堆積、rf-スパッタリング、e-ビーム蒸発、熱蒸発、有機金属堆積、スピノン堆積、若しくは有機金属化学気相成長等、任意の適切な堆積技術を用いて行う。

40

## 【0035】

続いて、図3(b)に示すように、 $SiO_2$ 膜10をCMP法により平坦化し、SiN膜9の表面が露出するようにする(第4工程)。ここで、平坦化方法は、CMP法に限られるものではなく、スピノン法、若しくは、スピノン法とエッチバック法との組み合わせ等、任意の適切な平坦化技術若しくはその組み合わせを用いて平坦化するのも好適である。この後、図3(c)に示すように、SiN膜9を熱リン酸により除去する(第5工程)。

## 【0036】

50

更に、スパッタリング法により、記憶材料体としてペロブスカイト材料である  $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$  (PCMO) 膜 11 を 100 nm 堆積する (第 6 工程)。ここで、ペロブスカイト材料は、電気信号にตอบสนองして変化する抵抗率を有する材料である。ペロブスカイト材料は、好適には、巨大磁気抵抗 (CMR) 材料、または高温超伝導 (HTSC) 材料であり、例えば、ペロブスカイト材料として PCMO を用いた場合の膜厚は、好適には 10 nm ~ 500 nm である。ペロブスカイト材料は、パルス化レーザ堆積、rf-スパッタリング、e-ビーム蒸発、熱蒸発、有機金属堆積、ゾルゲル堆積、及び有機金属化学気相成長等、任意の適切な堆積技術を用いて堆積する。続いて、PCMO 膜 11 上に上部電極 2 となる Pt 膜 12 をスパッタリング法で形成する (第 7 工程)。好適には、ペロブスカイト材料上の導電性材料は Pt である。また、本実施形態では、Pt 膜 12 の膜厚は 100 nm とした。上部電極材料は、約 5 nm ~ 約 500 nm の範囲の厚さに堆積する。

10

## 【0037】

その後、フォトリソグラフィの手法によって、Pt 膜 12 上の上部電極 2 となる領域に、上部電極パターンに基づいて、図 3 (d) に示すようなレジスト 13 を形成する。そして、このレジスト 13 をマスクとして、Pt 膜 12 及び PCMO 膜 11 をドライエッチング法により同時にエッチングし、その後、レジスト除去して、図 3 (e) に示すような上部電極 2 (Pt 膜 12) 及び記憶材料体 (PCMO 膜 11) を形成する (第 8 工程)。

## 【0038】

更に、その後、図 3 (f) に示すように、 $\text{SiO}_2$  膜 14 を CVD 法により 1200 nm 堆積し、CMP 法により 800 nm まで研磨し、表面を平坦化する (第 9 工程)。そして、図 3 (g) に示すように、上部電極 2 とシリコン半導体基板 4 とを接続する Al 配線 15 を形成する。

20

## 【0039】

以上、本第 1 実施形態では、クロスポイント部分の形成に必要なフォト工程は、下部電極 1 の形成 (上記第 2 工程に対応) 及び上部電極 2 の形成 (上記第 8 工程に対応) の 2 回である。また、上部電極 2 の形成とクロスポイント部分の形成とを同時に行うので位置合わせ余裕を設ける必要がない。従って、製造プロセスの制約上形成できる最小の線幅寸法及び最小の間隔寸法、つまり、最小加工寸法を『F』と定義すると、図 1 に示すように、下部電極 1 及び上部電極 2 を F ピッチの大きさで形成することができる。このため、1 つのメモリとして働く上部電極 2 と下部電極 1 とが直交した (クロスした) 領域の大きさは、下部電極 1 の延伸方向に 2 F ピッチ、上部電極 2 の延伸方向に 2 F ピッチとなる。従って、本実施形態の半導体装置に係るセル面積は、図 1 の太実線領域に示すように、 $2 F \times 2 F = 4 F^2$  である。

30

## 【0040】

< 第 2 実施形態 >

本発明に係る半導体装置の製造方法の第 2 実施形態を図面に基づいて説明する。ここで、図 4 (a)、(b)、(c)、(d)、(e)、(f) は、本実施形態の各製造工程を順に示したものであり、図 1 の A - A' 断面図及び B - B' 断面図を示している。

## 【0041】

先ず、図 4 (a) に示すように、メモリ回路を形成したシリコン半導体基板 4 上に、BPSG 膜 5 を 1500 nm 形成し、CMP 法により 1000 nm まで研磨し、表面を平坦化する。次に、シリコン半導体基板 4 と下部電極 1 とを接続するコンタクトプラグ 6 を形成する。続いて、下部電極 1 を形成するために、BPSG 膜 5 上に下部電極材料である TiN 膜 7 をスパッタリング法で 50 nm 堆積し、TiN 膜 7 上に Pt 膜 8 をスパッタリング法で 150 nm 堆積する (第 1 工程)。ここで、下部電極材料は、第 1 実施形態と同様に、導電性酸化物または他の導電材料で作成される。好適には、導電性材料は、上にあるペロブスカイト材料のエピタキシャル成長を可能にする材料である YBCO 等を含む材料を用いる。また、導電性材料として、プラチナまたはイリジウムを用いるのも好適である。下部電極 1 は、約 5 nm ~ 約 500 nm の範囲の厚さに形成する。

40

50

## 【0042】

次に、フォトリソグラフィの手法によって、下部電極パターンに基づいて、L/S（ライン&スペース）形状（ストライプ形状）にパターンニングしたレジスト（図示せず）をマスクとして、Pt膜8及びTiN膜7をドライエッチング法によりエッチングし、レジスト除去して下部電極1を形成する（第2工程）。この下部電極1上にSiO<sub>2</sub>膜10をCVD法にて600nm堆積する（第3工程）。ここで、堆積する絶縁膜は、SiO<sub>2</sub>膜に限られるものではなく、SiN膜、ポリイミド膜、若しくはSiOF膜等、任意の適切な絶縁膜を用いてもよい。また、絶縁膜の堆積は、パルス化レーザ堆積、rf-スパッタリング、e-ビーム蒸発、熱蒸発、有機金属堆積、スピンオン堆積、若しくは有機金属化学気相成長等、任意の適切な堆積技術を用いて行う。

10

## 【0043】

続いて、図4（b）に示すように、SiO<sub>2</sub>膜10をCMP法により平坦化し、Pt膜8の表面が露出するようにする（第4工程）。ここで、平坦化方法は、CMP法に限られるものではなく、スピンオン法、若しくは、スピンオン法とエッチバック法との組み合わせ等、任意の適切な平坦化技術若しくはその組み合わせを用いて平坦化するのも好適である。

## 【0044】

更に、スパッタリング法により、ペロブスカイト材料であるPCMO膜11を100nm堆積する（第5工程）。ここで、ペロブスカイト材料は、電気信号にตอบสนองして変化する抵抗率を有する材料である。ペロブスカイト材料は、好適には、巨大磁気抵抗（CMR）材料、または高温超伝導（HTSC）材料であり、例えば、ペロブスカイト材料としてPCMOを用いた場合の膜厚は、好適には10nm～500nmの厚さである。ペロブスカイト材料は、パルス化レーザ堆積、rf-スパッタリング、e-ビーム蒸発、熱蒸発、有機金属堆積、ゾルゲル堆積、及び有機金属化学気相成長等、任意の適切な堆積技術を用いて堆積する。続いて、PCMO膜11上に、上部電極2となるPt膜12をスパッタリング法で形成する（第6工程）。好適には、ペロブスカイト材料上の導電性材料はPtである。また、本実施形態では、Pt膜12の膜厚は100nmとした。上部電極材料は、約5nm～約500nmの範囲の厚さに堆積する。

20

## 【0045】

その後、フォトリソグラフィの手法によって、Pt膜12上の上部電極2となる領域に、上部電極パターンに基づいて、図4（c）に示すようなレジスト13を形成する。そして、このレジスト13（図示せず）をマスクとして、Pt膜12及びPCMO膜11をドライエッチング法により同時にエッチングし、その後、レジスト除去して、図4（d）に示すような上部電極2（Pt膜12）及び記憶材料体（PCMO膜11）を形成する（第7工程）。

30

## 【0046】

更に、その後、図4（e）に示すように、SiO<sub>2</sub>膜14をCVD法により1200nm堆積し、CMP法により800nmまで研磨し、表面を平坦化する（第8工程）。そして、図4（f）に示すように、上部電極2とシリコン半導体基板4とを接続するAl配線15を形成する。

40

## 【0047】

第1実施形態では、熱リン酸による表面保護層である窒化膜除去時に、下部電極1であるPt膜8の表面の結晶性の乱れが生じるが、本実施形態では、このPt膜8の表面の結晶性の乱れを抑制する可能性がある。

## 【0048】

以上、本第2実施形態では、クロスポイント部分の形成に必要なフォト工程は、下部電極1の形成（本実施形態の第2工程に対応）及び上部電極2の形成（本実施形態の第7工程に対応）の2回である。また、図1に示すように、下部電極1及び上部電極2をFピッチの大きさで形成することができるため、1つのメモリとして働く上部電極2と下部電極1とが直交した（クロスした）領域の大きさは、下部電極1の延伸方向に2F、上部電極

50

2の延伸方向に2Fピッチとなる。従って、本実施形態の半導体装置に係るセル面積は、図1の太実線領域で示すように、 $2F \times 2F = 4F^2$ である。

【0049】

<第3実施形態>

本発明に係る半導体装置の製造方法の第3実施形態を図面に基づいて説明する。ここで、図5(a)、(b)、(c)、(d)、(e)、(f)、(g)は、本実施形態の各製造工程を順に示したものであり、図1のA-A'断面図、及びB-B'断面図を示している。

【0050】

先ず、メモリ回路を形成したシリコン半導体基板4上にBPSG膜5を1500nm形成し、CMP法により1000nmまで研磨し、表面を平坦化する。次に、シリコン半導体基板4と下部電極1とを接続するコンタクトプラグ6を形成する。続いて、BPSG膜5上にSiO<sub>2</sub>膜16をCVD法にて200nm堆積する(第1工程)。ここで、堆積する絶縁膜は、SiO<sub>2</sub>膜に限られるものではなく、SiN膜、ポリイミド膜、若しくはSiOF膜等、任意の適切な絶縁膜を用いてもよい。また、絶縁膜の堆積は、パルス化レーザ堆積、rf-スパッタリング、e-ビーム蒸発、熱蒸発、有機金属堆積、スピノン堆積、若しくは有機金属化学気相成長等、任意の適切な堆積技術を用いて行う。更に、フォトリソグラフィの手法によって、下部電極パターンに基づいて、L/S(ライン&スペース)形状(ストライプ形状)にパターンニングしたレジスト(図示せず)をマスクとして、下部電極1が形成される領域のSiO<sub>2</sub>膜16をドライエッチング法によりエッチングし、レジスト除去して、SiO<sub>2</sub>膜16を図5(a)に示すようなパターンに形成する(第2工程)。

【0051】

次に、図5(b)に示すように、下部電極材料であるTiN膜17をスパッタリング法で50nm堆積し、このTiN膜17上にPt膜18をスパッタリング法で300nm堆積する(第3工程)。下部電極材料は、導電性酸化物または他の導電材料で作成される。好適には、導電性材料は、上にあるペロブスカイト材料のエピタキシャル成長を可能にする材料であるYBCO等を含む材料を用いる。また、導電性材料として、プラチナまたはイリジウム等を用いるのも好適である。

【0052】

続いて、図5(c)に示すように、TiN膜17及びPt膜18をCMP法により平坦化し、SiO<sub>2</sub>膜16の表面が露出するようにして、下部電極1を形成する(第4工程)。ここで、平坦化方法は、CMP法に限られるものではなく、スピノン法、若しくは、スピノン法とエッチバック法の組み合わせ等、任意の適切な平坦化技術若しくはその組み合わせを用いて平坦化するのも好適である。尚、CMP後の下部電極1となるPt膜18の厚さは約5nm~約500nmの範囲の厚さである。

【0053】

更に、スパッタリング法により、ペロブスカイト材料であるPCMO膜11を100nm堆積する(第5工程)。ここで、ペロブスカイト材料は、電気信号にตอบสนองして変化する抵抗率を有する材料である。ペロブスカイト材料は、好適には、巨大磁気抵抗(CMR)材料、または高温超伝導(HTSC)材料であり、例えば、ペロブスカイト材料としてPCMOを用いた場合の膜厚は、好適には10nm~500nmである。ペロブスカイト材料は、パルス化レーザ堆積、rf-スパッタリング、e-ビーム蒸発、熱蒸発、有機金属堆積、ゾルゲル堆積、及び有機金属化学気相成長等、任意の適切な堆積技術を用いて堆積する。続いて、PCMO膜11上に上部電極2となるPt膜12をスパッタリング法で形成する(第6工程)。好適には、ペロブスカイト材料上の導電性材料はPtである。本実施形態では、Pt膜12の膜厚は100nmとした。上部電極材料は、約5nm~約500nmの範囲の厚さに堆積する。

【0054】

その後、フォトリソグラフィの手法によって、Pt膜12上の上部電極2となる領域に

10

20

30

40

50

、上部電極パターンに基づいて、図5(d)に示すようなレジスト13を形成する。そして、このレジスト13をマスクとして、Pt膜12及びPCMO膜11をドライエッチング法により同時にエッチングし、その後、レジスト除去して、図5(e)に示すような上部電極2(Pt膜12)及び記憶材料体(PCMO膜11)を形成する(第7工程)。

【0055】

更に、その後、図5(f)に示すように、SiO<sub>2</sub>膜14をCVD法により1200nm堆積し、CMP法により800nmまで研磨し、表面を平坦化する(第8工程)。そして、図5(g)に示すように、上部電極2とシリコン半導体基板4とを接続するAl配線15を形成する。

【0056】

以上、本第3実施形態では、クロスポイント部分の形成に必要なフォト工程は、下部電極1の形成(本実施形態の第2工程に対応)及び上部電極2の形成(本実施形態の第7工程に対応)の2回である。また、図1に示すように、下部電極1及び上部電極2をFピッチの大きさで形成することができるため、1つのメモリとして働く上部電極2と下部電極1とが直交した(クロスした)領域の大きさは、下部電極1の延伸方向に2Fピッチ、上部電極2の延伸方向に2Fピッチとなる。従って、本実施形態の半導体装置に係るセル面積は、図1の太実線領域で示すように、 $2F \times 2F = 4F^2$ である。

【0057】

更に、本第3実施形態では、下部電極1のパターンニングを酸化膜のドライエッチングで行うため、Ptのドライエッチングでパターンニングで行う第1及び第2実施形態に比べ、微細化に有利である。

【0058】

以上、第1乃至第3実施形態から明らかなように、本発明方法によれば、アクティブ層(メモリセル)の形成を、上部電極2と同時に自己整合で行っているため、フォト工程の回数を従来技術における3回から2回に減らすことができる。また、従来の製造方法では、達成できる最小セル面積が $9F^2$ であるのに対し、本発明方法では、最小セル面積を $4F^2$ まで縮小することが可能である。

【0059】

尚、上記第1乃至第3実施形態では、下部電極1の下部電極材料としての導電性材料に、YBCO、プラチナまたはイリジウム等を含む材料を用いた例について説明したが、下部電極材料が、白金族金属をベースとした合金、Ru、Re、Osの中から選択される酸化物導電体、及び、SRO(SrRuO<sub>3</sub>)、LSCO((LaSr)CoO<sub>3</sub>)、の中から選択される酸化物導電体の内の少なくとも1種類を含んでいる材料を用いるのも好適である。

【0060】

また、第1乃至第3実施形態では、ペロブスカイト材料が、PCMOである場合について説明したが、Pr、Ca、La、Sr、Gd、Nd、Bi、Ba、Y、Ce、Pb、Sm、Dyの内から選択された少なくとも1種の元素と、Ta、Ti、Cu、Mn、Cr、Co、Fe、Ni、Gaの内から選択された少なくとも1種の元素とを含んで構成される酸化物であっても良いし、Pr<sub>1-x</sub>Ca<sub>x</sub>[Mn<sub>1-z</sub>M<sub>z</sub>]O<sub>3</sub>系(但し、MはCr、Co、Fe、Ni、Gaの中から選択される何れかの元素)、La<sub>1-x</sub>AE<sub>x</sub>MnO<sub>3</sub>系(但し、AEはCa、Sr、Pb、Baの中から選択される何れかの2価のアルカリ土類金属)、RE<sub>1-x</sub>Sr<sub>x</sub>MnO<sub>3</sub>系(但し、REはSm、La、Pr、Nd、Gd、Dyの中から選択される何れかの3価の希土類元素)、La<sub>1-x</sub>Co<sub>x</sub>[Mn<sub>1-z</sub>Co<sub>z</sub>]O<sub>3</sub>系、Gd<sub>1-x</sub>Ca<sub>x</sub>MnO<sub>3</sub>系、及び、Nd<sub>1-x</sub>Gd<sub>x</sub>MnO<sub>3</sub>系、の内の何れか1つの一般式(0 < X < 1、0 < Z < 1)で表される系の酸化物であっても良い。

【0061】

また、第1乃至第3実施形態では、上部電極材料としてPtを用いた例について説明したが、これに限るものではなく、上部電極材料として、白金族金属の貴金属、Ag、Al

10

20

30

40

50

、Cu、Ni、Ti、Taの中から選択される金属単体またはその合金、Ir、Ru、Re、Osの中から選択される酸化物導電体、及び、SRO( $SrRuO_3$ )、LSCO( $(LaSr)CoO_3$ )、YBCO( $YBa_2Cu_3O_7$ )の中から選択される酸化物導電体の内の少なくとも1種類を含んでいる材料を用いるのも好適である。

【0062】

更に、別実施形態として、ペロブスカイト材料を堆積する前に、メモリ回路を形成する工程を更に含む構成とするのも好適である。

【図面の簡単な説明】

【0063】

【図1】本発明に係る半導体装置のメモリセルの一実施形態における平面レイアウト図

10

【図2】従来技術に係るメモリセルの平面レイアウト図

【図3】本発明に係る半導体装置の製造方法の第1実施形態に係る各工程におけるメモリセルの断面図

【図4】本発明に係る半導体装置の製造方法の第2実施形態に係る各工程におけるメモリセルの断面図

【図5】本発明に係る半導体装置の製造方法の第3実施形態に係る各工程におけるメモリセルの断面図

【図6】従来技術に係る製造方法の各工程におけるメモリセルの断面図

【符号の説明】

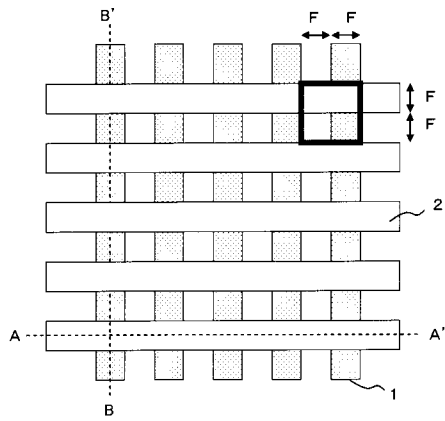
【0064】

20

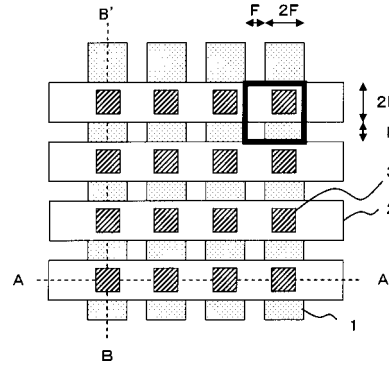
1	下部電極
2	上部電極
3	開口部
4	シリコン半導体基板
5	BPSG膜
6	コンタクトプラグ
7、17	TiN膜
8、12、18、22	Pt膜
9	SiN膜
10、14、16、19、20	SiO <sub>2</sub> 膜
11、21	PCMO膜
12、22	Pt膜
13、23	レジスト
15	Al配線

30

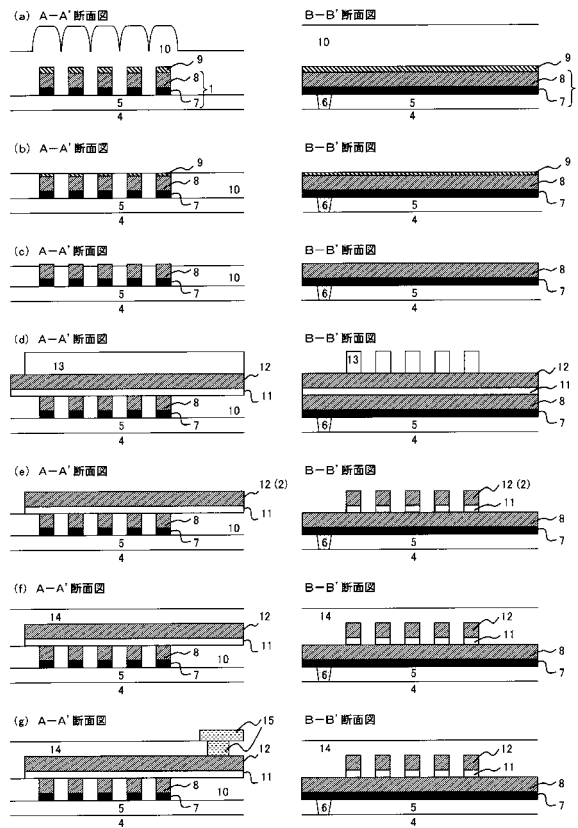
【 図 1 】



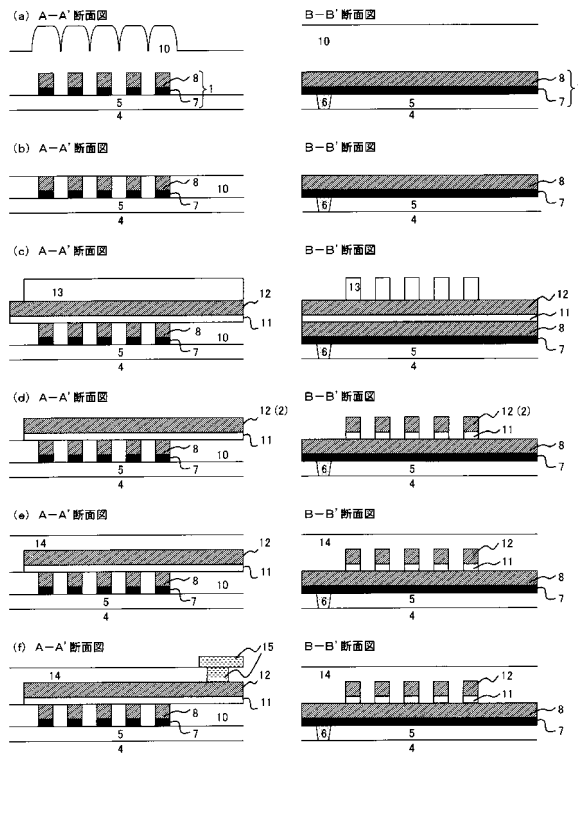
【 図 2 】



【 図 3 】

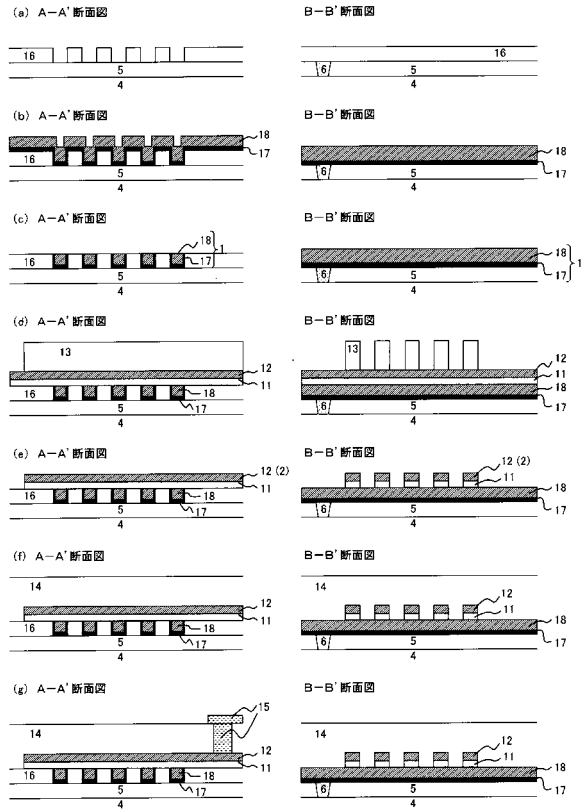


【 図 4 】

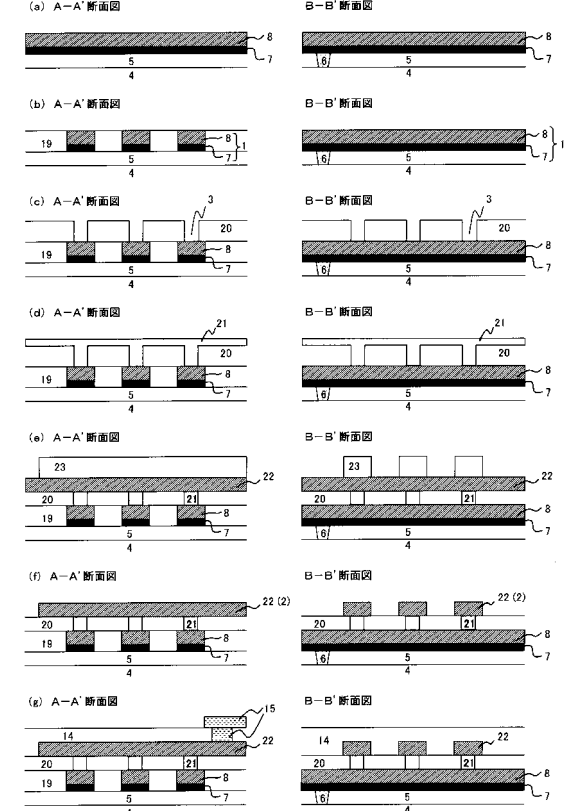




【図5】



【図6】



## フロントページの続き

- (72)発明者 洪谷 隆広  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 中野 貴司  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 田尻 雅之  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 大西 茂夫  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 小森 重樹

- (56)参考文献 特開2006-032728(JP,A)  
特開2002-094020(JP,A)  
特開2003-243622(JP,A)  
特開2003-282838(JP,A)  
特開2003-068984(JP,A)  
特開2004-303988(JP,A)  
特開2004-356458(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/105  
H01L 45/00