(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5151371号
(P5151371)

(45)発行日　平成25年2月27日(2013.2.27)　(24)登録日　平成24年12月14日(2012.12.14)

(51)Int.Cl.　F I
H01L 27/146 (2006.01)　H01L 27/14　A

請求項の数 8　(全 28 頁)

(21)出願番号　特願2007-256627(P2007-256627)
(22)出願日　平成19年9月28日(2007.9.28)
(65)公開番号　特開2009-88286(P2009-88286A)
(43)公開日　平成21年4月23日(2009.4.23)
審査請求日　平成22年3月2日(2010.3.2)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100122884
弁理士　角田　芳末
(74)代理人　100133824
弁理士　伊藤　仁恭
(72)発明者　糸長　総一郎
東京都港区港南１丁目７番１号　ソニー株式会社内

審査官　橘　均憲

最終頁に続く

(54)【発明の名称】固体撮像装置並びにカメラ

(57)【特許請求の範囲】
【請求項１】
画素毎に、基板の厚み方向に光電変換部と、電荷蓄積部と、前記光電変換部と前記電荷蓄積部間のポテンシャルバリアを有し、
前記光電変換部が前記電荷蓄積部より光入射側にあって、前記電荷蓄積部が光入射側から見て前記基板の深部に形成され、
受光時に、光電変換された電子・正孔対のうち、一方の電荷を信号電荷として前記光電変換部に蓄積し、
前記電子・正孔対のうちの他方の電荷により前記ポテンシャルバリアを変調させて、前記電荷蓄積部に蓄積されている一方の電荷を前記光電変換部へ供給する
固体撮像装置。
【請求項２】
前記光電変換部が前記電荷蓄積部より光入射側に形成され、前記電荷蓄積部が前記基板の厚み方向の中間部に形成されている請求項１記載の固体撮像装置。
【請求項３】
前記電荷蓄積部が、前記光電変換部を挟んで光入射側とその反対側の双方に形成されている請求項１記載の固体撮像装置。
【請求項４】
前記光電変換部が前記電荷蓄積部より光入射側に形成され、前記電荷蓄積部の前記光入射側とは反対側のポテンシャルバリアが固定されている請求項１記載の固体撮像装置。

【請求項５】
前記電荷蓄積部の前記光入射側とは反対側のポテンシャルバリアが全画素共通に形成されている請求項４記載の固体撮像装置。
【請求項６】
前記光電変換部が前記電荷蓄積部より光入射側に形成され、前記基板の電位を制御して前記電荷蓄積部の、前記光入射側とは反対側のポテンシャルバリアを制御する請求項１記載の固体撮像装置。
【請求項７】
前記光電変換部に蓄積された信号電荷をリセットするとき、同時に前記電荷蓄積部に蓄積された一方の電荷をリセットする請求項１記載の固体撮像装置。
【請求項８】
固体撮像装置と、
前記固体撮像装置の撮像部に入射光を導く光学系と、
前記固体撮像装置の出力信号を処理する信号処理回路と
を有し、
前記固体撮像装置は、
画素毎に、基板の厚み方向に光電変換部と、電荷蓄積部と、前記光電変換部と前記電荷蓄積部間のポテンシャルバリアを有し、
前記光電変換部が前記電荷蓄積部より光入射側にあって、前記電荷蓄積部が光入射側から見て前記基板の深部に形成され、受光時に、光電変換された電子・正孔対のうち、一方の電荷を信号電荷として前記光電変換部に蓄積し、
前記電子・正孔対のうち、他方の電荷により前記ポテンシャルバリアを変調させて、前記電荷蓄積部に蓄積されている一方の電荷を前記光電変換部へ供給するように構成されている
カメラ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ＣＭＯＳイメージセンサあるいはＣＣＤイメージセンサ等の固体撮像装置、並びにこれらの固体撮像装置を備えたカメラに関する。
【背景技術】
【０００２】
固体撮像装置は、ＣＭＯＳイメージセンサに代表される増幅型固体撮像装置と、ＣＣＤイメージセンサに代表される電荷転送型固体撮像装置とに大別される。ＣＭＯＳイメージセンサとＣＣＤイメージセンサとを比較した場合、ＣＣＤイメージセンサでは信号電荷の転送に高い駆動電圧を必要とするため、ＣＭＯＳイメージセンサに比べて電源電圧が高くなる。従って、カメラ付き携帯電話やＰＡＤ（Personal Digital Assistant）などのモバイル機器に搭載される固体撮像装置としては、ＣＣＤイメージセンサに比べて電源電圧が低く、消費電力の観点などから、ＣＭＯＳイメージセンサが多く用いられている。
【０００３】
特許文献１には、画素の受光部を、ｎ型半導体層とその上のｐ＋半導体層とによるフォトダイオードで構成したＣＭＯＳ固体撮像装置の構成が示されている。
特許文献２は、画素の受光部を、ｎ型不純物拡散領域とその上のｐ＋型正電荷蓄積領域によるフォトダイオードで構成したＣＣＤ固体撮像装置が示されている。この特許文献２では、エピタキシャル成長とイオン注入により、オーバーフローバリアを形成する技術も開示されている。
また、特許文献３には、ｎ型エピタキシャル層を形成し、このｎ型エピタキシャル層にフォトレジストマスクを介してイオン注入の加速電圧を連続的に変化させてｐ型半導体領域を形成し、深いｐｎ接合を有した超接合半導体素子の製造方法が開示されている。
【０００４】

【特許文献１】特開２００６－３２６８１号公報
【特許文献２】特開２００７－８１４４８号公報
【特許文献３】特開平１０－１１６９７５号公報
【発明の開示】
【発明が解決しようとする課題】
【０００５】
ところで、近年、固体撮像装置の画素の微細化が進むにつれて、単位画素当たりの面積が小さくなり、それに伴って受光面積が小さくなってきて、感度の低下が避けられない。ＣＭＯＳイメージセンサ、ＣＣＤイメージセンサでは、光電変換した電子・正孔対のうち、いずれか一方、通常は電子を信号電荷として利用している。従って、受光面積の縮小に伴い一定の光照射量で得られる電子量が低減し、感度が低下する。このため、画素が微細化されても高感度の得られる固体撮像装置の開発が望まれている。
【０００６】
本発明は、上述の点に鑑み、画素が微細化されても感度を向上した固体撮像装置及びその製造方法を提供するものである。
また、本発明は、このような感度を向上した固体撮像装置を備えたカメラを提供するものである。
【課題を解決するための手段】
【０００７】
本発明に係る固体撮像装置は、画素毎に、光電変換部と、電荷蓄積部と、光電変換部と電荷蓄積部間のポテンシャルバリアを有し、光電変換部が電荷蓄積部より光入射側にあって、電荷蓄積部が光入射側から見て基板の深部に形成されている。そして、受光時には、光電変換された電子・正孔対のうち、一方の電荷を信号電荷として光電変換部に蓄積し、前記電子・正孔対のうち、他方の電荷によりポテンシャルバリアを変調させて、電荷蓄積部に蓄積されている一方の電荷を光電変換部へ供給することを特徴とする。
【０００８】
本発明の固体撮像装置では、受光時に光電変換された電子・正孔対のうちの一方の電荷が信号電荷として光電変換部に蓄積される。同時に、電子・正孔対のうちの他方の電荷により光電変換部と電荷蓄積部間のポテンシャルバリアが変調を受けて、電荷蓄積部に蓄積されていた一方の電荷がポテンシャルバリアを越えて光電変換部に供給される。従って、受光時に光電変換部に蓄積される信号電荷量は、光電変換されたときの一方の電荷に、他方の電荷に基づく電荷蓄積部からの一方の電荷が加算された量になる。
【０００９】
固体撮像装置の製造方法は、エピタキシャル成長前の半導体領域の表面に、所要の種ドーパントをイオン注入する工程と、半導体領域の表面にエピタキシャル成長層を堆積し、種ドーパントをエピタキシャル成長層中に拡散する工程と、エピタキシャル成長層の表面から所要のドーパントをイオン注入する工程を有し、画素分離部、光電変換部、電荷蓄積部、及び光電変換部と電荷蓄積間のポテンシャルバリア層を形成することを特徴とする。
【００１０】
固体撮像装置の製造方法では、エピタキシャル成長前の半導体領域の表面の所要の種ドーパントを注してエピタキシャル成長し、エピタキシャル成長後に上面から所要のドーパントをイオン注入するので、微細面積で且つ基板の深さ方向にｎ型半導体層、ｐ型半導体層が繰り返される多層構造を精度よく形成することができる。
【００１１】
本発明に係るカメラは、固体撮像装置と、固体撮像装置の撮像部に入射光を導く光学系と、固体撮像装置の出力信号を処理する信号処理回路とを有する。固体撮像装置は、画素毎に、光電変換部と、電荷蓄積部と、光電変換部と前記電荷蓄積部間のポテンシャルバリアを有し、光電変換部が電荷蓄積部より光入射側にあって、電荷蓄積部が光入射側から見て基板の深部に形成され、受光時に、光電変換された電子・正孔対のうち、一方の電荷を信号電荷として前記光電変換部に蓄積し、前記電子・正孔対のうち、他方の電荷によりポテ

ンシャルバリアを変調させて、電荷蓄積部に蓄積されていた一方の電荷を光電変換部へ供給するように構成されていることを特徴とする。

【発明の効果】

【００１２】

本発明に係る固体撮像装置によれば、光電変換された電子・正孔対のうち信号電荷とならない他方の電荷も信号電荷の供給に寄与させることにより、画素が微細化されても感度を向上させることができる。

本発明に係るカメラによれば、画素面積が微細化しても高感度のカメラを提供することができる。

【発明を実施するための最良の形態】

【００１３】

以下、図面を参照して本発明の実施形態を説明する。

【００１４】

通常の固体撮像装置では、光電変換により生成した電子・正孔対のうち一方の電荷、例えば電子又は正孔のみを信号電荷として扱い、他方の電荷、例えば正孔又は電子は光電変換部から掃き出された構成が採られている。本発明は、この従来捨てられる信号電荷として用いられない他方の電荷に着目し、光電変換で発生した電子・正孔対のうち、信号電荷とならない他方の電荷をも利用して光電変換部での信号電荷の増加を図るようにしたものである。

【００１５】

図１及び図２に、本発明に係る固体撮像装置の光電変換部を含む受光領域の一実施形態を示す。図１は受光領域のポテンシャル分布の概念図、図２は光電変換部を有する受光領域の概略断面構造を示す。ここでは、光電変換で生成された電子・正孔対のうち、電子を信号電荷として取り扱う場合の例である。

【００１６】

本実施形態に係る受光領域１は、図１Ａ、図２に示すように、第１導電型、本例ではｎ型の半導体基板（例えばシリコン基板）２に、第２導電型、本例ではｐ型の半導体層３、ｎ型半導体層４、ｐ型半導体層５、ｎ型半導体層６及びｐ型半導体層（いわゆるｐ＋アキュミュレーション層）７が順次に形成されて構成される。画素を構成する受光領域１は、半導体基板２に形成された画素分離領域９、本例ではｐ型半導体領域で区画された領域に形成される。受光領域１を含む全面には、例えばシリコン酸化膜等による絶縁膜１０が形成される。

【００１７】

画素分離領域としては、上例の他、例えばＳＴＩ（Shallow Trench Isolation）分離方式の画素分離領域、ＬＯＣＯＳ（選択酸化）分離方式の画素分離領域、あるいはシリコン基板中にｐ型拡散層を注入し、その上に厚い酸化膜を堆積したＥＤＩ分離方式の画素分離領域などを用いることができる。これらの画素分離領域は、以下の実施の形態でも同様に適用することができる。

なお、図１Ａでは各半導体層において、色の濃い領域ほど不純物濃度が大きいことを表している。

【００１８】

受光領域１における光入射される表面側のｐ型半導体層７とその下のｎ型半導体層６とその下のｐ型半導体層５とにより、ＨＡＤ（Hole Accumulation Diod）構造の実質的な光電変換部８となるフォトダイオードＰＤが構成される。基板深部に形成されたｎ型半導体層４は、電荷である電子が蓄積される電荷蓄積部として構成される（以下、ｎ型半導体４を電荷蓄積部という）。この電荷蓄積部４の光入射側、本例では基板表面側に接するｐ型半導体層５は、後述する光電変換で生成された電子・正孔対のうちの正孔によりポテンシャルバリアφａが変調される変調ポテンシャルバリア層となる（以下、ポテンシャルバリアφａを変調ポテンシャルバリアφａという）。電荷蓄積部４の光入射側と反対側、本例では基板深部側に接するｐ型半導体層３は、固定のポテンシャルバリアφｂを有する基

板側ポテンシャルバリア層となる（以下、このポテンシャルバリアφｂを基板側ポテンシャルバリアφｂという）。

【００１９】

ここで、受光直前の状態では、変調ポテンシャルバリアφａは、基板側ポテンシャルバリアφｂより高くなるように設定される。受光され光電変換されている状態では、変調ポテンシャルバリアφａは、正孔ｈにより変調されて基板側ポテンシャルバリアφｂより低くなるように設定される。これら、電荷蓄積部４、変調ポテンシャルバリアφａを構成するｐ型半導体層５及び基板側ポテンシャルバリアφｂを構成するｐ型半導体層３は、それぞれ導入する不純物濃度によりポテンシャルを設定することができる。

【００２０】

電荷蓄積部４と変調ポテンシャルバリアφａを構成するｐ型半導体層５は、各画素毎に形成される。固定の基板側ポテンシャルバリアφｂを構成するｐ型半導体層３は、各画素に共通に形成される。

【００２１】

一方、基板２の深部、すなわち例えば電荷蓄積部４及びｐ型半導体層３の近傍領域には、電子を発生させるための欠陥１１を形成することが好ましい。この欠陥１１からの電子は、常時、電荷蓄積部４に蓄積されることになる。欠陥１１は、例えば窒素を分布させることで形成することができる。欠陥１１は、電子・正孔対を発生させるが、本例では電子を電荷蓄積部４に蓄積させるようになされる。

【００２２】

なお、欠陥１１を設けなくても、受光時の波長の長い光で電荷蓄積部４及びｐ型半導体層３の近傍領域において光電変換で生成された電子を、電荷蓄積部４に蓄積させるようにすることもできる。さらに、熱によって発生する熱電子を電荷蓄積部４に蓄積させるようにすることもできる。

【００２３】

ｐ型の画素分離領域９と、光電変換部８のアキュミュレーション層となるｐ型半導体層７とには、０Ｖが印加される。また、変調ポテンシャルバリア層となるｐ型半導体層５は、０Ｖで抑えられているが、変調ポテンシャルバリアφａは正孔の蓄積で変調される。基板側ポテンシャルバリアφｂの固定を、より安定させるためには、ｎ型半導体基板２に所要の電位を印加して置くのが好ましい。例えば、ｎ型半導体基板２に０Ｖを印加して置く。

【００２４】

次に、上述の本実施形態の受光領域１の動作を説明する。欠陥１１から発生した電子、あるいは長波長の光入射により光電変換した電子・正孔対のうちの電子、あるいは基板中の発生した熱電子、本例では基板深部に設けた欠陥１１から発生した電子ｅ′が、電荷蓄積部４のポテンシャルディップ（電子に対するポテンシャルディップ）１２に蓄積される。常時、ポテンシャルディップ１２は電子ｅ′で満たされている。電荷蓄積部４から溢れた電子ｅ′は基板側ポテンシャルバリアφｂを越えて基板２側に排出される。

【００２５】

受光時、光電変換部８であるフォトダイオードＰＤで光電変換された電子・正孔対のうち信号電荷となる電子ｅはｎ型半導体層６の基板表面側の不純物濃度の大きい電荷蓄積領域６ａに蓄積される。同時に光電変換された電子・正孔対のうちの正孔ｈが、ｐ型半導体層５のポテンシャルディップ（正孔に対するポテンシャルディップ）１３に蓄積され、変調ポテンシャルバリアφａが変調される。すなわち、変調ポテンシャルバリアφａが破線で示すように、低くなる。

【００２６】

このため、電荷蓄積部４に蓄積されていた電子ｅ′のうち、変調ポテンシャルバリアφａと固定の基板側ポテンシャルバリアφｂとの差分に対応する電子ｅ′が変調ポテンシャルバリアφａを越えて光電変換部８であるフォトダイオードＰＤのｎ型半導体層６ａへ供給される。これにより、光電変換部８では、光電変換された電子・正孔対の電子ｅに、電

荷蓄積部４に蓄積された一部の電子ｅ′が加算された信号電荷量（電子）が蓄積されることになる。

【００２７】

上述の本実施形態に係る固体撮像装置によれば、光電変換で生成された電子・正孔対のうち電子ｅを信号電荷として扱うと共に、正孔ｈを利用して変調ポテンシャルバリアφａを変調し、電荷蓄積部４に蓄積された電子ｅ′を光電変換部８へ供給している。このため、光電変換部８では、本来の信号電荷である電子ｅと、正孔ｈにより電荷蓄積部４から供給される電子ｅ′が加算されることにより、画素面積の微細化に伴い受光面積が小さくなっても、感度を向上することができる。

【００２８】

次に、本発明に係る固体撮像装置をＣＭＯＳ固体撮像装置（イメージセンサ）に適用した実施形態について説明する。

図３に、本実施形態に係るＣＭＯＳ固体撮像装置の一実施の形態の概略構成を示す。本発明実施の形態に係る固体撮像装置２１は、半導体基板例えばシリコン基板上に、複数の光電変換部を含む画素２２が規則的に２次元アレイ状に配列された撮像領域２３と、その周辺回路としての垂直駆動回路２４と、カラム信号処理回路２５と、水平駆動回路２６と、出力回路２７と、制御回路２８等を有して構成される。

【００２９】

垂直駆動回路２４は、例えばシフトレジスタによって構成され、撮像領域２３の各画素２２を行単位で順次垂直方向に選択走査し、垂直信号線２９を通して各画素２２の光電変換部（フォトダイオード）において受光量に応じて生成した信号電荷に基づく画素信号をカラム信号処理回路２５に供給する。

【００３０】

カラム信号処理回路２５は、画素２２の例えば列毎に配置されており、例えばＳ／Ｈ（サンプルホールド）回路及びＣＤＳ（Correlated Double Sampling：相関二重サンプリング）回路などによって構成される。このカラム信号処理回路２５は、１行分の画素２２から出力される信号を画素列毎に黒基準画素（図示しないが、有効画素領域の周囲に形成される）からの信号によってノイズ除去や信号増幅等の信号処理を行う。カラム信号処理回路２５の出力段には、水平選択スイッチ（図示せず）が水平信号線３０との間に接続されて設けられる。

【００３１】

水平駆動回路２６は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路２５の各々を順番に選択し、カラム信号処理回路２５の各々から画素信号を水平信号線３０に出力する。

【００３２】

出力回路２７は、カラム信号処理回路２５の各々から水平信号線３０を通して順次に供給される信号に対し、信号処理を行って出力する。

【００３３】

制御回路２８は、垂直同期信号、水平同期信号及びマスタクロックに基いて、垂直駆動回路２４、カラム信号処理回路２５及び水平駆動回路２６などの動作の基準となるクロック信号や制御信号などを生成し、垂直駆動回路２４、カラム信号処理回路２５及び水平駆動回路２６等に入力する。

【００３４】

図４は、単位画素２２の回路構成の一例を示す回路図である。本回路例に係る単位画素２２Ａは、光電変換部、例えばフォトダイオードＰＤと、３つの画素トランジスタとを有して構成される。３つの画素トランジスタは、例えば転送トランジスタ１１２、リセットトランジスタ１１３及び増幅トランジスタ１１４である。これら画素トランジスタ１１２～１１４は、例えばｎチャネルのＭＯＳトランジスタを用いている。

【００３５】

転送トランジスタ１１２は、フォトダイオードＰＤのカソードとＦＤ（フローティング

ディフージョン）部１１６との間に接続され、フォトダイオードＰＤで光電変換され、ここに蓄積された信号電荷（電子）を、ゲートに転送パルスφＴＲＧが与えられることによってＦＤ部１１６に転送する。

【００３６】

リセットトランジスタ１１３は、選択電源ＳＥＬＶＤＤにドレインが、ＦＤ部１１６にソースがそれぞれ接続され、フォトダイオードＰＤからＦＤ部１１６への信号電荷の転送に先立って、ゲートにリセットパルスφＲＳＴが与えられることによってＦＤ部１１６の電位をリセットする。選択電源ＳＥＬＶＤＤは、電源電圧としてＶＤＤレベルとＧＮＤレベルとを選択的にとる電源である。

【００３７】

増幅トランジスタ１１４は、ＦＤ部１１６にゲートが、選択電源ＳＥＬＶＤＤにドレインが、垂直信号線２９にソースがそれぞれ接続されたソースフォロア構成となっている。増幅トランジスタ１１４は、選択電源ＳＥＬＶＤＤがＶＤＤレベルになることによって動作状態となって画素２２Ａを選択し、リセットトランジスタ１１３によってリセットした後のＦＤ部１１６の電位をリセットレベルとして垂直信号線２９に出力する。さらに増幅トランジスタ１１４は、転送トランジスタ１１２によって信号電荷を転送した後のＦＤ部１１６の電位を信号レベルとして垂直信号線２９に出力する。

【００３８】

図５は、単位画素２２の回路構成の他の例を示す回路図である。本回路例に係る単位画素２２Ｂは、光電変換部、例えばフォトダイオードＰＤと、４つの画素トランジスタとを有して構成される。４つの画素トランジスタは、例えば転送トランジスタ１１２、リセットトランジスタ１１３、増幅トランジスタ１１４及び選択トランジスタ１１５である。これら画素トランジスタ１１２～１１５は、例えばｎチャネルのＭＯＳトランジスタを用いている。

【００３９】

転送トランジスタ１１２は、フォトダイオードＰＤのカソードとＦＤ部１１６との間に接続され、フォトダイオードＰＤで光電変換され、ここに蓄積された信号電荷（ここでは、電子）を、ゲートに転送パルスφＴＲＧが与えられることによってＦＤ部１１６に転送する。

【００４０】

リセットトランジスタ１１３は、電源ＶＤＤにドレインが、ＦＤ部１１６にソースがそれぞれ接続され、フォトダイオードＰＤからＦＤ部１１６への信号電荷の転送に先立って、ゲートにリセットパルスφＲＳＴが与えられることによってＦＤ部１１６の電位をリセットする。

【００４１】

選択トランジスタ１１５は、例えば、電源ＶＤＤにドレインが、増幅トランジスタ１１４のドレインにソースがそれぞれ接続され、ゲートに選択パルスφＳＥＬが与えられることによってオン状態となり、増幅トランジスタ１１４に対して電源ＶＤＤを供給することによって画素２２Ｂの選択をなす。なお、この選択トランジスタ１１５については、増幅トランジスタ１１４のソースと垂直信号線１２１との間に接続した構成を採ることも可能である。

【００４２】

増幅トランジスタ１１４は、ＦＤ部１１６にゲートが、選択トランジスタ１１５のソースにドレインが、垂直信号線２９にソースがそれぞれ接続されたソースフォロア構成となっている。増幅トランジスタ１１４は、リセットトランジスタ１１３によってリセットした後のＦＤ部１１６の電位をリセットレベルとして垂直信号線２９に出力する。さらに増幅トランジスタ１１４は、転送トランジスタ１１２によって信号電荷を転送した後のＦＤ部１１６の電位を信号レベルとして垂直信号線２９に出力する。

【００４３】

そして、本実施の形態に係る固体撮像装置２１においては、特に、画素２２を構成する光

電変換部を含む受光領域３１を、図６に示すように、前述の図２と同様の構成を採る受光領域１で構成される。この受光領域３１は、前述の本発明に係る固体撮像装置の受光領域の第１実施の形態に相当する。

【００４４】

すなわち、本実施の形態における画素２２は、第１導電型である例えばｎ型の半導体基板（例えばシリコン基板）３２に第２導電型である例えばｐ型の半導体ウェル領域４１が形成され、例えばｐ型半導体領域で形成された画素分離領域３９で区画されたｐ型半導体ウェル領域４１に、光電変換部３８、例えばフォトダイオードＰＤを含む受光領域３１と、複数の画素トランジスタＴｒが形成されて成る。

【００４５】

受光領域３１は、ｎ型半導体基板３２に接して順次にｐ型半導体層３３、ｎ型半導体層３４、ｐ型半導体層３５、ｎ型半導体層３６及びｐ型半導体層（いわゆるｐ＋アキュミュレーション層）３７が積層されて構成される。受光領域３１における光入射される表面側のｐ型半導体層７と、その下の高濃度の電荷蓄積領域３６ａを有するｎ型半導体層３６と、その下のｐ型半導体層３５とにより、ＨＡＤ構造の実質的な光電変換部３８となるフォトダイオードＰＤが構成される。

【００４６】

基板深部に形成されたｎ型半導体層３４は、電荷である電子が蓄積される電荷蓄積部として構成される（以下、このｎ型半導体層３４を電荷蓄積部という）。この電荷蓄積部３４の光入射側、本例では基板表面側に接するｐ型半導体層は、光電変換で生成された電子・正孔対のうちの正孔ｈによりポテンシャルバリアφａ（図１参照）が変調される変調ポテンシャルバリア層となる。電荷蓄積部３４の光入射側とは反対側、本例では基板深部側に接するｐ型半導体層３３は、固定のポテンシャルバリアφｂ（図１参照）を有する基板側ポテンシャルバリア層となる。

【００４７】

前述と同様に、受光直前の状態では、変調ポテンシャルバリアφａは、基板側ポテンシャルバリアφｂより高くなるように設定される。受光されて光電変換されている状態では、変調ポテンシャルバリアφａは、正孔ｈにより変調されて基板側ポテンシャルバリアφｂより低くなるように設定される。これら、電荷蓄積部３４、変調ポテンシャルバリアφａを構成するｐ型半導体層３５及び基板側ポテンシャルバリアφｂを構成するｐ型半導体層３３は、それぞれ導入する不純物濃度によりポテンシャルを設定するようになされている。

【００４８】

電荷蓄積部３４と変調ポテンシャルバリアφａを構成するｐ型半導体層３５は、各画素毎に独立に形成される。固定の基板側ポテンシャルバリアφｂを構成するｐ型半導体層３３は、各画素に共通に形成される。

【００４９】

基板３２の深部、すなわち例えば電荷蓄積部３４及びｐ型半導体層３３の近傍の領域には、前述と同様に、電子を発生させるための欠陥１１（図１参照）を形成することが好ましい。この欠陥１１からの電子は、常時、電荷蓄積部３４に蓄積されることになる。

なお、欠陥１１を設けなくても、受光時の波長の長い光で電荷蓄積部３４及びｐ型半導体層３３の近傍の領域において光電変換で生成された電子を、電荷蓄積部３４に蓄積させるようにすることもできる。さらに、熱によって発生する熱電子を電荷蓄積部３４に蓄積させるようにすることもできる。

【００５０】

一方、複数の画素トランジスタは、ｐ型半導体ウェル領域４１に形成される。図６では、複数の画素トランジスタのうち、転送トランジスタ１１２のみを示している。転送トランジスタ１１２は、フォトダイオードＰＤと、ｎ型半導体層４２からなるＦＤ部と、ゲート絶縁膜４０を介して形成したゲート電極４３とから構成される。

【００５１】

なお、図示しないが、撮像領域の半導体基板３２の上方には、層間絶縁膜を介して多層配線が形成され、その上に平坦化膜を介してオンチップカラーフィルタ、さらにその上にオンチップマイクロレンズが形成される。

【００５２】

本実施の形態に係るＣＭＯＳ固体撮像装置２１によれば、各画素２２において、基板３２の厚み方向に光電変換部３８と、電荷蓄積部３４と、光電変換部３８及び電荷蓄積部３４間の変調ポテンシャルバリアφａを有した受光領域３１を備え、信号電荷として光電変換による電子・正孔対のうち、電子と共に正孔をも利用することにより、前述の図１で説明したように、固体撮像装置の感度を向上することができる。すなわち、常時、電荷蓄積部３４は、例えば基板３２中の欠陥１１から発生した電子ｅ′で満たされている。受光時に、光電変換部３８で光電変換されて生成した電子・正孔対のうち、信号電荷となる電子ｅが光電変換部３８の電荷蓄積領域３６ａに蓄積される。同時に、正孔ｈがｐ型半導体層３５におけるポテンシャルディップ１３（図１参照）に蓄積されることにより、変調ポテンシャルバリアφａが変調されて低くなり、電荷蓄積部３４の電子ｅ′が光電変換部３８の電荷蓄積領域３６ａへ供給される。これにより、電子ｅ、ｅ′が加算された信号電荷量となり、感度が向上する。特に、本実施の形態では、画素２２の微細化に基づいて受光面積が縮小された固体撮像装置に適用して好適である。

【００５３】

上例の図１の受光領域１をＣＭＯＳ固体撮像装置２１の画素２２に適用した実施の形態では、電荷蓄積部３４及び変調ポテンシャルバリアφａ（ｐ型半導体層３５）を各画素毎に独立に設ける。電荷蓄積部３４は、電気的にフローティングとなるように形成される。基板側ポテンシャルバリアφｂ（ｐ型半導体層３３）は各画素共通にして構成される。そして、基板側ポテンシャルバリアφｂは、基板深部に形成されるために基板表面側での例えばゲート電位の変調に影響されることがないので、バリアレベルをｐ型半導体層３３の不純物濃度によって設定することができる。その他、基板側ポテンシャルバリアφｂは、半導体基板３２に所要の電位、例えば０Ｖを印加してバリアレベルを設定することができる。すなわち、基板電位を制御して電荷蓄積部３４の基板側ポテンシャルバリφｂを制御するようにしても良い。これにより、基板側ポテンシャルバリアφｂのバリアレベルを、より確実に制御し、固定することができる。

【００５４】

図６において、電荷蓄積領域３６ａに過大な信号電荷が蓄積されたときの、ブルーミン対策としては、転送ゲートを通してＦＤ部となるｎ型半導体層４２に電荷を流すようにすることもできる。

【００５５】

本発明に係る画素の受光領域は、上述の図１及び図２に示した第１実施の形態の他、種々の受光領域を構成することができる。次に、その他の受光領域の実施の形態について説明する。

【００５６】

図７に、本発明に係る画素の受光領域の第２実施の形態を示す。本実施の形態に係る受光領域５１は、第１導電型であるｎ型の半導体基板（例えばシリコン基板）２に第２導電型であるｐ型の半導体ウェル領域１４を形成し、このｐ型半導体ウェル領域１４に光電変換部８となる例えばフォトダイオードＰＤと、この光電変換部８より光入射側、すなわち基板表面側の電子が蓄積される電荷蓄積部１６と変調ポテンシャルバリア層となるｐ型半導体層１５とを形成して構成される。半導体基板２の最表面にはｐ型半導体層（いわゆるｐ＋アキュミュレーション層）７が形成される。

【００５７】

ｎ型の電荷蓄積部１６は、ｐ型半導体層１５及び７で囲まれるように形成される。すなわち、ｎ型の電荷蓄積部１６は、光電変換部８の基板表面側の電荷蓄積領域６ａ内の一部中央に設けたｐ型半導体層１５内に形成され、その表面がｐ＋アキュミュレーション層となるｐ型半導体層７で被覆されるようにして構成される。

【００５８】
光電変換部８となるフォトダイオードＰＤは、ｐ型半導体ウェル領域１４と、電荷蓄積領域６ａを有するｎ型半導体層６と、このｎ型半導体層６に接するｐ型半導体層１５、ｐ＋アキュミュレーション層となるｐ型半導体層７とにより構成される。
【００５９】
図示しないが、ｎ型の電荷蓄積部１６の近傍部分、つまり基板表面側には、電荷蓄積部１６に蓄積される電子を発生する欠陥を形成して置くことが好ましい。なお、欠陥を設けなくても、受光時の波長の短い光で電荷蓄積部１６の近傍領域において光電変換で生成された電子を、電荷蓄積部１６に蓄積させるようにすることもできる。さらに、熱によって発生する熱電子を電荷蓄積部１６に蓄積させるようにすることもできる。
【００６０】
画素を構成する受光領域５１は、半導体基板２に形成された画素分離領域９、本例ではｐ型半導体領域で区画された領域に形成される。受光領域５１を含む全面には、例えばシリコン酸化膜等による絶縁膜１０が形成される。
【００６１】
次に、第２実施の形態の受光領域５１の動作を説明する。図７Ｂのポテンシャル分布図に示すように、欠陥からの電子、あるいは短波長の光入射により光電変換した電子・正孔対のうちの電子、あるいは基板表面中の発生した熱電子、本例では欠陥から発生した電子ｅ′が電荷蓄積部１６のポテンシャルディップ（電子に対するポテンシャルディップ）１２に蓄積され。常時、ポテンシャルディップ１２は電子ｅ′で満たされている。
【００６２】
受光時、光電変換部８であるフォトダイオードＰＤで光電変換された電子・正孔対のうち信号電荷となる電子ｅは、不純物濃度の大きいｎ型の電荷蓄積領域６ａに蓄積される。同時に光電変換された電子・正孔対のうちの正孔ｈが、ｐ型半導体層１５のポテンシャルディップ（正孔に対するポテンシャルディップ）１３に蓄積され、変調ポテンシャルバリアφａが変調され、低くなる。
【００６３】
このため、電荷蓄積部１６に蓄積されていた電子ｅ′の一部が変調されたポテンシャルバリアφａを越えて光電変換部８の電荷蓄積領域６ａへ供給される。光電変換部８では、光電変換された電子ｅに、電荷蓄積部１６からの電子ｅ′が加算され、信号電荷量が増加する。
【００６４】
第２実施の形態に係る画素の受光領域５１によれば、第１実施の形態と同様に、光電変換で生成された電子・正孔対のうちの電子ｅに、正孔ｈにより供給される電子ｅ′が加算されることにより、画素面積の微細化に伴い受光面積が小さくなっても、感度を向上することができる。この受光領域５１は、電荷蓄積部１６が基板表面側に形成されているので、特に、青の波長光に対する感度が向上する。
【００６５】
図７の実施の形態において、電荷蓄積部１６の一部を基板表面、すなわち外部に露出するように形成することができる。絶縁膜１０の開口を通して一部露出した電荷蓄積部１６に電極を形成し、この電極を通じて所用の電圧、この例では０Ｖを与えて、電荷蓄積部１６への電子ｅ′の供給源とすることができる。また、この電極に印加する電圧により、変調ポテンシャルバリアφａのバリアレベルをコントロールすることもできる。さらに電荷蓄積部１６の一部を絶縁膜１０より外部に露出させることにより、この露出部から電子ｅ′を電荷蓄積部１６へ供給するようになすこともできる。
【００６６】
図８に、本発明に係る画素の受光領域の第３実施の形態を示す。本実施の形態に係る受光領域５２は、光電変換部８のｎ型半導体層６の表面側の不純物濃度の大きいｎ型の電荷蓄積領域６ａに接してｐ型半導体層１５を形成し、このｐ型半導体層１５の中央部にｎ型半導体層により電荷蓄積部１６を形成して構成される。ｐ型半導体層１５及び電荷蓄積部

１６の表面は、基板上の絶縁膜１０との界面に臨むように形成される。

【００６７】

この受光領域５２においては、ｎ型の電荷蓄積部１６の上面が絶縁膜１０に接しているので、常時、絶縁膜１０との界面から電子が電荷蓄積部１６に蓄積される。その他の構成は、図７と同様であるので、対応する部分には同一符号を付して重複説明を省略する。

【００６８】

第３実施の形態に係る受光領域５２では、図８Ｂのポテンシャル分布図に示すように、光電変換部８より光入射側、すなわち基板表面側のｎ型の電荷蓄積部１６のポテンシャルディップ（電子に対するポテンシャルディップ）１２に、絶縁膜１０との界面から常時、電子ｅ′が蓄積される。ポテンシャルディップ１２から溢れた電子ｅ′は、基板表面（絶縁膜１０との界面）から排出される。

【００６９】

そして、受光時には、前述と同様に、光電変換部８であるフォトダイオードＰＤで光電変換された電子・正孔対のうち信号電荷となる電子ｅが、不純物濃度の大きいｎ型の電荷蓄積領域６ａに蓄積される。同時に光電変換された電子・正孔対のうちの正孔ｈが、ｐ型半導体層１５のポテンシャルディップ（正孔に対するポテンシャルディップ）１３に蓄積され、変調ポテンシャルバリアφａが変調されて低くなる。電荷蓄積部１６に蓄積されていた電子ｅ′の一部は、変調されたポテンシャルバリアφａを越えて光電変換部８の電荷蓄積領域６ａへ供給される。光電変換部８では、光電変換された電子ｅに、電荷蓄積部１６からの電子ｅ′が加算され、信号電荷量が増加する。

【００７０】

第３実施の形態に係る画素の受光領域５２によれば、第１実施の形態と同様に、光電変換で生成された電子・正孔対のうちの電子ｅに、正孔ｈにより供給される電子ｅ′が加算されることにより、画素面積の微細化に伴い受光面積が小さくなっても、感度を向上することができる。この受光領域５２は、電荷蓄積部１６が基板表面側に形成されているので、特に、青の波長光に対する感度が向上する。この受光領域５２は製造が容易になる。

【００７１】

図９に、本発明に係る画素の受光領域の第４実施の形態を示す。本実施の形態に係る受光領域５６は、基板表面にｐ型半導体層１６を形成した後、基板表面の一部にｎ型不純物ヲイオン注入してｎ型の電荷蓄積部１５を形成して構成される。このｎ型の電荷蓄積部１６の拡散形成により、ｐ型半導体層１５の電荷蓄積部１６に対応する部分は、下側に凹んだ形状となる。

【００７２】

この受光領域５６においては、ｎ型の電荷蓄積部１６の上面が絶縁膜１０と接しているので、常時、絶縁膜１０との界面から電子が電荷蓄積部１６に蓄積される。その他の構成は、図８Ａと同様であるので、対応する部分には同一符号を付して重複説明を省略する。

【００７３】

第４実施の形態に係る受光領域５６においても、図８の第３実施の形態と同様に作用し、光電変換で生成された電子・正孔対のうちの電子ｅに、正孔ｈにより供給される電子ｅ′が加算されることにより、画素面積の微細化に伴い受光面積が小さくなっても、感度を向上することができる。この受光領域５２は、電荷蓄積部１６が基板表面側に形成されているので、特に、青の波長光に対する感度が向上する。この受光領域５３は製造が容易になる。

【００７４】

なお、図８Ａ、図９の受光領域５２，５６をＣＭＯＳ固体撮像装置の受光領域に適用したときには、図１０の上面図で示す構成とすることが望ましい。すなわち、受光領域５２，５６の中央部にｎ型の電荷蓄積部１６が形成され、この電荷蓄積部１６から離れた位置、例えば四角形状の受光領域としたときには、四角形状の角部が切除された部分に対向してＦＤ部であるｎ型半導体層４２を配置し、四角形状の角部が切除された部分とＦＤ部との間に対応して転送トランジスタのゲート電極４３が形成されるように構成することがで

きる。

【００７５】

図１１に、本発明に係る画素の受光領域の第５実施の形態を示す。本実施の形態に係る受光領域５７は、ｎ型の電荷蓄積部１６を省略し、基板表面のｐ型半導体層１５の一部を薄く形成して構成される。この場合、基板表面が電子の供給源となり、基盤表面の薄いｐ型半導体部１５ａが変調ポテンシャルバリア層となる。その他の構成は、図８Ａと同様であるので、対応する部分には同一符号を付して重複説明を省略する。

【００７６】

第５実施の形態に係る受光領域５７では、基板表面から電荷蓄積部１６へ電子ｅ′が供給され、蓄積される。光電変換部８で光電変換された電子・正孔対のうち、電子ｅはｎ型の電荷蓄積領域６ａに蓄積される。一方、正孔は薄いｐ型半導体部１５ａのポテンシャルディップに入り、変調ポテンシャルバリアφｂを変調する。これにより、基板表面の電子供給部から電子ｅ′が光電変換部８の電荷蓄積領域６ａに供給され、電荷蓄積領域６ａの信号電荷量が増加する。

【００７７】

第５実施の形態に係る受光領域５７によれば、前述と同様に、光電変換で生成された電子・正孔対のうちの電子ｅに、正孔ｈにより供給される電子ｅ′が加算されることにより、画素面積の微細化に伴い受光面積が小さくなっても、感度を向上することができる。この受光領域５７は、電荷蓄積部１６が基板表面側に形成されているので、特に、青の波長光に対する感度が向上する。

【００７８】

図１２に、本発明に係る画素の受光領域の第６実施の形態を示す。本実施の形態に係る受光領域５３は、光電変換部８のｎ型半導体層６の表面側の不純物濃度の大きいｎ型の電荷蓄積領域６ａに接してｐ型半導体層１５を形成し、このｐ型半導体層１５の全面上にｎ型半導体層により電荷蓄積部１６を形成して構成される。ｎ型の電荷蓄積部１６の表面は、基板上の絶縁膜１０との界面に臨むように形成される。

【００７９】

この受光領域５３においては、ｎ型の電荷蓄積部１６の上面が絶縁膜１０に接しているので、常時、絶縁膜１０との界面から電子が電荷蓄積部１６に蓄積される。その他の構成は、図７と同様であるので、対応する部分には同一符号を付して重複説明を省略する。

【００８０】

第６実施の形態に係る受光領域５３では、図１２Ｂのポテンシャル分布図に示すように、第３実施の形態と同様に、光電変換部８より光入射側、すなわち基板表面のｎ型の電荷蓄積部１６におけるポテンシャルディップ（電子に対するポテンシャルディップ）１２に、絶縁膜１０との界面から常時、電子ｅ′が蓄積される。ポテンシャルディップ１２から溢れた電子ｅ′は、基板表面（絶縁膜１０との界面）から排出される。

【００８１】

そして、受光時には、第３実施の形態と同様に、光電変換部８であるフォトダイオードＰＤで光電変換された電子・正孔対のうち信号電荷となる電子ｅが、不純物濃度の大きいｎ型の電荷蓄積領域６ａに蓄積される。同時に光電変換された電子・正孔対のうちの正孔ｈが、ｐ型半導体層１５におけるポテンシャルディップ（正孔に対するポテンシャルディップ）１３に蓄積され、変調ポテンシャルバリアφａが変調されて低くなる。電荷蓄積部１６に蓄積されていた電子ｅ′の一部は、変調されたポテンシャルバリアφａを越えて光電変換部８の電荷蓄積領域６ａへ供給される。光電変換部８では、光電変換された電子ｅに、電荷蓄積部１６からの電子ｅ′が加算され、信号電荷量が増加する。

【００８２】

第６実施の形態に係る画素の受光領域５３によれば、第３実施の形態と同様に、光電変換で生成された電子・正孔対のうちの電子ｅに、正孔ｈにより供給される電子ｅ′が加算されることにより、画素面積の微細化に伴い受光面積が小さくなっても、感度を向上することができる。この受光領域５３は、電荷蓄積部１６が基板表面側に形成されているので

、特に、青の波長光に対する感度が向上する。この受光領域５３は製造が容易になる。

【００８３】

図１３に、本発明に係る受光領域の第７実施の形態を示す。本実施の形態に係る受光領域５４は、半導体基板２の厚み方向の中間部、すなわち、光電変換部８のｎ型半導体層６中に、局部的にｐ型半導体層１５に取り囲まれたｎ型の電荷蓄積部１６を形成して構成される。ｎ型半導体層６の表面側には、ｐ型半導体層（いわゆるｐ＋アキュミュレーション層）７が形成され、このｐ型半導体層７上に絶縁膜１０が形成される。

【００８４】

図示しないが、ｎ型の電荷蓄積部１６の近傍部分には、電荷蓄積部１６に蓄積される電子を発生する欠陥を形成して置くことが好ましい。なお、欠陥を設けなくても、受光時の波長の短い光で電荷蓄積部１６の近傍領域において光電変換で生成された電子を、電荷蓄積部１６に蓄積させるようにすることもできる。さらに、熱によって発生する熱電子を電荷蓄積部１６に蓄積させるようにすることもできる。

その他の構成は、前述の図７と同様であるので、対応する部分に同一符号を付して重複説明を省略する。

【００８５】

第７実施の形態では、図１３Ｂのポテンシャル分布図に示すように、欠陥からの電子、あるいは短波長の光入射により光電変換した電子・正孔対のうちの電子、あるいは基板表面中の発生した熱電子、本例では欠陥から発生した電子ｅ′が電荷蓄積部１６におけるポテンシャルディップ（電子に対するポテンシャルディップ）１２に蓄積される。常時、ポテンシャルディップ１２は電子ｅ′で満たされている。

【００８６】

受光時、光電変換部８であるフォトダイオードＰＤで光電変換された電子・正孔対のうち信号電荷となる電子ｅは、不純物濃度の大きいｎ型の電荷蓄積領域６ａに蓄積される。同時に光電変換された電子・正孔対のうちの正孔ｈが、ｐ型半導体層１５におけるポテンシャルディップ（正孔に対するポテンシャルディップ）１３に蓄積され、変調ポテンシャルバリアφａが変調されて低くなる。電荷蓄積部１６に蓄積されていた電子ｅ′の一部は、変調されたポテンシャルバリアφａを越えて光電変換部８の電荷蓄積領域６ａへ供給される。光電変換部８では、光電変換された電子ｅに、電荷蓄積部１６からの電子ｅ′が加算され、信号電荷量が増加する。

【００８７】

第７実施の形態に係る画素の受光領域５４によれば、光電変換で生成された電子・正孔対のうちの電子ｅに、正孔ｈにより供給される電子ｅ′が加算されることにより、画素面積の微細化に伴い受光面積が小さくなっても、感度を向上することができる。この受光領域５４は、電荷蓄積部１６が基板厚み方向の中間に形成されているので、特に、緑の波長光に対する感度が向上する。

【００８８】

図１４に、本発明に係る画素の受光領域の第８実施の形態を示す。本実施の形態に係る画素の受光領域５５は、前述の図２の基板深部のｎ型電荷蓄積部４と、図７の基板表面側のｎ型の電荷蓄積部１６を有して構成される。すなわち、この受光領域５５は、光電変換部８の高不純物濃度のｎ型の電荷蓄積領域６ａを有するｎ型半導体層６を挟んで、光入射側とその反対側、つまり、基板表面側と基板深部側の双方にｎ型の電荷蓄積部１５及び４を形成して構成される。基板表面側の電荷蓄積部１６は、光電変換部８のｎ型の電荷蓄積領域６ａ上に形成したｐ型半導体層１５に局部的に形成される。基板最表面にはｐ型半導体層（いわゆるｐ＋アキュミュレーション層）７が形成され、その上に絶縁膜１０が形成される。

【００８９】

図示しないが、基板深部の電荷蓄積部４の近傍、及び基板表面側の電荷蓄積部１６の近傍部には、欠陥を形成して置くことが好ましい。なお、欠陥を設けなくても、受光時の波長の短い光及び波長の長い光で、電荷蓄積部１６及び４の近傍領域においてそれぞれ光電

変換で生成された電子を、電荷蓄積部１６及び４に蓄積させるようにすることもできる。さらに、熱によって発生する熱電子を電荷蓄積部１６及び４に蓄積させるようにすることもできる。

その他の構成は、図２及び図７と同様であるので、対応する部分に同一符号を付して重複説明を省略する。

【００９０】

第８実施の形態に係る画素の受光領域５５では、前述と同様に、常時、電荷蓄積部４及び１６に電子ｅ′が蓄積される。受光時、光電変換部８であるフォトダイオードＰＤで光電変換された電子・正孔対のうち信号電荷となる電子ｅは、不純物濃度の大きいｎ型の電荷蓄積領域６ａに蓄積される。同時に基板中間部及び基板深部で光電変換された電子・正孔対のうちの正孔ｈが、ｐ型半導体層５におけるポテンシャルディップ（正孔に対するポテンシャルディップ）１３に蓄積され、変調ポテンシャルバリアφａが変調して低くなる。また、基板表面側で光電変換された電子・正孔対のうちの正孔ｈが、ｐ型半導体層１５におけるポテンシャルディップ（正孔に対するポテンシャルディップ）１３に蓄積され、変調ポテンシャルバリアφａが変調されて低くなる。これによりそれぞれの電荷蓄積部４及び１６に蓄積されていた電子ｅ′の一部は、それぞれｐ型半導体層５、１５における変調されたポテンシャルバリアφａを越えて光電変換部８の電荷蓄積領域６ａへ供給される。光電変換部８では、光電変換された電子ｅに、電荷蓄積部４、１６からの電子ｅ′が加算され、信号電荷量が増加する。

【００９１】

この受光領域５５では、基板深部の電荷蓄積部４の電子ｅ′は、主として赤、緑の波長光が入射したときに光電変換部８へ供給され、基板表面側の電荷蓄積部１６の電子ｅ′は、主として青の波長光が入射したときに光電変換部８へ供給される。

【００９２】

第８実施の形態に係る画素の受光領域５５によれば、光電変換で生成された電子・正孔対のうちの電子ｅに、正孔ｈにより供給される電子ｅ′が加算されることにより、画素面積の微細化に伴い受光面積が小さくなっても、感度を向上することができる。この受光領域５５は、電荷蓄積部１６が基板深部及び基板表面側の双方に形成されているので、特に、赤、緑及び青の波長光に対する感度を向上することができる。

【００９３】

上述した図７～図１４に示す第２～第８実施の形態に係る受光領域５１～５７は、前述したＣＭＯＳ固体撮像装置２１における画素２の受光領域に適用することができる。すなわち、図６の実施の形態に係るＣＭＯＳ固体撮像装置２１において、その受光領域３１を図７～図１４の受光領域５１～５７のいずれかの受光領域に置き換えて構成することができる。

【００９４】

一方、例えば図１の受光領域を適用した本実施の形態に係るＣＭＯＳ固体撮像装置２１においては、電荷蓄積部３４に蓄積されている電子ｅ′を、光電変換部８であるフォトダイオードＰＤの信号電荷（電子）ｅのリセットと同時にリセットし、受光期間で再び電荷蓄積部３４に電子ｅ′を蓄積するようになせば、飽和信号電荷量（Ｑｓ）を向上し、ダイナミックレンジ（いわゆる階調）を大きくすることが可能になる。図１５にその実施の形態を示す。

【００９５】

図１５は、図６に示すＣＭＯＳ固体撮像装置における受光領域３１と同様の構成を採る受光領域のポテンシャル分布図である。実線のポテンシャル分布は、変調ポテンシャルバリアφａが光電変換により生成した正孔ｈによりφａ′に変調した状態である。ｎ型半導体基板３２には、例えば０Ｖあるいは１．８Ｖの電圧が印加されて基板側ポテンシャルバリアφｂが設定されている。

【００９６】

リセット時に、光電変換部８の電荷蓄積領域６ａに蓄積された信号電荷ｅ＋ｅ′をリセ

ットしたとき、同時に半導体基板３２に例えば２．７Ｖを印加して破線で示すように、基板側ポテンシャルバリアφｂを消滅して電荷蓄積部３４の電子ｅ′の全てを半導体基板３２側に排出する。その後、半導体基板３２の基板電位を０Ｖあるいは１．８Ｖに戻して、基板側ポテンシャルバリアφｂを形成する。

【００９７】

このような構成とすることにより、光電変換部８での飽和電荷量（Ｑｓ）は、電荷蓄積部３４での蓄積電荷量が加算されるので増大する。従って感度の向上と共に、飽和電荷量（Ｑｓ）を向上することができる。

【００９８】

次に、図１６～図１７を用いて、図６に示す受光領域３１を含む画素２２を有するＣＭＯＳ固体撮像装置２１の製造方法の一実施の形態について説明する。本実施の形態の製造方法は、後述する微細画素の製造に適した製造方法を一部用いている。なお、図１６～図１７は、説明の簡略化のため、受光領域と画素分離領域のみを示し、画素トランジスタを省略した模式図である。

【００９９】

先ず、図１６Ａに示すように、ｎ型の半導体基板３２の表面に、イオン注入により基板側ポテンシャルバリア層となるｐ型半導体層３３を形成する。

【０１００】

次に、図１６Ｂに示すように、ｐ型半導体層３３の表面に、電荷蓄積部３４を形成するためのｎ型種ドーパント６１と、画素分離領域３９を形成するためのｐ型種ドーパント６２と、変調ポテンシャルバリア層となるｐ型半導体層３５を形成するためのｐ型種ドーパント６３を、それぞれ選択的にイオン注入する。このとき、各種ドーパント６１、６２、６３は、拡散係数を考慮して選択される。

【０１０１】

次に、図１６Ｃに示すように、Ｐ型半導体層３３上にエピタキシャル層６４を成長させる。このエピタキシャル成長と同時に各種ドーパント６１、６２、６３がエピタキシャル層６４中に拡散して電荷蓄積部３４、画素分離領域３９の一部となる下部画素分離領域３９Ａ、及びｐ型半導体層３５が形成される。

【０１０２】

次に、図１７Ｄに示すように、エピタキシャル層６４の上面からイオン注入によりｐ型ドーパント及びｎ型ドーパントを選択的にイオン注入し、熱処理して下部画素分離領域３９Ａに達する上部画素分離領域３９Ｂを形成し、各電荷蓄積部３４に対応する位置にｐ型半導体層３５に接する光電変換部８を構成する電荷蓄積領域３６ａを含むｎ型半導体層３６を形成する。下部画素分離領域３９Ａ及び上部画素分離領域３９Ｂにより画素分離領域３９が形成される。同時に、画素分離領域の各画素毎に分離された、変調ポテンシャルバリア層となるｐ型半導体層３５及び光電変換部８を構成するｎ型半導体層３６が形成される。

【０１０３】

次に、図１７Ｅに示すように、エピタキシャル層６４の表面にｐ＋アキュミュレーション層となるｐ型半導体層３７を形成する。このようにして、各画素毎の受光領域３１を形成する。

その後は、画素トランジスタ、多層配線層、オンチップカラーフィルタ及びオンチップレンズ等を形成してＣＭＯＳ固体撮像装置を得る。

【０１０４】

電荷蓄積部３４であるｎ型半導体層のｐ型半導体層３３に接する側の領域、光電変換部３８のｎ型半導体層３６のｐ型半導体層３５に接す側の領域は、ｐ型不純物の濃度を制御することで、ｐ型不純物によりｎ型濃度を打ち消して低濃度化することができる（図１Ａの濃度分布参照）。これら各半導体層の不純物濃度分布は、拡散係数を考慮した不純物の選択、イオン注入のドーズ量、イオン注入の飛程距離Ｒｐをコントロールすることにより可能である。

【０１０５】
微細画素化するに伴って受光面積が小さくなると、レジストマスクのアスペクト比が大きくなり、深さ方向にｎ型半導体層、ｐ型半導体層が繰り返えされる多層構造を上面からのイオン注入で形成することが困難になる。本実施の形態に係る図１６及び図１７の製造方法によれば、半導体基板３２に形成したｐ型半導体層３３の表面側に、それぞれｎ型種ドーパント６１、ｐ型種ドーパント６２、６３をイオン注入して置き、エピタキシャル成長したときに同時にエピタキシャル層６４中に下から拡散して電荷蓄積部３４、画素分離領域３９Ａ、ｐ型半導体層３５を形成する。その後、エピタキシャル層６４の表面からｎ型ドーパント、ｐ型ドーパントを選択的にイオン注入し、熱処理して画素分離領域３９Ｂ、光電変換部８のｎ型半導体層３６、ｐ型半導体層３７を形成するようにしている。これにより、エピタキシャル層の上面からのイオン注入の打ち込むエネルギーの低減が可能になると共に、確実にｎ型半導体層、ｐ型半導体層の繰り返し多層構造を形成することができる。
【０１０６】
更に、光電変換部８の深さを拡大する場合、あるいは上面からのイオン注入の打ち込みエネルギーを低減するには、図１５に示すように、下地半導体層にｎ型種ドーパント、ｐ型種ドーパントをイオン注入し、エピタキシャル成長する工程を繰り返すことに可能になる。
【０１０７】
すなわち、図１７Ｄの工程のあと、図１８Ａに示すように、第１のエピタキシャル層６４におけるｎ型半導体層３６Ａ及び画素分離領域３９Ｂの表面に、それぞれｎ型種ドーパント６５、ｐ型種ドーパント６６をイオン注入する。
【０１０８】
次に、図１８Ｂに示すように、第２のエピタキシャル層６７を成長させ、第２のエピタキシャル層６７中に第１のエピタキシャル層６４のｎ型半導体層３６Ａ及び画素分離領域３９Ｂに連続するｎ型半導体層３６Ｂ及びｐ型の画素分離領域３９Ｃを形成する。
【０１０９】
その後、図１８Ｃに示すように、第２のエピタキシャル層６７の表面にｐ＋アキュミュレーション層となるｐ型半導体層３７をイオン注入により形成する。
【０１１０】
本実施形態に係るＣＭＯＳ固体撮像装置の製造方法によれば、半導体基板の深部に濃度プロファイルの半導体層を形成することができる。また、深部に欠陥を形成することが出来る。従って、微細画素で且つ多層半導体構造の本実施形態のＣＭＯＳ固体撮像装置を製造することができる。
【０１１１】
上述の各実施の形態におけるＣＭＯＳ固体撮像装置及び製造方法においては，サブストレートとしてｎ型半導体基板を用いたが，ｐ型半導体基板を用いることができる。また。ｎ型半導体基板にｐ型半導体ウェル領域を形成した基板を用いたが、ｐ型半導体基板にｐ型半導体ウェル領域を形成した基板を用いて構成することもできる。
【０１１２】
上述の各実施形態に係る受光領域は、光を多層配線層を有する基板表面側より入射するようにした表面照射型のＣＭＯＳ固体撮像装置に適用したが、その他、光を多層配線層とは反対側の基板裏面側から入射する裏面照射型のＣＭＯＳ固体撮像装置にも適用できる。裏面照射型のＣＭＯＳ固体撮像装置に上述の各実施の形態の受光領域を適用する場合には、各実施の形態における裏面側のｎ型の半導体基板２が省略された構成となる。
【０１１３】
前述した第１実施の形態～第８実施の形態に係る画素の受光領域１、５１～５７は、ＣＣＤ固体撮像装置（イメージセンサ）の受光領域に適用することもできる。図１９に、ＣＣＤ固体撮像装置に適用した本発明の実施の形態の要部を示す。
【０１１４】

本実施の形態に係るＣＣＤ固体撮像装置７１は、撮像領域にマトリックス状に配列された複数の受光領域と、各受光領域列に対応するＣＣＤ構造の垂直転送レジスタとを有して構成される。撮像領域では、図１６に示すように、第１導電型である例えばｎ型半導体基板７２に第２導電型のｐ型の半導体ウェル領域７３が形成され、このｐ型半導体ウェル領域７３に、例えば第１実施の形態の受光領域１と、垂直転送レジスタ７４のｎ型の転送チャネル領域７５が形成されて成る。

【０１１５】

受光領域１は、ｐ型半導体ウェル領域７３にｎ型の電荷蓄積部４と、変調ポテンシャルバリアφａを形成するｐ型半導体層５と、光電変換部８となり表面側に不純物濃度の大きい電荷蓄積領域６ａを有するｎ型半導体層６と、ｐ型半導体層（ｐ＋アキュミュレーション層）１０とを有して構成される。ｎ型転送チャネル領域７５上には読出し領域７６にわたりゲート絶縁膜７８を介して転送電極７７が形成される。受光領域１の読出し領域７６とは反対側には、画素分離のためのｐ型のチャネルストップ領域７９が形成される。さらに、ｎ型転送チャネル領域７５の下部にｐ型の半導体ウェル領域８０が形成される。

【０１１６】

なお、図示しないが、層間絶縁膜を介して受光領域を除く全面上に遮光膜が形成され、さらに平坦化膜を介してオンチップカラーフィルタ、オンチップマイクロレンズが積層される。

【０１１７】

このＣＣＤ固体撮像装置７１では、ｐ型半導体ウェル領域７３がオーバーフローコントロール領域となり、余剰電荷を基板７２側に排出する縦型オーバーフロードレイン方式に構成される。このｐ型半導体ウェル領域７３が、前述の固定の基板側ポテンシャルバリアφｂとして構成される。

【０１１８】

本実施の形態に係るＣＣＤ固体撮像装置７１においても、前述したように、例えば基板深部に形成した欠陥からの電子ｅ′が、常時、ｎ型の電荷蓄積部４に蓄積される。受光時、光電変換部となるフォトダイオードＰＤで光電変換された電子・正孔対のうち、信号電荷となる電子ｅが電荷蓄積領域６ａに蓄積され、同時に正孔によりｐ半導体層５の変調ポテンシャルバリアφａを変調し、ｎ型電荷蓄積部４の電子ｅ′の一部がフォトダイオードＰＤの電荷蓄積領域６ａに供給される。これにより、画素面積が微細化されても、電荷蓄積領域６ａに蓄積される信号電荷量が増し、感度を向上することができる。

【０１１９】

ＣＣＤ固体撮像装置では、半導体基板７２の基板電位を制御して、電子シャッタなどを行うようにしている。従って、フォトダイオードＰＤの信号電荷ｅ＋ｅ′を読出し領域７６を介して垂直転送レジスタ７４に読み出すと同時に、基板電位を制御して電荷蓄積部４の電子ｅ′をリセットするようになせば、フォトダイオードＰＤにおける飽和電荷量（Ｑｓ）を大きくすることもできる。

【０１２０】

次に、固体撮像装置の特に画素を構成する光電変換部及び画素分離領域の製造方法について説明する。

ＣＭＯＳイメージセンサあるいはＣＣＤイメージセンサ等の固体撮像装置において、画素の微細化に伴い光電変換部であるフォトダイオードのアスペクト比が増大する傾向になる。このようなアスペクト比の増大したフォトダイオードを基板上面側からのイオン注入で形成する場合、レジストマスクのアスペクト比（厚さ／開口の比）が大きくなり、レジストマスクの形成が困難になる。また、イオン注入の注入加速エネルギーも大きくなる。深いところにイオン注入した場合、イオン注入領域がブロードになる。画素分離領域も深いイオン注入ではイオン注入領域がブロードになる。このため、深い位置まで正確にフォトダイオードを形成することが困難になる。さらにフォトダイオードとフォトダイオードの間の画素分離領域も狭くなるので、画素分離領域の形成も困難になる。

【０１２１】

図２０Ａ，Ｂに、画素を微細化して行った場合のフォトダイオードと画素分離領域の状況を示す。フォトダイオードの場合、レジストマスク９１のアスペクト比（厚さＴ：開口幅Ｗの比）が、例えば１０．５：１としたとき、イオン注入で形成したフォトダイオードの拡散層９２の形状は、図２０Ａに示すように、望ましくない形状になる。また、画素分離領域の場合、レジストマスク９３のアスペクト比（厚さＴ：開口幅Ｗの比）が、例えば２１：１としたとき、イオン注入で形成した画素分離領域９４の形状は、図２０Ｂに示すように、望ましくない形状になる。

【０１２２】

図２１を参照して、この点を改善した製造方法を説明する。

先ず、図２１Ａに示すように、ｎ型又はｐ型、本例ではｎ型のシリコン半導体基板１０１にｐ型の半導体ウェル領域１０２を形成し、このｐ型半導体ウェル領域１０２に画素分離領域を形成するためのｐ型ドーパント１０３と、フォトダイオードのｎ型半導体層を形成するためのｎ型ドーパント１０４をイオン注入する。これらのドーパント１０２、１０３、１０４は、拡散係数の違いを考慮して飛程距離Ｒｐの深さを変化させてもよい。

なお、基板１０１としてｐ型のシリコン基板を用い、このｐ型半導体基板１０１にｐ型の半導体ウェル領域１０２を形成した基板を用いることもできる。

【０１２３】

次に、図２１Ｂに示すように、ｐ型半導体ウェル領域１０２上にエピタキシャル層１０５を成長させる。このエピタキシャル成長時にｎ型ドーパント１０４、ｐ型ドーパント１０３がエピタキシャル層１０５中に固溶拡散する。

【０１２４】

次に、図２１Ｃに示すように、エピタキシャル層１０５の成長が終了する。このとき、ｎ型ドーパント１０４の固溶拡散、ｐ型ドーパント１０３の固溶拡散をエピタキシャル層１０５の界面まで伸ばすか、伸ばさないかは、ドーパント１０４、１０３のイオン注入条件で決定する。これにより、フォトダイオードのｎ型半導体層２０４及びｐ型の画素分離領域２０３が形成される。

【０１２５】

次に、図２１Ｄに示すように、エピタキシャル成長後に、エピタキシャル層１０５の上面からイオン注入を継ぎ足して、ｎ型半導体層２０４に重なるｎ型半導体層２０４′、ｐ型の画素分離領域２０３に重なるｐ型半導体層２０３′を形成する。なお、フォトダイオードにおけるエピタキシャル層上面からのイオン注入の継ぎ足しは、例えば画素トランジスタのゲート電極を形成した後に行うのが好ましい。

【０１２６】

エピタキシャル成長後にアニールが施される。エピタキシャル成長温度、水素アニール温度は、１０００℃程度で、ドーパントは固溶拡散する。

【０１２７】

上述の製造方法によれば、エピタキシャル成長前に半導体基板１０１のｐ型半導体ウェル領域１０２にフォトダイオード、画素分離領域を形成するためのドーパントをイオン注入して置き、エピタキシャル成長後に、アニールしてエピタキシャル層中にドーパントを拡散する。このエピタキシャル層の堆積、ドーパントのイオン注入、エピタキシャル層の堆積を繰り返し、最終エピタキシャル層の上面からイオン注入を継ぎ足すことにより、必要なアスペクト比でイオン注入することができ、微細画素でもフォトダイオード、及び画素分離領域を形成することができる。

【０１２８】

エピタキシャル層の堆積温度、水素アニール温度を１０００℃程度で固溶拡散してフォトダイオードを形成するため、イオン注入回数も低減でき、注入ダメージによる白点の発生を低減できる。エピタキシャル層の上面からのイオン注入の継ぎ足す場合、レジストマスクの膜厚を薄くでき、イオン注入の加速エネルギーも表面付近の打ち込むエネルギーで済み、継ぎ足す拡散領域のアスペクト比は低減する。

【０１２９】

センサー（フォトダイオード）注入のエネルギーを低加速化できるため、微細画素が形成できる。イオン注入でセンサーを形成しないため、注入欠陥が低減でき、非常に微小白点の少ないセンサーが形成可能になる。

【０１３０】

上述の各実施の形態では、光電変換で生成された電子・正孔対のうち、電子を信号電荷として光電変換部に蓄積し、電荷蓄積部に蓄積する電荷を電子とし、変調ポテンシャルバリアを電子・正孔対のうち、正孔で変調するように構成した。その他の構成としては、光電変換で生成された電子・正孔対のうち、正孔を信号電荷とし、電荷蓄積部に蓄積する電荷を正孔とし、変調ポテンシャルバリアを電子・正孔対のうち、電子で変調するように構成することもできる。この場合には、上述の各実施の形態の受光領域において、各半導体層の導電型を逆の導電型にすることにより構成することができる。

【０１３１】

図２２に、上述した本発明に係る固体撮像装置を備えたカメラの概略構成を示す。本実施形態に係るカメラ１２１は、上述したＣＭＯＳ固体撮像装置２１、ＣＣＤ固体撮像装置７１、その他の各実施形態の受光領域を備えた固体撮像装置等、本発明に係る固体撮像装置１２２と、光学系１２３と、信号処理回路１２４とを有する。

【０１３２】

光学系１２３は、被写体から像光（入射光）を固体撮像装置１２２の撮像面上に結像させる。これにより、固体撮像装置１２２における画素の受光領域において、入射光量に応じた信号電荷（電子ｅ＋ｅ′）が光電変換部に蓄積される。

【０１３３】

信号処理回路１２４は、固体撮像装置１２２の出力信号に対して種々の信号処理を施して映像信号として出力する。

【０１３４】

本実施形態に係る固体撮像装置を備えたカメラによれば、画素が微細化されても高感度のカメラを実現することができる。また、ダイナミックレンジをも向上したカメラを実現することも可能である。

【図面の簡単な説明】

【０１３５】

【図１】本発明に係る固体撮像装置の画素の受光領域の一実施の形態を示すポテンシャル分布の概念図である。

【図２】本発明に係る固体撮像装置の画素の受光領域の第１実施の形態を示す概略図である。

【図３】本発明に適用されるＣＭＯＳ固体撮像装置の一実施の形態を示す概略構成図である。

【図４】図２の実施の形態に係る単位画素の一例を示す等価回路図である。

【図５】図２の実施の形態に係る単位画素の他の例を示す等価回路図である。

【図６】本実施の形態に係るＣＭＯＳ固体撮像装置の画素の要部を示す断面構成図である。

【図７】本発明に係る固体撮像装置の画素の受光領域の第２実施の形態を示す概略図である。

【図８】本発明に係る固体撮像装置の画素の受光領域の第３実施の形態を示す概略図である。

【図９】本発明に係る固体撮像装置の画素の受光領域の第４実施の形態を示す概略図である。

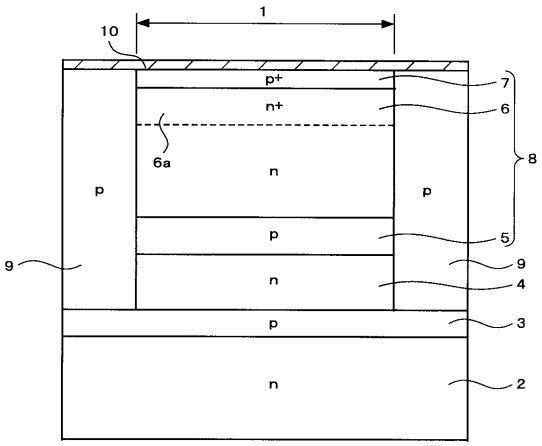
【図１０】図８、図９の受光領域をＣＭＯＳ固体撮像装置に適用した場合の上面図である。

【図１１】本発明に係る固体撮像装置の画素の受光領域の第５実施の形態を示す概略図である。

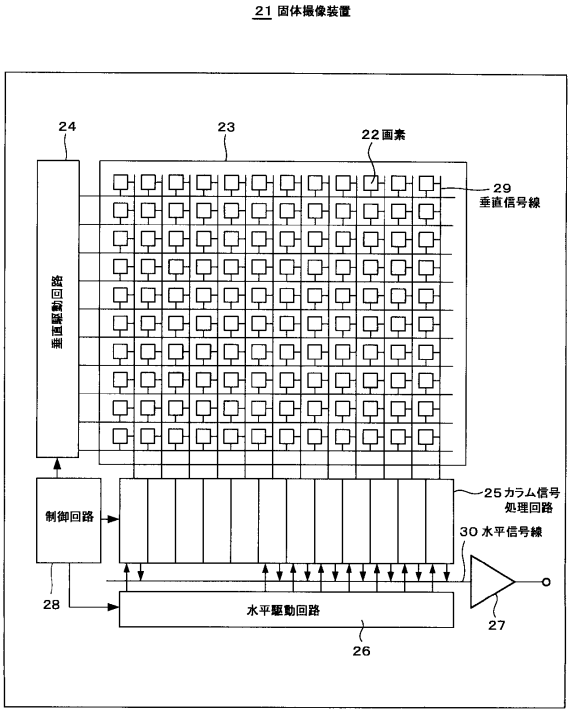
【図１２】本発明に係る固体撮像装置の画素の受光領域の第６実施の形態を示す概略図で

ある。
【図１３】本発明に係る固体撮像装置の画素の受光領域の第７実施の形態を示す概略図である。
【図１４】本発明に係る固体撮像装置の画素の受光領域の第８実施の形態を示す概略図である。
【図１５】本発明に係る固体撮像装置の画素の受光領域の他の実施の形態を示すポテンシャル分布の概念図である。
【図１６】Ａ～Ｃ　図６の実施の形態に係る固体撮像装置の製造方法の例を示す製造工程図（その１）である。
【図１７】Ｄ～Ｅ　図６の実施の形態に係る固体撮像装置の製造方法の一例を示す製造工程図（その２）である。
【図１８】Ａ～Ｃ　図６の実施の形態に係る固体撮像装置の製造方法の他の例を示す製造工程図である。
【図１９】本発明に係るＣＣＤ固体撮像装置の画素の要部を示す概略断面図である。
【図２０】本発明の説明に供する説明図である。
【図２１】Ａ～Ｄ　本発明に適用される固体撮像装置の製造方法の例を示す。
【図２２】本発明に係るカメラの実施の形態を示す概略構成図である。
【符号の説明】
【０１３６】
１・・画素の受光領域、２・・ｎ型半導体基板、３・・ｐ型半導体層、４・・電荷蓄積部、５・・ｐ型半導体層、６・・ｎ型半導体層、６ａ・・電荷蓄積領域、７・・ｐ型半導体層、８・・光電変換部、・・画素分離領域、１５・・ｐ型半導体層、１６・・ｎ型半導体層、２１・・ＣＭＯＳ固体撮像装置、２２・・画素、２３・・撮像領域、２４・・垂直駆動回路、２５・・カラム信号処理回路、２６・・水平駆動回路、２７・・出力回路、２８・・制御回路、３１・・受光領域、３２・・ｎ型半導体基板、３３・・ｐ型半導体ウェル領域、３４・・電荷蓄積部、３５・・ｐ型半導体層、３６・・ｎ型半導体層、３６ａ・・電荷蓄積領域、３７・・ｐ型半導体層、３８・・光電変換部、３９・・画素分離領域、４０・・ゲート絶縁膜、４３・・ゲート電極、１１２・・転送トランジスタ、５１～５７・・受光領域

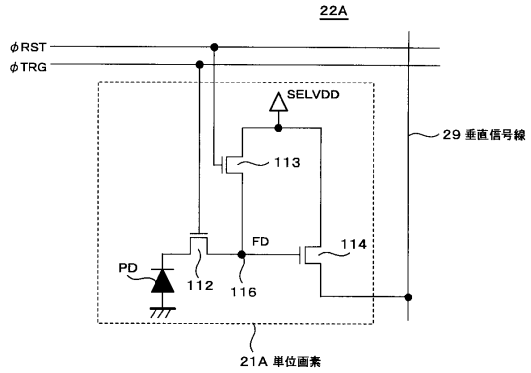
【図２】


1
10
p+
n+
6a
n
p
p
p
n
p
n
7
6
8
5
9
9
4
3
2

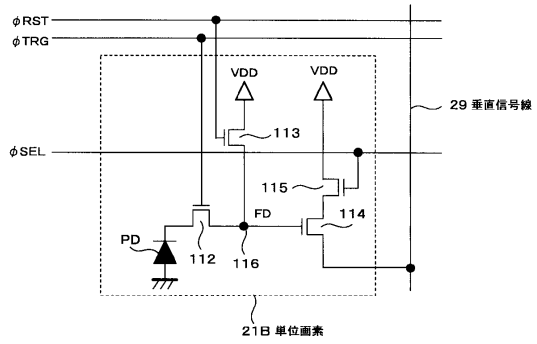
【図３】


21 固体撮像装置
24
23
22 画素
29
垂直信号線
垂直駆動回路
制御回路
25 カラム信号
処理回路
30 水平信号線
28
水平駆動回路
27
26

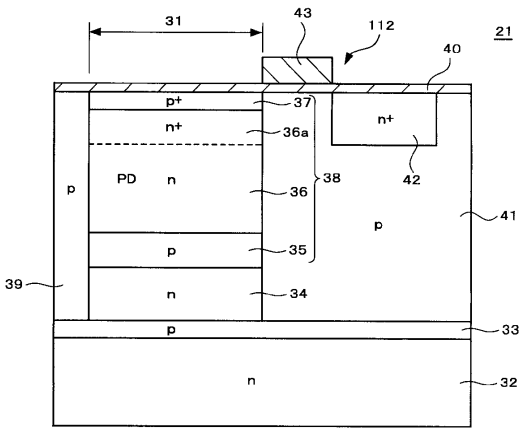
【図４】


22A
φRST
φTRG
SELVDD
29 垂直信号線
113
FD
114
PD
112
116
21A 単位画素

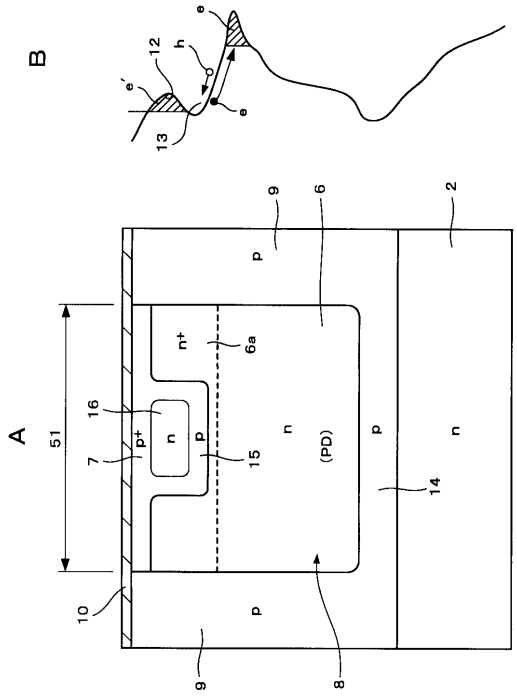
【図５】


φRST
φTRG
VDD
VDD
29 垂直信号線
113
φSEL
115
FD
114
PD
112
116
21B 単位画素

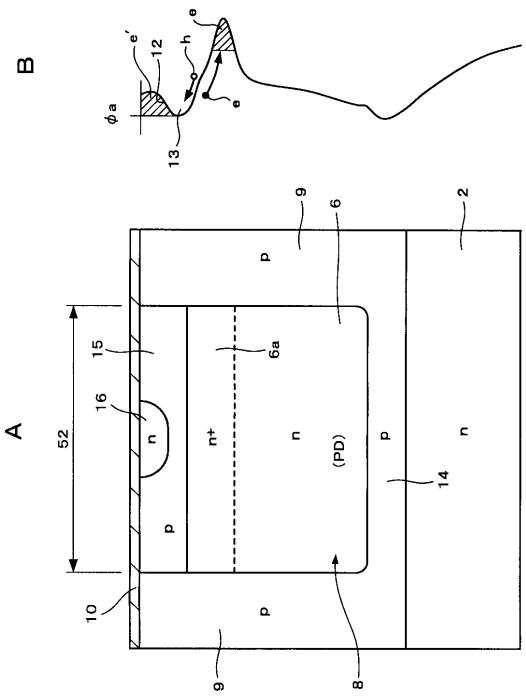
【図６】


31
43
112
21
40
p+
37
n+
n+
36a
PD
n
38
42
p
36
p
41
p
35
39
n
34
p
33
n
32

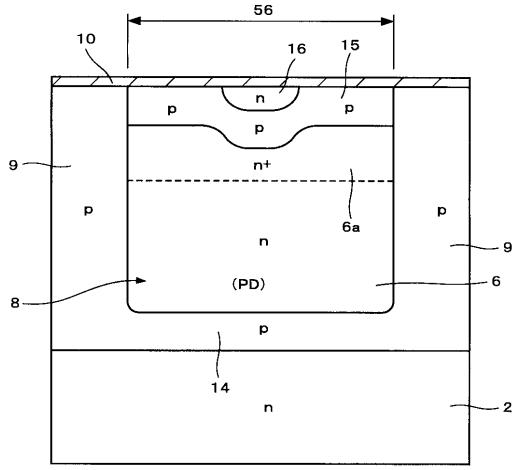
【図７】


B
A
e
e'
h
12
13
9
6
2
p
n+
6a
16
51
7
p+
n
15
(PD)
14
10
8

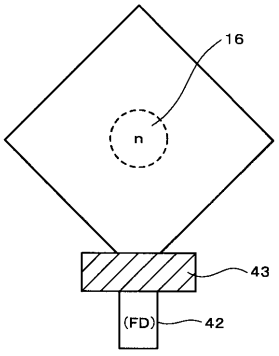
【図８】


B
A
e
e'
h
12
13
φa
9
6
2
p
15
6a
16
52
n
n+
(PD)
14
10
8

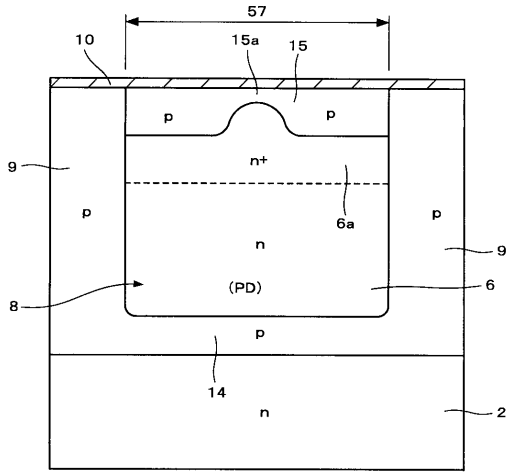
【図９】


56
10
16
15
n
p
n+
6a
9
(PD)
6
8
14
2

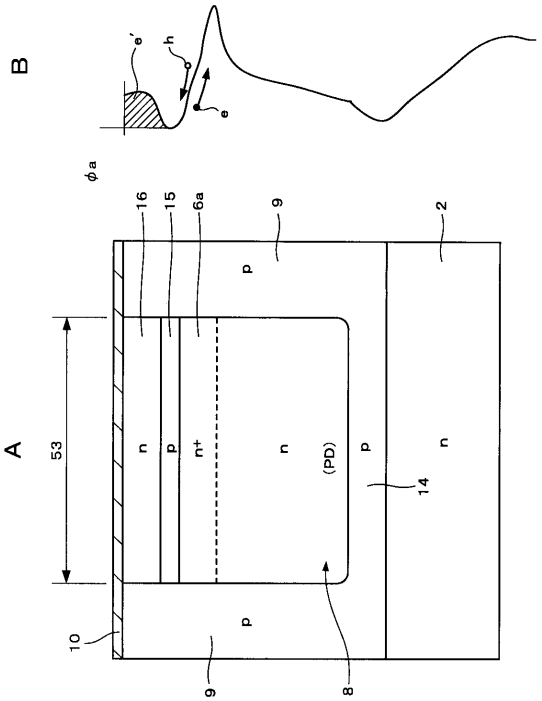
【図１０】


16
n
43
(FD)
42

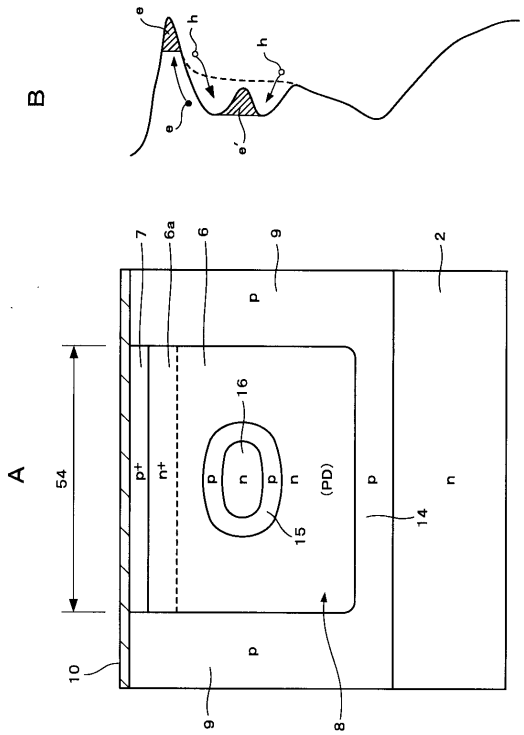
【図１１】



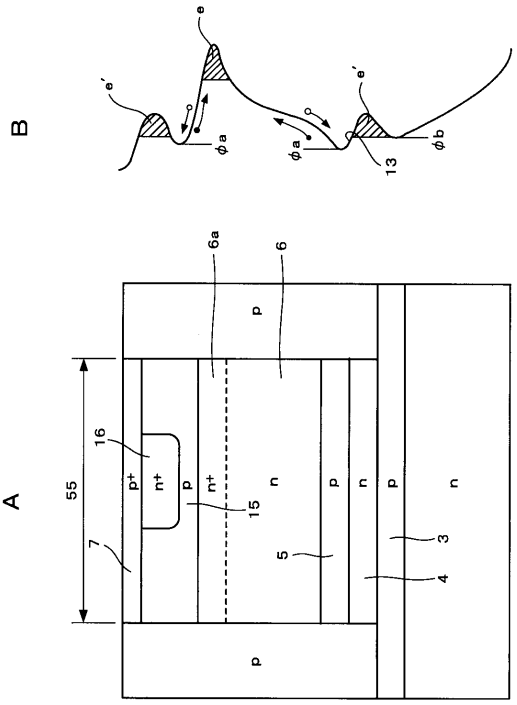
【図１２】



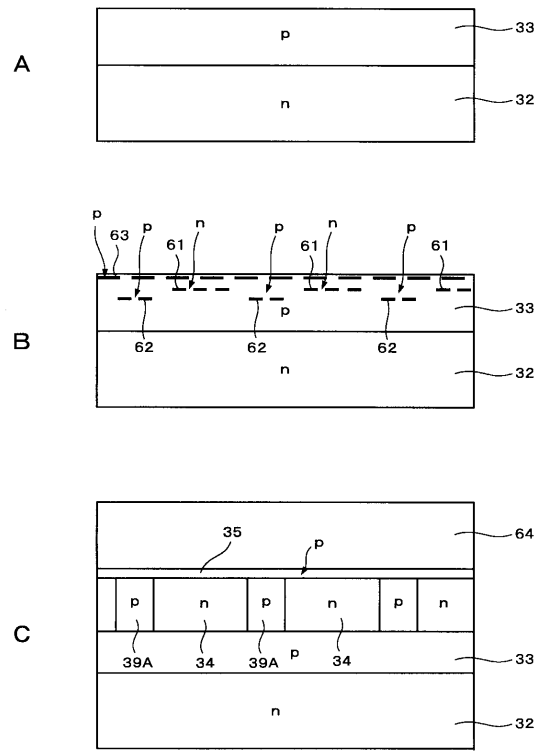
【図１３】



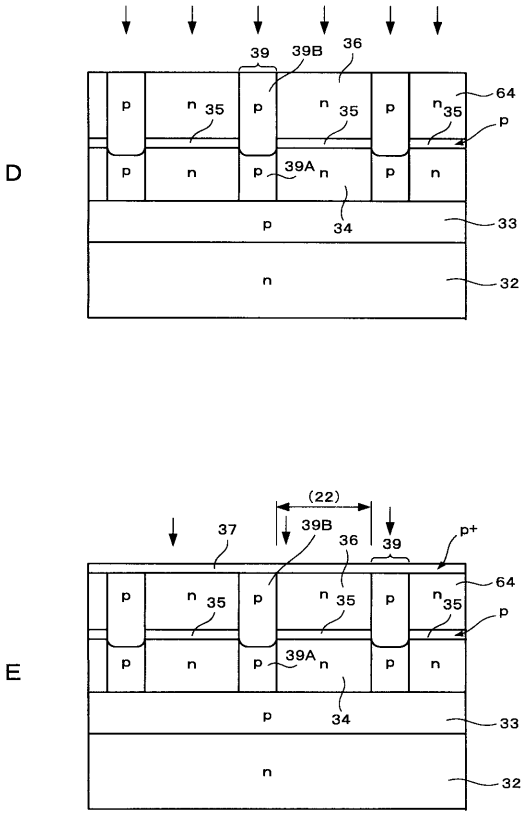
【図１４】



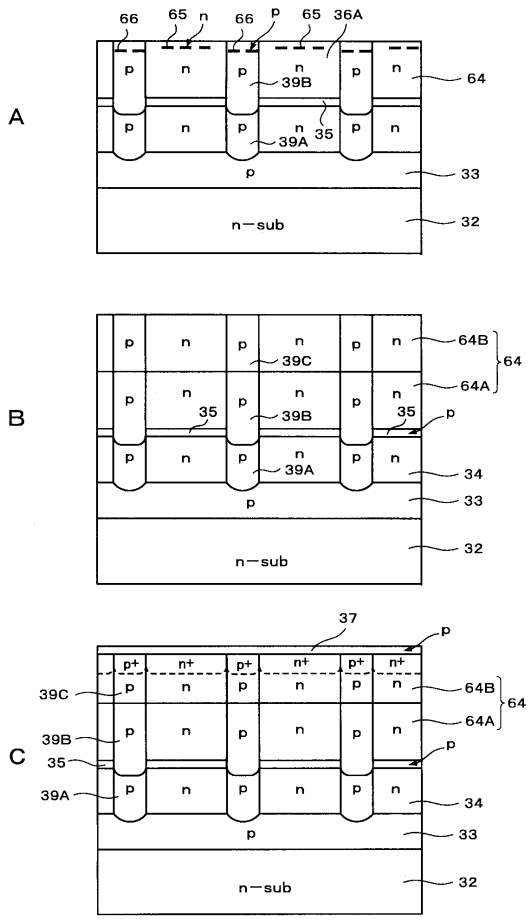
【図１６】



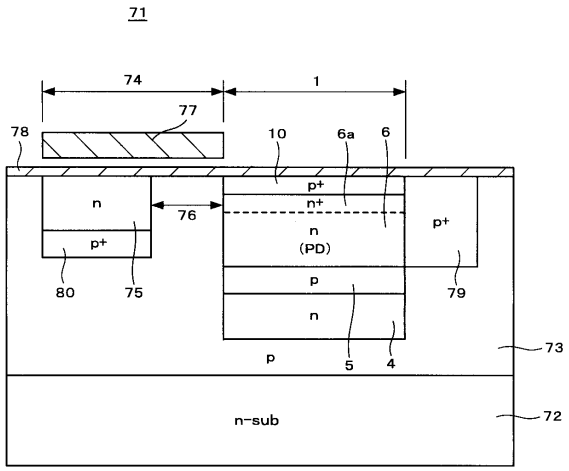
【図１７】



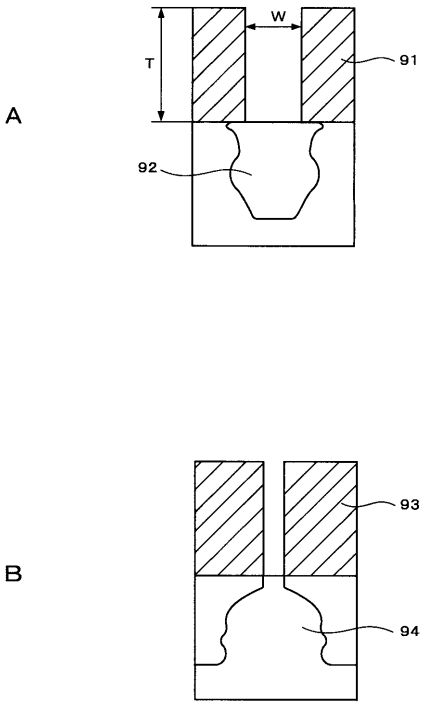
【図１８】



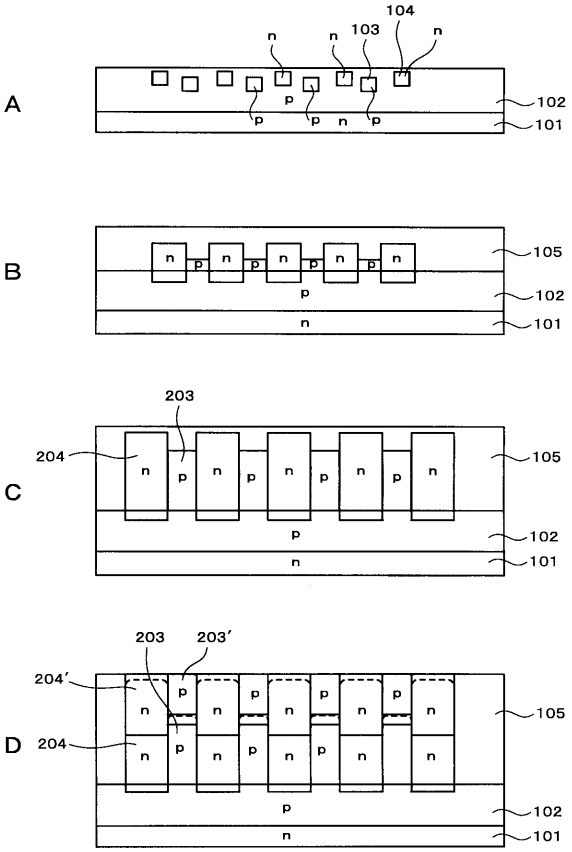
【図１９】



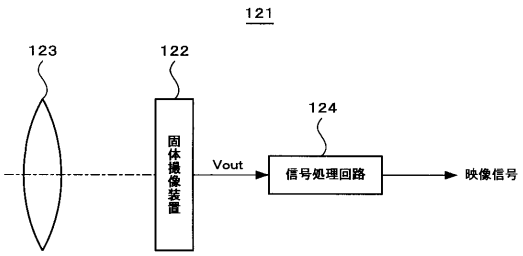
【図２０】


A
W
T
91
92
B
93
94

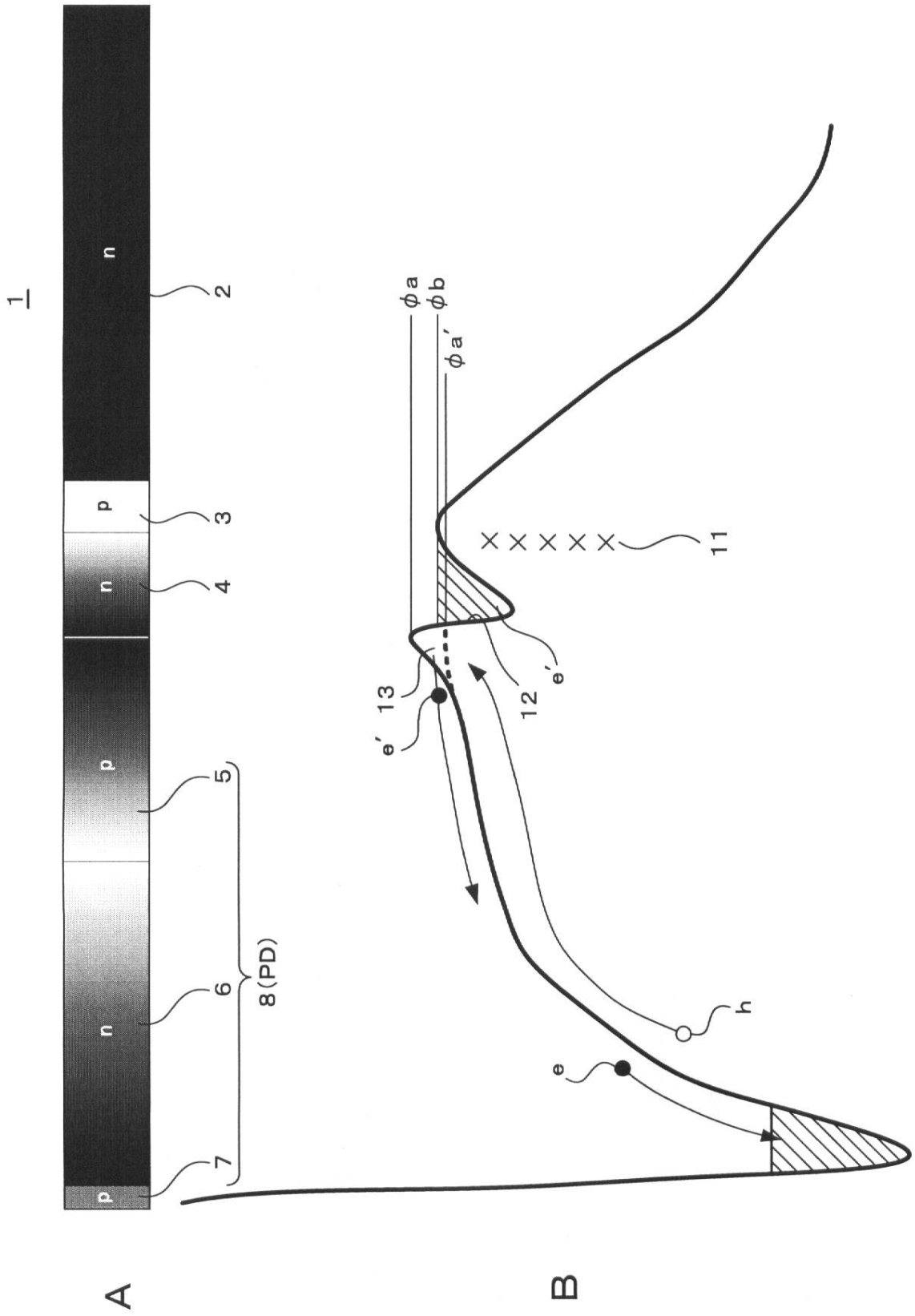
【図２１】


A
104
103
n
p
102
101
B
105
C
203
204
D
203′
204′

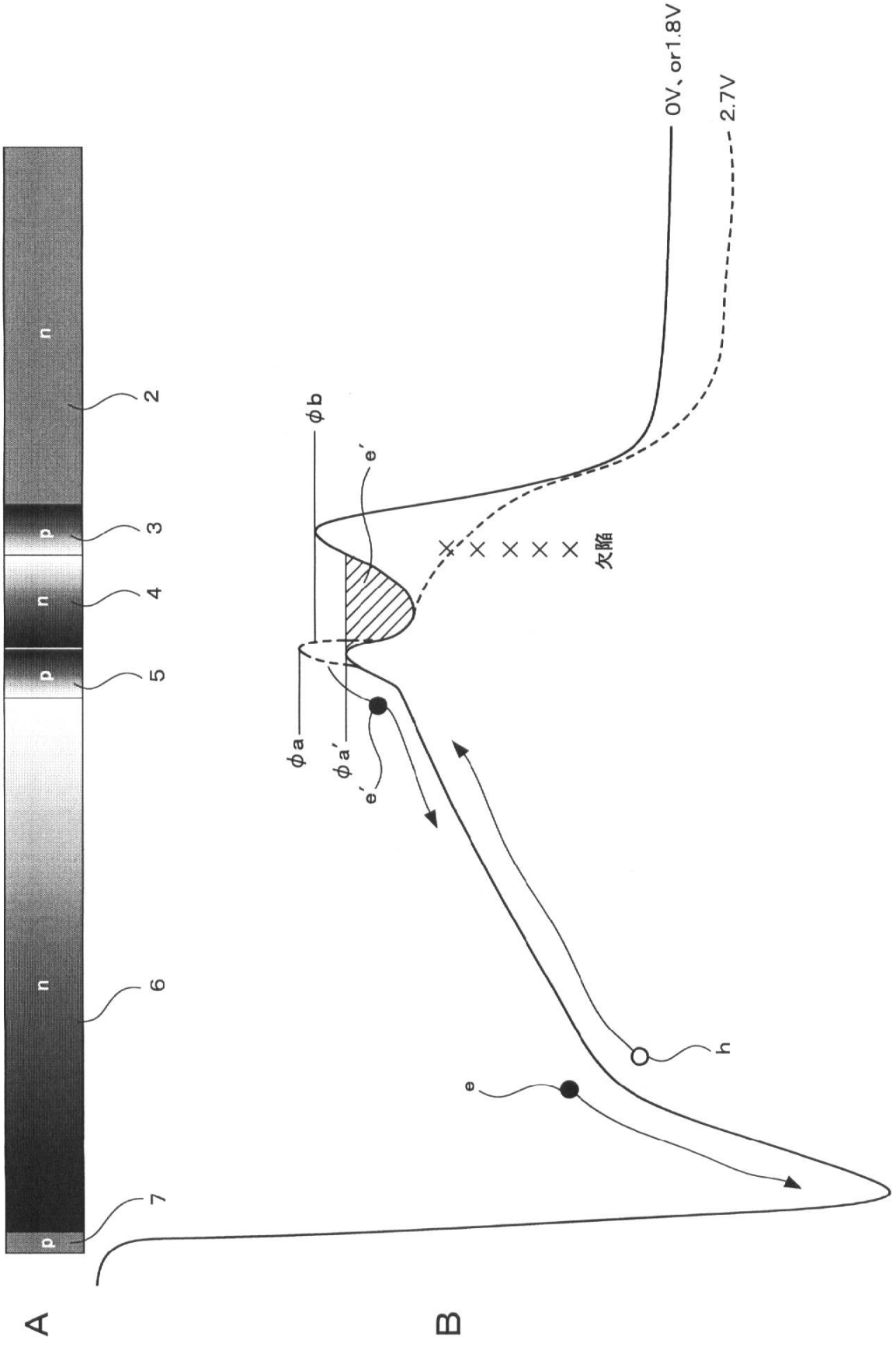
【図２２】


121
123
122
124
固体撮像装置
Vout
信号処理回路
映像信号

【図１】



【図１５】



フロントページの続き

(56)参考文献 特開平０３－０１９３６８（ＪＰ，Ａ）
特開２００５－３４７７５８（ＪＰ，Ａ）
特開２０００－３１１９９５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２７／１４６