

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5111838号
(P5111838)

(45) 発行日 平成25年1月9日 (2013.1.9)

(24) 登録日 平成24年10月19日 (2012.10.19)

(51) Int.Cl.

F I

G 1 1 C 13/00 (2006.01)

G 1 1 C 13/00 1 1 O P

H O 1 L 27/105 (2006.01)

G 1 1 C 13/00 1 5 O

H O 1 L 45/00 (2006.01)

H O 1 L 27/10 4 4 8

H O 1 L 45/00 A

請求項の数 10 (全 10 頁)

(21) 出願番号	特願2006-327339 (P2006-327339)	(73) 特許権者	390019839
(22) 出願日	平成18年12月4日 (2006.12.4)		三星電子株式会社
(65) 公開番号	特開2007-184077 (P2007-184077A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成19年7月19日 (2007.7.19)		C o . , L t d .
審査請求日	平成21年12月1日 (2009.12.1)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	10-2006-0001391		129, Samsung-ro, Yeon
(32) 優先日	平成18年1月5日 (2006.1.5)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国	韓国 (KR)		y e o n g g i - d o , R e p u b l i c
			o f K o r e a
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 相転移メモリ素子のマルチビットの動作方法

(57) 【特許請求の範囲】

【請求項 1】

相転移抵抗体、及び、前記相転移抵抗体の両端にそれぞれ連結された第1電極及び第2電極を備える相転移メモリ素子の動作方法であって、

前記第1電極から前記第2電極の方向に電気的信号を印加すること、及び、前記第2電極から前記第1電極の方向に電気的信号を印加することを組み合わせて、前記相転移抵抗体の抵抗値を少なくとも四つの状態に変化させるプログラムステップと、

前記第1電極と前記第2電極との間に任意の方向に電気的信号を印加して、前記プログラミングされた相転移抵抗体の抵抗値を判読する読み取りステップと、を含み、

前記プログラムステップは、前記第1電極から前記第2電極の方向に電気的信号を印加して、前記相転移抵抗体の抵抗値を第1セット状態または第1リセット状態に変化させ、前記第2電極から前記第1電極の方向に電気的信号を印加して、前記相転移抵抗体の抵抗値を第2セット状態または第2リセット状態に変化させるステップを含むことを特徴とする相転移メモリ素子のマルチビットの動作方法。

【請求項 2】

前記第1電極から前記第2電極の方向への電気的信号と、前記第2電極から前記第1電極の方向への電気的信号とは、相互に逆の極性を有することを特徴とする請求項1に記載の相転移メモリ素子のマルチビットの動作方法。

【請求項 3】

前記相転移抵抗体の抵抗値を前記第1セット状態に変化させるための電気的信号の絶対

10

20

値は、前記第 2 セット状態に変化させるための電氣的信号の絶対値と同じであることを特徴とする請求項 2 に記載の相転移メモリ素子のマルチビットの動作方法。

【請求項 4】

前記相転移抵抗体の抵抗値を前記第 1 リセット状態に変化させるための電氣的信号の絶対値は、前記第 2 リセット状態に変化させるための電氣的信号の絶対値と同じであることを特徴とする請求項 2 に記載の相転移メモリ素子のマルチビットの動作方法。

【請求項 5】

前記第 1 電極及び前記第 2 電極は、前記相転移抵抗体と異なる接触面積を有することを特徴とする請求項 1 に記載の相転移メモリ素子のマルチビットの動作方法。

【請求項 6】

前記第 1 電極は、前記相転移抵抗体と接触する面積が、前記第 2 電極が前記相転移抵抗体と接触する面積より大きいことを特徴とする請求項 5 に記載の相転移メモリ素子のマルチビットの動作方法。

【請求項 7】

前記相転移抵抗体は、前記第 1 セット状態、前記第 2 セット状態、前記第 1 リセット状態及び前記第 2 リセット状態の順に高い抵抗を有することを特徴とする請求項 6 に記載の相転移メモリ素子のマルチビットの動作方法。

【請求項 8】

前記プログラムステップの電氣的信号は、パルス電流またはパルス電圧であることを特徴とする請求項 1 に記載の相転移メモリ素子のマルチビットの動作方法。

【請求項 9】

前記読み取りステップの電氣的信号は、パルス電圧であることを特徴とする請求項 1 に記載の相転移メモリ素子のマルチビットの動作方法。

【請求項 10】

前記パルス電圧は、前記相転移抵抗体の抵抗値を変化させない範囲内の値を有することを特徴とする請求項 9 に記載の相転移メモリ素子のマルチビットの動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ素子に係り、特に、相転移メモリ素子の動作方法に関する。

【背景技術】

【0002】

相転移メモリ素子は、結晶状態の変化によって比抵抗が変わる相転移抵抗体をストレージノードとして利用する不揮発性メモリ素子の一つである。相転移抵抗体は、結晶状態で低い抵抗を有し、非晶質状態で高い抵抗を有する。相転移メモリ素子は、このような二つの状態を有する相転移抵抗体を利用して、通常的に、1 ビットのデータを処理できる。しかし、相転移抵抗体の結晶状態を変化させるためには高い熱処理が必要であり、それにより、高い電流または電圧が相転移抵抗体に印加されねばならない。

【0003】

このような高い動作電流または電圧は、相転移メモリ素子の集積化に問題を引き起こす。なぜなら、高い動作電流または電圧は、相転移抵抗体を制御するアクセストランジスタの短チャネル効果を加重させ、したがって、このような短チャネル効果は、アクセストランジスタの高集積化を制限するためである。また、相転移メモリ素子の高集積化は、製造工程上の問題、例えば、相転移抵抗体に加えられるエッチング損傷及び相転移抵抗体に連結される電極の不均一性によって制約される。

【0004】

したがって、相転移メモリ素子のデータ処理量を増大させるために、相転移メモリ素子のサイズを縮小させず、相転移メモリ素子をマルチビットで動作させる方法が研究されている。例えば、特許文献 1 には、相転移抵抗体に印加される電気パルスの回数を制御することにより、相転移メモリ素子をマルチビットで動作させる方法が開示されている。電気

10

20

30

40

50

パルスの印加回数が変わるにつれて、相転移抵抗体の抵抗値は段階的に変化しうる。

【0005】

他の例として、特許文献2には、相転移抵抗体に印加される電流信号の下降時間をセッティングして、相転移抵抗体を多重状態の一つでプログラムするマルチレベルセル(Multi Level Cell; MLC)プログラム方法が開示されている。しかし、このような例によるマルチビットプログラムまたはMLCプログラム方法は、そのプログラム程度を制御し難いため、信頼性が低く、かつ商業化し難いという短所を有する。

【特許文献1】国際公開第2005/031752号公報

【特許文献2】国際公開第2003/058633号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする技術的課題は、高い信頼性を有し、商業化の可能な相転移メモリ素子のマルチビットの動作方法を提供することである。

【課題を解決するための手段】

【0007】

前記技術的課題を達成するための本発明の一態様によれば、プログラムステップ及び読み取りステップを含む相転移メモリ素子のマルチビットの動作方法が提供される。前記相転移メモリ素子は、相転移抵抗体、及び、前記相転移抵抗体の両端にそれぞれ連結された第1電極及び第2電極を備える。前記プログラムステップは、前記第1電極から前記第2電極の方向に電気的信号を印加すること、及び、前記第2電極から前記第1電極の方向に電気的信号を印加することを組み合わせて、前記相転移抵抗体の抵抗値を少なくとも四つの状態に変化させる。前記読み取りステップは、前記第1電極と前記第2電極との間に任意の方向に電気的信号を印加して、前記プログラムされた相転移抵抗体の抵抗値を判読する。

20

【0008】

前記本発明の一側面によれば、前記プログラムステップは、前記第1電極から前記第2電極の方向に電気的信号を印加して、前記相転移抵抗体の抵抗値を第1セット状態または第1リセット状態に変化させ、前記第2電極から前記第1電極の方向に電気的信号を印加して、前記相転移抵抗体の抵抗値を第2セット状態または第2リセット状態に変化させるステップを含みうる。

30

【0009】

前記本発明の他の側面によれば、前記第1電極から前記第2電極の方向への電気的信号と、前記第2電極から前記第1電極の方向への電気的信号とは相互に逆の極性を有しうる。

【0010】

前記本発明のさらに他の側面によれば、前記第1電極が前記相転移抵抗体と接触する面積が、前記第2電極が前記相転移抵抗体と接触する面積より大きくてもよい。さらに、前記相転移抵抗体は、前記第1セット状態、前記第2セット状態、前記第1リセット状態及び前記第2リセット状態の順に高い抵抗を有しうる。

40

【発明の効果】

【0011】

本発明の実施形態に係る相転移メモリ素子のプログラム動作を利用すれば、少なくとも2ビットのデータが保存されうる。相転移抵抗体の四つの状態は、プログラム動作時に印加される電気的な信号、例えば、パルス電流またはパルス電圧の方向を順方向及び逆方向に変化させつつ印加することによって高信頼性が得られうる。したがって、本発明に係るプログラム動作は、パルス信号の振幅を調節する従来の方法に比べて高信頼性を有し、かつ容易に商業化されうる。四つの状態の相転移抵抗体の抵抗値は、従来と類似した方式の読み取り動作で容易に判読されうる。

【発明を実施するための最良の形態】

50

【 0 0 1 2 】

以下、添付した図面を参照して、本発明に係る望ましい実施形態を説明することによって本発明を詳細に説明する。しかし、本発明は、以下で開示される実施形態に限定されるものではなく、異なる他の多様な形態で具現され、単に、本実施形態は、本発明の開示を完全にし、当業者に発明の範囲を完全に知らせるために提供されるものである。図面の構成要素は、説明の便宜のためにそのサイズが誇張されうる。

【 0 0 1 3 】

図 1 は、本発明の一実施形態に係る相転移メモリ素子を示す回路図である。

【 0 0 1 4 】

図 1 に示すように、相転移メモリ素子は、アクセストランジスタ T 及び相転移抵抗体 R を備える。相転移抵抗体 R の一端は、アクセストランジスタ T を経てビットライン B L に連結される。したがって、アクセストランジスタ T のゲートは、ワードライン W L に連結され、このワードライン W L の電圧を調節して、相転移抵抗体 R に印加されるビットライン B L の電気的な信号を制御しうる。相転移抵抗体 R の他端は、プレートライン P L に連結される。

【 0 0 1 5 】

相転移抵抗体 R は、ビットライン B L 及びプレートライン P L に印加される電気的な信号によってその結晶状態が変わり、その結晶状態によって異なる比抵抗値を有しうる。本発明の実施形態で、相転移抵抗体 R に印加される電気的な信号の方向は、ビットライン B L からプレートライン P L 方向に、またはプレートライン P L からビットライン B L 方向に制御されうる。選択的な方法として、相転移抵抗体 R に印加される電気的な信号の方向はプレートライン P L を接地させ、ビットライン B L に印加される電気的な信号の極性を変えて制御されてもよい。

【 0 0 1 6 】

図 2 は、本発明の一実施形態に係る相転移メモリ素子を示す断面図である。

【 0 0 1 7 】

図 2 に示すように、半導体基板 1 1 0 上にゲート絶縁膜 1 1 5 を介在してゲート電極 1 2 0 が形成される。下部電極 1 3 0 の一端は、半導体基板 1 1 0 の一部分に連結され、他端は、相転移抵抗体 1 4 0 の一端の一部に連結される。相転移抵抗体 1 4 0 の他端は、上部電極 1 5 0 に連結される。ビットライン電極 1 7 0 は、導電性プラグ 1 6 0 を通じて半導体基板 1 1 0 の他の部分に連結される。半導体基板 1 1 0 の一部分及び他の部分は、それぞれソース領域及びドレイン領域（図示せず）となりうる。

【 0 0 1 8 】

本発明の実施形態で、上部電極 1 5 0 及び下部電極 1 3 0 は、非対称的な構造、例えば、異なるサイズを有しうる。これにより、上部電極 1 5 0 及び下部電極 1 3 0 は、相転移抵抗体 1 4 0 と異なる接触面積を有しうる。例えば、図 2 に示すように、上部電極 1 5 0 は、相転移抵抗体 1 4 0 の上部を覆い、下部電極 1 3 0 は、相転移抵抗体 1 4 0 の下部の一部のみを覆っている。すなわち、上部電極 1 5 0 と相転移抵抗体 1 4 0 との接触面積が下部電極 1 3 0 と相転移抵抗体 1 4 0 との接触面積より大きい。相転移抵抗体 1 4 0 の内部の相転移領域 1 3 5 は、電流密度が集中する部分に限定されうる。これにより、相転移領域 1 3 5 は、下部電極 1 3 0 と接する付近に限定される。

【 0 0 1 9 】

上部電極 1 5 0 及び下部電極 1 3 0 は、導電性物質、例えば、金属膜、金属窒化膜またはそれらの複合膜を備えうる。上部電極 1 5 0 及び下部電極 1 3 0 は、相転移抵抗体 1 4 0 の両端に連結される導電性物質であって、その名称に制限されずに多様に称されうる。例えば、上部電極 1 5 0 は、プレート電極と、下部電極 1 3 0 は、その形状によってコンタクトプラグとも称されうる。

【 0 0 2 0 】

図 3 は、相転移抵抗体の抵抗変化を誘導するための経時的な熱処理ステップを示すグラフである。

10

20

30

40

50

【 0 0 2 1 】

図 3 に示すように、相転移抵抗体（図 2 の 1 4 0 ）は、溶融点 T_m 以上の温度で一定時間 T_1 に加熱された後に急冷させれば（ 2 0 ）、非晶質状態になる。このような非晶質状態の相転移抵抗体 1 4 0 は、溶融点温度 T_m より低く、結晶化温度 T_c より高い温度で一定時間 T_1 の間に加熱された後、一定時間 T_2 まで維持して冷却させれば（ 4 0 ）、再び結晶化される。相転移抵抗体 1 4 0 は、非晶質状態で比較的高い抵抗を有し、結晶状態で低い抵抗を有しうる。例えば、相転移抵抗体 1 4 0 は、ゲルマニウム（Ge）、テルル（Te）及びアンチモン（Sb）を含有する化合物膜（以下、GST 膜という）またはカルコゲニド膜を備えうる。

【 0 0 2 2 】

相転移抵抗体 1 4 0 の結晶状態の変化に必要な熱は、相転移抵抗体 1 4 0 を抵抗加熱することによって供給されうる。抵抗加熱のためには、電気的な信号、例えば、パルス電流またはパルス電圧が利用されうる。このような、相転移抵抗体 1 4 0 の結晶状態の変化ステップは、相転移メモリ素子のプログラムステップに該当し、このような抵抗値を判読するステップは、読み取りステップに該当しうる。

【 0 0 2 3 】

さらに具体的には、プログラムステップは、上部電極 1 5 0 から下部電極 1 3 5 の方向に電気的信号を印加すること、及び、下部電極 1 3 5 から上部電極 1 5 0 の方向に電気的信号を印加することを組み合わせて、相転移抵抗体 1 4 0 の抵抗値を少なくとも四つの状態に変化させるステップを含む。読み取りステップは、上部電極 1 5 0 と下部電極 1 3 5 との間に任意の方向に電気的信号を印加してプログラムされた相転移抵抗体 1 4 0 の抵抗値を判読する。便宜上、上部電極 1 5 0 から下部電極 1 3 0 の方向を順方向と定義し、下部電極 1 3 0 から上部電極 1 5 0 の方向を逆方向と定義する。本発明の他の実施形態で、順方向及び逆方向は、相互に逆に呼ばれてもよい。

【 0 0 2 4 】

図 4 は、本発明の一実施形態に係る相転移メモリ素子のプログラム動作を説明するための経時的な電流特性を示すグラフである。

【 0 0 2 5 】

図 4 に示すように、四つのレベルのパルス電流 I_{10} 、 I_{00} 、 I_{01} 、 I_{11} がプログラム動作のために利用される。正の値を有する一対のパルス電流 I_{10} 、 I_{00} を順方向値と定義し、負の値を有する一対のパルス電流 I_{01} 、 I_{11} を逆方向値と定義しうる。すなわち、順方向パルス電流 I_{10} 、 I_{00} と逆方向パルス電流 I_{01} 、 I_{11} とは相互に逆の極性を有しうる。第 1 順方向パルス電流 I_{10} は、第 2 順方向パルス電流 I_{00} に比べて大きい絶対値を有し、第 1 逆方向パルス電流 I_{11} は、第 2 逆方向パルス電流 I_{01} に比べて大きい絶対値を有しうる。

【 0 0 2 6 】

第 1 順方向パルス電流 I_{10} は、相転移抵抗体（図 2 の 1 4 0 ）を順方向リセット状態に変化させるためのものであり、第 2 順方向パルス電流 I_{00} は、相転移抵抗体 1 4 0 を順方向セット状態に変化させるためのものである。第 1 逆方向パルス電流 I_{11} は、相転移抵抗体 1 4 0 を逆方向リセット状態に変化させるためのものであり、第 2 逆方向パルス電流 I_{01} は、相転移抵抗体 1 4 0 を逆方向セット状態に変化させるためのものである。例えば、第 1 順方向パルス電流 I_{10} と第 1 逆方向パルス電流 I_{11} とは同じ絶対値を有し、第 2 順方向パルス電流 I_{00} と第 2 逆方向パルス電流 I_{01} とは同じ絶対値を有しうる。ただし、本発明の範囲は、このようなパルス電流のサイズに制限されない。

【 0 0 2 7 】

図 5 に示すように、任意方向のパルス電圧、例えば、順方向パルス電圧 V_r または逆方向パルス電圧（ $-V_r$ ）が読み取り動作に利用される。順方向または逆方向パルス電圧（ V_r または $-V_r$ ）は相転移抵抗体（図 2 の 1 4 0 ）の抵抗値を変化させない範囲内の絶対値を有する。例えば、順方向または逆方向パルス電圧（ V_r または $-V_r$ ）は、相転移抵抗体 1 4 0 の結晶状態を変化させない範囲、すなわち、結晶化温度以下の熱処理量を供

10

20

30

40

50

給するように決定されうる。

【 0 0 2 8 】

以下では、図 6 ないし図 9 を参照して、図 5 に示す本発明の実施形態に係るプログラム動作をさらに詳細に説明する。

【 0 0 2 9 】

図 6 に示すように、第 1 逆方向パルス電流 I_{11} が下部電極 130 から上部電極 150 の方向に印加され、これにより、相転移抵抗体 140 が高温に抵抗加熱される。電流密度は、相転移領域 135 に集中し、これにより、相転移領域 135 が熔融された後に冷却されて、非晶質状態に遷移される。したがって、相転移抵抗体 140 は、高い抵抗を有し、逆方向リセット状態に置かれる。

10

【 0 0 3 0 】

図 7 に示すように、第 2 逆方向パルス電流 I_{01} が下部電極 130 から上部電極 150 の方向に印加され、これにより、非晶質状態の相転移抵抗体 140 が抵抗加熱され、電流密度の集中した相転移領域 135 が局部的に結晶化温度以上に加熱された後に冷却される。これにより、相転移領域 135 が非晶質状態から結晶状態に遷移される。したがって、相転移抵抗体 140 は、低い抵抗を有し、逆方向セット状態に置かれる。

【 0 0 3 1 】

図 8 に示すように、第 1 順方向パルス電流 I_{10} が上部電極 150 から下部電極 130 の方向に印加され、これにより、相転移抵抗体 140 が高温に抵抗加熱される。電流密度は、相転移領域 135 に集中し、これにより、相転移領域 135 が熔融された後に冷却されて、結晶状態から非晶質状態に転移される。したがって、相転移抵抗体 140 は、再び高い抵抗を有し、順方向リセット状態に置かれる。

20

【 0 0 3 2 】

図 9 に示すように、第 2 順方向パルス電流 I_{00} が上部電極 150 から下部電極 130 の方向に印加され、これにより、相転移抵抗体 140 が抵抗加熱され、電流密度の集中した相転移領域 135 が局部的に結晶化温度以上に加熱された後に冷却される。これにより、相転移領域 135 が非晶質状態から結晶状態に転移される。したがって、相転移抵抗体 140 は、低い抵抗を有し、順方向セット状態に置かれる。

【 0 0 3 3 】

相転移抵抗体 140 が逆方向リセット状態で、逆方向セット状態、順方向リセット状態、順方向セット状態の順に転移されることによって、相転移抵抗体 140 の抵抗値は変化し続ける。したがって、本発明の実施形態に係るプログラム動作を利用すれば、2 ビットのデータを保存しうる。四つの状態は、プログラム動作時に印加される電気的な信号、例えば、パルス電流またはパルス電圧の方向を順方向及び逆方向に変化させつつ印加することによって高信頼性で得られうる。したがって、本発明に係るプログラム動作は、パルス信号の振幅を調節する従来の方法に比べて高い信頼性を有し、容易に商業化されうる。

30

【 0 0 3 4 】

前述した四つの状態で相転移抵抗体 140 の抵抗値は、下記の実験例を通じて説明される。図 10 は、本発明の実験例による相転移メモリ素子の動作を示すパルス電圧による電流及び抵抗特性を示すグラフである。本実験例で、相転移メモリ素子は、図 2 の構造を参照しうる。上部電極 150 及び下部電極 130 は、TiN 膜を備え、相転移抵抗体 140 は、GST 膜を備える。下部電極 130 と相転移抵抗体 140 との接触部分は、直径が約 50 nm の円形に製作された。

40

【 0 0 3 5 】

図 10 に示すように、パルス電圧が順方向または逆方向に印加されることによって、相転移抵抗体 140 の抵抗が段階的に変化されるということが分かる。(1, 1) は、逆方向リセット状態を、(0, 1) は、逆方向セット状態を、(1, 0) は、順方向リセット状態を、そして、(0, 0) は、順方向セット状態を表す。相転移抵抗体 140 の抵抗値は、逆方向リセット状態 (1, 1) で最も高く、順方向リセット状態 (1, 0)、逆方向セット状態 (0, 1) 及び順方向セット状態 (0, 0) の順に小さくなる。

50

【 0 0 3 6 】

相転移抵抗体 1 4 0 の相転移領域 1 3 5 は、順方向リセット状態 (1 , 0) 及び逆方向リセット状態 (1 , 1) で非晶質状態にあるということが分かり、順方向セット状態 (0 , 0) 及び逆方向セット状態 (0 , 1) で結晶状態にあるということが分かる。ただし、順方向または逆方向プログラム動作による相転移抵抗体 1 4 0 の抵抗の差は、相転移領域 1 3 5 の結晶化程度または非晶質相の形状に依存すると予測される。

【 0 0 3 7 】

右側の垂直軸の電流は、パルス電圧が印加された状態での相転移抵抗体 1 4 0 を通じて流れる値を表す。一方、相転移抵抗体 1 4 0 の抵抗値は、パルス電圧が除去され、読み取り動作により判読された値である。パルス電圧が印加された状態で、相転移抵抗体 1 4 0 の相転移領域 1 3 5 は、熔融状態または結晶状態にあり、このような動的状態での抵抗値は大きく変化しないため、電流の傾斜度値が大きく変化しない。

10

【 0 0 3 8 】

四つの状態、すなわち、(1 , 1)、(0 , 1)、(1 , 0)そして(0 , 0)状態は、四つの状態のデータ、すなわち、2 ビットのデータを表しうる。四つの状態の相転移抵抗体 1 4 0 の抵抗値は、従来と類似した方式の読み取り動作で容易に判読されうる。

【 0 0 3 9 】

本発明の実施形態に係るプログラム方法は、前述した順方向及び逆方向の動作の他に従来の MLC 方式をさらに採用してもよい。これにより、本発明の実施形態に係るプログラム方法は、2 ビット以上に拡張されてもよいということは明らかである。したがって、本発明の実施形態によれば、相転移メモリ素子を少なくとも2 ビット以上のマルチビットで動作させることが可能になる。

20

【 0 0 4 0 】

本発明の特定の実施形態についての以上の説明は、例示及び説明を目的に提供された。本発明は、前記実施形態に限定されず、本発明の技術的思想内で当業者が前記実施形態を組み合わせるなど、多様な修正及び変更が可能であるということは明らかである。

【 産業上の利用可能性 】

【 0 0 4 1 】

本発明は、半導体メモリ素子に関連した技術分野に好適に適用され得る。

30

【 図面の簡単な説明 】

【 0 0 4 2 】

【 図 1 】 本発明の - 実施形態に係る相転移メモリ素子を示す回路図である。

【 図 2 】 本発明の一実施形態に係る相転移メモリ素子を示す断面図である。

【 図 3 】 相転移抵抗体の抵抗変化を誘導するための経時的な熱処理ステップを示すグラフである。

【 図 4 】 本発明の一実施形態に係る相転移メモリ素子のプログラム動作を説明するための経時的な電流特性を示すグラフである。

【 図 5 】 本発明の一実施形態に係る相転移メモリ素子の読み取り動作を説明するための経時的な電圧特性を示すグラフである。

40

【 図 6 】 本発明の一実施形態に係る相転移メモリ素子のプログラム動作を説明するための断面図である。

【 図 7 】 本発明の一実施形態に係る相転移メモリ素子のプログラム動作を説明するための断面図である。

【 図 8 】 本発明の一実施形態に係る相転移メモリ素子のプログラム動作を説明するための断面図である。

【 図 9 】 本発明の一実施形態に係る相転移メモリ素子のプログラム動作を説明するための断面図である。

【 図 1 0 】 本発明の実験例に係る相転移メモリ素子の動作を示すパルス電圧による電流及び抵抗特性を示すグラフである。

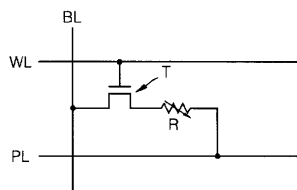
50

【符号の説明】

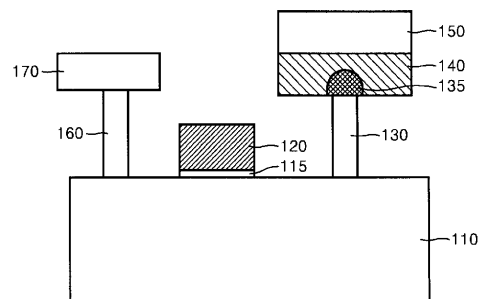
【 0 0 4 3 】

- 1 1 0 半導体基板
- 1 1 5 ゲート絶縁膜
- 1 2 0 ゲート電極
- 1 3 0 下部電極
- 1 3 5 相転移領域
- 1 4 0 相転移抵抗体
- 1 5 0 上部電極
- 1 6 0 導電性プラグ
- 1 7 0 ビットライン電極

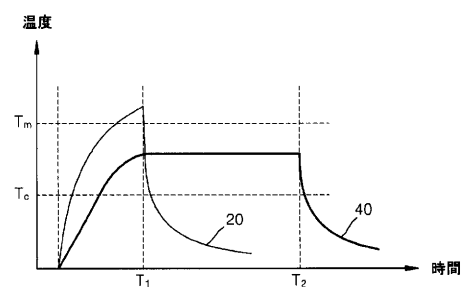
【図 1】



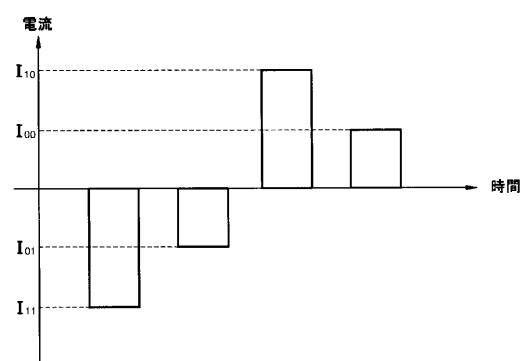
【図 2】



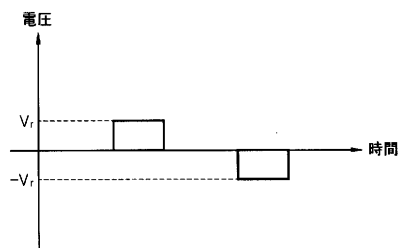
【図 3】



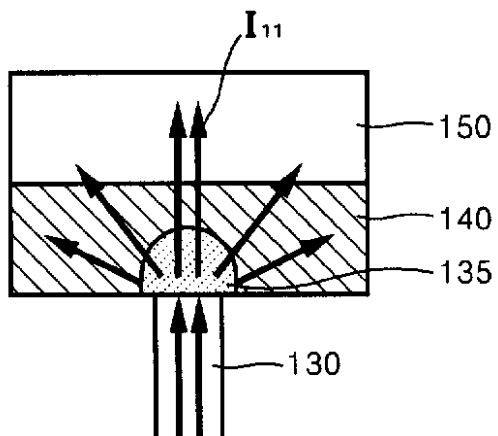
【図 4】



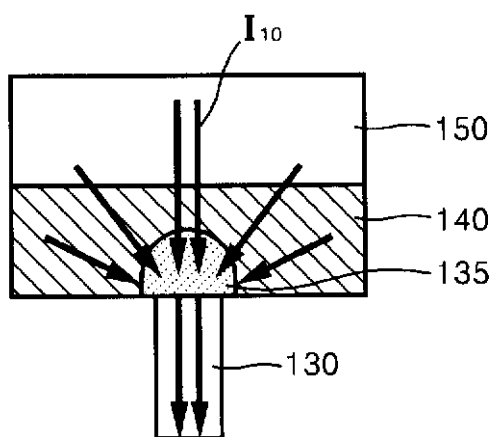
【図 5】



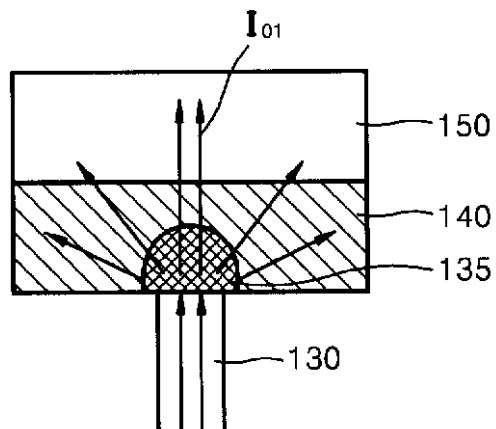
【図 6】



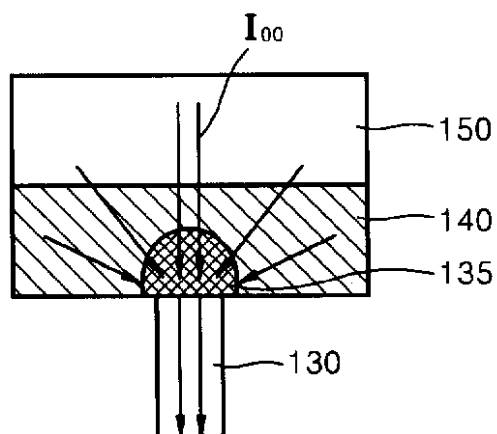
【図 8】



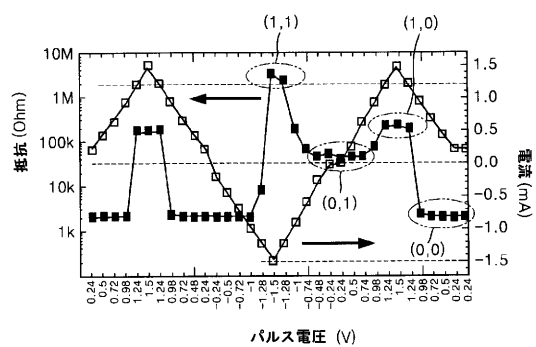
【図 7】



【図 9】



【図 10】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 徐 東碩

大韓民国京畿道龍仁市器興區農書洞山14-1番地 三星綜合技術院内

審査官 堀 拓也

(56)参考文献 特開2006-221737(JP,A)

特開2005-267837(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 13/00