



(12)发明专利申请

(10)申请公布号 CN 105978531 A

(43)申请公布日 2016.09.28

(21)申请号 201610298226.3

(22)申请日 2016.05.09

(71)申请人 复旦大学

地址 200433 上海市杨浦区邯郸路220号

(72)发明人 李巍 何沫

(74)专利代理机构 上海正旦专利代理有限公司

31200

代理人 陆飞 陆尤

(51)Int.Cl.

H03H 11/20(2006.01)

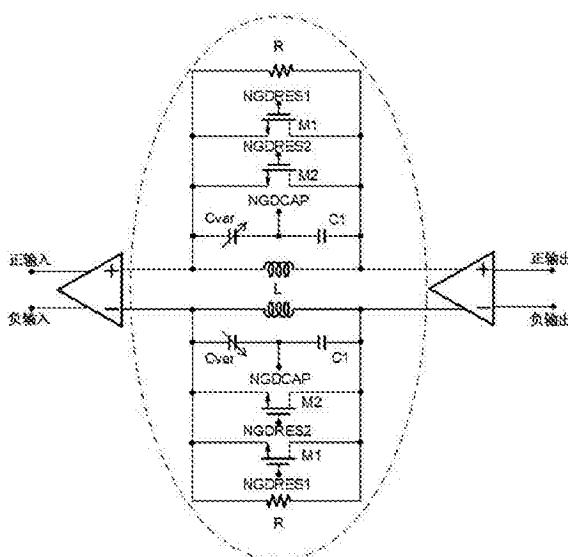
权利要求书1页 说明书4页 附图3页

(54)发明名称

一种基于负群延时补偿的实时延时移相器

(57)摘要

本发明属于宽带相控技术领域，具体为一种基于负群延时补偿的实时延时移相器电路。本发明实时延时移相器电路为差分结构，由两个差分放大器和一个可调谐负群延时单元组成。负群延时补偿的原理，是利用具有负群延时特征的电路，将其与常规的具有正群延时特征的电路级联，从而互相抵消，在一定频率范围内获得总体的平坦群延时特征。通过调整负群延时补偿的强度，可以改变群延时的值，从而实现对实时延时状态的控制。与传统的开关式实时延时移相器相比，这种电路为有源差分电路，在信号波长较长的情形下可以有效减小电路尺寸，并且可以降低损耗，具有较强的实用价值。



1. 一种基于负群延时补偿的实时延时移相器，其特征在于，电路为差分结构，包括两个差分放大器和一个可调谐负群延时单元；其输入端是input+和input-，与第一差分放大器连接，第一差分放大器与可调谐负群延时单元连接，可调谐负群延时单元输出与第二差分放大器连接，最后是电路输出端output+和output-；所述可调谐负群延时单元由电感、电容、电阻的并联组成。

2. 根据权利要求1所述的基于负群延时补偿的实时延时移相器，其特征在于，所述可调谐负群延时单元，具体由固定电阻R、2个MOS管M1和M2、可变电容Cvar、固定电容C1、固定电感L组成；2个MOS管M1和M2具有可变电阻的特性，其控制电压分别为NGDRES1和NGDRES2；可变电容Cvar的控制电压为NGDCAP，施加在可变电容Cvar、固定电容C1之间。

一种基于负群延时补偿的实时延时移相器

技术领域

[0001] 本发明属于宽带相控技术领域,具体涉及一种实时延时移相器。

背景技术

[0002] 实时延时移相器是宽带相控阵系统中最重要的一个特色模块。相控阵系统中的常规移相器,在信号带宽变大的情形下,由于不同频率成分延时不同,会导致孔径效应的出现。解决办法是将移相器设计为实时延时移相器,因此其延时范围和精度、实现难度、电路尺寸等是宽带相控阵系统的关键问题。

发明内容

[0003] 本发明的目的在于提出一种延时范围宽、精度高,能够对群延时进行控制的实时延时移相器。

[0004] 首先简述本发明,接着描述可调谐负群延时单元及其控制方法与精度,然后具体说明负群延时补偿原理。

[0005] 本发明提出的实时延时移相器,是基于基于负群延时补偿的。具体而言,是指具有正群延时特性的放大器,与负群延时(NGD)电路串联,从而抵消放大器的正群延时特性,使电路整体呈现出平坦的群延时特性,其中,所述的负群延时电路在结构上是由电感、电容、电阻的并联组成,参见图2所示。

[0006] 本发明提出的基于负群延时补偿的实时延时移相器,其电路结构如图1所示。电路为差分结构,包括两个差分放大器和一个可调谐负群延时单元;其输入端是input+和input-,首先连接到一个差分放大器,接着连接到可调谐负群延时单元(虚线部分),然后连接到另一个差分放大器,最后是电路输出端output+和output-。两个差分放大器为常规电路所以未画出具体结构。两个常规差分放大器具有正群延时特性,可调谐负群延时单元具有负群延时特性,他们级联以后将获得可调谐的平坦化群延时。基于这种“负群延时补偿”的实时延时移相器,在工作原理上区别于传统的开关式实时延时移相器,后者是让信号通过不同电长度的信号路径来实现。

[0007] 电长度与信号波长相关,因此对于波长未达毫米波的电路而言,传统实时延时移相器的尺寸过大,这一缺点在集成电路设计方面尤为明显。本发明提出实时延时移相器,不涉及与波长相关的不同电长度信号路径,因此具有尺寸较小的优点。由于电路中需要放大器来完成负群延时补偿,提供了一定增益,所以具有损耗较小的优点。

[0008] 负群延时单元的原理如图2所示,这是由电容C、电阻R、电感L组成的并联谐振腔,输入端input和输出端output分别位于两侧。使用时与上下级电路串联,该单元会展现出负群延时特性。

[0009] 本发明提出的可调谐负群延时单元(如图1中的虚线部分所示),具体可由固定电阻R、MOS管M1和M2、可变电容Cvar、固定电容C1、固定电感L组成(即固定电阻R,MOS管M1,MOS管M2,可变电容Cvar和固定电容C1(这两者串联),固定电感L依次并联)。MOS管M1和M2具有

可变电阻的特性，其控制电压分别为NGDRES1和NGDRES2；可变电容Cvar的控制电压为NGDCAP，施加在可变电容Cvar、固定电容C1之间。

[0010] 等效电容是通过固定电容与可变电容串联来实现的，两种电容的取值可以决定总体等效电容的容值变化范围和变容精度。不同延时状态下负群延时补偿的中心频点可能偏移，这可以通过调节可变电容的控制电压来解决。其表达式为：

$$\begin{aligned} C_{eqn} &= C_{est} // C_{var} = C_{est} // (C_{max}x - C_{min}x + C_{min}) \\ &= \frac{C_{est}(C_{max}x - C_{min}x + C_{min})}{C_{est} + C_{max}x - C_{min}x + C_{min}} \end{aligned}$$

其中，Ceqn为等效电容，Cest为固定电容的容值，Cvar为可变电容的容值，Cmax和Cmin分别为可变电容的最大值和最小值， $x=v/1.2$ 定义为可变电容控制电压v与其电压控制范围(0-1.2V)的比值。

[0011] 以x=1、0代入，可以得到等效电容的最大和最小容值为：

$$\begin{aligned} C_{eqn,max} &= \frac{C_{est}C_{max}}{C_{est} + C_{max}} \\ C_{eqn,min} &= \frac{C_{est}C_{min}}{C_{est} + C_{min}} \end{aligned}$$

可见固定电容的串联作用使得等效电容的最大和最小容值降低了。等效电容的变容范围为：

$$C_{eqn,max} - C_{eqn,min} = \frac{C_{est}^2(C_{max} - C_{min})}{C_{est}^2 + C_{est}(C_{max} + C_{min}) + C_{max}C_{min}}$$

相比可变电容的变容范围Cmax-Cmin，等效电容的变容范围也降低了。这种情况下，相同的控制电压变化将导致更小的等效电容变化，换句话说控制精度相应提高，控制精度是由变容范围决定的。因此，根据电路设计所需要的最大容值、最小容值、变容精度，可以确定出可变电容、定值电容的取值。

[0012] 等效电阻是通过线性区MOS管实现的，如图1中M1、M2所示。由于直流被电感短路，所以MOS管工作在线性区，改变其偏置电压来获得不同的等效电阻。与定值电阻并联后，两者的取值决定总体等效电阻的阻值变化范围和变阻精度。等效电阻表达式为：

$$R_M = \frac{1}{\mu C_{ox} (W/L)^2 (V_{gs} - V_{th})} = \frac{1}{kV_{gs}}$$

其中， μ 是迁移率， C_{ox} 是单位面积栅氧化层电容， W/L 是MOS管宽长比， V_{gs} 是栅极到源极电压， V_{th} 是阈值电压， V_{gt} 是过驱动电压， k 用来概括公式中除电压以外的常数。该式表明控制电压与等效电阻成反比关系。总电阻等于固定电阻与两个等效电阻的并联，其表达式为：

$$R_{eqn} = \frac{1}{\frac{1}{R_{est}} + \frac{1}{R_{M1}} + \frac{1}{R_{M2}}} = \frac{1}{\frac{1}{R_{est}} + k_1 V_{gs1} + k_2 V_{gs2}}$$

其中, R_{eqn} 是总电阻, R_{cst} 是固定电阻, 公式中包含两个用线性区MOS管等效的电阻 R_{m1} 和 R_{m2} , 他们与各自的控制电压成比例关系, 比例系数分别为 k_1 和 k_2 。这表明总电阻最大值是 R_{cst} , 最小值在两个MOS管控制电压都达到最大时取得。利用总电阻的跨导形式:

$$g_{eqn} = g_{ces} + k_1 V_{gs1} + k_2 V_{gs2}$$

假设MOS管M2不变, 得到总跨导和总电阻的变化量:

$$\Delta g_{eqn} = k_1 \Delta V_{gs1}$$

$$\Delta R_{eqn} = \frac{1}{k_1 \Delta V_{gs1}}$$

MOS管M1也作类似分析。这表明总电阻的控制精度与控制电压的变化量成反比关系。

[0013] 现在可以用总等效电阻、总等效电容和固定电感来分析负群延时单元的特性。对于串联支路形式的电感、电容、电阻电路, 写出其导纳表达式:

$$Y = \frac{1}{R_{eqn}} + j \left(wC_{eqn} - \frac{1}{wL_{eqn}} \right)$$

其中, L_{cst} 是固定电感。如果设定了系统参考阻抗 Z_0 (一般为50欧)或与之对应的参考导纳 Y_0 , 就可以通过散射矩阵与阻抗导纳的变换公式得到负群延时单元的传输特性:

$$\begin{aligned} S_{21} &= 1 - \frac{1}{1 + 2Y/Y_0} = 1 - \frac{1}{1 + \frac{2Z_0}{R} + j2Z_0 \left(wC_{eqn} - \frac{1}{wL_{eqn}} \right)} \\ &= \frac{\frac{2Z_0}{R} + j2Z_0 \left(wC_{eqn} - \frac{1}{wL_{eqn}} \right)}{1 + \frac{2Z_0}{R} + j2Z_0 \left(wC_{eqn} - \frac{1}{wL_{eqn}} \right)} \end{aligned}$$

进一步得到传输特性的相位特性:

$$\theta = -\arctan \frac{2Z_0 \left(wC_{eqn} - \frac{1}{wL_{eqn}} \right)}{1 + 2Z_0 / R_{eqn}}$$

可以看到在LC谐振点, 相位为零。在谐振点两侧的频段内, 相位变化将呈现等值反号的特征, 因此以谐振点群延时为基准, 比它小的群延时将被增大, 比它大的群延时将被减小, 从而形成一定频段内的平坦群延时。

[0014] 图3以25-GHz频段附近为例, 定性示意了负群延时补偿的效果。其中(a)表示在频段内具有负群延时特性的电路, 曲线上扬即表示群延时为负;(b)表示常规高频放大器的群延时特性, 曲线下降即表示群延时为正;(c)表示a、b两个单元串联后的补偿效果, 从全频段来看仍是下降的, 然而在25-GHz频段附近呈现出近似斜线的下降趋势, 在这一频段将曲线向频率零点方向外推, 会看到相位特性曲线交于零点, 表明在25-GHz频段附近实现了恒定群延时。

[0015] 上文已经说明了负群延时补偿的原理。在使用中, 总等效电阻很大, 导致信号大部分从电感和电容通过时, 负群延时补偿的效果很强; 总等效电阻很小, 导致信号大部分从电阻通过时, 负群延时补偿的效果很弱。根据这一现象实现了对群延时的控制。这一调谐作用

是通过改变总等效电阻和总等效电容来实现的,前面已经分析过它们的控制方法和精度。

[0016] 本发明的突出改进方面在于,有效降低了实时延时移相器的电路尺寸。传统实时延时移相器需要让信号通过与波长相关的真实物理延时线,在毫米波频段附近及更低频段内波长仍然达到十毫米量级,对于集成电路而言这是过大的尺寸。另一方面,本发明的电路集成有辅助放大器,再加上尺寸小也能有效降低实时延时移相器的损耗,这是本发明的优势之处。

附图说明

[0017] 图1为本发明提出的实时延时移相器结构图,其中放大器为常规结构,故未画出。

[0018] 图2 为本发明所使用的负群延时单元原理图。

[0019] 图3 为负群延时单元与正群延时单元串联之后,实现负群延时补偿效果的过程说明。

[0020] 图4 将该方法用在24.25–26.65-GHz频段内的实时延时移相器,版图后仿真结果证明了11个状态的群延时控制功能。群延时变化范围达到17-ps,带内各状态的群延时抖动最大为2-ps。

[0021] 图5是图4的电路的群延时后仿真结果。

[0022] 图6是图4的电路的S21后仿真结果。

具体实施方式

[0023] 本发明基于负群延时补偿的原理,通过正群延时单元与负群延时单元的串联,实现相互抵消从而在一定频段内获得平坦的群延时特性,这一过程如图3所示。通过调谐等效电阻和等效电容,控制了负群延时补偿强度,从而实现了不同的群延时状态,达到实时延时移相器的功能。

[0024] 图4是一个基于负群延时补偿的实时延时移相器设计实例,工作频段为24.25–26.65-GHz,采用TSMC-65nm CMOS-LP工艺。图中已经标注了两个放大器以及中间负群延时单元的MOS管尺寸以及无源器件值。该电路的PCB、bonding-wire、matching等与核心电路无关的辅助部分未画出,改变NGDRES1、NGDRES2、NGDCAP等控制电压的值可以获得12组延时状态。图5是该电路的群延时后仿真结果,12组状态可以实现最大17-ps的相对延时(群延时状态之差),且相对延时精度最低达到1.5-ps,在24.25–26.65-GHZ频段内相对延时及群延时相对平坦,最大抖动2-ps左右。图6是该电路的S21后仿真结果,可以看到由于串联放大器的加入,所有状态的损耗不超过-7.5dB。

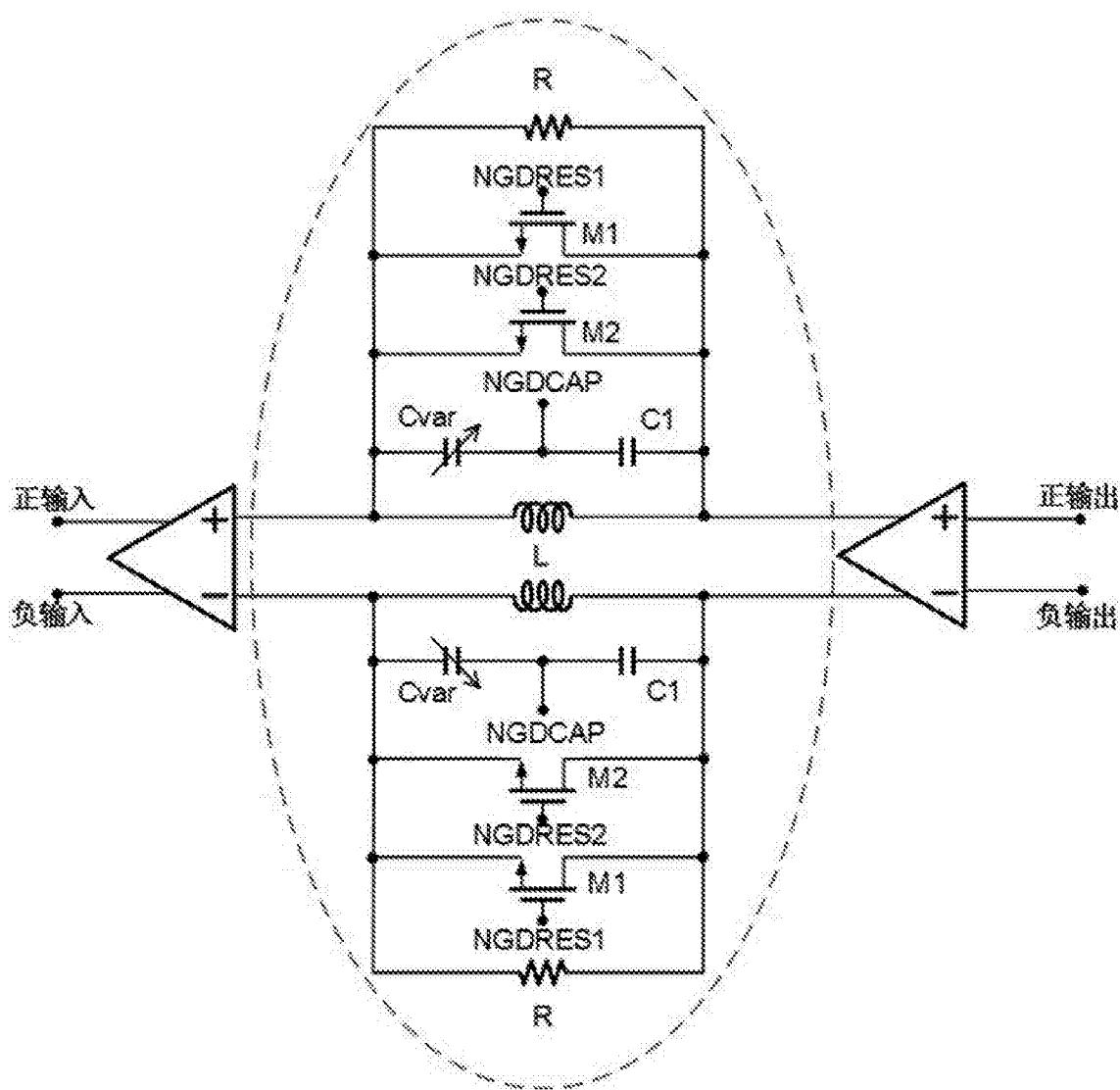


图1

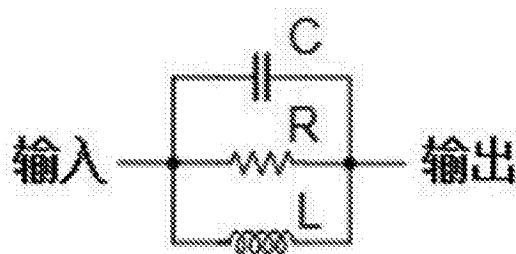


图2

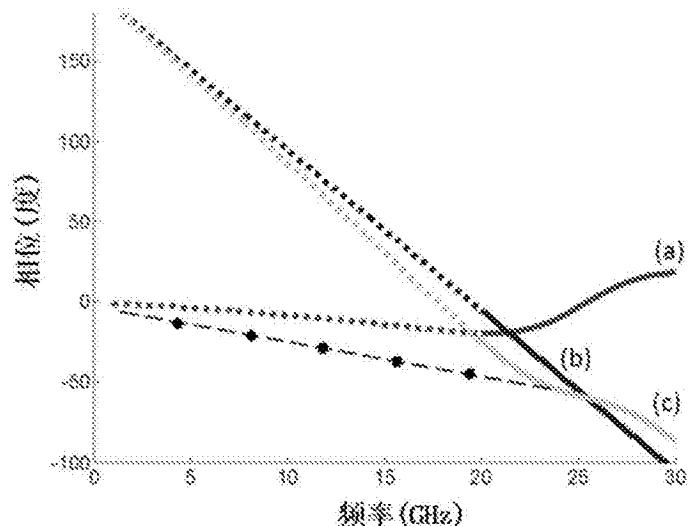


图3

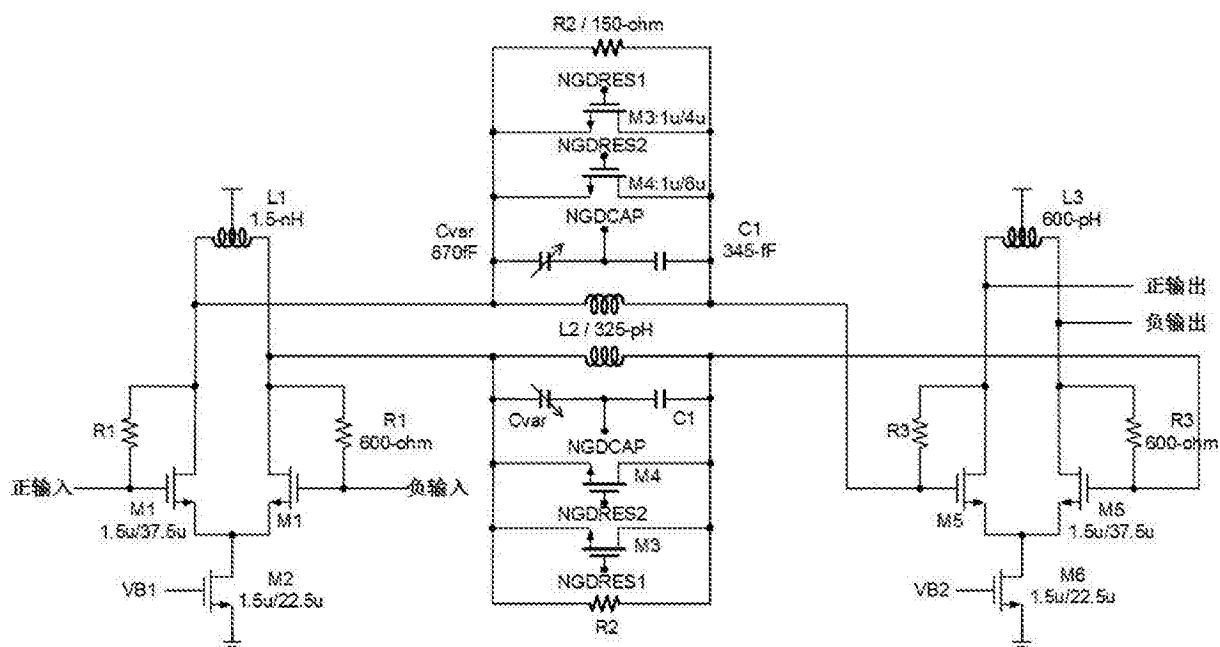


图4

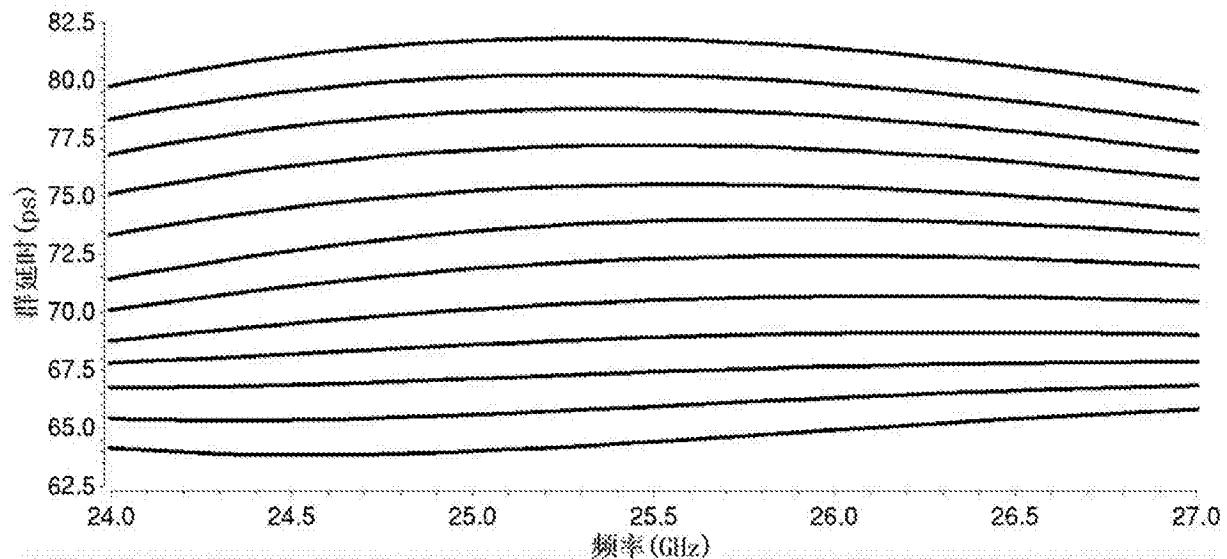


图5

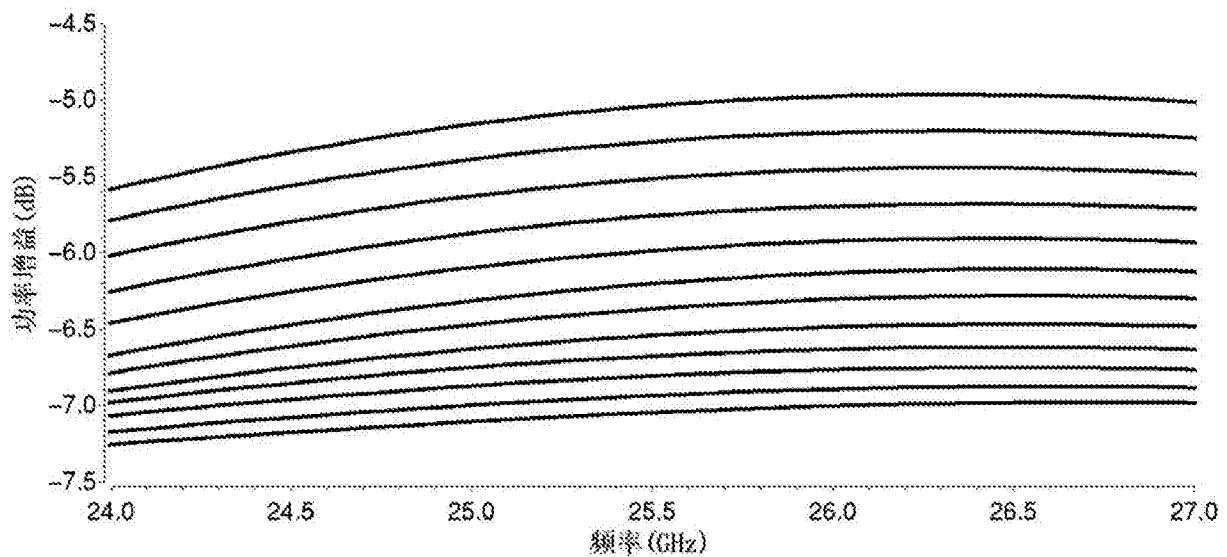


图6