

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/40 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월07일 10-0568253 2006년03월30일
---	-------------------------------------	--

(21) 출원번호	10-2003-0086288	(65) 공개번호	10-2005-0052743
(22) 출원일자	2003년12월01일	(43) 공개일자	2005년06월07일

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	이세희 경기도수원시팔달구영통동벽적골8단지한신아파트813-1706  강상석 경기도수원시권선구권선동1186번지신명아파트102-506
(74) 대리인	정상빈 김동진

심사관 : 황은택

(54) 반도체 메모리 장치 및 그의 기입 제어 방법

요약

본 발명은 반도체 메모리 장치 및 그의 기입 제어 방법에 관한 것으로서, 보다 상세하게는 기입 불량을 검출하기 위한 반도체 메모리 장치 및 그의 기입 제어 방법에 관한 것이다. 본 발명에 따른 반도체 메모리 장치는 행과 열로 배열된 다수의 메모리 셀을 구비하는 메모리 셀 어레이부; 상기 메모리 셀 어레이부의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부; 컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부; 및 기입 인에이블 신호에 의해서 활성화되고 마스터 클럭 신호에 동기되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 기입 드라이버를 포함하고, 상기 컬럼 선택 라인 신호는 클럭 인에이블 신호 및 기입 주기 모드를 설정하는 모드 리지스터 세트 신호에 의해서 활성화되는 기간이 결정되는 것을 특징으로 한다. 본 발명에 따른 반도체 메모리 장치의 기입 제어 방법은 행과 열로 배열된 다수의 메모리 셀을 구비하는 메모리 셀 어레이부; 상기 메모리 셀 어레이부의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부; 컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부; 및 기입 인에이블 신호에 의해서 활성화되고 마스터 클럭 신호에 동기되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 기입 드라이버를 포함하는 반도체 메모리 장치의 기입 제어 방법에 있어서, 상기 컬럼 선택 라인 신호가 컬럼 선택 라인 인에이블 신호에 의해서 활성화되는 단계; 및 상기 컬럼 선택 라인 신호가 컬럼 선택 라인 디스에이블 신호에 의해서 비활성화되는 단계를 포함하고, 상기 컬럼 선택 라인 신호는 클럭 인에이블 신호 및 모드 리지스터 세트 신호에 의해서 활성화되는 기간이 결정되는 것을 특징으로 한다.

대표도

도 5

### 색인어

모드 리지스터 세트 신호, 컬럼 선택 라인 신호, 기입 회복 시간

### 명세서

#### 도면의 간단한 설명

도 1은 반도체 메모리 장치의 구성을 나타내는 블록 구성도이다.

도 2는 종래의 반도체 메모리 장치의 컬럼 선택 라인 신호의 제어를 나타내는 블록 구성도이다.

도 3은 종래의 반도체 메모리 장치의 컬럼 선택 라인 신호를 제공하는 회로를 나타내는 도면이다.

도 4는 본 발명에 따른 반도체 메모리 장치의 컬럼 선택 라인 신호의 제어를 나타내는 블록 구성도이다.

도 5는 본 발명의 일실시예에 따른 반도체 메모리 장치의 기입 제어 회로를 나타내는 도면이다.

도 6은 본 발명의 일실시예에 따른 반도체 메모리 장치의 기입 동작을 나타내는 타이밍 구성도이다.

(도면의 주요 부분에 대한 부호의 설명)

10: 메모리 셀 어레이부

20: 비트 라인 증폭부

30: 기입 드라이버부

MN1, MN2, MN3: 엔모스 트랜지스터

MP1, MP2: 피모스 트랜지스터

101 내지 115, 51, 52: 인버터

310, 320, 330, 340, 350: 낸드 게이트

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치 및 그의 기입 제어 방법에 관한 것으로서, 보다 상세하게는 기입 불량을 검출하기 위한 반도체 메모리 장치 및 그의 기입 제어 방법에 관한 것이다.

최근 반도체 메모리 장치의 액세스 시간(Access Time)을 개선하기 위하여 외부 시스템 클럭과 반도체 메모리 장치의 동작을 동기화시킨 동기식 반도체 메모리 장치(예를 들면, Single Data Rate Synchronous Dynamic Random Access Memory, Double Data Rate Synchronous Dynamic Random Access Memory)가 개발되고 있다.

동기식 반도체 메모리 장치는 외부 시스템에서 입력되는 시스템 클럭 신호를 기준으로 하여 데이터의 기입(Write)이나 독출(Read) 동작이 제어되므로 외부 시스템 클럭이 증가됨에 따라 동기식 반도체 메모리 장치의 동작도 고속화되고 있다.

일반적으로 반도체 메모리 장치의 제조 공정(Fabrication Process)들이 모두 완료되면 패키지(Package) 공정을 위한 절삭(Sawing) 단계로 들어가기 전에 반도체 기판 상에 형성된 각각의 반도체 메모리 장치의 여러가지 특성들을 측정하는 반도체 메모리 장치 테스트를 거치게 된다.

상기 반도체 메모리 장치 테스트는 반도체 기판의 제조 공정이나 어셈블리 공정 등의 과정에서의 결함을 발견해 내어 불량품을 제거해서 양품만을 골라내기 위한 과정이다.

상기 반도체 메모리 장치 테스트를 통해서 제조상의 결함이나 설계와 기능상의 불일치가 발견되면 그 정확한 원인을 조사하기 위하여 불량 분석(Failure Analysis)을 수행하며, 그럼으로써 반도체 메모리 장치의 생산성(Through-put)을 높일 수 있다.

상기 반도체 메모리 장치 테스트에서는 테스터 장비를 이용하여 반도체 메모리 장치의 DC 특성, AC 특성을 측정한다. 상기 반도체 메모리 장치 테스트의 DC 특성을 측정하는 경우에는 반도체 메모리 장치의 각 전극마다에 전압을 인가하고 전류를 측정하거나 전류를 인가하여 전압을 측정하여 반도체 메모리 장치 내부에 전원 배선의 안정성, 소모 전류 및 누설(Leakage) 전류 등을 측정한다.

또한 상기 반도체 메모리 장치 테스트에서는 메모리 셀에 데이터를 기입(Write)하거나 독출(Read)하는 동작을 측정하는 기능 테스트(Function Test)를 수행한다.

특히 반도체 메모리 장치의 기입 동작을 테스트하는 경우에 기입 회복 시간(Write Recovery Time; tWR)을 규정하고 상기 기입 회복 시간 동안에 여러 가지의 기입 불량(예를 들면 컬럼 라인 선택 신호의 콘택 저항 불량)을 검출한다.

상기 기입 회복 시간(Write Recovery Time; tWR)은 반도체 메모리 장치의 기입(Write) 동작 후에 독출(Read) 동작 또는 기입(Write) 동작이 가능해지는 시점까지의 시간으로 규정할 수 있다. 즉, 마지막 데이터가 기입되는 시간부터 프리차지 커맨드 신호가 입력되는 시간(Last data\_in to row\_precharge; Write Recovery Time)으로 규정할 수 있다.

상기 기입 회복 시간은 컬럼 선택 라인 신호가 활성화되어 비트 라인에 유효한 기입 데이터를 인가하는 시간(CSL Enable Time)과 컬럼 선택 라인 신호가 비활성화된 후에 워드 라인이 프리차지되는 시점까지 메모리 셀에 유효한 기입 데이터를 저장하는 시간(Active Restore Time)으로 구성될 수 있다.

동기식 반도체 장치의 경우에는 상기 기입 회복 시간(tWR)은 클럭의 수(예를 들면, tWR=2 클럭, tWR=3 클럭)로 표현되고 있으며, 고속 동작 동기식 반도체 메모리 장치의 경우에는 기입 회복 시간(tWR)은 수 클럭 수준이다.

상기 기입 회복 시간이 수 클럭 수준인 고속 동작 동기식 반도체 메모리 장치에 대해서 기입 동작을 테스트하는 경우에는 고속 동작 동기식 반도체 메모리 장치의 기입 동작 주파수와 동일한 주파수로 테스트를 수행해야 실제 기입 동작 상태를 점검해볼 수 있으므로 이에 맞는 주파수의 테스트 장비를 사용하는 것이 바람직하다.

따라서 동기식 반도체 메모리 장치의 기입 동작이 고속화됨에 따라서 그에 상응하는 테스트 장비의 개발이 필요하게 되었으나, 기술의 진보가 매우 빠른 이 분야의 특성상 그 때마다 별도로 테스트 장비를 개발하는 것은 경제적으로 효율적이지 못하다. 그러므로 가능한한 종래의 테스트 장비를 이용하여 기입 동작을 테스트하여 기입 불량을 검출할 수 있다면 매우 경제적인 것이다.

그러나 종래의 기입 제어 방법을 그대로 이용하여 기입 동작을 테스트하게 되면 기입 불량을 정확하게 검출할 수 없으므로, 반도체 메모리 장치의 생산성(Through-put)을 높일 수 없게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 반도체 메모리 장치의 컬럼 라인 선택 신호의 활성화되는 기간을 조절하여 기입 불량을 검출하는 반도체 메모리 장치를 제공하고자 하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 반도체 메모리 장치의 컬럼 라인 선택 신호의 활성화되는 기간을 조절하여 기입 불량을 검출하는 반도체 메모리 장치의 기입 제어 방법을 제공하고자 하는 것이다.

**발명의 구성 및 작용**

상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리 장치는 행과 열로 배열된 다수의 메모리 셀을 구비하는 메모리 셀 어레이부; 상기 메모리 셀 어레이부의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부; 컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부; 및 기입 인에이블 신호에 의해서 활성화되고 마스터 클럭 신호에 동기되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 기입 드라이버를 포함하고, 상기 컬럼 선택 라인 신호는 클럭 인에이블 신호 및 모드 리지스터 세트 신호에 의해서 활성화되는 기간이 결정되는 것을 특징으로 한다.

본 발명의 일실시예에 따른 반도체 메모리 장치는 상기 컬럼 선택 라인 신호가 컬럼 선택 라인 인에이블 신호에 의해서 활성화되고, 컬럼 선택 라인 디스에이블 신호에 의해서 비활성되며, 상기 컬럼 선택 라인 디스에이블 신호는 상기 클럭 인에이블 신호와 상기 모드 리지스터 세트 신호의 낸드 연산에 의해서 제공되는 것을 특징으로 한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리 장치의 기입 제어 방법은 행과 열로 배열된 다수의 메모리 셀을 구비하는 메모리 셀 어레이부; 상기 메모리 셀 어레이부의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부; 컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부; 및 기입 인에이블 신호에 의해서 활성화되고 마스터 클럭 신호에 동기되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 기입 드라이버를 포함하는 반도체 메모리 장치의 기입 제어 방법에 있어서, 상기 컬럼 선택 라인 신호가 컬럼 선택 라인 인에이블 신호에 의해서 활성화되는 단계; 및 상기 컬럼 선택 라인 신호가 컬럼 선택 라인 디스에이블 신호에 의해서 비활성화되는 단계를 포함하고, 상기 컬럼 선택 라인 신호는 클럭 인에이블 신호 및 모드 리지스터 세트 신호에 의해서 활성화되는 기간이 결정되는 것을 특징으로 한다.

본 발명의 일실시예에 따른 반도체 메모리 장치의 기입 제어 방법은 상기 컬럼 선택 라인 디스에이블 신호는 상기 클럭 인에이블 신호와 상기 모드 리지스터 세트 신호의 낸드 연산에 의해서 제공되는 것을 특징으로 한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

도 1은 반도체 메모리 장치의 구성을 나타내는 블록 구성도이다. 일반적으로 반도체 메모리 장치는 도 1에 도시된 것처럼, 행과 열로 배열된 다수의 메모리 셀을 구비하는 메모리 셀 어레이부(10), 상기 메모리 셀 어레이부(10)의 비트 라인(BL) 전압과 상보 비트 라인(/BL) 전압 간에 전압차를 증폭하는 비트 라인 증폭부(20), 데이터 라인(DL) 및 상보 데이터 라인(/DL)을 상기 비트 라인(BL) 및 상보 비트 라인(/BL)에 각각 전기적으로 연결시키는 스위칭부(MN1, MN2) 및 기입 데이터(DQ) 전압을 상기 데이터 라인(DL)과 상보 데이터 라인(/DL)에 공급하는 기입 드라이버부(30)를 포함한다.

상기 메모리 셀 어레이부(10)는 워드 라인 신호(WL)에 의해서 워드 라인이 활성화되면 상기 비트 라인(BL)과 메모리 셀이 전기적으로 도통하게 되고, 상기 기입 드라이버부(30)로부터 공급된 기입 데이터(DQ) 전압이 상기 비트 라인(BL)을 통하여 상기 메모리 셀에 전달되어 기입된다.

상기 비트 라인 증폭부(20)는 상기 기입 드라이버부(30)로부터 공급된 기입 데이터(DQ) 전압이 상기 비트 라인(BL)에 전달되면 상기 비트 라인(BL) 전압과 상보 비트 라인(/BL) 전압 간에 전압차를 증폭하여 상기 비트 라인(BL)에 공급한다.

상기 스위칭부(MN1, MN2)는 컬럼 선택 라인 신호(CSL)에 의해서 활성화되어 상기 비트 라인(BL) 및 상기 상보 비트 라인(/BL)과 상기 데이터 라인(DL) 및 상보 데이터 라인(/DL)을 각각 전기적으로 연결시킨다.

상기 기입 드라이버부(30)는 기입 인에이블 신호(PWR)에 의해서 활성화되고 마스터 클럭 신호에 동기되어 입력된 기입 데이터(DQ) 전압을 상기 데이터 라인(DL)과 상보 데이터 라인(/DL)에 공급한다.

도 2는 종래의 반도체 메모리 장치의 컬럼 선택 라인 신호(CSL)의 제어를 나타내는 블록 구성도이다.

종래에는 상기 마스터 클럭 신호(CLK)가 전달되어 제공되는 내부 클럭 신호(PCLK) 및 기입 인에이블 신호(PWR)에 의해서 컬럼 선택 라인 인에이블 신호(PCLKCD)가 활성화되고, 상기 내부 클럭 신호(PCLK) 및 프리차지 인에이블 신호에 의해서 컬럼 선택 라인 디스에이블 신호(PCSLP)가 하이 상태에서 로우 상태로 전이하게 된다.

상기 컬럼 선택 라인 인에이블 신호(PCLKCD)가 활성화되면 상기 컬럼 선택 라인 신호(CSL)는 활성화되고, 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)가 하이 상태에서 로우 상태로 전이하면 상기 컬럼 선택 라인 신호(CSL)는 비활성화된다.

상기 기입 인에이블 신호(PWR)는 입력되는 다수의 커맨드 신호들 중에서 기입 동작을 정의하는 기입 커맨드 신호(WRITE)에 의해서 활성화되고, 상기 프리차지 인에이블 신호는 입력되는 다수의 커맨드 신호들 중에서 프리차지 동작을 정의하는 프리차지 커맨드 신호(PRE)에 의해서 활성화된다.

도 3은 종래의 반도체 메모리 장치의 컬럼 선택 라인 신호(CSL)를 제공하는 회로를 나타내는 도면이다.

상기 회로는 상기 컬럼 선택 라인 인에이블 신호(PCLKCD)가 입력되는 제 1 피모스 트랜지스터(MP1), 상기 컬럼 선택 라인 인에이블 신호(PCLKCD)가 입력되는 엔모스 트랜지스터(MN3), 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)가 입력되고 상기 제 1 피모스 트랜지스터(MP1)와 상기 엔모스 트랜지스터(MN3) 사이에 연결되는 제 2 피모스 트랜지스터(MP2), 상기 제 2 피모스 트랜지스터(MP2)와 상기 엔모스 트랜지스터(MN3)가 연결되는 지점에 연결되는 제 1 인버터(51) 및 상기 제 1 인버터(51)에 래치로 연결되어 있는 제 2 인버터(52)를 포함한다.

상기 컬럼 선택 라인 인에이블 신호(PCLKCD)가 활성화되면 상기 제 1 피모스 트랜지스터(MP1)는 턴오프되고 상기 엔모스 트랜지스터(MN3)는 턴온되어 상기 제 1 인버터(51)의 입력단과 접지 전극이 전기적으로 도통하게 된다. 그럼으로써 상기 제 1 인버터(51)의 입력단이 로우 상태를 유지하므로, 상기 컬럼 선택 라인 신호(CSL)는 활성화된다.

상기 컬럼 선택 라인 디스에이블 신호(PCSLP)가 하이 상태를 유지하는 경우에는 상기 제 1 피모스 트랜지스터(MP1)는 턴오프되어 상기 제 1 인버터(51)의 입력단에 전하를 공급하지 못한다. 그러나 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)가 로우 상태를 유지하면서 상기 컬럼 선택 라인 인에이블 신호(PCLKCD)가 로우 상태를 유지하는 경우에는 상기 제 1 피모스 트랜지스터와 상기 제 2 피모스 트랜지스터(MP2)는 턴온되고 상기 엔모스 트랜지스터(MN3)는 턴오프되어 전원 전압 전극과 전기적으로 도통하게 된다. 그럼으로써 상기 제 1 인버터(51)의 입력단에 전하가 공급되어 상기 제 1 인버터(51)의 입력단이 하이 상태를 유지하므로, 상기 컬럼 선택 라인 신호(CSL)는 비활성화된다.

상기 제 2 인버터(52)는 상기 제 1 인버터(51)에 래치로 연결됨으로써, 상기 제 2 피모스 트랜지스터(MP2)와 상기 엔모스 트랜지스터(MN3)가 연결되는 지점에서 전하가 분배(Charge Sharing)되어 상기 컬럼 선택 라인 신호(CSL)가 플로팅(floating; 하이 상태인지 로우 상태인지를 결정할 수 없는 상태)되는 것을 방지할 수 있다.

도 4는 본 발명에 따른 반도체 메모리 장치의 컬럼 선택 라인 신호(CSL)의 제어를 나타내는 블록 구성도이다.

상기 컬럼 선택 라인 인에이블 신호(PCLKCD)는 상기 내부 클럭 신호(PCLK) 및 상기 기입 인에이블 신호(PWR)에 의해서 활성화되고, 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)는 상기 마스터 클럭 신호(CLK)의 상태가 전이하는 때마다 입력되는 클럭 인에이블 신호(PCKE) 및 기입 주기 모드를 설정하는 모드 리지스터 세트 신호(PMRS)에 의해서 하이 상태에서 로우 상태로 전이하게 된다.

상기 컬럼 선택 라인 인에이블 신호(PCLKCD)가 활성화되면 상기 컬럼 선택 라인 신호(CSL)는 활성화되고, 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)가 하이 상태에서 로우 상태로 전이하면 상기 컬럼 선택 라인 신호(CSL)는 비활성화된다.

상기 클럭 인에이블 신호(PCKE)는 하이 상태인 경우에는 상기 마스터 클럭 신호(CLK)가 로우 상태에서 하이 상태로 전이하는 때마다 입력되어 상기 내부 클럭 신호(PCLK)를 활성화시킨다. 상기 마스터 클럭 신호(CLK)가 로우 상태에서 하이 상태로 전이하는 때에 상기 클럭 인에이블 신호(PCKE)가 로우 상태를 유지하면, 상기 내부 클럭 신호(PCLK)는 동작을 멈추고 다른 모든 입력 신호는 무시되며, 반도체 메모리 장치는 파워 다운(Power Down) 모드나 셀프 리프레쉬(Self Refresh) 모드로 진행된다.

또한 상기 클럭 인에이블 신호(PCKE)는 상기 마스터 클럭 신호(CLK)가 하이 상태에서 로우 상태로 전이하는 때마다 입력되는 것도 가능하다.

상기 모드 리지스터 세트(Mode Register Set) 신호는 반도체 메모리 장치의 다양한 동작 모드를 제어하기 위하여 다양한 옵션(예를 들면, CAS Latency, Burst Type, Burst Length)을 설정하는 신호로서, 반도체 메모리 장치가 기입 동작을 수행하는 경우에는 기입 주기 모드를 설정한다.

본 발명에 따른 반도체 메모리 장치의 컬럼 선택 라인 신호(CSL)는 상기 클럭 인에이블 신호(PCKE)뿐만 아니라 상기 모드 리지스터 세트 신호(PMRS)에 의해서 비활성화되는 시점이 결정되므로, 상기 마스터 클럭 신호(CLK)에 동기되지 않고 비활성화되는 시점이 결정된다. 따라서 상기 클럭 인에이블 신호(PCKE) 및 상기 모드 리지스터 세트 신호(PMRS)를 조정하여 상기 컬럼 선택 라인 신호(CSL)가 활성화되는 기간을 조절할 수 있다.

도 5는 본 발명의 일실시예에 따른 반도체 메모리 장치의 기입 제어 회로를 나타내는 도면이다.

상기 다수의 메모리 셀 중 하나의 셀을 선택하는 어드레스 신호(BCA) 및 상기 내부 클럭 신호(PCLK)가 하이 상태로 상기 클럭 인에이블 신호(PCKE)에 의해서 활성화되면 상기 내부 클럭 신호(PCLK)와 상기 어드레스 신호(BCA)의 반전 신호가 입력되는 제 1 낸드 게이트(310)의 출력 신호는 하이 상태를 유지한다.

상기 제 1 낸드 게이트(310)의 출력 신호는 짝수로 직렬 연결된 인버터들(105 내지 110)에 의해서 제 2 낸드 게이트(320)에 전달되고, 상기 기입 인에이블 신호(PWR)의 반전 신호가 입력되므로 상기 기입 인에이블 신호(PWR)가 활성화되면 상기 제 2 낸드 게이트(320)의 출력 신호는 하이 상태를 유지한다.

제 3 낸드 게이트(340)는 상기 제 1 낸드 게이트(310)의 출력 신호가 짝수로 직렬 연결된 인버터들(105, 106, 112 내지 115)에 의해서 전달되고, 상기 기입 인에이블 신호(PWR) 및 상기 클럭 인에이블 신호(PCKE)와 상기 모드 리지스터 세트 신호(PMRS)의 제 4 낸드 게이트(330)의 출력 신호가 입력된다.

따라서 상기 기입 인에이블 신호(PWR)가 활성화되고, 상기 클럭 인에이블 신호(PCKE)와 상기 모드 리지스터 세트 신호(PMRS)가 활성화되어 상기 제 4 낸드 게이트(330)의 출력이 로우 상태를 유지하면 상기 제 3 낸드 게이트(340)의 출력은 하이 상태를 유지한다.

상기 제 2 낸드 게이트(320)의 출력 신호와 상기 제 3 낸드 게이트(340)의 출력 신호(PCSLPD)는 제 5 낸드 게이트(350)에 입력되어 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)를 제공하므로, 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)는 로우 상태를 유지한다. 결국, 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)는 상기 클럭 인에이블 신호(PCKE)와 상기 모드 리지스터 세트 신호(PMRS)의 낸드 연산에 의해서 제공된다.

도 6은 본 발명의 일실시예에 따른 반도체 메모리 장치의 기입 동작(Burst Length 1 클럭, tWR 1 클럭)을 나타내는 타이밍 구성도이다.

본 발명의 일실시예에 따른 반도체 메모리 장치는 액티브 커맨드 신호(ACTIVE)가 입력되면 액티브 동작 모드로 설정되고, 워드 라인 신호(WL)가 활성화된다. 상기 워드 라인 신호(WL)는 프리차지 커맨드 신호(PRE)에 의해서 비활성화된다.

기입 커맨드 신호(WRITE)가 기입 데이터(DQ)와 함께 입력되면 상기 기입 인에이블 신호(PWR)가 활성화되고, 상기 기입 인에이블 신호(PWR)에 의해서 상기 컬럼 선택 라인 인에이블 신호(PCLKCD)가 활성화된다.

상기 클럭 인에이블 신호(PCKE)와 상기 모드 리지스터 세트 신호(PMRS)의 낸드 연산 신호(PCSLPD)가 하이 상태에서 로우 상태로 전이하면 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)는 하이 상태에서 로우 상태로 전이하게 된다.

상기 컬럼 선택 라인 인에이블 신호(PCLKCD)가 활성화되면 상기 컬럼 선택 라인 신호(CSL)는 활성화되고, 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)가 하이 상태에서 로우 상태로 전이하면 상기 컬럼 선택 라인 신호(CSL)는 비활성화된다.

상기 컬럼 선택 라인 신호(CSL)가 활성화되면 상기 비트 라인(BL) 및 상기 상보 비트 라인과 상기 데이터 라인 및 상기 상보 데이터 라인이 각각 전기적으로 도통하게 된다.



그리고 상기 기입 드라이버(30)는 상기 기입 인에이블 신호(PWR)에 의해서 활성화되어 상기 기입 데이터(DQ)를 상기 데이터 라인(DL)과 상기 상보 데이터 라인(/DL)에 공급한다.

상기 컬럼 선택 라인 신호(CSL)가 활성화되는 기간 동안은 상기 기입 드라이버(30)에 의해서 상기 비트 라인(BL)과 상기 상보 비트 라인(/BL)에 상기 기입 데이터(DQ)가 전달된다.

그리고 상기 컬럼 선택 라인 신호(CSL)가 활성화되는 시점부터 상기 워드 라인 신호(WL)가 비활성화되는 시점(Active Restore Time)까지는 상기 비트 라인 증폭부(20)에 의해서 상기 기입 데이터(DQ)가 상기 메모리 셀에 전달된다.

따라서 본 발명에 따른 일실시에 따른 반도체 장치는 상기 클럭 인에이블 신호(PCKE)와 상기 모드 리지스터 세트 신호(PMRS)에 의해서 상기 컬럼 선택 라인 디스에이블 신호(PCSLP)가 하이 상태에서 로우 상태로 전이되는 시점을 조절함으로써 상기 컬럼 선택 라인 신호(CSL)가 활성화되는 시간(CSL Enable Time)을 조절할 수 있다.

그럼으로써 상기 컬럼 선택 라인 신호(CSL)와 관련된 공정 불량(예를 들면 컬럼 선택 라인 신호 칸택 저항 불량)을 검출할 수 있으므로 반도체 메모리 장치의 기입 동작의 신뢰성을 높일 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야의 당업자(통상의 지식을 가진 자)는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허 청구의 범위에 의하여 나타내어지며, 특허 청구의 범위 및 그 균등 개념(Equivalents)으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

### 발명의 효과

상기한 바와 같이 이루어진 본 발명에 따르면, 반도체 메모리 장치의 컬럼 라인 선택 신호의 활성화되는 기간을 조절하여 기입 불량을 검출하는 반도체 메모리 장치를 제공할 수 있다.

또한 상기한 바와 같이 이루어진 본 발명에 따르면, 반도체 메모리 장치의 컬럼 라인 선택 신호의 활성화되는 기간을 조절하여 기입 불량을 검출하는 반도체 메모리 장치의 기입 제어 방법을 제공할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

행과 열로 배열된 다수의 메모리 셀을 구비하는 메모리 셀 어레이부;

상기 메모리 셀 어레이부의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부;

컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부; 및

기입 인에이블 신호에 의해서 활성화되고 마스터 클럭 신호에 동기되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 기입 드라이버를 포함하고, 상기 컬럼 선택 라인 신호는 클럭 인에이블 신호 및 모드 리지스터 세트 신호에 의해서 활성화되는 기간이 결정되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 2.

제1항에 있어서,

상기 컬럼 선택 라인 신호는 컬럼 선택 라인 인에이블 신호에 의해서 활성화되고, 컬럼 선택 라인 디스에이블 신호에 의해서 비활성되며, 상기 컬럼 선택 라인 디스에이블 신호는 상기 클럭 인에이블 신호와 상기 모드 리지스터 세트 신호의 낸드 연산에 의해서 제공되는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 3.**

행과 열로 배열된 다수의 메모리 셀을 구비하는 메모리 셀 어레이부, 상기 메모리 셀 어레이부의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부, 컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부, 및 기입 인에이블 신호에 의해서 활성화되고 마스터 클럭 신호에 동기되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 기입 드라이버를 포함하는 반도체 메모리 장치의 기입 제어 방법에 있어서,

상기 컬럼 선택 라인 신호가 컬럼 선택 라인 인에이블 신호에 의해서 활성화되는 단계; 및

상기 컬럼 선택 라인 신호가 컬럼 선택 라인 디스에이블 신호에 의해서 비활성화되는 단계를 포함하고, 상기 컬럼 선택 라인 신호는 클럭 인에이블 신호 및 모드 리지스터 세트 신호에 의해서 활성화되는 기간이 결정되는 것을 특징으로 하는 반도체 메모리 장치의 기입 제어 방법.

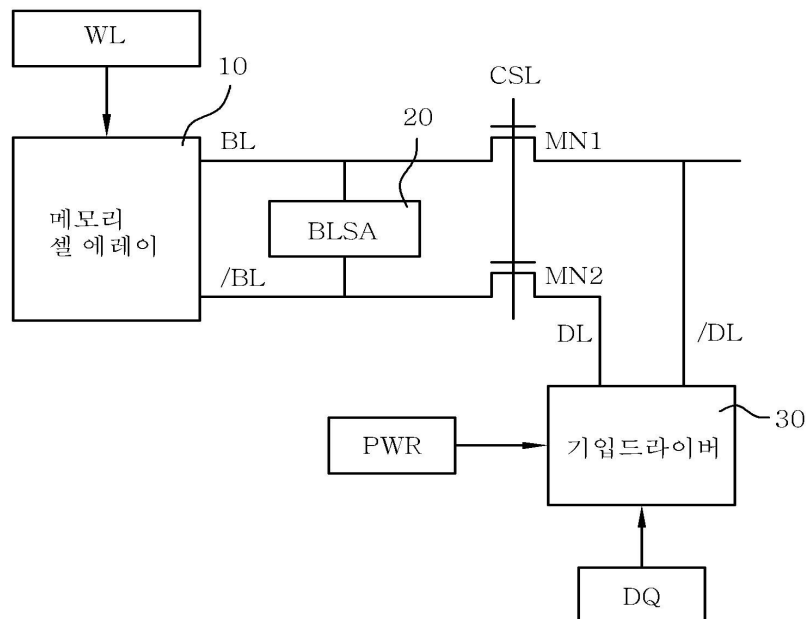
**청구항 4.**

제3항에 있어서,

상기 컬럼 선택 라인 디스에이블 신호는 상기 클럭 인에이블 신호와 상기 모드 리지스터 세트 신호의 낸드 연산에 의해서 제공되는 것을 특징으로 하는 반도체 메모리 장치의 기입 제어 방법.

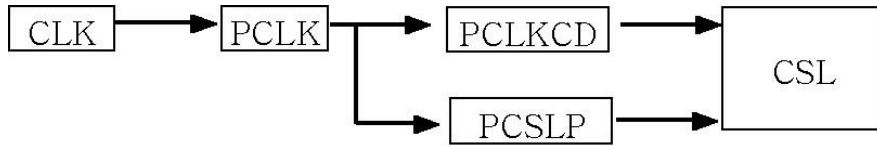
**도면**

도면1

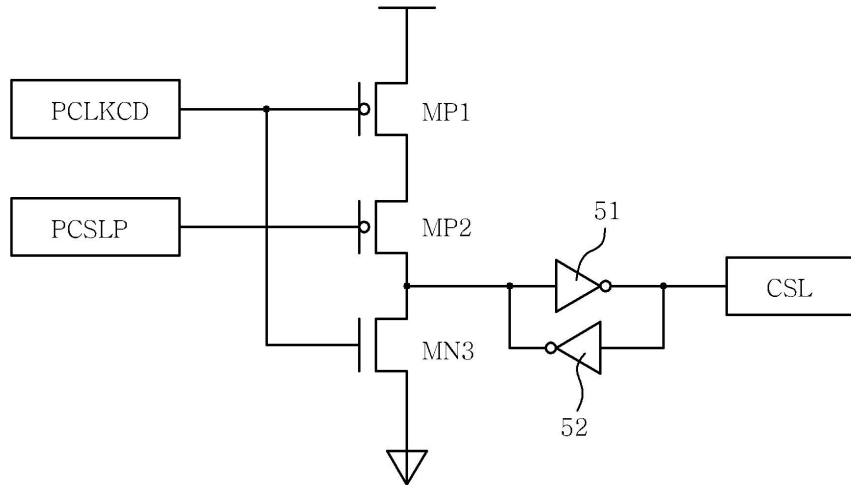




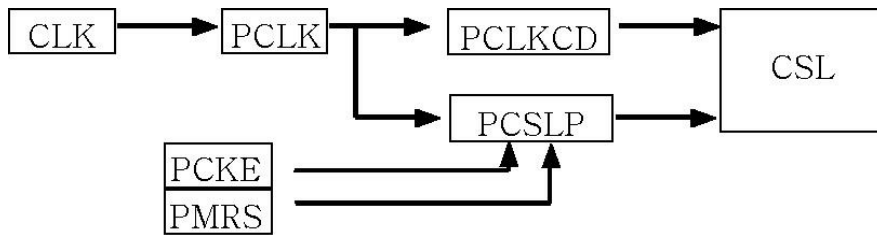
도면2



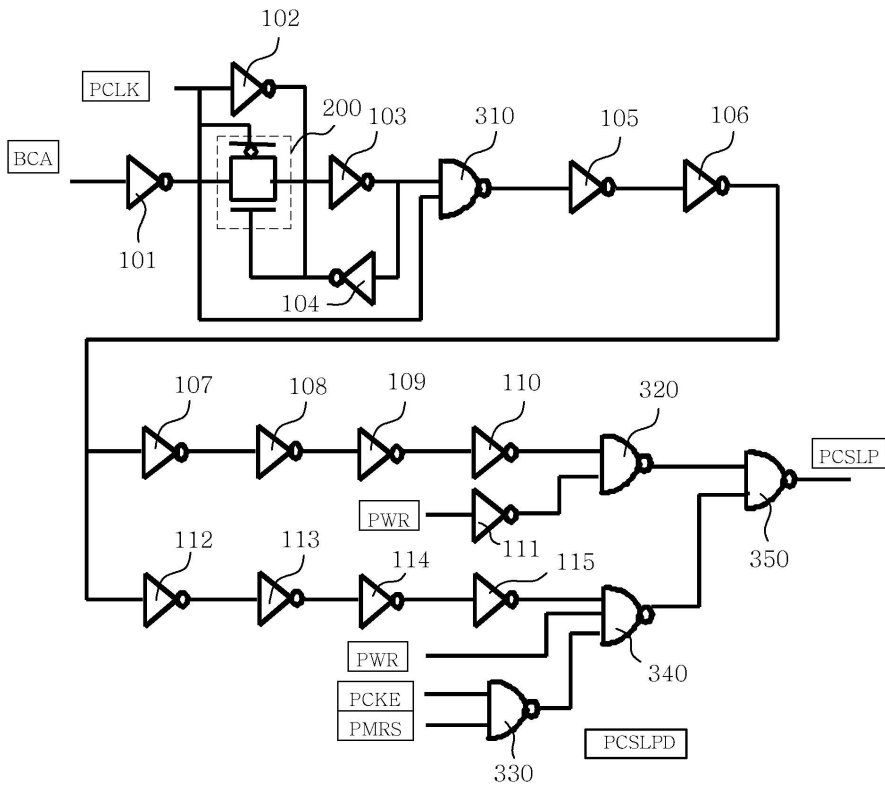
도면3



도면4



도면5



도면6

