

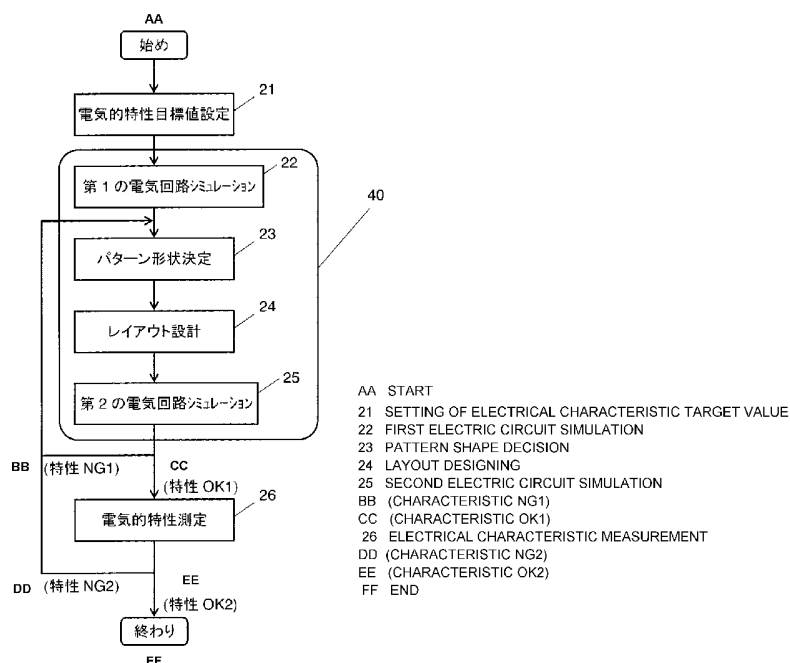


- (51) 国際特許分類:
G06F 17/50 (2006.01) H05K 3/00 (2006.01)
- (21) 国際出願番号: PCT/JP2006/307612
- (22) 国際出願日: 2006年4月11日 (11.04.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-114144 2005年4月12日 (12.04.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐々木 幸紀 (SASAKI, Yukinori). 伊藤 守 (ITO, Mamoru).
- (74) 代理人: 岩橋 文雄, 外(IWAHASHI, Fumio et al.); 〒5718501 大阪府門真市大字門真 1006番地 松下電器産業株式会社内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

/ 続葉有 /

(54) Title: METHOD FOR DESIGNING ELECTRONIC COMPONENT

(54) 発明の名称: 電子部品の設計方法



(57) Abstract: An electronic component designing method with improved designing efficiency is provided. The method is provided with a step (21) of setting a prescribed electrical characteristic; a step (22) of deciding an electrical constant of a component by first electric circuit simulation to satisfy the prescribed electrical characteristic; a step (23) of deciding a pattern shape for obtaining the electrical constant; a step (24) of searching and selecting an electronic component satisfying the electrical constant from database and performing layout designing by having the selected component as a module; a step (25) of performing second electric circuit simulation; and a step (26) of judging whether the electrical characteristic of the module conforms with the prescribed electrical characteristic.

/ 続葉有 /



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, — 補正書
MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約: 設計効率の向上を図った電子部品の設計方法を提供する。所定の電気的特性を設定するステップ(21)、所定の電気的特性を満たすために第1の電気回路シミュレーションによって部品の電気的定数を決定するステップ(22)、電気的定数を得るためのパターン形状を決定するステップ(23)、データベースの中から電気的定数に合った電子部品を検索して選択し、選択した部品をモジュールとしてレイアウト設計を行うステップ(24)、第2の電気回路シミュレーションを行うステップ(25)、モジュールの電気的特性と所定の電気的特性とが一致しているか否かを判断するステップ(26)を備える。

明 細 書

電子部品の設計方法

技術分野

[0001] 本発明は、電子部品の設計方法に関するものである。

背景技術

[0002] 図7はこの種の電子部品の設計方法に関し、特にCADシステムを用いたフローチャートを示す。電子部品の設計を始めるにあたり、ステップ101で所定の電気的特性を決定する。次に、ステップ102において、ステップ101で決定した電気的特性が所定の値を満足するように電気的な等価回路及びそれらを構成する電子部品の電気的定数を電気回路シミュレータなどにより決定する。そして、ステップ103で、ステップ102で決定した電気的定数を実現するための電子部品等の物理的形状や導電金属パターンを決定する。

[0003] その後、ステップ104において、ステップ102で決定した各種電子部品の物理的形状を基にして、各電子部品等をモジュール内に配置し、電子部品、外部端子間等の配線パターンを配置する。さらに、ステップ105で電気的特性を測定し、ステップ101で決定した所定の電気的特性に一致しているか否かを判定する。ここで所定の電気的特性が実現できていなかった場合には、再度、ステップ103に戻り、ステップ103以降のステップの処理を繰り返して行う。ステップ105で所定の電気的特性が得られた場合はすべての処理を終える。

[0004] しかしながら、上述の従来例では設計効率に課題があった。すなわち、従来の構成においては、ステップ102の電気回路シミュレーションの時点ではステップ103のパターン形状決定やステップ104のレイアウト設計が完了しておらず、レイアウトを考慮した電気回路シミュレーションを行うことができていない。このため、ステップ105の電気的特性の測定の段階ではが所定の電気的特性と一致していないことが多く、何度も繰り返してシミュレーションを行わなければならない設計効率を上げることは容易ではなかった。さらに、ステップ102での電気回路シミュレーションを電気回路シミュレータで行い、その他のステップをCADシステムで行っているため設計効率が思うように上

がらなかった。

- [0005] なお、本発明に関する先行技術文献情報としては、たとえば、日本特許公開特開2003-16133号公報、特開2002-73718号公報が知られている。

発明の開示

- [0006] 本発明は、設計効率の向上を図った電子部品の設計方法を提供するものである。本発明は、電気回路シミュレーションを行う機能を付加し、且つレイアウト設計と電気的特性測定とのステップ間に、電気回路シミュレーションを行うステップを付加したものである。
- [0007] こうした構成によれば、レイアウトを考慮した電気回路シミュレーションを行うことができるため、シミュレーションをやり直さなければならないという不具合を解消することができる。また、電気回路シミュレーションをシステム内の機能として存在させているためシステム間での処理の往来を排除し、設計効率を向上させることができる。
- [0008] 本発明の具体的な電子部品の設計方法は、まず、所定の電気的特性を設定する第1ステップと、電気的特性を満たすために第1の電気回路シミュレーションによって電子部品の電気的定数を決定する第2ステップを備える。また、電子部品の電気的定数を得るために物理的なパターン形状を決定する第3ステップと、データベースの中から所定の電気的定数を有する電子部品を検索して選択し、選択した電子部品をモジュールとしてレイアウト設計を行う第4ステップを備える。また、レイアウト設計を行う第4ステップの後に第2の電気回路シミュレーションを行う第5ステップと、モジュールの電気的特性を測定し、所定の電気的特性とが一致しているかを判断する第6ステップとを備える。
- [0009] また、本発明の電子部品の設計方法は、データベースには電子部品の3次元形状情報及び電子部品の電気的特性が格納されている。
- [0010] また、本発明の電子部品の設計方法は、データベースには電子部品を配置したときに相隣接する他の電子部品との配置間隔を定めた許容クリアランスの3次元情報が格納されている。
- [0011] また、本発明の電子部品の設計方法は、データベースには電子部品と他の電子部品とを接続するための配線パターン及びビアホールの3次元形状情報が格納されて

いる。

[0012] また、本発明の電子部品の設計方法は、上記第5ステップの処理を行った後、上記第3ステップ以降の処理を再度行う。

[0013] また、本発明の電子部品の設計方法は、上記第6ステップの処理を行った後、上記第3ステップ以降の処理を再度行う。

[0014] また、本発明の電子部品の設計方法は、上記第2、第3、第4及び第5ステップの処理が同じCADシステムで処理される。

[0015] また、本発明の電子部品の設計方法は、電子部品は、低温焼成セラミック基板上に形成される。

[0016] また本発明の電子部品の設計方法は、電子部品はコンデンサ、インダクタ及び抵抗の少なくとも1つを含んでいる。

[0017] また、本発明の電子部品の設計方法は、低温焼成セラミック基板は多層回路基板である。

図面の簡単な説明

[0018] [図1]図1は、本発明の実施の形態にかかる多層回路部品モジュールの透視斜視図である。

[図2]図2は、本発明の実施の形態にかかるパターン形成層の平面展開図である。

[図3]図3は、本発明の実施の形態にかかる多層回路部品モジュールの電氣的等価回路図である。

[図4]図4は、本発明の実施の形態にかかるモジュール設計手順を示すフローチャートである。

[図5]図5は、本発明の実施の形態にかかるデータベースの形態を示す概念図である。

[図6]図6は、本発明の実施の形態にかかる許容クリアランスを属性として付加したデータベースを示す概念図である。

[図7]図7は、従来のモジュール設計手順を示すフローチャートである。

符号の説明

[0019] 1 誘電体基板

- 3 入力用外部端子
 - 4 出力用外部端子
 - 5 設置用外部端子
 - 6 コンデンサ部領域
 - 6A, 6B 矩形パターン
 - 7 インダクタ部領域
 - 7A, 7B 螺旋パターン
 - 8A, 8B, 8C ビアホール
 - 9A, 9B 配線パターン
 - 11, 12, 13, 14, 15 パターン形成層
- 発明を実施するための最良の形態

- [0020] 以下、本発明の実施の形態にかかるCADシステムを用いた電子部品の設計方法について図面を参照しながら説明する。
- [0021] 図1は低温焼成セラミック(以下、LTCCと示す)基板を用いたモジュールを電子部品とした例の透視斜視図である。図1に示したモジュールは誘電体基板1a, 1b, 1c及び1dの4枚使用したものを例示した。誘電体基板1aと1bとの間、誘電体基板1bと1cとの間及び誘電体1cと1dの間に、たとえば銅や銀などからなる導電金属パターン等を形成する。誘電体基板1a～1dをたとえば4枚で構成したときには、パターンを形成するパターン形成層11, 12, 13, 14及び15からなる5つの層を形成することができる。
- [0022] 入力用外部端子3は配線パターン9A及びビアホール8Aを介してコンデンサ電極部6A, 6Bを備えるコンデンサ部領域6に接続された後、分岐した配線パターン9Bに接続される。分岐した配線パターン9Bの一方はビアホール8Bを介して出力用外部端子4に接続される。分岐した配線パターン9Bの他方はインダクタ部領域7に接続された後、ビアホール8Cを介して設置用外部端子5に接続されている。
- [0023] 図2は、図1に示したパターン形成層11, 12, 13, 14及び15の平面展開図である。図1と同じ箇所には同じ符号を用いた。パターン形成層11には主にこのモジュールをプリント基板などに実装する際、プリント基板上に存在する端子と電氣的に接続す

るための外部端子用パターンが形成されている。また、パターン形成層12の矩形パターン6Bとパターン形成層13の矩形パターン6Aとによりコンデンサ部領域6を形成している。すなわち、矩形パターン6A、6Bはコンデンサ部領域6の電極部として形成されている。

[0024] パターン形成層13の螺旋パターン7Bとパターン形成層14の螺旋パターン7Aとによってインダクタ部7を形成している。最表面であるパターン形成層15にはパターンを設けないものを示した。しかし、モジュールの表面にさらにチップ形状の電子部品(図示せず)を実装する場合は、パターン形成層15にチップ形状の電子部品(図示せず)と電気接続をとるための接続用パターンを形成しても良い。

[0025] 図1、図2に示した配線情報を基にして作成した電氣的な等価回路を図3に示す。図3に示す電気回路の構成は、入力用外部端子3から入力された電力はある特定の周波数よりも高い周波数のみを出力用外部端子4へ通す高域通過型フィルタ、いわゆるHPF(High Pass Filter)としての電氣的な回路機能を有する。

[0026] このようなLTCC基板を用いたモジュールを設計するフローチャートを図4に示す。電子部品の設計を始めるにあたっては、まず、ステップ21により、目標とする所定の電氣的特性を決定する。ここで、所定の電氣的特性とは、たとえば高帯域フィルタの帯域幅であったり、カットオフ周波数であったりすることができる。次にステップ22において、所定の電氣的特性を実現するためにCADシステム40に組み込まれた第1の電気回路シミュレーションによってモジュールの電氣的定数を決定する。そして、ステップ22で決定した電氣的特性を実現するために、ステップ23においてLTCC基板厚みや導電金属のパターン形状を決定する。

[0027] その後、ステップ24でレイアウト設計を行う。ここで、機構系3次元CADを用いてパターン形状やレイアウト設計を行えば、LTCC基板を用いたモジュールのような3次元空間に電子部品領域を集積化する多層回路部品の設計効率を上げることができる。

[0028] 次に、ステップ25において、ビアホール8A、8B及び8Cの数や配線パターン9A、9B(図1参照)の長さなどを考慮した第2の電気回路シミュレーションを行う。なお、第2の電気回路シミュレーションもCADシステム40の中に組み込まれている。第2の電

気回路シミュレーション(ステップ25)の結果が目標の電気的特性に対して一致していない場合または所定の範囲から大きく外れた場合(特性NG1)は、それらの誤差を小さくするために、導電金属パターン形状やモジュール内の電子部品領域の位置、ビアホールや配線パターンの長さ、位置などを変更する。このためにはステップ23に戻り、再度、ステップ23以降の処理を行う。所定の電気的特性にほぼ一致しており、設計的に許容できる場合には(特性OK1)、次のステップ26に移る。ステップ26では、実際に作成したモジュールの電気的特性を測定し、目標の電気的特性に一致しているかどうかを判定する。ステップ26で所定の電気的特性が得られた場合には(特性OK2)電子部品の設計を終わる。もし電気的特性の測定が所定の許容範囲から逸脱している場合は、再度、ステップ23以降の処理を施す。

[0029] ところで、LTCC基板を用いたモジュールを使用する周波数帯が高周波領域になると、コンデンサ部領域6やインダクタ部領域7に様々な寄生成分が付加されやすくなる。また、コンデンサ部領域6やインダクタ部領域7等の電子部品領域やビアホール8A、8B、8C間、配線パターン9A、9B間などでの電磁界結合が起こりやすくなる。このような電磁界結合の度合い及び、正確な電気的特性を求めるためには一般的に、モジュールの構造と電気的境界条件とを基にしてマスキュール方程式を解く電磁界シミュレータが用いられる。

[0030] しかし、電磁界解析はその手法にもよるが、一般的に電子部品の点数が増えるとともに回路規模が大きくなるほど飛躍的に計算時間が長くなるという不具合が生じる。このため、電磁界解析をモジュール全体の設計手順の中に取り入れるとすると満足する設計効率が得られなくなる。しかしここに本発明が提案する、コンデンサ部領域6やインダクタ部領域7などの、ある3次元形状を有した単一の電子部品領域のみの電磁界解析を行うという手法は、さほど時間を要せず、その電子部品領域に対応する電気的特性を得ることが比較的容易となる。

[0031] そこで、ステップ25で行う第2の電気回路シミュレーションにおいては、コンデンサ部領域6やインダクタ部領域7をそれぞれ容量やインダクタンス単体の集中定数として計算するのではなく、3次元形状を有した単一の電子部品領域を電磁界解析することによって得られた電気的特性を用いて計算する。これによって、コンデンサ部領

域6やインダクタ部領域7の寄生インダクタや寄生容量などの様々な寄生成分の影響を考慮した電気的特性をシミュレーションすることができ、精度の高い電気的特性の予測が可能となる。

[0032] また、ある単一の電子部品領域の電磁界解析を行った結果として、その電子部品の3次元の形状情報とそれに対応した電気的特性の対のデータとして保持することができる。このため、そのようなシミュレーションを様々な電子部品領域で行うことで、電子部品の3次元形状と、それに対応した電気的特性のデータベースを作成することができる。ステップ22で行う第1の電気回路シミュレーションの段階では、どのようなパターン形状の電子部品領域を使用するかどうかについては決定していない。しかし、ステップ22で決定して所定の電気的特性に最も近い電気的特性を持つ電子部品領域の3次元形状情報をデータベースから自動的に取り出すならば、ステップ23のパターン形状決定手順の効率を大幅に上げることが可能になる。さらに、ステップ24のレイアウト設計において必要となる電気的特性に最も近い電気的特性を持つ電子部品領域の3次元形状情報をデータベースから自動的に取り出し、モジュールの体積が最小になるよう、あるいは電子部品領域を電氣的に接続するための配線パターン9A、9Bの全長が最短になるようにするなど様々な制約条件を課してモジュール内の3次元空間に自動配置すれば、ステップ24におけるレイアウト設計手順の効率も大幅に上げることが可能となる。

[0033] 以下に、本発明の具体的な実施の形態について図5、図6を用いて説明する。図5は電子部品A～Fの3次元形状情報3DIを基に電磁界解析を行って得られた電子部品の電気的特性とその3次元形状情報3DIとが対のデータとして蓄積されているデータベースの概念図である。

[0034] 図5にはデータベース50を示す。データベース50はたとえば次に示す各電子部品の3次元情報3DI及び各種の電気的特性が格納されている。図5の最上段に示す電子部品Aは、たとえば、コンデンサをそれぞれ示している。コンデンサの3次元形状情報3DIとして、幅(W)、奥行き(L)及び高さ(H)をそれぞれ示す。それぞれの大きさは、0.8mm、0.8mm及び0.4mmである。また、電極の大きさは、0.6mm×0.6mmである。また、電子部品Aの電気的特性5EAは、たとえば、周波数fに対するイン

ピーダンスZAの特性としてデータベース50に格納されている。

[0035] 図5の上から2段目に示す電子部品Bは電子部品Aと同じコンデンサとして示されている。電子部品Bのコンデンサの3次元形状情報3DIとして、幅(W)、奥行き(L)及び高さ(H)が示されている。それぞれの大きさは、それぞれ1.4mm, 1.2mm及び0.2mmである。また、電極の大きさは、1.0mm×0.8mmである。また、電子部品Bの電気的特性5EBは、たとえば、周波数fに対するインピーダンスZBの特性を示す。電子部品Bは電子部品Aのコンデンサに比べてたとえば容量が大きくなるように選ばれている。したがって、電子部品BのインピーダンスZBは電子部品Aのそれに比べて小さいものとなる。

[0036] 図5の上から3段目に示す電子部品Cはインダクタとして示されている。電子部品Cの幅(W)、奥行き(L)及び高さ(H)はそれぞれ、1.0mm, 1.0mm及び0.6mmである。また、最表面には螺旋状のインダクタが形成されている。電子部品Cの電気的特性5ECは電子部品A, Bと同じように、たとえば、周波数fに対するインピーダンスZCの特性として示めされている。

[0037] 図5の上から4段目に示す電子部品Dは電子部品Cと同じようにインダクタとして示されている。電子部品Dの幅(W)、奥行き(L)及び高さ(H)はそれぞれ、1.5mm, 0.8mm及び0.6mmである。また、最表面には螺旋状のインダクタが形成されている。電子部品Cの電気的特性5EDは電子部品A, B及びCと同じように、たとえば、周波数fに対するインピーダンスZDの特性としてその大きさはデータベース50に格納されている。

[0038] 電子部品Dは電子部品Cのインダクタに比べてたとえばインダクタンスが大きくなるように選ばれている。したがって、電子部品Dのインピーダンスは電子部品Cのそれに比べて大きなものとなる。

[0039] 図5の最下段には作図の都合上、電子部品E, Fの3次元形状情報3DIとして電気的特性5EE, 5EFを極めて模式的に示した。電子部品E, Fはコンデンサであってもよく、インダクタであってもよい。或いはこれらとは別の電子部品である、たとえば抵抗であってもよい。

[0040] 図6は、本発明の実施の形態にかかる許容クリアランスを属性として付加したデータ

ベースを示す概念図である。すなわち、図6には各種の電子部品をたとえばLTCC基板に配置したときに相隣接する他の電子部品との配置間隔を定めた許容クリアランスが3次元情報として格納されている。

- [0041] 具体的には個々の電子部品A～Fの3次元形状情報3DIを基にして電磁界解析を行い、電子部品の周囲の電界強度が十分小さくなる隣の電子部品との間隔を許容クリアランスACLとして定め、それをデータベースに格納したものである。
- [0042] 図6には電子部品A, B, C及びDの許容クリアランスACL, BCL, CCL及びDCLがそれぞれ0.05mm, 0.1mm, 0.15mm及び0.05mmであるとして示している。これらの許容クリアランスACL～DCLは図6において各電子部品A～Dと隣の電子部品(図示せず)との間の間隔S(破線で表示)として定義することができる。したがって、間隔Sが各許容クリアランスに相当する。なお、電子部品E, Fの3次元形状情報3DIとしての許容クリアランスは作図の都合上示していない。
- [0043] また、図6には電子部品A～Fの電気的特性6EA, 6EB, 6EC, 6ED, 6EE及び6EFを模式的に示している。これらの電気的特性は図5に示したように電子部品のインピーダンスであってもよい。また、他の電気的特性、例えばキャパシタンス特性やインダクタンス特性であってもよい。
- [0044] 次に本発明の電子部品の設計方法について、図1～図6を用いて説明する。まず、図4に示すステップ21において電気的特性目標値を設定する。次に、この電気的特性を満たすように、ステップ22においてCADシステム40に組み込まれた第1の電気回路シミュレーションを用いてコンデンサ部領域6、インダクタ部領域7(図1参照)の電気的定数C、Lを決定する。
- [0045] その後、この電気的定数C、Lを得るためのパターン形状やコンデンサ部領域6やインダクタ部領域7等の電子部品領域の厚みなどをステップ23にて決定する。このような電子部品の3次元形状情報3DIを決定する際、ステップ22で決定したC、Lなどの電気的定数にもっとも近い電気的定数を持つ電子部品を図5に示すデータベース50から検索して適切な電子部品を選択する。
- [0046] そして、選択された電子部品をモジュール内の3次元空間に配置指向するレイアウト設計をステップ24にて行う。これらの電子部品を3次元空間に配置指向するには、

平面図作図用の2次元CADやプリント基板を用いることは容易ではない。各電子部品には事前に行った3次元電磁界解析などで用いた3次元の形状情報データを用意しておけば、これらのデータを有効に活用できる3次元CADがレイアウト設計に有効である。従来のレイアウト設計は、電子部品間などでの電磁界結合を発生させないこと、あるいはモジュールの体積が最小となる等の様々な制約条件を基にして、設計者の過去の経験などを頼りに行っていた。

[0047] しかし、図6に示すデータベース60を用いれば電子部品間での電磁界結合をできるだけ発生させずにレイアウト設計が行えるため設計の効率を上げることができる。電子部品のレイアウト設計の次には、図3に示す電氣的等価回路の配線情報を基に各電子部品間をビアホール8A、8B、8Cや配線パターン9A、9Bで電氣的に接続させる(図1参照)。この時、図6に示すようなデータベース60の中にビアホール8A、8B、8Cや配線パターン9A、9Bに応じた3次元形状情報3DIとそれに対応した電氣的特性6EA～6EFを他の電子部品領域と同様に蓄積しておけば、電子部品間での電磁界結合だけでなく、コンデンサ部領域6やインダクタ部領域7等の電子部品領域とビアホール8A、8B、8C間や電子部品領域と配線パターン9A、9B間などでの電磁界結合もできるだけ発生させずにレイアウト設計が行えるという効果が得られる。

[0048] 以上の手順により、使用する電子部品A～Fの電氣的特性5EA～5EF(6EA～6EF)やビアホール8A、8B、8Cの数、配線パターン9A、9Bの長さなどの3次元形状情報3DIが決定されるため、それらを考慮した第2の電気回路シミュレーションをステップ25で行うことができる。なお、第2の電気回路シミュレーションはCADシステム40の中に組み込んでおく。

[0049] 最後に、ステップ26では、実際に作成したモジュールの電氣的特性を測定し、目標とした所定の電氣的特性に一致しているかどうかを判定する。

[0050] 本発明のこうした設計手法によれば、3次元形状情報3DIを考慮した第2の電気回路シミュレーションをステップ25(図4参照)で行うことができるため精度の高い電氣的特性を得ることができ、何度もシミュレーションのやり直しをすることがなくなるので、設計効率を向上させることができる。また、CADシステム40の中に電気回路シミュレーション機能を付加したことにより、同一システム内でこれらの手順を繰り返し行えるた

め設計効率が向上する。

[0051] さらに、図6に示すデータベース60を用いてレイアウト設計24を行うことで、何度もシミュレーションをやり直す必要がなく、電磁界結合を常に考慮して設計を行うことができるため設計効率が向上する。

[0052] なお、本実施の形態では基板材料としてLTCC基板を用い、回路はHPFであり、電気的特性には周波数やインピーダンスを用いて説明した。しかし、基板材料に他の誘電体材料を用いても、また、電気的特性として他のもの、例えば帯域フィルタ(Band Pass Filter)などを用いても構わない。

産業上の利用可能性

[0053] 本発明の電子部品の設計方法は、設計効率を向上させるという効果を有し、特に、多層回路部品設計用CADシステムなどにおいて有用であるので、その産業上の利用可能性は高い。

請求の範囲

- [1] 電子部品の所定の電気的特性を設定する第1ステップと、前記電気的特性を満たすように第1の電気回路シミュレーションにより前記電子部品の電気的定数を決定する第2ステップと、前記電気的定数を得るためのパターン形状を決定する第3ステップと、データベースの中から前記電気的定数に合った電子部品を検索して選択し、前記選択した電子部品をモジュールとしてレイアウト設計を行う第4ステップと、前記レイアウト設計を行う第4ステップで処理した後に第2の電気回路シミュレーションを行う第5ステップと、前記モジュールの電気的特性と前記所定の電気的特性とが一致しているか否かを判断する第6ステップとを備える電子部品の設計方法。
- [2] 前記データベースは前記電子部品の3次元形状情報及び前記電子部品の電気的特性が格納されている請求項1に記載の電子部品の設計方法。
- [3] 前記データベースには前記電子部品を配置したときに相隣接する他の電子部品との配置間隔を定めた許容クリアランスの3次元情報が格納されている請求項1に記載の電子部品の設計方法。
- [4] 前記データベースには前記電子部品と他の電子部品とを接続するための配線パターン及びビアホールの3次元形状情報が格納されている請求項2または3のいずれか1項に記載の電子部品の設計方法。
- [5] 前記第5ステップの処理を行った後、前記第3ステップ以降の処理を再度行う請求項1に記載の電子部品の設計方法。
- [6] 前記第6ステップの処理を行った後、前記第3ステップ以降の処理を再度行う請求項1に記載の電子部品の設計方法。
- [7] 前記第2、第3、第4及び第5ステップの処理が同じCADシステムで行われる請求項1に記載の電子部品の設計方法。
- [8] 前記電子部品は、低温焼成セラミック基板上に形成される請求項1に記載の電子部品の設計方法。
- [9] 前記電子部品はコンデンサ、インダクタ及び抵抗の少なくとも1つを含んでいる請求項8に記載の電子部品の設計方法。
- [10] 前記低温焼成セラミック基板は多層回路基板である請求項8に記載の電子部品の設

計方法。

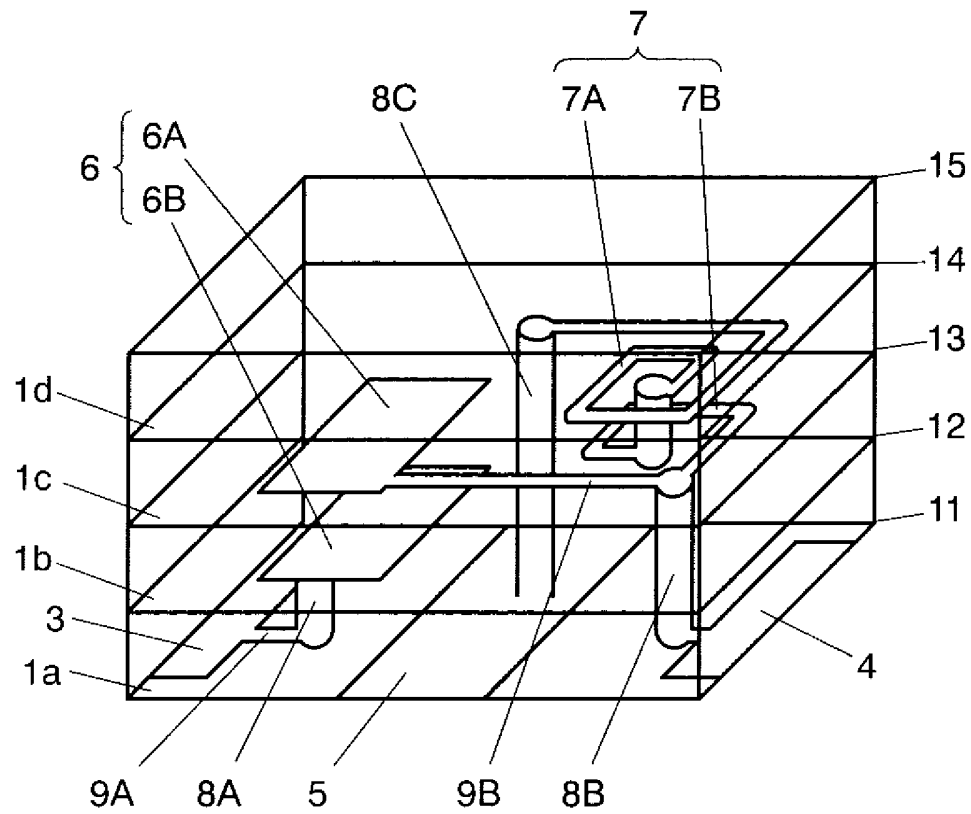
補正書の請求の範囲

[2006年08月10日 (10.08.2006) 国際事務局受理]

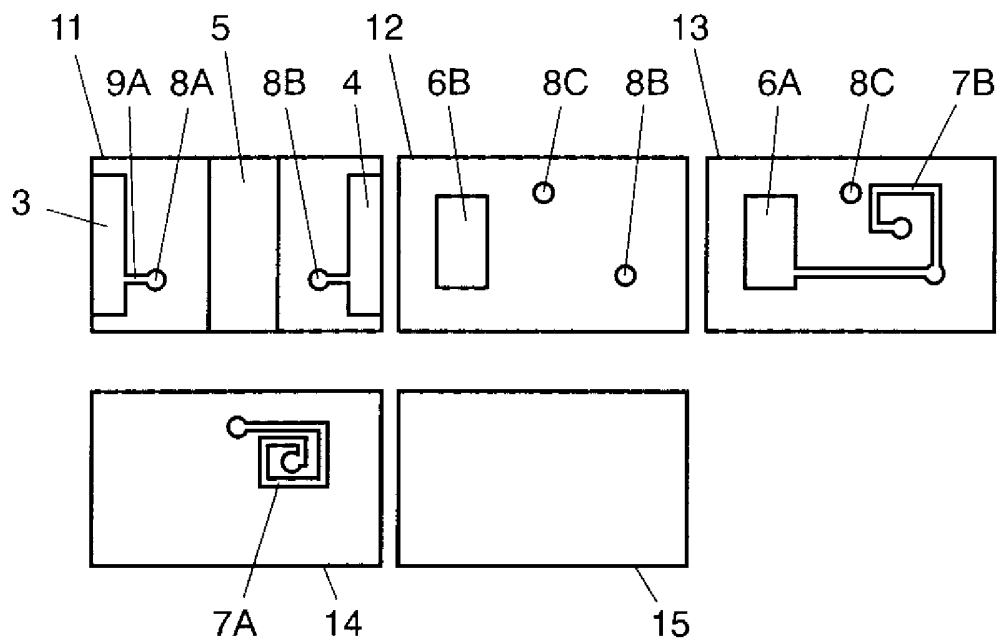
- [1] (補正後) 電子部品の所定の電気的特性を設定する第1ステップと、前記電気的特性を満たすように第1の電気回路シミュレーションにより前記電子部品の電気的定数を決定する第2ステップと、前記電気的定数を得るためのパターン形状を決定する第3ステップと、データベースの中から前記電気的定数に合った電子部品を検索して選択し、前記選択した電子部品をモジュールとしてレイアウト設計を行う第4ステップと、前記レイアウト設計を行う第4ステップで処理した後に第2の電気回路シミュレーションを行う第5ステップと、前記モジュールの電気的特性と前記所定の電気的特性とが一致しているか否かを判断する第6ステップとを備え、前記データベースには、前記電子部品の3次元形状情報、前記電子部品の電気的特性、前記電子部品を配置したときに相隣接する他の電子部品との配置間隔を定めた許容クリアランスの3次元情報、前記電子部品と他の電子部品とを接続するための配線パターン及びビアホールの3次元形状情報を格納している電子部品の設計方法。
- [2] (削除)
- [3] (削除)
- [4] (削除)
- [5] 前記第5ステップの処理を行った後、前記第3ステップ以降の処理を再度行う請求項1に記載の電子部品の設計方法。
- [6] 前記第6ステップの処理を行った後、前記第3ステップ以降の処理を再度行う請求項1に記載の電子部品の設計方法。
- [7] 前記第2、第3、第4及び第5ステップの処理が同じCADシステムで行われる請求項1に記載の電子部品の設計方法。
- [8] 前記電子部品は、低温焼成セラミック基板上に形成される請求項1に記載の電子部品の設計方法。
- [9] 前記電子部品はコンデンサ、インダクタ及び抵抗の少なくとも1つを含んでいる請求項8に記載の電子部品の設計方法。
- [10] 前記低温焼成セラミック基板は多層回路基板である請求項8に記載の電子部品の設

計方法。

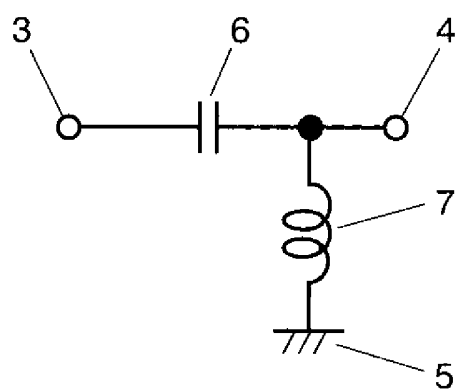
[図1]



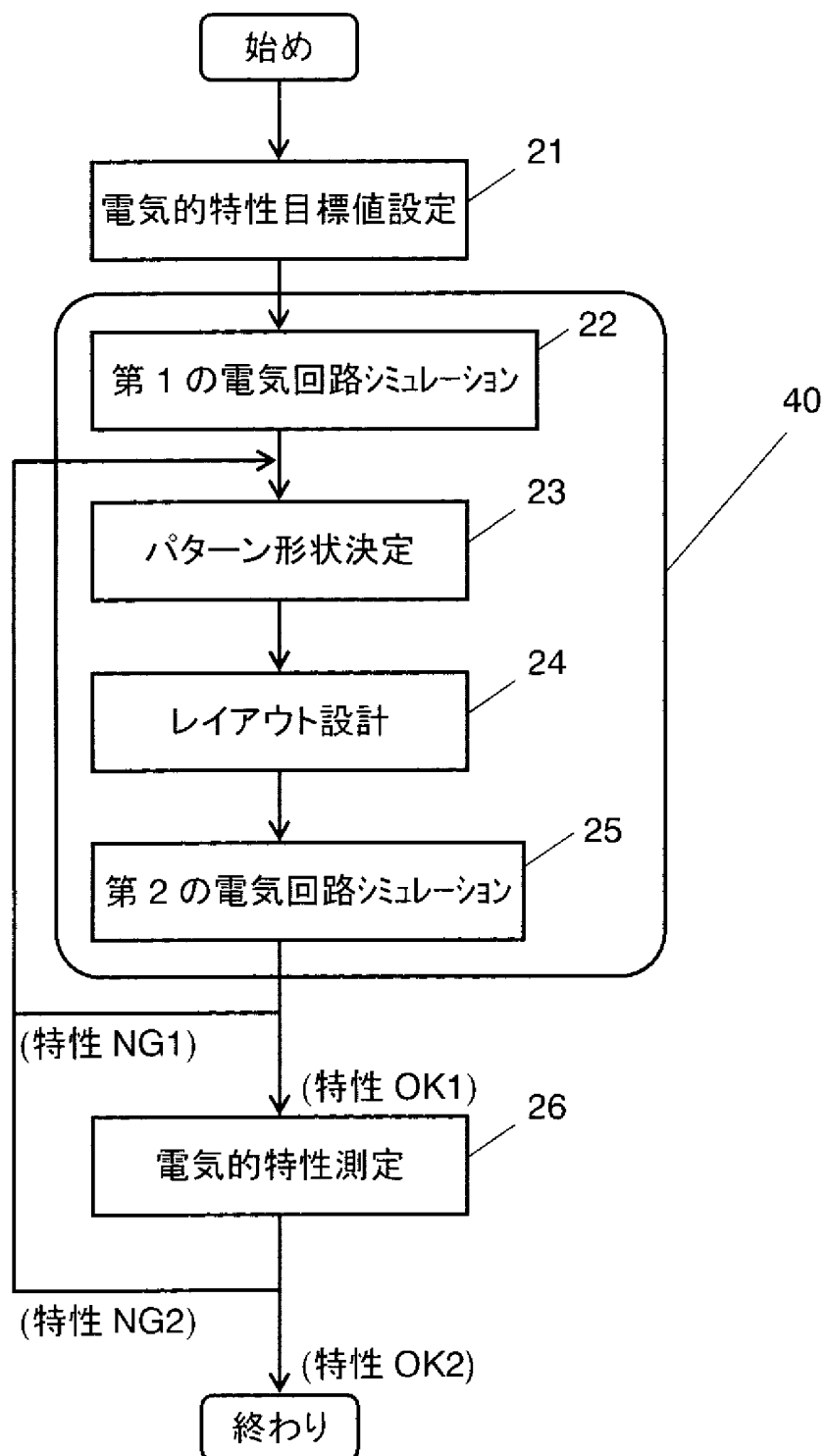
[図2]



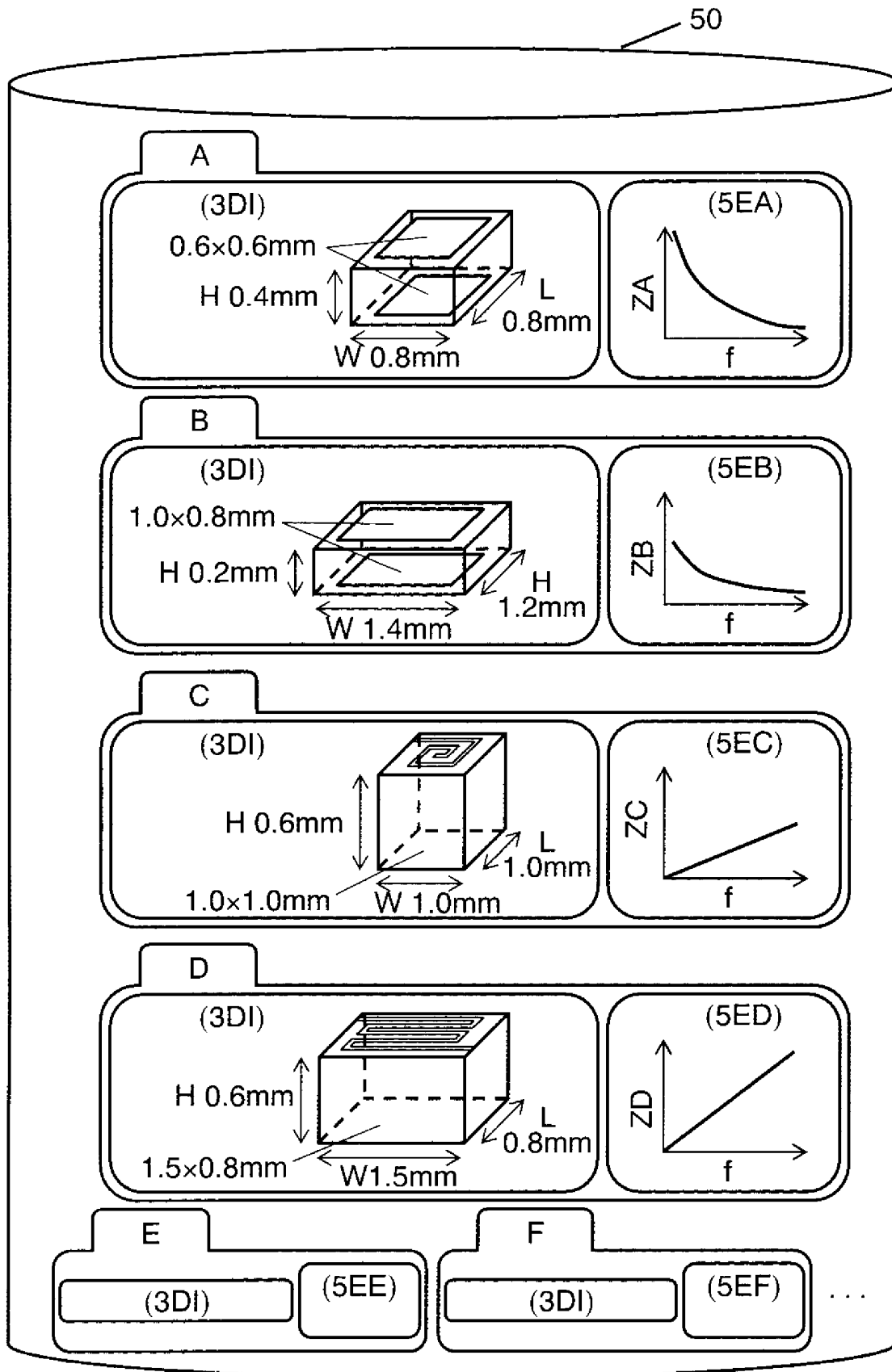
[図3]



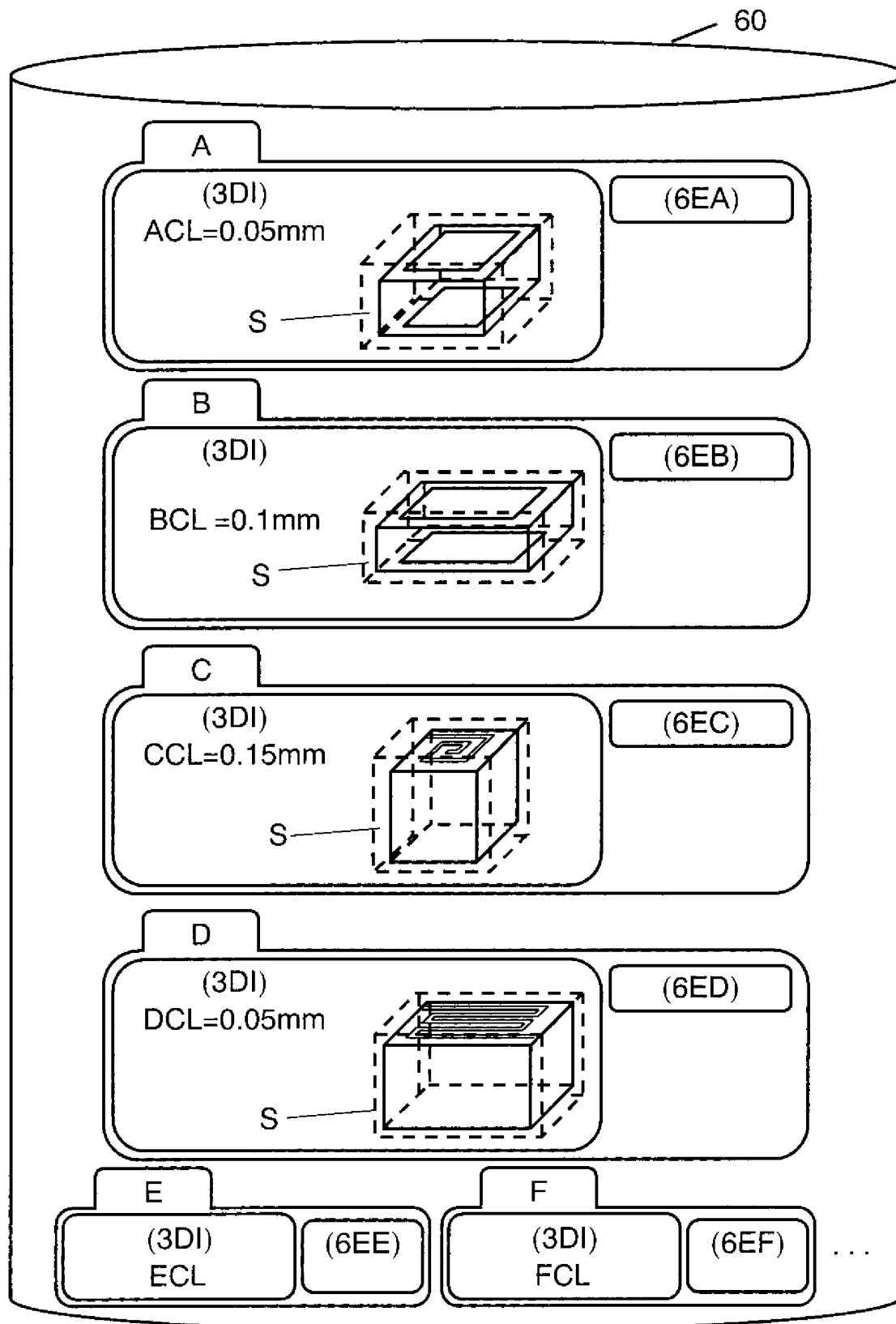
[図4]



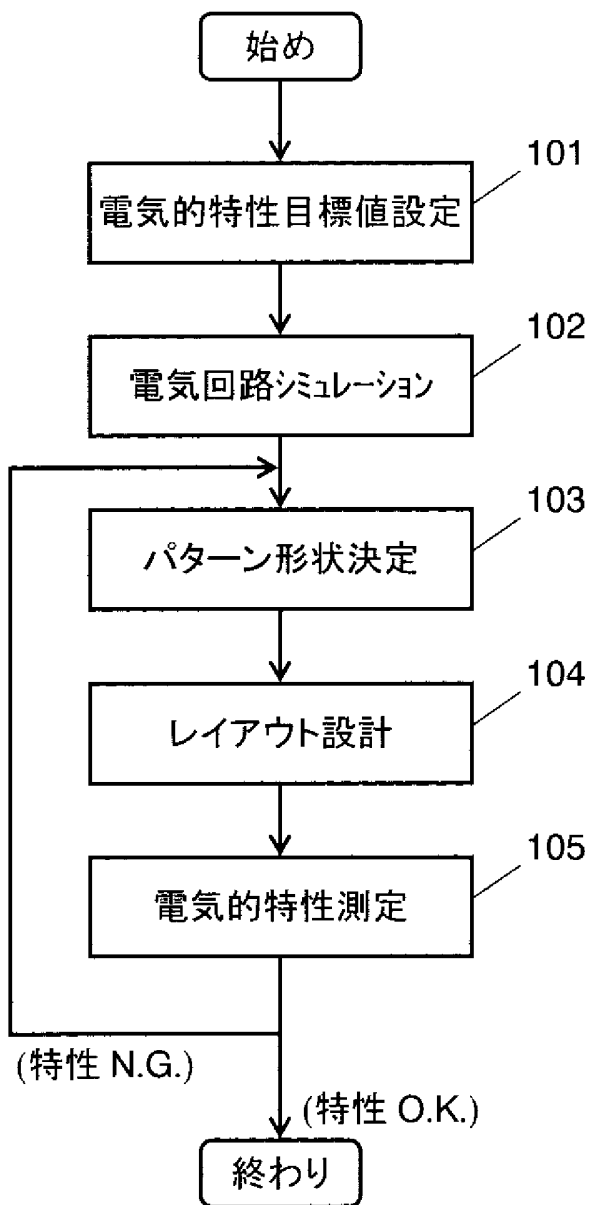
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/307612

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50 (2006.01), H05K3/00 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50, H05K3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDream2)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-016133 A (TDK Corp.), 17 January, 2003 (17.01.03), Par. Nos. [0039] to [0082]; Figs. 1 to 10 & US 2004/0207487 A1 & EP 1394702 A1 & WO 2002/089021 A1	1-10
Y	JP 06-163698 A (Mitsubishi Electric Corp.), 10 June, 1994 (10.06.94), Par. Nos. [0025] to [0030]; Figs. 1, 4 (Family: none)	1-10
Y	JP 09-204451 A (Sony Corp.), 05 August, 1997 (05.08.97), Par. Nos. [0022] to [0025]; Fig. 3 (Family: none)	3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
22 June, 2006 (22.06.06)

Date of mailing of the international search report
04 July, 2006 (04.07.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/307612

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-026312 A (Hitachi Metals, Ltd.), 27 January, 2005 (27.01.05), Par. Nos. [0002] to [0004] (Family: none)	8-10
A	JP 2002-073718 A (TDK Corp.), 12 March, 2002 (12.03.02), Full text; all drawings (Family: none)	1-10
A	JP 11-066122 A (Fujitsu Ltd.), 09 March, 1999 (09.03.99), Full text; all drawings (Family: none)	2-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F17/50(2006. 01), H05K3/00(2006. 01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F17/50, H05K3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus(JDream2)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 3 - 0 1 6 1 3 3 A (ティーディーケイ株式会社) 2 0 0 3 . 0 1 . 1 7, 段落【0 0 3 9】 - 【0 0 8 2】, 図 1 - 1 0 & U S 2 0 0 4 / 0 2 0 7 4 8 7 A 1 & E P 1 3 9 4 7 0 2 A 1 & W O 2 0 0 2 / 0 8 9 0 2 1 A 1	1 - 1 0

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 6 . 2 0 0 6

国際調査報告の発送日

0 4 . 0 7 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

木方 庸輔

5 H

3 6 5 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 06-163698 A (三菱電機株式会社) 1994.06.10, 段落【0025】-【0030】, 図1, 4 (ファミリーなし)	1-10
Y	J P 09-204451 A (ソニー株式会社) 1997.08.05, 段落【0022】-【0025】, 図3 (ファミリーなし)	3
Y	J P 2005-026312 A (日立金属株式会社) 2005.01.27, 段落【0002】-【0004】 (ファミリーなし)	8-10
A	J P 2002-073718 A (ティーディーケイ株式会社) 2002.03.12, 全文, 全図 (ファミリーなし)	1-10
A	J P 11-066122 A (富士通株式会社) 1999.03.09, 全文, 全図 (ファミリーなし)	2-4