



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl.

H01L 27/04 (2006.01)

(45) 공고일자

2007년07월12일

(11) 등록번호

10-0738366

(24) 등록일자

2007년07월05일

(21) 출원번호 10-2001-0003573
 (22) 출원일자 2001년01월22일
 심사청구일자 2006년01월20일

(65) 공개번호 10-2001-0078051
 (43) 공개일자 2001년08월20일

(30) 우선권주장 2000-20920 2000년01월28일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
 일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 미나미신이치
 일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이
 샤히타치세이사쿠쇼치테키쇼유켄흔부나이

카미가키요시아키
 일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이
 샤히타치세이사쿠쇼치테키쇼유켄흔부나이

야스오카히데키
 일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이
 샤히타치세이사쿠쇼치테키쇼유켄흔부나이

오와다후쿠오
 일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이
 샤히타치세이사쿠쇼치테키쇼유켄흔부나이

(74) 대리인 특허법인 원전

(56) 선행기술조사문현
 US5869882 A

심사관 : 박혜련

전체 청구항 수 : 총 38 항

(54) 반도체 집적회로장치 및 그 제조방법

(57) 요약

제너 다이오드(D_1, D_2)의 n+ 형 반도체영역(20)과 배선(21, 22)을 접속하는 복수의 접속구멍(24)은 n+ 형 반도체영역(20)의 중앙부, 즉 p+ 형 반도체영역(6)과 접합을 형성하고 있는 영역에는 배치되지 않으며, 접합 깊이가 중앙부에 비해 더 깊은 주변부에 배치된다. 또 이들 접속구멍(24)은 인접한 접속구멍(24)과의 피치가 회로의 접속구멍의 최소 피치보다도 크게 되도록 이간하여 배치되므로, 드라이 에칭으로 접속구멍(24)을 형성할 때에 기판이 깎이는 양이 저감될 수 있다.

내포도

도 4

특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

(a) 제1 도전형 반도체기판의 주면상의 제1 영역에 제1 도전형 반도체영역을 형성한 후, 상기 제1 도전형 반도체영역 상부의 상기 반도체기판상에 상기 제1 도전형 반도체영역보다도 평면패턴의 면적이 더 큰 제2 도전형 반도체영역을 형성함으로써, 상기 제1 도전형 반도체영역과 상기 제2 도전형 반도체영역으로 구성되는 제너 다이오드를 형성하는 공정,

(b) 상기 반도체기판의 주면상에 절연막을 형성한 후, 상기 제1 도전형 반도체영역과 상기 제2 도전형 반도체영역의 접합외부에 있는 영역의 상부의 상기 절연막에 복수개의 접속구멍들을 형성하는 공정,

(c) 상기 절연막 상부에 배선을 형성한 후, 상기 복수개의 접속구멍들을 통하여 상기 배선과 상기 제2 도전형 반도체영역을 전기적으로 접속하는 공정을 포함하는 것을 특징으로 하는 반도체 접적회로장치의 제조방법.

청구항 23.

제 22 항에 있어서,

상기 제너 다이오드의 일부를 구성하는 상기 제2 도전형 반도체영역은, 상기 제1 도전형 반도체영역 주면상의 제2 영역에 MISFET의 소스, 드레인을 구성하는 제2 도전형 반도체영역을 형성하는 공정에서 동시에 형성되는 것을 특징으로 하는 반도체 접적회로장치의 제조방법.

청구항 24.

제 22 항에 있어서,

상기 복수개의 접속구멍들의 각각은, 인접한 접속구멍들간의 피치가 상기 회로의 접속구멍들간의 최소 피치보다도 더 크게 되도록 서로 이격되어 배치되는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 25.

- (a) 제1 도전형 반도체기판에 소자 절연부 및, 상기 소자 절연부에 의해 분리된 MISFET 형성 영역과 다이오드 형성 영역을 형성하는 공정,
- (b) 상기 제1 도전형의 제1 반도체 영역을 상기 다이오드 형성 영역에 형성하고, 상기 제1 반도체 영역의 불순물 농도는 상기 반도체기판의 농도보다 더 높은 공정,
- (c) MISFET 의 게이트 전극을 상기 MISFET 형성 영역에 형성하는 공정,
- (d) 상기 제1 도전형과 반대의 제2 도전형의 제2 반도체 영역을 상기 MISFET 형성 영역과 상기 다이오드 형성 영역에 형성하며, 상기 제1 반도체 영역의 하부에 형성된 상기 다이오드 형성 영역의 상기 제2 반도체 영역은, 이에 대응되는 상기 제1 반도체 영역보다 좁은, 평면 패턴으로 규정되는 영역에 형성되는 공정을 포함하는 반도체 집적회로장치의 제조방법.

청구항 26.

제 25 항에 있어서,

- (e) 상기 (d)공정 후에, 절연막을 상기 MISFET 형성 영역과 다이오드 형성 영역위에 형성하는 공정,
- (f) 상기 (e)공정 후에, 제1 및 제2 접속구멍들을 상기 절연막에 형성하고, 상기 제1 접속구멍은 상기 MISFET 형성 영역의 상기 제2 반도체 영역에 연결되며, 제2 접속구멍은 상기 다이오드 형성 영역의 상기 제2 반도체 영역에 연결되는 공정을 추가로 포함하는 반도체 집적회로장치의 제조방법.

청구항 27.

제 26 항에 있어서,

상기 제2 접속구멍은 상기 다이오드 형성 영역의 상기 제1 및 제2 반도체 영역들간에 형성된 접합의 외부에 위치한 영역에 배열되는 반도체 집적회로장치의 제조방법.

청구항 28.

제 25 항에 있어서,

- (g) 상기 (a)공정과 상기 (b)공정의 사이에, 제1 웰 영역을 상기 MISFET 형성 영역에 그리고 제2 웰 영역을 다이오드 형성 영역에 형성하는 공정을 추가로 포함하는 반도체 집적회로장치의 제조방법.

청구항 29.

제 25 항에 있어서,

상기 제1 도전형은 n-형 도전형이고, 상기 제2 도전형은 p-형 도전형인 반도체 집적회로장치의 제조방법.

청구항 30.

제 25 항에 있어서,

상기 제1 도전형은 p-형 도전형이고, 상기 제2 도전형은 n-형 도전형인 반도체 집적회로장치의 제조방법.

청구항 31.

(a) 반도체기판의 제1 영역에 제너 다이오드를 형성하는 공정,

(b) 상기 반도체기판의 제2 영역에 MISFET 를 형성하는 공정을 포함하며,

상기 (a) 공정은 :

(a1) 제1 도전형의 제1 반도체 영역을 제1 영역에 형성하는 공정,

(a2) 상기 제1 도전형과 반대의 제2 도전형의 제2 반도체 영역을 제1 영역에 형성하는 공정을 포함하고,

상기 (b) 공정은 :

(b1) 상기 제2 도전형의 소스/드레인 영역들을 형성하는 공정을 포함하며,

상기 (a2) 및 (b1) 공정들은 동일한 공정인 반도체 집적회로장치의 제조방법.

청구항 32.

제 31 항에 있어서,

상기 다이오드 형성 영역의 상기 제2 반도체 영역은, 이에 대응되는 상기 제1 반도체 영역보다 좁은, 평면 패턴으로 규정되는 영역에 형성되는 반도체 집적회로장치의 제조방법.

청구항 33.

제 31 항에 있어서,

상기 제1 도전형은 n-형 도전형이고, 상기 제2 도전형은 p-형 도전형인 반도체 집적회로장치의 제조방법.

청구항 34.

제 31 항에 있어서,

상기 제1 도전형은 p-형 도전형이고, 상기 제2 도전형은 n-형 도전형인 반도체 집적회로장치의 제조방법.

청구항 35.

- (a) 반도체기판에 소자 절연부를 형성하며, MISFET 형성 영역과 다이오드 형성 영역은 상기 소자 절연부에 의해 분리되는 공정,
- (b) 제1 웰들을 상기 MISFET 형성 영역과 다이오드 형성 영역에 형성하며, 상기 제1 웰들은 제1 도전형을 가지는 공정,
- (c) 상기 제1 도전형의 제1 반도체 영역을 상기 다이오드 형성 영역에 형성하고, 상기 제1 반도체 영역은 상기 제1 웰들의 높도보다 더 높은 불순물 농도를 가지는 공정,
- (d) MISFET 의 게이트 전극을 상기 MISFET 형성 영역에 형성하는 공정,
- (e) 상기 제1 도전형과 반대의 제2 도전형의 제2 반도체 영역들을 상기 제1 웰들에 형성하며, 상기 다이오드 형성 영역에서, 상기 제2 반도체 영역의 평면 크기는 상기 제1 반도체 영역의 평면 크기보다 더 크고, 상기 제1 반도체 영역의 깊이는 상기 제2 반도체 영역의 깊이보다 더 깊은 반도체 집적회로장치의 제조방법.

청구항 36.

제 35 항에 있어서,

- (f) 상기 (e)공정 후에, 절연막을 상기 MISFET 형성 영역과 다이오드 형성 영역위에 형성하는 공정,
- (g) 상기 (f)공정 후에, 제1 및 제2 접속구멍들을 상기 절연막에 형성하고, 상기 제1 접속구멍은 상기 MISFET 형성 영역의 상기 제2 반도체 영역에 연결되며, 제2 접속구멍은 상기 다이오드 형성 영역의 상기 제2 반도체 영역에 연결되는 공정을 추가로 포함하는 반도체 집적회로장치의 제조방법.

청구항 37.

제 36 항에 있어서,

상기 제2 접속구멍은 상기 다이오드 형성 영역의 상기 제1 및 제2 반도체 영역들간에 형성된 접합의 외부에 위치한 영역에 배열되는 반도체 집적회로장치의 제조방법.

청구항 38.

제 35 항에 있어서,

상기 제1 도전형은 n-형 도전형이고, 상기 제2 도전형은 p-형 도전형인 반도체 집적회로장치의 제조방법.

청구항 39.

제 35 항에 있어서,

상기 제1 도전형은 p-형 도전형이고, 상기 제2 도전형은 n-형 도전형인 반도체 집적회로장치의 제조방법.

청구항 40.

제2 도전형의 반도체 기판,

상기 반도체 기판에 형성된 제1 도전형의 복수개의 제1 웨л 영역들,

(i) 상기 제1 웨л 영역들 중 하나,

(ii) 그 각각은 제1 제너 다이오드 또는 제2 제너 다이오드에 접속되어 있는, 상기 1개의 제1 웨л 영역에 형성된 상기 제2 도전형의 2개의 이격된 제2 웨л 영역들,

(iii) 상기 제2 웨л 영역들에 각각 형성된 상기 제1 도전형의 제1 반도체 영역들,

(iv) 상기 제1 반도체 영역들의 하부에 형성되어 있으며, 그 각각의 평면 패턴의 면적은 거기에 상응하는 상기 제1 반도체 영역의 평면 패턴의 면적보다 더 작은 상기 제2 도전형의 제2 반도체 영역들로 구성되며, 직렬로 연결된 제1 제너 다이오드 및 제2 제너 다이오드,

상기 반도체 기판의 주면위에 형성된 절연막,

상기 제1 반도체 영역들을 통하여 전기적 접속을 제공하는 복수개의 제1 접속구멍들 및 상기 절연막에 형성되는 상기 제2 웨л 영역들을 통하여 전기적 접속을 제공하는 복수개의 제2 접속구멍들,

상기 절연막위에 형성되어 있으며, 상기 제1 제너 다이오드의 상기 제1 반도체 영역으로의 전기적 접속을 위한 상기 제1 접속구멍들 및 상기 제2 제너 다이오드의 상기 제2 웨л 영역으로의 전기적 접속을 위한 상기 제2 접속구멍들을 접속시키는 배선,

상기 제1 제너 다이오드와 연관된 상기 제1 접속구멍들은 상기 제1 반도체 영역과 상기 제1 제너 다이오드의 상기 제2 반도체 영역간에 형성된 접합 외부에 위치한 영역에 배열되며,

제1 PN 접합은 상기 제1 반도체 영역들 중 하나와 대응되는 상기 제2 반도체 영역들 중에 형성되어 다이오드 장치로서 기능하며, 제2 PN 접합은 상기 하나의 제1 웨л 영역과 상기 제2 웨л 영역들 사이에 각각 형성되며, 상기 제1 PN 접합의 항복 전압보다 더 큰 항복 전압을 가지고,

상기 제1 PN 접합이 형성되는 영역에서의 상기 제1 반도체 영역들 중 각각의 접합 깊이는 상기 제1 PN 접합이 형성되지 않는 영역에서의 상기 제1 반도체 영역들 중 각각의 접합 깊이보다 더 얕으며,

MISFET는 상기 제1 웨л 영역들 중 다른 하나에 형성되는 반도체 집적회로장치.

청구항 41.

제 40 항에 있어서,

상기 제2 반도체 영역들은 실질적으로 각각 상기 제1 반도체 영역들의 중앙에 배열되고, 상기 복수의 제1 접속구멍들은 각각 상기 제1 반도체 영역들의 주위에 배열되는 반도체 집적회로장치.

청구항 42.

제 41 항에 있어서,

상기 제2 반도체 영역들은 상기 제2 웨л 영역들 보다 더 높은 불순률 농도를 가지는 반도체 집적회로장치.

청구항 43.

제 40 항에 있어서,

상기 제2 반도체 영역들은 상기 제2 웨爾 영역들보다 더 높은 불순물 농도를 가지는 반도체 집적회로장치.

청구항 44.

제 40 항에 있어서,

상기 제1 도전형은 n-형 도전형이고, 상기 제2 도전형은 p-형 도전형인 반도체 집적회로장치.

청구항 45.

제 40 항에 있어서,

상기 제1 도전형은 p-형 도전형이고, 상기 제2 도전형은 n-형 도전형인 반도체 집적회로장치.

청구항 46.

제2 도전형의 반도체 기판,

상기 반도체 기판에 형성된 제1 도전형의 복수개의 제1 불순물 영역들,

(i) 상기 제1 불순물 영역들중 하나에 형성된 제2 도전형의 제2 불순물 영역,

(ii) 상기 제2 불순물 영역에 형성된 제1 도전형의 제3 불순물 영역,

(iii) 상기 제3 불순물 영역밑의 상기 제2 불순물 영역에 형성된 제2 도전형의 제4 불순물 영역을 각각 포함하는 최소한 제1 다이오드 및 제2 다이오드를 포함하며,

상기 하나의 제1 불순물 영역은 직렬로 연결된 최소한의 제1 및 제2 다이오드들에 공통되는 직렬로 연결된 복수개의 다이오드들,

상기 반도체 기판의 주면위에 형성된 절연막,

상기 절연막에 형성되며, 상기 제3 불순물 영역으로의 전기적 접속을 위한 제1 플러그들 및 상기 제1 및 제2 다이오드들의 상기 제2 불순물 영역으로의 전기적 접속을 위한 제2 플러그들,

상기 절연막위에 형성되며, 상기 제1 플러그들중 하나를 통해 상기 제1 다이오드의 상기 제3 불순물 영역으로 연결되고, 상기 제2 플러그들중 하나를 통해 상기 제2 다이오드의 상기 제2 불순물 영역으로 연결되는 제1 배선,

상기 절연막위에 형성되며, 상기 제2 플러그들중 하나를 통해 상기 제1 다이오드의 상기 제2 불순물 영역으로 연결되는 제2 배선,

상기 절연막위에 형성되며, 상기 제1 플러그들중 하나를 통해 상기 제2 다이오드의 상기 제3 불순물 영역으로 연결되는 제3 배선을 포함하며,

상기 제3 불순물 영역은 제1 부분과 제2 부분을 가지며, 상기 제1 부분은 제1 PN 접합이 상기 제3 및 제4 불순물 영역들 간에 형성되는 부분이며, 상기 제2 부분은 상기 제4 불순물 영역이 형성되지 않는 하부에 있고,

상기 제1 부분의 접합 깊이는 상기 제2 부분의 접합 깊이보다 얕으며,

상기 제2 부분은 상기 제1 부분의 외부에 형성되고, 상기 제1 플러그들은 상기 제3 불순물 영역의 상기 제2 부분위에 형성되며,

상기 제1, 제2 및 제3 배선들은 동일한 층에 형성되는 반도체 집적회로장치.

청구항 47.

제 46 항에 있어서,

상기 제1 및 제2 다이오드들은 최소한 각각 제네 다이오드들인 반도체 집적회로장치.

청구항 48.

제 46 항에 있어서,

상기 제2 부분은 상기 제1 부분을 에워 싸도록 상기 제1 부분의 주위에 형성되고, 상기 제1 플러그들은 상기 제1 부분을 에워 싸도록 상기 제2 부분위에 배열되는 반도체 집적회로장치.

청구항 49.

제 48 항에 있어서,

상기 제4 불순물 영역은 상기 제2 불순물 영역보다 더 높은 불순물 농도를 가지는 반도체 집적회로장치.

청구항 50.

제 47 항에 있어서,

상기 제1 도전형은 n-형 도전형이고, 상기 제2 도전형은 p-형 도전형인 반도체 집적회로장치.

청구항 51.

제 48 항에 있어서,

상기 하나의 제1 불순물 영역과 제2 불순물 영역 사이에 형성된 제2 PN 접합의 항복 전압은 상기 제1 PN 접합의 항복 전압보다 더 큰 반도체 집적회로장치.

청구항 52.

제 46 항에 있어서,

상기 제4 불순물 영역은 상기 제2 불순물 영역보다 더 높은 불순물 농도를 가지는 반도체 집적회로장치.

청구항 53.

제 52 항에 있어서,

상기 하나의 제1 불순물 영역과 제2 불순물 영역 사이에 형성된 제2 PN 접합의 항복 전압은 상기 제1 PN 접합의 항복 전압보다 더 큰 반도체 집적회로장치.

청구항 54.

제 46 항에 있어서,

상기 제1 및 제2 불순물 영역들 사이에 형성된 제2 PN 접합의 항복 전압은 상기 제1 PN 접합의 항복 전압보다 더 큰 반도체 집적회로장치.

청구항 55.

제 46 항에 있어서,

상기 제1 도전형은 p-형 도전형이고, 상기 제2 도전형은 n-형 도전형인 반도체 집적회로장치.

청구항 56.

제 46 항에 있어서,

MISFET 는 상기 제1 불순물 영역들중 다른 하나에 형성되는 반도체 집적회로장치.

청구항 57.

직렬로 연결되어 있으며, 복수개의 제1 도전형의 제1 웨л 영역들중 하나에 공통으로 형성되고, 상기 하나의 제1 웨л 영역은 반도체 기판상에 형성되며,

(i) 상기 하나의 제1 웨л 영역에 형성된 제2 도전형의 제2 웨л 영역,

(ii) 상기 제2 웨л 영역에 형성된 제1 도전형의 제1 반도체 영역,

(iii) 제2 도전형의 제2 반도체 영역을 포함하고,

상기 제2 반도체 영역은 상기 제2 웨л 영역에 그리고 상기 제1 반도체 영역밑에 형성되는 제1 다이오드 및 제2 다이오드,

상기 반도체 기판의 주면위에 형성된 절연막,

상기 하나의 제1 반도체 영역으로의 전기적 접속을 제공하기 위한 복수개의 제1 접속구멍들 및 상기 절연막에 형성되는 상기 제2 웨л 영역으로의 전기적 접속을 제공하기 위한 복수개의 제2 접속구멍들,

상기 절연막상에 형성되며, 상기 제1 다이오드의 상기 제1 반도체 영역으로의 전기적 접속을 위한 상기 제1 접속구멍들 및 상기 제2 다이오드의 상기 제2 웨л 영역으로의 전기적 접속을 위한 상기 제2 접속구멍들을 접속하는 제1 배선,

상기 절연막위에 형성되며, 상기 제2 접속구멍들중 하나를 통해 상기 제1 다이오드의 상기 제2 웨л 영역으로 연결되는 제2 배선,

상기 절연막위에 형성되며, 상기 제1 접속구멍들중 하나를 통해 상기 제2 다이오드의 상기 제1 반도체 영역으로 연결되는 제3 배선을 포함하며,

상기 제2 반도체 영역은 상기 제2 웨爾 영역보다 더 높은 불순물 농도를 가지고,

상기 제1 반도체 영역은 제1 부분과 제2 부분을 가지며, 상기 제1 부분은 상기 제2 반도체 영역이 형성되는 하부에 있고, 상기 제2 부분은 상기 제2 반도체 영역이 형성되지 않는 하부에 있으며,

제1 PN 접합은 상기 제1 부분에서 상기 제2 반도체 영역과 상기 제1 반도체 영역간에 형성되며, 제너 다이오드를 구성하고,

상기 제1 부분의 접합 깊이는 상기 제2 부분의 접합 깊이보다 얕으며, 상기 제2 부분은 상기 제1 부분을 에워싸도록 상기 제1 부분의 주위에 형성되고,

상기 복수개의 제1 접속구멍들은 상기 제1 부분을 에워싸도록 상기 제2 부분위에 배열되며,

제2 PN 접합은 상기 하나의 제1 웨爾 영역과 상기 제2 웨爾 영역 사이에 형성되고, 상기 제1 PN 접합보다 더 큰 항복 전압을 가지며,

상기 제1, 제2 및 제3 배선들은 동일한 층으로부터 형성되고,

MISFET는 상기 제1 웨爾 영역들중 다른 하나에 형성되는 반도체 집적회로장치.

청구항 58.

제 57 항에 있어서,

상기 제1 및 제2 도전형들은 각각 p-형 도전형이고, n-형 도전형인 반도체 집적회로장치.

청구항 59.

제 57 항에 있어서,

상기 제1 및 제2 도전형들은 각각 n-형 도전형이고, p-형 도전형인 반도체 집적회로장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적회로장치 및 그 제조기술에 관하여, 특히, 내부 승압회로의 클램프소자를 제너 다이오드(zener diode)로 구성한 반도체 집적회로장치에 적용하는 유효한 기술에 관한다.

메모리 LSI의 일종의 EEPROM(Electrlca1ly Erasable and Programmab1e ROM)은, 데이터의 재기록(기록및 소거)시에 게이트전극에 전원전압(Vcc)보다도 높은 전압(Vpp)을 인가하기 위한 정전압 발생회로를 구비하고 있다. 정전압 발생

회로내의 승압회로에는, 전압 안정화용의 클램프소자로서 제너 다이오드가 접속되어, 이것에 의해서 상기 재기록전압(Vpp)이 EEPROM에 안정 공급되게 되어있다. 이 종류의 제너 다이오드에 대해서는 예컨대 일본 특개평 1-59949호 공보에 기재된 것이 공지이다.

상기 공보에 기재된 제너 다이오드는, 반도체기판의 p형 웰에 형성된 n+ 형 반도체영역과, 이 n+ 형 반도체영역의 하부의 p형 웰에 형성된 p+ 형 반도체영역에 의해 구성되어 있다. p+ 형 반도체영역은, 그 평면패턴의 면적이 n+ 형 반도체영역의 그것보다도 작고, n+ 형 반도체영역의 거의 중앙부에 배치되어 있다. 이것에 의해, p+ 형 반도체영역과 n+ 형 반도체영역이 반도체기판 중에서 덮인 구조로 되어 반도체기판과 그 상부의 절연막(산화실리콘막)과의 계면에서의 계면준위에 의한 리크전류의 문제의 발생이 회피되게 되어 있다.

상기 p+ 형 반도체영역이 형성된 p형 웰과 n+ 형 반도체영역에는, 그들 상부를 덮는 절연막에 개공한 접속구멍을 통해서 배선이 접속되어 있다. n+ 형 반도체영역에는, 그 중앙부 즉 p+ 형 반도체영역의 상부의 절연막에 형성된 접속구멍을 통해 배선이 접속되게 되어 있다.

발명이 이루고자 하는 기술적 과제

EEPROM이 미세화, 고집적화가 진행하면, 메모리셀이나 주변회로를 구성하는 MISFET(Metal Insulator Semiconductor Field Effect Transistor)의 소스, 드레인의 접합 깊이가 점차로 얕게 되며, 그것에 동반하여 정전압 발생회로내의 제너 다이오드를 구성하는 n+ 형 반도체영역 및 p+ 형 반도체영역의 접합 깊이도 점차로 얕게 되어 진다. 또한, n+ 형 반도체영역이나 p+ 형 반도체영역과 배선을 접속하는 접속구멍의 지름도 미세하게 되어, 드라이 에칭에 의한 접속구멍의 개공이 곤란하게 되어 진다.

그 때문에, 상기 공보에 기재된 제너 다이오드에 있어서는, n+ 형 반도체영역과 배선을 접속하기 위한 접속구멍을 개공할 때, 소자가 고밀도로 배치되는 메모리영역 등에 개공하는 접속구멍과의 지름의 상위(相違)에 의해, 지름이 큰 제너 다이오드 형성영역의 접속구멍에 과대한 기판 깍임이 발생하여, 접속구멍의 밑바닥부의 pn접합(p-형 반도체영역 / n-형 반도체영역)에서의 n+ 형 반도체영역의 두께(접합 깊이)가 지극히 얕게 되므로, 터널전류 등에 기인하는 리크전류의 증가가 현재화하여 진다.

그 결과, 제너 다이오드의 항복(브레이크다운) 개시전압에서의 리크전류가 예컨대 $10\mu A$ 를 넘게 되며, 클램프전압이 저하하기 때문에 소망의 재기록전압이 얻을 수 없게 된다고 하는 문제가 생긴다.

본 발명의 목적은, 제너 다이오드의 리크전류를 저감할 수 있는 기술을 제공하는데 있다.

본 발명의 다른 목적은, 기판과 배선을 접속하기 위한 접속구멍을 형성할 때에 생기는 기판 깍임을 억제할 수 있는 기술을 제공하는데 있다.

본 발명의 상기 및 그 밖의 목적과 신규한 특징은, 본 명세서의 기술 및 첨부도면으로부터 분명히 될 것이다.

발명의 구성

본원에 있어서 개시되는 발명중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

(1) 본 발명의 반도체 접적회로장치는, 제1 도전형의 반도체기판의 주면에 형성된 제2 도전형의 제1 반도체영역과, 상기 제1 반도체영역의 하부에 형성되어, 그 평면패턴의 면적이 상기 제1 반도체영역의 그것보다도 작은 제1 도전형의 제2 반도체영역에 의해 구성되는 제너 다이오드를 구비하고, 상기 제1 반도체영역과 배선을 접속하는 복수개의 제1 접속구멍을, 상기 제1 반도체영역과 상기 제2 반도체영역이 접합을 형성하고 있지 않은 영역에 배치하는 것이다.

(2) 본 발명의 반도체 접적회로장치는, 제1 도전형의 반도체기판의 주면에 형성된 제2 도전형의 제1 반도체영역과, 상기 제1 반도체영역의 하부에 형성되어, 그 평면패턴의 면적이 상기 제1 반도체영역의 그것보다도 작은 제1 도전형의 제2 반도체영역에 의해 구성되는 제너 다이오드를 구비하고, 상기 제1 반도체영역과 배선을 접속하는 복수개의 제1 접속구멍을, 상기 제1 반도체영역과 상기 제2 반도체영역이 접합을 형성하고 있지 않은 영역에 배치하고, 상기 복수개의 제1 접속구멍의 각각을, 인접하는 제1 접속구멍과의 피치가 회로의 접속구멍의 최소 피치보다도 크게 되도록 이간하여 배치하는 것이다.

(3) 본 발명의 반도체 접적회로장치는, 상기 (1) 또는 (2)에 있어서, 상기 복수개의 제1 접속구멍의 각각을, 인접하는 제1 접속구멍과의 피치가 회로의 접속구멍의 최소 피치보다도 크게 되도록 이간하여 배치하는 것이다.

(4) 본 발명의 반도체 접적회로장치의 제조방법은, 이하의 공정을 포함하고 있다.

(a) 제1 도전형의 반도체기판의 주면의 제1영역에 제1 도전형의 반도체영역을 형성한 후, 상기 제1 도전형의 반도체영역의 상부의 상기 반도체기판에, 그 평면패턴의 면적이 상기 제1 도전형의 반도체영역의 그것보다도 큰 제2 도전형의 반도체영역을 형성함으로써, 상기 제1 도전형의 반도체영역과 상기 제2 도전형의 반도체영역에 의해 구성되는 제너 다이오드를 형성하는 공정,

(b) 상기 반도체기판의 주면상에 절연막을 형성한 후, 상기 제1 도전형의 반도체영역과 상기 제2 도전형의 반도체영역이 접합을 형성하고 있지 않은 영역의 상부의 상기 절연막에 복수개의 접속구멍을 형성하는 공정,

(c) 상기 절연막의 상부에 배선을 형성하고, 상기 복수개의 접속구멍을 통해 상기 배선과 상기 제2 도전형의 반도체영역을 전기적으로 접속하는 공정.

이하, 본 발명의 실시형태를 도면에 따라서 상세히 설명한다. 또, 실시형태를 설명하기 위한 전 도면에서 동일 기능을 갖는 것은 동일의 부호를 붙여, 그 반복의 설명은 생략한다.

(실시형태 1)

도 1은 본 실시형태의 시스템 LSI가 형성된 반도체칩의 블럭도이다. 이 반도체칩(1A)에 형성된 시스템 LSI는, 예컨대 IC 카드에 내장되어 사용되는 것이며, 중앙연산처리장치(CPU), 입출력회로(I/O), 시스템 컨트롤러, 위치 독 타이머, 난수발생기, ROM(Read Only Memory), RAM(Random Access Memory) 및 EEPROM 등에 의해서 구성되어 있다.

상기 시스템 LSI의 일부를 구성하는 EEPROM은, 예컨대 IC 카드의 데이터 메모리로서 사용되며, 반도체칩(1A)에 내장된 도 2에 나타내는 바와 같은 정전압 발생회로를 통하여 재기록(기록및 소거)용의 고전압(Vpp)이 공급되게 되어 있다. 정전압 발생회로는, 예컨대 3 ~ 5V의 외부 전원전압(Vcc)을 승압하여 -13V정도의 재기록전압(Vpp)을 발생한다. 또한, 정전압 발생회로내의 승압회로에는, 전압 안정화용의 클램프소자로서 2단의 제너 다이오드(D₁, D₂)가 접속되어 있으며, 이들 제너 다이오드(D₁, D₂)에 의해서 상기 재기록전압(Vpp)이 EEPROM에 안정 공급되게 되어 있다.

도 3은 상기 제너 다이오드(D₁, D₂)의 평면도, 도 4는, 도 3의 IV - IV 선에 따른 반도체기판의 단면도, 도 5는 도 3에 나타낸 제너 다이오드(D₁, D₂)에 접속된 배선의 도시를 생략한 개략 평면도이다.

제너 다이오드(D₁, D₂)의 각각은, 반도체기판(이하, 단지 기판이라 함)(1)의 p형 웰(5)에 형성된 n+ 형 반도체영역(20)과, 이 n+ 형 반도체영역(20)의 하부의 p형 웰(5)에 형성된 p+ 형 반도체영역(6)에 의해 구성되어 있다. p+ 형 반도체영역(6)은, 그 평면패턴의 면적이 n+ 형 반도체영역(20)의 그것보다도 작고, n+ 형 반도체영역(20)의 거의 중앙부에 배치되어 있다.

n+ 형 반도체영역(20)의 평면치수는, 예컨대 세로 × 가로 = 25μm ~ 27μm × 25μm ~ 27μm 정도이며, p+ 형 반도체영역(6)의 평면치수는, 예컨대 세로 × 가로 = 20μm × 20μm 정도이다. 또한, n+ 형 반도체영역(20)의 접합 깊이는, 그 중앙부 즉 p+ 형 반도체영역(6)이 형성된 영역에서는, 예컨대 0.12μm ~ 0.18μm 정도로 얕고, 그 주변부, 즉 p+ 형 반도체영역(6)이 형성되어 있지 않은 영역에서는, 그것보다도 깊다.

상기 2개의 제너 다이오드(D₁, D₂)의 상부에는 배선(21~23)이 형성되어 있다. 이들 배선(21~23)중, 배선(21)은 제너 다이오드(D₁, D₂)의 상부를 덮는 산화실리콘막(29)에 형성된 복수개의 접속구멍(24)을 통해 한쪽의 제너 다이오드(D₁)의 n+ 형 반도체영역(20)과 전기적으로 접속되어 있다. 배선(22)의 일부는, 산화실리콘막(29)에 형성된 복수개의 접속구멍(24)을 통해 다른 한쪽의 제너 다이오드(D₂)의 n+ 형 반도체영역(20)과 전기적으로 접속되어 있다. 이들 접속구멍(24)은, n+ 형 반도체영역(20)의 주변부, 즉 n+ 형 반도체영역(20)과 p+ 형 반도체영역(6)이 접합을 형성하고 있지 않은 영역에 따라 거의 등간격으로 배치되어 있다.

또한, 배선(22)의 다른 일부 및 배선(23)은 산화실리콘막(29)에 형성된 복수개의 접속구멍(25)을 통하여 p형 웨(5) 및 p+형 반도체영역(6)과 전기적으로 접속되어 있다. 제너 다이오드(D₁, D₂)의 일방과 타방과의 배선(22)을 통해 직렬에 접속되어 있다.

n+형 반도체영역(20)과 제1 층째의 배선(21, 22)을 접속하는 복수개의 접속구멍(24)의 각각은, 인접하는 접속구멍(24)과의 피치가 회로의 최소 피치보다도 크게 되도록 이간하여 배치되어 있다. 예컨대 이 시스템 LSI를 구성하는 회로소자와 제1 층째의 배선을 접속하는 접속구멍끼리의 최소 피치가 0.95μm인 경우는, 접속구멍(24)끼리의 피치는 3.8μm 정도이다.

도 6은, 상기 접속구멍(24)의 레이아웃과 항복(브레이크다운)전압 이하의 전압에서 발생하는 리크전류와의 관계를 1단의 제너 다이오드에 대해서 측정한 결과를 나타내는 그래프이다. 여기서 도면 중의 실선(A)은, 전술한 바와 같은 본 실시형태에서의 접속구멍(24)의 레이아웃, 즉 도7에 간략화하여 나타내는 바와 같이, 복수개의 접속구멍(24)을 n+형 반도체영역(20)의 주변부(p+형 반도체영역(6)과 접합을 형성하고 있지 않은 영역)에 배치하고, 또한 접속구멍(24)끼리를 이간하여 배치한 경우이다. 여기서는, 접속구멍(24)의 지름을 0.45μm, 접속구멍(24)끼리의 피치를 3.8μm로 하였다.

한편, 도면 중의 실선(B)은, 파선, 1점쇄선 및 2점쇄선은 어느것이나 지름이 0.45μm의 접속구멍(24)을 p+형 반도체영역(6)의 상부에 배치한 경우이다. 실선(B)은, 도8에 나타내는 바와 같이, 복수개의 접속구멍(24)을 p+형 반도체영역(6)의 거의 전역에 이간하여 배치한 경우, 2점쇄선은 도면9에 나타내는 바와 같이, p+형 반도체영역(6)의 주변부에 빽빽히 배치한 경우, 1점쇄선은 도10에 나타내는 바와 같이, p+형 반도체영역(6)의 중앙부에 빽빽히 배치한 경우, 파선은 도11에 나타내는 바와 같이, p+형 반도체영역(6)의 거의 전역에 빽빽히 배치한 경우를 각각 나타내고 있다. 도8의 예에서는 접속구멍(24)끼리의 피치를 3.8μm로 하고, 도9~도11의 예에서는 어느것이나 0.95μm로 하였다.

도시와 같이, 접속구멍(24)을 n+형 반도체영역(20)의 주변부에 이간하여 배치하는 본 실시형태의 레이아웃(실선A)은 리크전류가 가장 적었다. 또한, 접속구멍(24)을 p+형 반도체영역(6)의 상부에 배치하는 경우에도, 접속구멍(24)끼리를 이간하여 배치하는 경우(실선B)는, 빽빽히 배치하는 경우(2점쇄선, 1점쇄선 및 파선)에 비해 리크전류가 적었다.

이와 같이, 본 실시형태의 제너 다이오드(D₁, D₂)는, 배선(21, 22)과 n+형 반도체영역(20)을 접속하는 접속구멍(24)을 n+형 반도체영역(20)의 중앙부, 즉 p+형 반도체영역(6)과 접합을 형성하고 있는 영역에는 배치하지 않고, 접합깊이가 중앙부에 비해 깊은 주변부에 배치한다. 이것에 의해, p+형 반도체영역(6)의 상부에 접속구멍(24)을 배치한 경우에 비해, 접속구멍(24)의 밑바닥부에서의 n+형 반도체영역(20)의 접합깊이가 크게 되어, 이 영역에서의 터널전류의 발생이 억제되므로, 항복(브레이크 다운)전압 이하의 전압에 있어서 발생하는 리크전류를 저감할 수 있다.

또, 본 실시형태의 제너 다이오드(D₁, D₂)는, n+형 반도체영역(20)과 배선(21, 22)을 접속하는 복수개의 접속구멍(24)의 각각을, 인접하는 접속구멍(24)과의 피치가 회로의 접속구멍의 최소 피치보다도 크게 되도록 이간하여 배치한다. 이것에 의해, 후술하는 제조공정에서 산화실리콘막(29)을 에칭하여 접속구멍(24)을 형성할 때에, 접속구멍(24)의 밑바닥부에서의 기판(1)의 각임량을 저감할 수 있으므로, n+형 반도체영역(20)의 접합깊이가 얕게 되는 불합리를 억제할 수 있다. 인접하는 접속구멍(24)과의 피치는, 회로의 접속구멍의 최소 피치의 적어도 2배 이상, 바람직하게는 3배 이상으로 하고, 보다 바람직하게는 4배 이상으로 한다.

다음에, 주변회로에 상기와 같은 제너 다이오(D₁, D₂)를 갖는 EEPROM의 제조방법의 일예를 도12~도20을 사용하여 설명한다. 또, 이들 도면에는 EEPROM의 메모리셀(Memory cell)을 구성하는 MONOS(Metal Oxide Nitride Oxide semiconductor)형 MISFET, 주변회로를 구성하는 n채널형 MISFET(LV NMOS), p채널형 MISFET(LV PMOS), 고내압n채널형 MISFET(HV NMOS), 고내압p채널형 MISFET(HV PMOS), 고내압p채널형 MISFET(테플레이션형)(HV PDMOS) 및 제너 다이오드(Zener Diode)의 각 1개분의 영역을 나타낸다.

우선, 도12에 나타내는 바와 같이, 예컨대 p형의 단결정실리콘으로 이루어지는 반도체기판(1)(이하, 기판이라 함)을 준비하여, 그 주변에 주지의 LOCOS(LOCal Oxidati on of Silicon) 소자분리기술을 이용하여 필드절연막(2)을 형성한다. 이때, 필드절연막(2)으로 둘러싸인 활동적영역의 기판(1)의 표면에는 산화실리콘막(13)이 형성된다.

다음에, 도13에 나타내는 바와 같이, 산화실리콘막(13)을 통하여 기판(1)의 일부에 인(P) 이온을 주입한 후, 기판(1)을 어닐함으로써 n형 확산층(3)을 형성한다. 인 이온의 도즈량은 $4.5 \times 10^{12} \text{ cm}^{-2}$, 주입에너지는 360 keV로 한다.

이어서, 기판(1)의 일부에 인(P) 이온을 주입하고, 다른 일부에 붕소(B) 이온을 주입한 후, 기판(1)을 어닐함으로써 n형 웰(4) 및 p형 웰(5)을 형성한다. 이때의 인 이온의 도즈량은 $1.2 \times 10^{13} \text{ cm}^{-2}$, 주입에너지는 360 keV로 하고, 붕소 이온의 도즈량은 $0.8 \times 10^{13} \text{ cm}^{-2}$, 주입에너지는 200 keV로 한다.

계속해서, 제너 다이오드 형성영역의 p형 웰(5)의 일부에 붕소(B) 이온을 주입한 후, 기판(1)을 어닐함으로써 p+ 형 반도체영역(6A)를 형성한다. p+ 형 반도체영역(6A)은, 후공정에서 그 상부에 n+ 형 반도체영역(20)이 형성되는 것에 의해, 제너 다이오드(D)의 일부를 구성하는 p+ 형 반도체영역(6)이 된다.

다음에, 도 14에 나타내는 바와 같이, 메모리셀 형성영역의 일부에 산화실리콘막, 질화실리콘막 및 산화실리콘막으로 이루어지는 3층의 절연막에 의해서 구성되는 게이트절연막(7)을 형성한 후, 이 게이트절연막(7)의 상부에 데이터 재기록용의 게이트전극(10)을 형성한다.

게이트절연막(7) 및 게이트전극(10)을 형성하기 위해서는, 우선 메모리셀 형성영역의 p형 웰(3)의 표면에 형성되어 있는 산화실리콘막(13)의 일부를 에칭에 의해 제거하고, 이어서 질소로 희석한 산소분위기 속에서 기판(1)을 산화함으로써, 상기 산화실리콘막(13)이 제거된 영역의 p형 웰(3)의 표면에 막두께 1.8nm 정도의 산화실리콘막(도시하지 않고)을 형성한다. 다음에, 기판(1)상에 CVD법으로 막두께 18nm 정도의 질화실리콘막(도시하지 않음)을 퇴적한 후, 기판(1)을 어닐함으로써, 상기 질화실리콘막의 표면에 막두께 3nm 정도의 산화실리콘막(도시하지 않음)을 형성한다.

다음에, 인(P)를 도프한 막두께 200nm 정도의 n형 다결정실리콘막(도시하지 않음)을 기판(1)상에 CVD법으로 퇴적하고, 이어서 이 다결정실리콘막의 상부에 CVD법으로 막두께 100nm 정도의 산화실리콘막(14)을 퇴적한 후, 포토레지스트막을 마스크로 하여 산화실리콘막(14), 다결정실리콘막 및 게이트절연막(7)의 일부를 에칭하는 것에 의해, 게이트전극(10) 및 게이트절연막(7)을 형성한다. 이 게이트전극(10)에는, 데이터의 재기록(기록 및 소거)시에 상기 도 2에 나타내는 정전압 발생회로를 통해서 재기록용의 고전압(Vpp) 또는 전원전압(Vcc)이 공급되어, 그 하부의 게이트절연막(7) 중에 터널효과에 의해서 전자 또는 정공이 주입된다.

다음에, 도 15에 도시한 바와 같이, 메모리셀 형성영역 및 고내압 MISFET 형성영역의 n형 확산층(3) 및 p형 웰(5)의 표면에 막두께 23nm 정도의 두꺼운 게이트절연막(8)을 형성하고, 이어서 다른 영역의 n형 웰(4) 및 p형 웰(5)의 표면에 막두께 8nm 정도의 얇은 게이트절연막(9)을 형성한 후, 게이트절연막(8, 9)의 상부에 게이트전극(11)을 형성한다.

게이트절연막(8, 9)을 형성하기 위해서는, 먼저 n형 확산층(3), n형 웰(4) 및 p형 웰(5)의 표면에 형성되어 있는 산화실리콘막(13)을 에칭에 의해 제거하고, 이어서 기판(1)을 산화함으로써, n형 확산층(3), n형 웰(4) 및 p형 웰(5)의 표면에 두꺼운 게이트절연막(8)을 형성한다. 다음에, 메모리셀 형성영역 및 고내압 MISFET 형성영역의 n형 확산층(3) 및 p형 웰(5)의 표면의 게이트절연막(8)을 남겨, 다른 영역의 게이트절연막(8)을 에칭에 의해 제거한 후, 기판(1)을 산화함으로써, 상기 다른 영역의 n형 웰(4) 및 p형 웰(5)의 표면에 얇은 게이트절연막(9)을 형성한다.

다음에, 게이트절연막(8, 9)의 상부에 인(P)를 도프한 막두께 80nm 정도의 다결정실리콘막(도시하지 않음)을 CVD법으로 퇴적하고, 이어서 이 다결정실리콘막의 상부에 스팍터링법으로 막두께 100nm 정도의 W(텅스텐) 실리사이드막(도시하지 않음)을 퇴적하며, 더욱 그 상부에 CVD법으로 막두께 150nm 정도의 산화실리콘막(15)을 퇴적한 후, 포토레지스트막을 마스크로 하여 산화실리콘막(15), W 실리사이드막 및 다결정실리콘막을 에칭하는 것에 의해, 게이트전극(11)을 형성한다.

다음에, 도 16에 나타내는 바와 같이, n형 확산층(3) 및 n형 웰(4)에 붕소(B) 이온을 주입함으로써, 저불순물 농도의 p-형 반도체영역(16)을 형성하고, p형 웰(5)에 인(P) 이온을 주입함으로써, 저불순물 농도의 n-형 반도체영역(17)을 형성한다.

다음에, 도 17에 나타내는 바와 같이, 게이트전극(10, 11)의 측벽에 사이드 월 스페이서(18)를 형성한 후, n형 확산층(3) 및 n형 웰(4)에 붕소(B) 이온을 주입함으로써, 메모리셀 형성영역 및 주변회로 형성영역에 고불순물 농도의 p+ 형 반도체영역(소스, 드레인)(19)을 형성한다. 동도에는 나타내지 않지만, 이때 제너 다이오드 형성영역의 p형 웰(5)의 일부(상기 도 4에 나타내는 접속구멍(25)의 하부)에도 p+ 형 반도체영역(19)을 형성한다. 또한, p형 웰(5)에 비소(As) 이온 및 인(P) 이온을 주입함으로써, 주변회로 형성영역에 고불순물 농도의 n+ 형 반도체영역(소스, 드레인)(20)을 형성하고, 제너 다이오드 형성영역에 고불순물 농도의 n+ 형 반도체영역(20)을 형성한다. 사이드 월 스페이서(18)는, 기판(1)상에 CVD법으로 퇴

적한 산화실리콘막(도시하지 않음)을 이방성 에칭함으로써 형성한다. 또한, 봉소 이온의 도즈량은 $2 \times 10^{15} \text{ cm}^{-2}$, 주입에너지는 10 keV로 하여, 비소 이온의 도즈량은 $3 \times 10^{15} \text{ cm}^{-2}$, 주입에너지는 60 keV로 하며, 인 이온의 도즈량은 $5 \times 10^{13} \text{ cm}^{-2}$, 주입에너지는 60 keV로 한다.

여기까지의 공정에 의해, EEPROM의 메모리셀을 구성하는 MISFET 및 주변회로를 구성하는 MISFET가 완성한다. 또한, p+ 형 반도체영역(6A)이 형성된 제너 다이오드 형성영역의 p형 웨(5)에 상기 고불순물 농도의 n+ 형 반도체영역(20)을 형성하는 것에 의해, n+ 형 반도체영역(20)과 그 하부에 형성된 p+ 형 반도체영역(6)에 의해 구성되는 제너 다이오드(D)가 완성한다.

다음에, 도 18에 나타내는 바와 같이, 상기 MISFET 및 제너 다이오드(D)의 상부에 CVD법으로 2층의 산화실리콘막(28, 29)을 퇴적하고, 이어서 포토레지스트막을 마스크로 하여 산화실리콘막(28, 29)을 드라이 에칭하는 것에 의해, 상기 MISFET의 소스, 드레인(p+ 형 반도체영역(19) 및 n+ 형 반도체영역(20))의 상부에 접속구멍(30 ~ 36)을 형성하고, 제너 다이오드(D)의 n+ 형 반도체영역(20)의 상부에 접속구멍(24)을 형성하며, 동도에는 나타내지 않은 제너 다이오드 형성영역의 p형 웨(5)의 일부(상기 도 4에 나타내는 p+ 형 반도체영역(19)의 상부)에 접속구멍(25)을 형성한다. 전술한 바와 같이, 제너 다이오드(D)의 n+ 형 반도체영역(20)의 상부에 형성하는 접속구멍(24)은, 리크전류를 저감하기 위해서, n+ 형 반도체영역(20)의 주변부(p+ 형 반도체영역(6)의 외측), 즉 n-형 반도체영역(20)의 접합 깊이가 깊은 영역에 배치한다.

또, 상기 접속구멍(24)은, 서로의 거리를 이간하여 배치한다. 본 발명자의 검토에 의하면, 일반적으로 포토레지스트막을 마스크로 한 드라이 에칭에서 복수개의 접속구멍을 형성하는 경우, 접속구멍을 빽빽히 배치하면, 레지스트 패턴의 측벽이나 정부(頂部)의 막 감소에 기인하여 접속구멍의 애스펙트비가 저하하고, 접속구멍의 밀바닥부에서의 기판의 깍임 량이 증가한다. 그 때문에, 상기 제너 다이오드(D)의 경우는, 접속구멍(24)의 밀바닥부에서의 n+ 형 반도체영역(20)의 접합 깊이가 얕게 되어, 리크전류가 증가하는 원인이 된다. 따라서, 접속구멍(24)끼리의 거리를 이간하여 배치하는 것에 의해, 접속구멍(24)의 밀바닥부에서의 n+ 형 반도체영역(20)의 깍임 량이 저감되므로, 리크전류를 더욱 저감할 수가 있다. 접속구멍을 빽빽히 배치한 경우에서의 레지스트 패턴의 막 감소는 포지티브형, 네가티브형을 막론하고 발생하며, 게다가 노광광의 간섭 등, 여러가지의 요인에 의해서도 야기된다.

다음에, 도 19에 나타내는 바와 같이, 산화실리콘막(29)의 상부에 제1 층째의 배선(21 및 동도면에는 나타내지 않은 배선(22, 23), 40 ~ 46)을 형성하고, 이어서 배선(21 및 동도면에는 나타내지 않은 배선(22, 23), 40 ~ 46)의 상부에 CVD법으로 산화실리콘막(50)을 퇴적한 후, 산화실리콘막(50)의 상부에 제2 층째의 배선(51 ~ 54)을 형성한다. 제1 층째의 배선(21, 40 ~ 46) 및 제2 층째의 배선(25, 26, 51 ~ 54)은, 예컨대 CVD법으로 퇴적한 W(텅스텐)막이나 스파터링법으로 퇴적한 A1합금막 등의 금속막을 드라이 에칭함으로써 형성한다. 또한, 접속구멍(30 ~ 36, 70)의 내부에 W막 등으로 이루어지는 플러그(도전성 접속체)를 매립한 후 제1 층째의 배선(21, 40 ~ 46)을 형성해도 좋다.

그후, 도 20에 나타내는 바와 같이, 제2 층째의 배선(51 ~ 56)의 상부에 CVD법으로 산화실리콘막(60)을 퇴적하고, 이어서 산화실리콘막(60)의 상부에 상기와 같은 방법으로 제3 층째의 배선(61, 62)을 형성한 후, 제3 층째의 배선(61, 62)의 상부에 CVD법으로 퇴적한 산화실리콘막과 질화실리콘막과의 적층막 등으로 이루어지는 표면보호막(63)을 형성하는 것에 의해, EEPROM이 거의 완성한다.

이상과 같이, 본 실시형태에 의하면, 제너 다이오드의 리크전류를 저감할 수가 있으므로, 항복(브레이크 다운)개시전압으로 리크전류를, 예컨대 $1\mu\text{A}$ 이하까지 저감할 수가 있어, 정전압 발생회로로 발생시킨 재기록전압(Vpp)을 EEPROM에 안정 공급하는 것이 가능하게 된다.

또한, 본 실시형태에서는, 제너 다이오드(D)의 n+ 형 반도체영역(20)과 배선을 접속하는 복수개의 접속구멍(24)을 n+ 형 반도체영역(20)의 주변부만에 배치하였지만, 예컨대 미세화에 의해서 n+ 형 반도체영역(20)의 주변부의 면적이 좁게 된 경우에는, 도 21, 도 22에 나타내는 바와 같이, 접속구멍(24)을 p+ 형 반도체영역(6)의 상부에 배치해도 좋다. 이 경우에도, 상기 도 6에 나타내는 그래프의 실선(B)으로 나타낸 바와 같이, 접속구멍(24)끼리의 거리를 이간하여 배치하는 것에 의해, 리크전류의 증가를 최소한으로 억제할 수 있다. 또한, 경우에 따라서는, 접속구멍(24)을 n+ 형 반도체영역(20) 및 p+ 형 반도체영역(6)의 양쪽에 각각 이간하여 배치할 수 있다.

또, 본 실시형태에서는, 제너 다이오드(D)의 p+ 형 반도체영역(6)을 n+ 형 반도체영역의 중앙부에 배치하였지만, 예컨대 도 23에 나타낸 바와 같이, 중앙부 이외의 영역에 배치해도 좋다. 이 경우도, n+ 형 반도체영역(20)과 배선을 접속하는 복수개의 접속구멍(24)은, n+ 형 반도체영역(20)과 p+ 형 반도체영역(6)이 접합을 형성하고 있지 않은 영역에 배치한다.

또, 복수개의 접속구멍(24)의 일부를 p+ 형 반도체영역(6)의 상부에 배치해도 좋지만, 이 경우는, 접속구멍(24)끼리의 거리를 이간하여 배치하는 것에 의해, 리크전류의 증가를 최소한으로 억제할 수 있다.

또, 상기 도 4에 나타내는 p+ 형 반도체영역(19)은, 기판 깍임에 의한 소자특성에의 영향이 비교적 작은 영역이므로, 이 상부에 형성하는 접속구멍(25)은, 접속구멍(25)끼리의 피치를 회로의 최소 피치로해도 좋다.

(실시의 형태2)

본 실시형태의 시스템 LSI는, EEPROM의 주변회로의 일부에 바이폴라 트랜지스터를 포함한 구성으로 되어 있다.

도 24는 바이폴라 트랜지스터(Bip)가 형성된 기판(1)의 요부 단면도, 도 25는 이 바이폴라 트랜지스터(Bip)의 에미터영역(70), 베이스영역(71) 및 콜렉터영역(72)의 각각과 도시하지 않은 배선을 접속하는 접속구멍(73~74)의 레이아웃을 나타내는 평면도이다.

예컨대 npn형 바이폴라 트랜지스터의 경우, 베이스전류의 주성분은, 베이스영역(71)으로부터 에미터영역(70)에 흐르는 정공전류이다. 그런데, 드라이 에칭에 의해 에미터영역(70)의 상부에 접속구멍(73)을 형성할 때, 접속구멍(73)의 밑바닥부에서 기판 깍임이 생기면, 에미터영역(70)이 실효적으로 얇게 된다. 그 때문에, 베이스영역(71)으로부터 에미터영역(70)에 주입된 소수캐리어인 정공이 에미터전극에 도달하기 쉽게 되어, 베이스전류가 증가하는 결과, 직류전류 증폭율(hFE)이 저하하여 버린다. 즉, 에미터영역(70)의 기판 깍임은, 베이스영역(71)이나 콜렉터영역(72)에서의 기판 깍임에 비해 소자특성에의 영향이 크다.

그래서, 본 실시형태에서는, 에미터영역(70)의 상부의 접속구멍(73)끼리의 피치를, 소자특성에의 영향이 비교적 작은 베이스영역(71)이나 콜렉터영역(72)의 상부의 접속구멍(74, 75)끼리의 피치보다도 크게함으로써, 에미터영역(70)의 상부에 접속구멍(73)을 형성할 때의 기판 깍임 량을 저감한다.

도 26은, 에미터영역의 상부의 접속구멍의 피치와 직류전류 증폭율(hFE)(콜렉터전류 I_C / 베이스전류 I_B)과의 관계를 나타내는 그래프이다. 도시와 같이, 접속구멍을 최소 피치로 9행2열(합계 18개) 배치한 경우와, 접속구멍을 격자배치로 하여피치를 확대하여, 9개 배치한 경우를 비교하면, 접속구멍의 피치를 확대했을 때의 직류전류 증폭율(hFE)은, 최소 피치로 했을 때의 76에서 159로 개선되었다.

이상, 본 발명자에 의해서 행해진 발명을 실시형태에 의거하여 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되는 것이 아니고, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 말할 필요도 없다.

예컨대 상기 실시형태에서는, p형 웰에 형성된 n+ 형 반도체영역과, 이 n+ 형 반도체영역의 하부의 p형 웰에 형성된 p+ 형 반도체영역에 의해 구성된 제너 다이오드에 적용한 경우에 대해서 설명하였지만, 본 발명은, 도전형이 상기와는 반대로 된 제너 다이오드, 즉 n형 웰에 형성된 p+ 형 반도체영역과, 이 p+ 형 반도체영역의 하부의 n형 웰에 형성된 n-형 반도체영역에 의해 구성된 제너 다이오드에도 적용할 수 있다.

발명의 효과

본원에 의해서 개시되는 발명 중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면, 이하와 같다.

본 발명에 의하면, 제너 다이오드 항복(브레이크 다운)개시전압에서의 리크전류를 대폭 저감할 수 있으므로, 예컨대 EEPROM의 정전압 발생회로에 본 발명구조의 제너 다이오드를 적용하는 것에 의해, 정전압 발생회로에서 발생시킨 채기록전압을 EEPROM에 안정 공급하는 것이 가능하게 된다.

또, 본 발명에 의하면, 기판과 배선을 접속하기 위한 접속구멍을 형성할 때 발생하는 기판 깍임을 억제할 수 있다. 이것에 의해, 예컨대 제너 다이오드의 반도체영역과 배선을 접속하기 위한 접속구멍을 형성할 때, 접속구멍의 밑바닥부(16)에서의 반도체영역의 접합 깊이가 얕게 되는 불합리를 방지할 수 있으므로, 제너 다이오드의 리크전류를 더욱 저감할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일실시형태인 시스템 LSI가 형성된 반도체칩의 블력도,

도 2는 본 발명의 일실시형태인 시스템 LSI에 내장된 정전압 발생회로의 회로도,

도 3은 본 발명의 일실시형태인 시스템 LSI에 형성된 제너 다이오드(zener diode)의 평면도,

도 4는 도 3의 IV-IV 선에 따른 반도체기판의 단면도,

도 5는 도 3에 나타낸 제너 다이오드에 접속된 배선의 도시를 생략한 개략 평면도,

도 6은 제너 다이오드의 상부에 형성하는 접속구멍의 레이아웃과 항복(break down)전압 이하의 전압에서 발생하는 리크 전류와의 관계를 1단의 제너 다이오드에 대해서 측정한 결과를 나타내는 그래프,

도 7은 제너 다이오드의 상부에 형성한 접속구멍의 레이아웃을 간략화하여 나타내는 평면도,

도 8은 제너 다이오드의 상부에 형성한 접속구멍의 레이아웃을 간략화하여 나타내는 평면도,

도 9는 제너 다이오드의 상부에 형성한 접속구멍의 레이아웃을 간략화하여 나타내는 평면도,

도 10은 제너 다이오드의 상부에 형성한 접속구멍의 레이아웃을 간략화하여 나타내는 평면도,

도 11은 제너 다이오드의 상부에 형성한 접속구멍의 레이아웃을 간략화하여 나타내는 평면도,

도 12는 본 발명의 일실시형태인 시스템 LSI의 제조방법을 나타내는 반도체기판의 요부 단면도,

도 13은 본 발명의 일실시형태인 시스템 LSI의 제조방법을 나타내는 반도체기판의 요부 단면도,

도 14는 본 발명의 일실시형태인 시스템 LSI의 제조방법을 나타내는 반도체기판의 요부 단면도,

도 15는 본 발명의 일실시형태인 시스템 LSI의 제조방법을 나타내는 반도체기판의 요부 단면도,

도 16은 본 발명의 일실시형태인 시스템 LSI의 제조방법을 나타내는 반도체기판의 요부 단면도,

도 17은 본 발명의 일실시형태인 시스템 LSI의 제조방법을 나타내는 반도체기판의 요부 단면도,

도 18은 본 발명의 일실시형태인 시스템 LSI의 제조방법을 나타내는 반도체기판의 요부 단면도,

도 19는 본 발명의 일실시형태인 시스템 LSI의 제조방법을 나타내는 반도체기판의 요부 단면도,

도 20은 본 발명의 일실시형태인 시스템 LSI의 제조방법을 나타내는 반도체기판의 요부 단면도,

도 21은 제너 다이오드의 상부에 형성한 접속구멍의 레이아웃을 간략화하여 나타내는 평면도 및 단면도,

도 22는 제너 다이오드의 상부에 형성한 접속구멍의 레이아웃을 간략화하여 나타내는 평면도 및 단면도이다.

도 23는, 제너 다이오드의 상부에 형성한 접속구멍의 레이아웃을 간략화하여 나타내는 평면도 및 단면도,

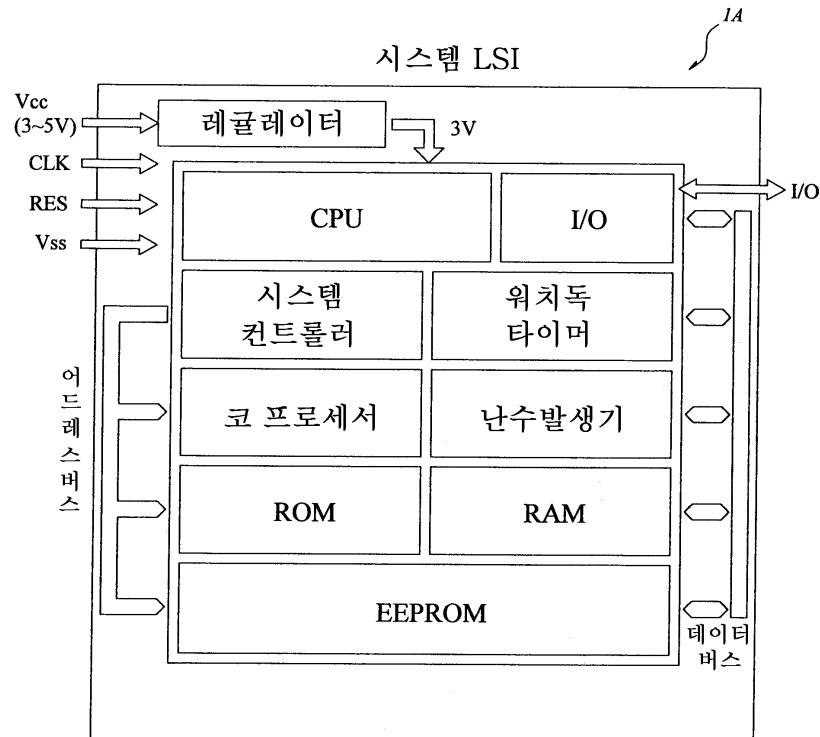
도 24는 본 발명의 다른 실시형태인 시스템 LSI를 나타내는 반도체기판의 요부 단면도,

도 25는 본 발명의 다른 실시형태인 시스템 LSI에 형성된 바이폴라 트랜지스터 및 그것에 형성되는 접속구멍의 레이아웃을 나타내는 평면도,

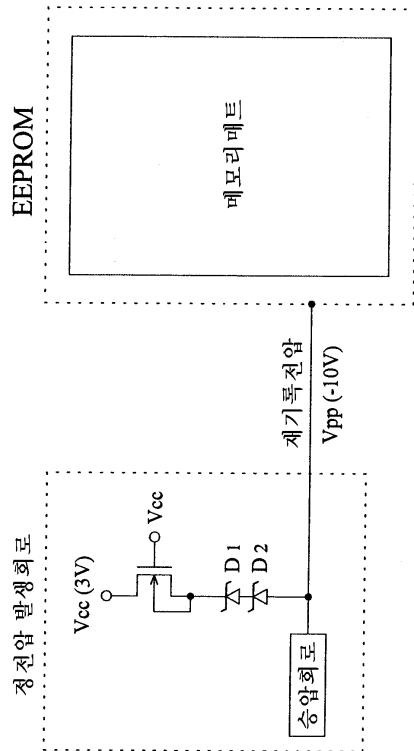
도 26은 에미터영역의 상부에 형성되는 접속구명의 피치와 직류전류 증폭율(hFE)(콜렉터전류 I_C / 베이스전류 I_B)과의 관계를 나타내는 그래프이다.

도면

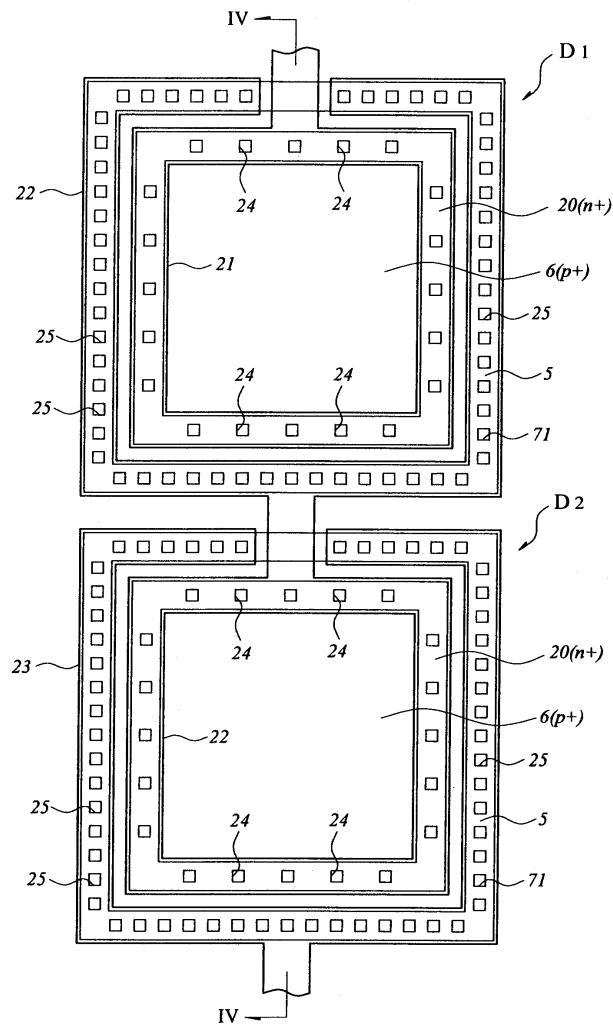
도면1



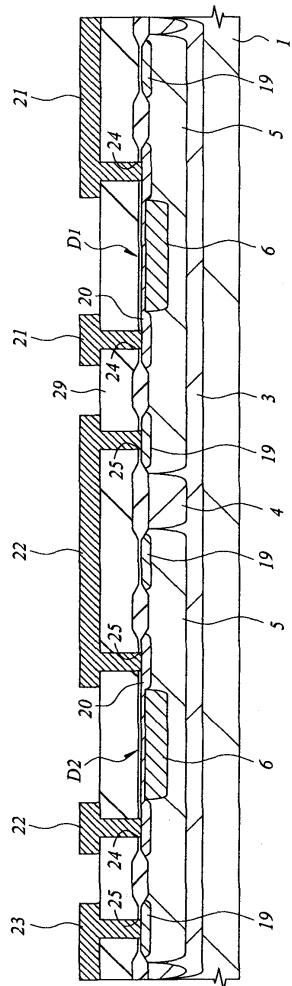
도면2



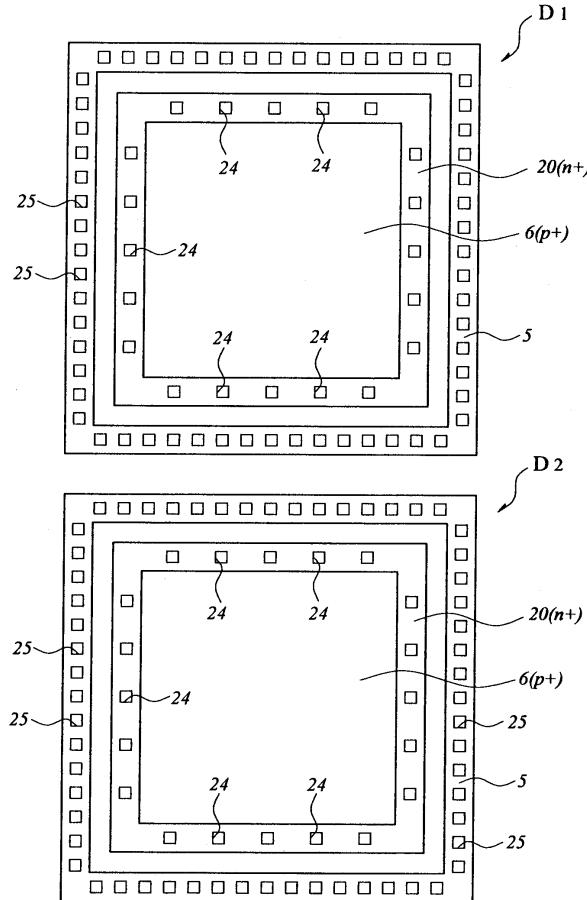
도면3



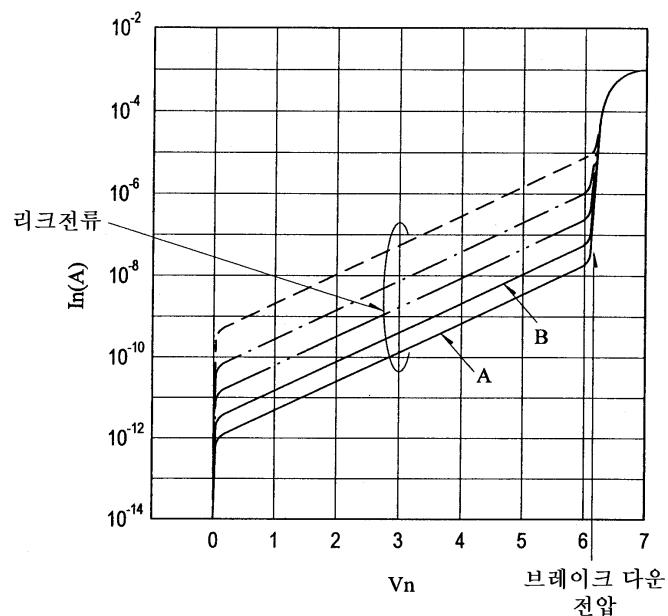
도면4



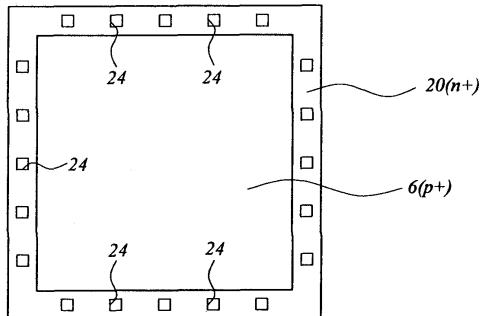
도면5



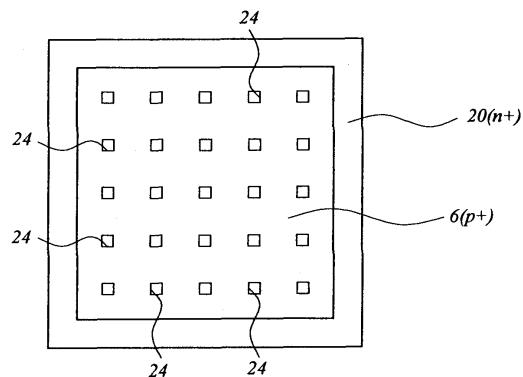
도면6



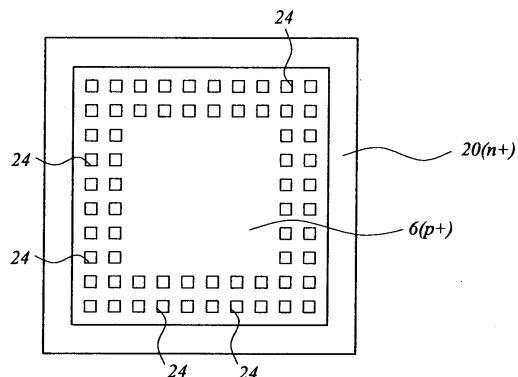
도면7



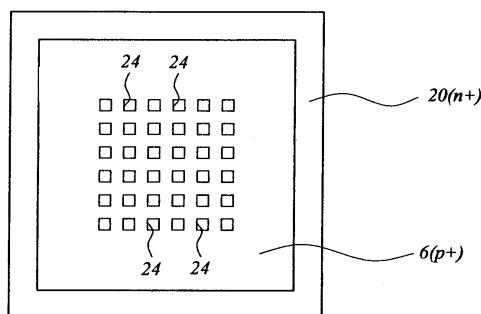
도면8



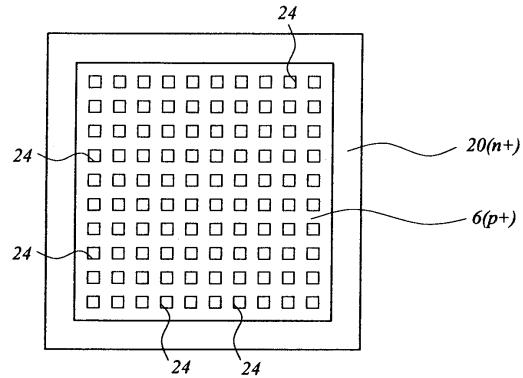
도면9



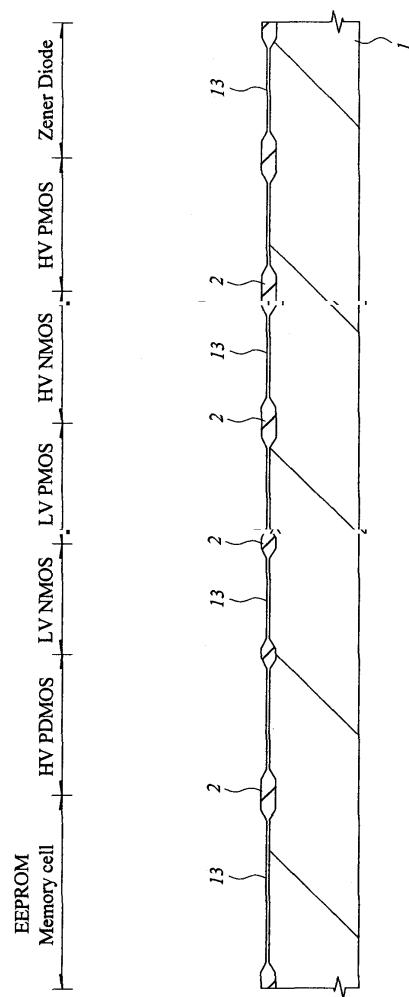
도면10



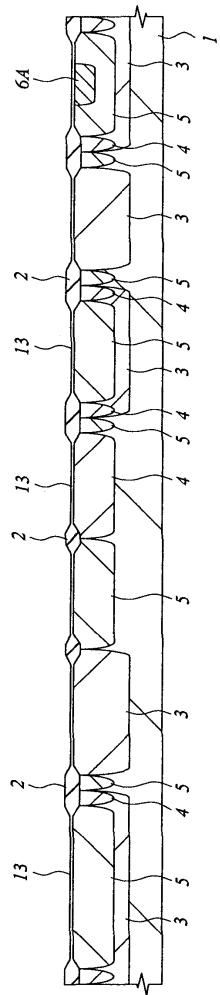
도면11



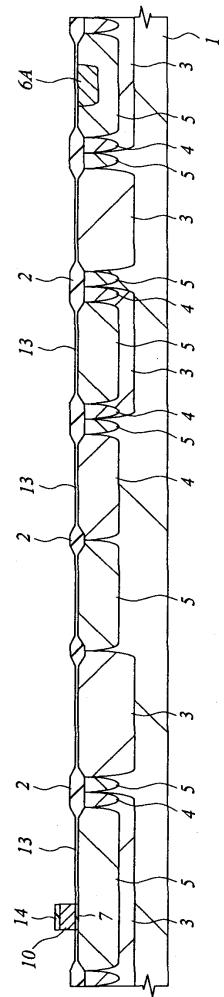
도면12



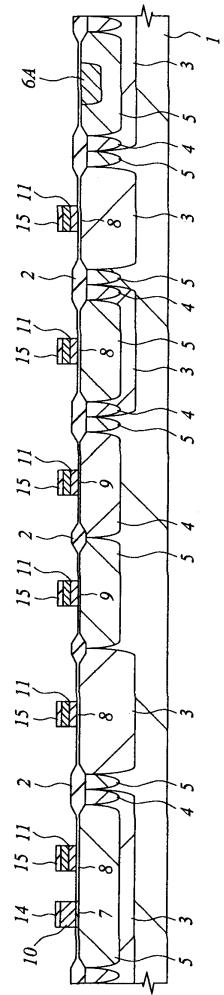
도면13



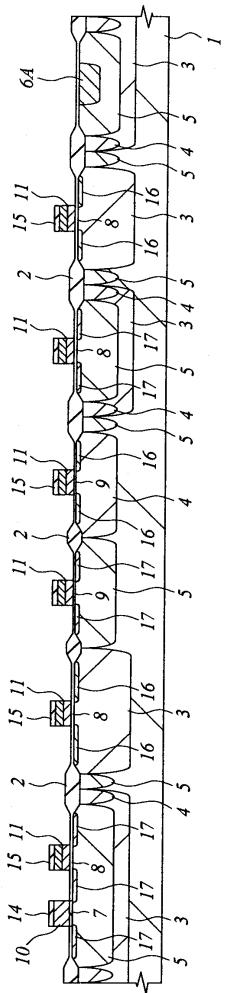
도면14



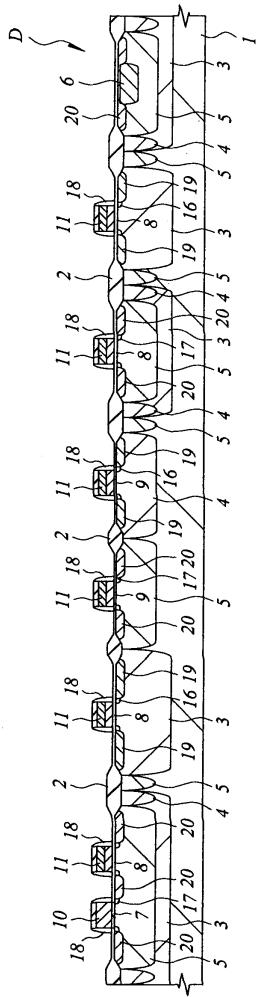
도면15



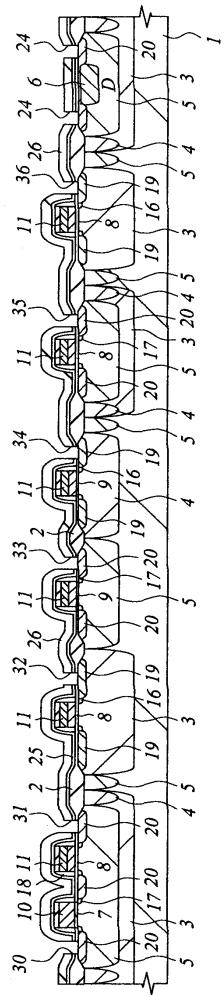
도면16



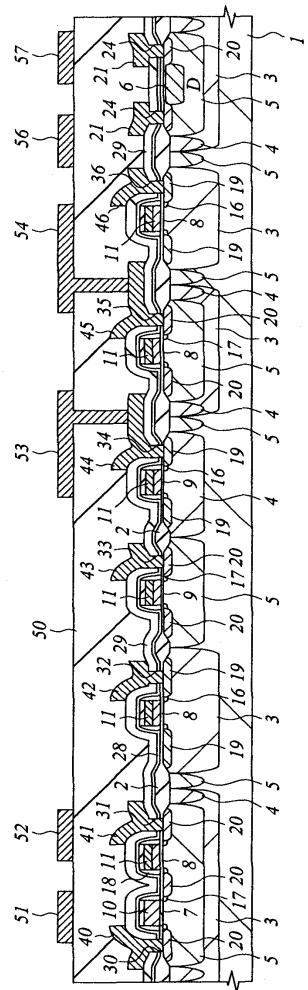
도면17



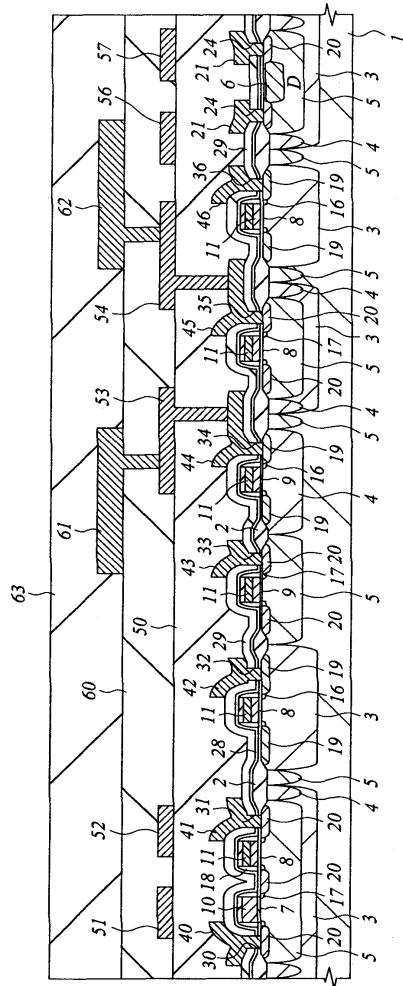
도면18



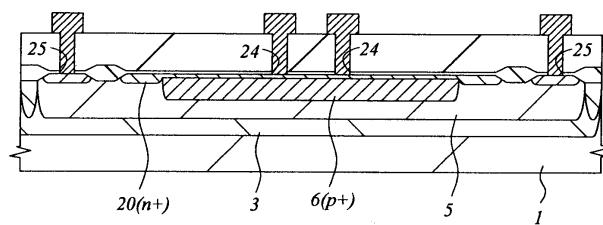
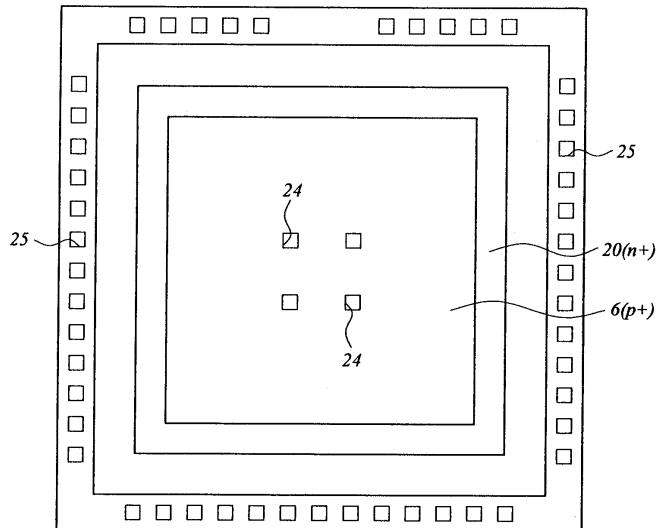
도면19



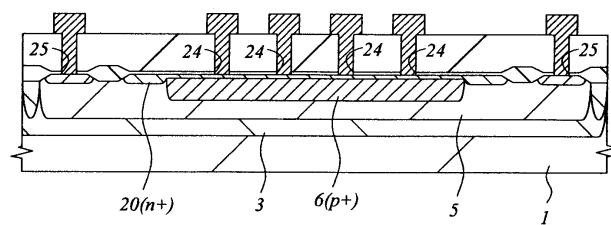
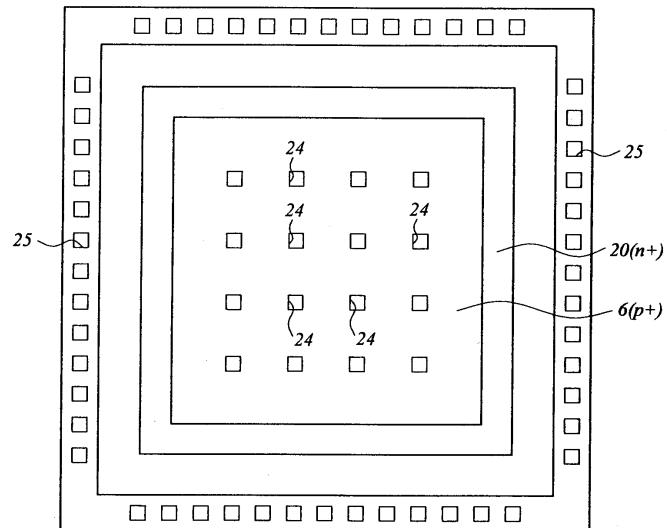
도면20



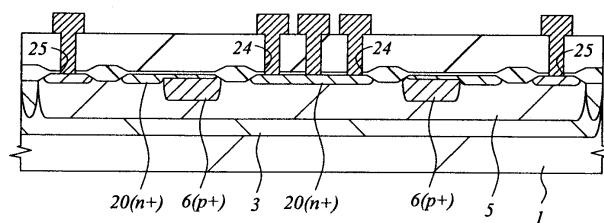
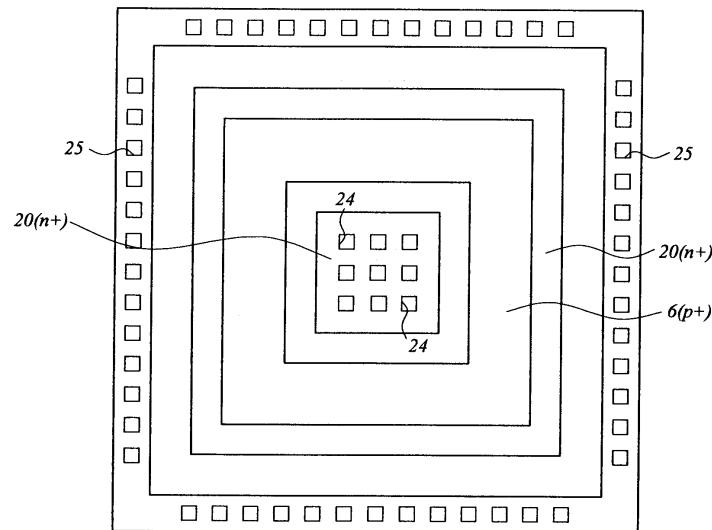
도면21



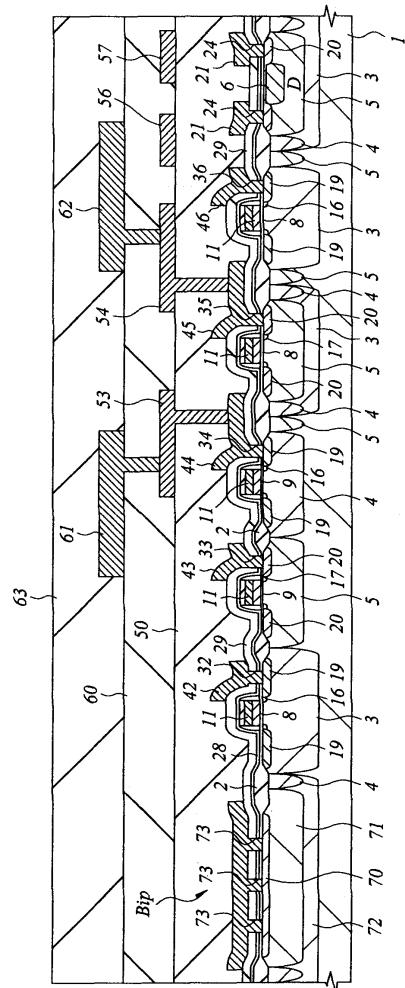
도면22



도면23



도면24



도면26

