

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

美國 國(地區) 申請專利，申請日期： 1998年1月22日 案號： 09/010,698 ☒有 ☐無主 張優先權 ☐有 ☐無主 張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明領域

本發明是有關於一種互補型金氧半導體之影像感測器，尤其是以互補型金氧半導體主動像素感測器為主之晶片設計上的相機。

發明背景

有許多習用技術的固態影像裝置。最通用的是電荷耦合元件(CCD)型感測器。習用技術的CCD感測器缺少用在目前CMOS元件內的非常大規模積體化(VLSI)，而使得用這些CCD感測器的相機需要分立的積體電路，以提供時序，控制與時脈驅動器電路，所以，導致該相機的體積較大且製造成本較為昂貴。

習用技術中，有一些使用CMOS技術來製造出固態影像器的影像感測裝置。在這些習用技術的裝置中，是將類比到數位轉換器積體化到相同晶片上，當作影像感測器用的方針。這種的CMOS影像感測器描述於由Janssen等在Analog Integrated Circuits and Signal Processing 4, pp. 37-49 (1993)期刊中標題“An Addressable 256 x 256 Photodiode Sensor Array With An 8-Bit Digital Output”所提出的文章。其它習用技術的裝置被積體化到晶片時序產生上，比如由Nixon等在1996 IEEE International Solid-State Circuits Conference Digest of Papers, p. 178-179中標題“256 x 256 CMOS Active Pixel Sensor Camera-on-a-Chip”文章。然而，這些習用技術的CMOS裝置還缺少較大規模的積體化。

習用技術也朝著能提供可控制影像感測裝置的外部數位

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

介面的整合設計發展。

從討論中，很明顯的習用技術仍需要CMOS型影像器，來提供大規模積體化，以便能夠提供時序，控制與時脈電路，以及控制該固態影像裝置的數位介面。

發明摘要

本發明指出上述習用技術的缺點，提供一種晶片上數位相機的架構，應用到利用互補型金氧半導體(CMOS)技術的主動像素感測器(APS)。該架構設計的單元包含功能方塊以及使APS運作的相對應內部連接，在較佳實施例中，使用針狀光二極體當作光偵測器單元。利用CMOS技術讓時序，控制，類比到數位轉換，以及數位介面都積體化到具有光偵測單元陣列的單一晶片內。

本發明所提出的大規模積體化提供新的特性，比如電子伸縮影像以及視窗能力。這些特性可以由數位介面內的邏輯電路所控制。自由移動模式(原定操作模式)提供全解析度影像，而與視窗/伸縮影像邏輯無關，因此不需數位介面而來的控制信號。光量度模式提供對像素群的選擇，以決定適當的參數，比如曝光控制。該曝光是會受到電子快門的適當時序所影響。不同的睡眠模式能提供不同程度的省電功能。

該CMOS APS的架構包含以下所連接的方塊，x-y可定址像素陣列時序產生與外部介面控制邏輯，可程式化類比到數位轉換器(ADC)，以及相關信號處理電路。

這些特性以及其它特點都是由CMOS型影像感測器所提

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

供，該CMOS型影像感測器具有

影像感測裝置，包含有：

矽基底，具有複數個在其內所形成的CMOS電路；

像素陣列，具有複數個列以及複數個行，在基底中形成；

時序控制邏輯方塊，在基底中形成；

列定址電路，在基底中形成，並連接到每個像素陣列以及時序控制電路，該列定址電路具有列匯流排，提供位址線到像素陣列中的每個列上；

行定址電路，在基底中形成；

像素時序電路，在基底中形成；

信號處理電路，包含在基底內；以及

介面電路，耦合到外部運算裝置上，以提供指令，讓感測器產生位址並控制信號給感測裝置，該介面電路耦合到時序控制邏輯，像素時序電路，列定址電路以及行定址電路上。

圖式的簡單說明

圖1是本發明積體CMOS影像感測器的功能方塊圖；

圖2是習用技術CCD相機的功能方塊圖；

圖3是本發明晶片感測器上相機的功能方塊圖，具有與圖2相類似的功能；

圖4是本發明像素陣列中像素的定址與讀取之方塊圖；以及

圖5是對像素作定址，多工，以及傳送到類比數位轉換器

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

的示意圖。

爲了對於本發明，以及一併對本發明之其他且更進一步的目的，優點和能力有更佳的瞭解，可參考下面的詳述及附加的申請專利範圍。

發明的詳細說明

晶片上數位相機已經發現到是可以用主動像素感測器(APS)來建構，以互補型金氧半導體(CMOS)技術，將時序，控制，類比到數位轉換，以及數位介面積體化到單一晶片中。

參閱圖1，架構設計中的單元一般是指感測器10，包含功能方塊以及相對應互連線，用來操作APS像素陣列12。另外，感測器10的架構在單一CMOS的晶片中提供時序，控制，時脈，以及類比到數位轉換。如圖1所示的本發明，代表能用任何設計技巧實現的方塊圖，比如硬體描述語言，或電路圖形。較佳的情形是，用CMOS來提供合理的功率耗損。可以經由設計規範來做出實際的矽電路，用微程式化型或用狀態機型做出來。較佳實施例是以VHSIC硬體描述語言(VHDL)所寫成的狀態機放到矽中。VHDL是被當作電子設計自動化的形式來使用。

如圖1所示的像素陣列12，是x-y可定址的二維像素陣列12。像素陣列12可能有不同的解析度，比如640 x 480像素的標準VGA解析度。較佳實施例中的每個像素包含光偵測器(在較佳實施例中是針狀光二極體)，傳輸閘，重置閘，列選擇閘以及源極隨耦放大器。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

本發明提出，類比數位轉換器(ADC)是可以包含在CMOS感測器10內。而且還提出，提供外部ADC給CMOS感測器10。這是一種基於每種設計的優點與缺點所採取的簡單設計選擇。在每種情形下，很重要的是，ADC連接到像素讀取上，確保數位的位元輸出是有意義的而且錯誤信號能被降到最小程度。

時序控制邏輯60提供：(1)在要以全解析度模式讀取每個列時，定址到列定址電路14；(2)當要讀取次組列時，比如每間隔一列或每四列的方式，如一般用在視訊會議上的次取樣模式中所使用的方式，而定址到列定址電路14；以及(3)對次區域像素做定址用的視窗能力。時序控制邏輯60也控制電子快門模式控制，包括：(1)設定相對於圖框率的像素；(2)控制每個圖框的積體化模式；以及(3)光度計模式，控制敏感度以及電子快門的調節，這也包括感測出螢光頻率(亦即60Hz)以及電子快門的相對應控制，滿足 $ESS=n/(2*line_rate)$ 秒，其中ESS是電子快門速率，而n是線速率的任何因子，在較佳實施例中是60Hz。

感測器10一般的操作如：在預設時間下，經由共用列匯流排內的匯流排線，將傳送信號加到同一列上所有的像素，以便從該列中每個光二極體，將所搜集到的光電子，移動到每個像素的感測節點上。每個像素的感測節點連接到源極隨耦放大器的輸入端，一般是在主動像素感測器的技術範圍內。列匯流排也會讓重置信號加到像素上，連接光二極體及/或感測模式到預設偏壓的重置電壓。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

雙相關取樣方式也可用來輸出感測模式的重置準位，在傳送光電子之前，先設定，然後再讀取出源極隨耦器輸出信號。在光電子從光二極體傳送出去後，進行另一輸出取樣。二樣信號的差值代表入射光照到像素上光電子量的實際讀取值。

行信號處理與ADC 18能暫時儲存每個像素的重置與信號準位到電容內。ADC電路用這些信號將信號準位的差值轉換成數位表示。視特定ADC電路所使用的速率而定，該數位值能以實際速率傳送到晶片上相機，以更新影像顯示或圖框儲存所截獲到的移動。可以選擇的是，可以用區域性晶片上暫時的數位儲存，來緩衝這些資料。該ADC電路可以是單一高速單元，能轉換外部裝置即時所需的像素數目(總像素數目乘上圖框速率)。另外，可以用每行，或每n行較慢的ADC，來平行的轉換列上所有的類比像素值。

圖2顯示一般習用技術CCD型系統75，使用不同的元件來實現數位相機。微控制器72提供基本的控制信號給該系統75。時序與邏輯控制74，通常是ASIC元件，會產生時脈驅動器77所需的時序信號，將這些信號轉換成適當準位，來控制CCD 76。微控制器72對所使用的影像模式進行適當序列的程式化處理。相關雙取樣(CDS) 78會產生與照到CCD 76上光線相關的實際信號值。然後該實際信號值被類比到數位轉換器79轉換成數位信號。

圖3顯示本發明的系統，比圖2所示的系統多出許多優點。圖2所見的大部分功能方塊都被結合到單一矽製晶片

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

與視窗/伸縮影像邏輯無關，因此不需數位介面而來的控制信號。光量度模式提供對像素群的選擇，以決定適當的參數，比如曝光控制。該曝光是會受到電子快門的適當時序所影響。不同的睡眠模式能提供不同程度的省電功能。

該影像器陣列可以用預設方式(比如 Bayer Checker 板)，加入彩色濾波器陣列(CFA)的馬賽克圖案，而做成具彩色敏感性的，增加對所攝取景像的彩色變化。

該架構實現晶片上相機。所有電子控制單元以及信號電路都積體化到單一矽晶片中。以相機設計者能專注於特性(比如人機介面)而非專注於用晶片來捕捉影像的詳細時序的方式，來簡化相機系統設計。

積體化的晶片也是低功率耗損，是可攜式應用的重要考量。

本發明已經用特定的較佳實施例做詳細的說明，但是要注意的是，變化與修飾都是在本發明的精神與範圍內。

另件列表

- 10 感測器
- 12 像素陣列
- 14 列定址與像素時序功能
- 15 列匯流排
- 16 行定址
- 18 信號處理
- 50 串列介面
- 60 時序與控制邏輯

五、發明說明(11)

- 72 微控制器
- 74 時序與控制邏輯
- 75 習用技術系統
- 76 CCD
- 77 時脈驅動器
- 78 CDS
- 79 類比到數位轉換器
- 80 核心邏輯晶片(ASIC)
- 81 微控制器
- 85 緩衝記憶體
- 102 像素陣列
- 114 定址電路
- 116 每行CDS
- 118 每行ADC
- 126 信號多工器
- 128 高速ADC

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要 (發明之名稱：積體互補型金氧半導體之主動像素數位相機)

一種影像感測元件，包含具有複數個在其上形成的互補型金氧半導體電路的矽基底，該影像感測元件還包括具有複數個列與複數個行的像素陣列，連接到每個像素陣列與時序控制電路的列定址電路，具有一列匯流排的列定址陣列，該列匯流排提供位址線給像素陣列中的每一列上。行定址電路，像素時序電路，時序控制邏輯電路區塊，信號處理電路，以及耦合到外在運算裝置上提供位址與控制信號給感測器裝置用的介面電路，該列定址電路具有列匯流排，提供位址線給像素陣列中的每一列，該介面電路耦合到時序控制邏輯電路，像素時序電路，列定址電路，以及行定址電路。

英文發明摘要 (發明之名稱：AN INTEGRATED CMOS ACTIVE PIXEL DIGITAL CAMERA)

An image sensor device comprising a silicon substrate having a plurality of CMOS circuit formed thereon, including a pixel array having a plurality of rows and a plurality of columns, a row addressing circuit operatively connected to each the pixel array and the timing control circuit, the row addressing circuit having a row bus that provides address lines to each row in the pixel array, a column addressing circuit, a pixel timing circuit, a timing control logic block, a signal processing circuit, and an interface circuit coupled to external computational means for provision of address and control signals to the sensor device, the interface circuit being operatively coupled the timing control logic, the pixel timing circuit, the row addressing circuit and the column addressing circuit.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種影像感測器裝置，包含：

一矽基底，具有複數個在其上所形成的CMOS電路；

一像素陣列，具有複數個列以及複數個行，在基底中形成；

一時序控制邏輯方塊，在基底中形成；

一列定址電路，在基底中形成，並連接到每個像素陣列以及時序控制電路，該列定址電路具有列匯流排，提供位址線到像素陣列中的每個列上；

一行定址電路，在基底中形成；

一像素時序電路，在基底中形成；

一信號處理電路，包含在基底內；以及

一介面電路，耦合到外部運算裝置上，以提供指令，讓感測器產生位址並控制信號給感測裝置，該介面電路耦合到時序控制邏輯，像素時序電路，列定址電路以及行定址電路上。

2. 如申請專利範圍中第1項之影像感測器裝置，其中該時序控制邏輯方塊進一步包含一電子快門控制電路。

3. 如申請專利範圍中第2項之影像感測器裝置，其中該電子快門控制電路進一步包含對應於介面電路輸出端可進行程式化處理的電路。

4. 如申請專利範圍中第3項之影像感測器裝置，其中該電子快門控制電路是對應於從介面電路所接收到的電子快門模式資料，是與以下之一有關：電子快門模式的調節；清除掉與圖框時間有關的像素；每個圖框的累加時

訂

六、申請專利範圍

間；或螢光頻率。

5. 如申請專利範圍中第1項之影像感測器裝置，進一步包含信號處理電路，耦合到像素陣列，以接收從該陣列輸出的資料。
6. 如申請專利範圍中第5項之影像感測器裝置，其中該信號處理電路進一步包含相關雙取樣電路。
7. 如申請專利範圍中第5項之影像感測器裝置，其中該信號處理電路進一步包含雜訊降低電路。
8. 如申請專利範圍中第7項之影像感測器裝置，其中該雜訊降低電路進一步包含固定圖案雜訊去除電路。
9. 如申請專利範圍中第5項之影像感測器裝置，其中該信號處理電路進一步包含類比到數位轉換器。
10. 一種半導體影像感測裝置，包含：
 - 一影像陣列，包含複數個像素，在半導體基底上形成；
 - 一時序控制方塊，在基底上形成，可經由在基底上所形成的串列連接介面，進行程式化；
 - 一產生信號裝置，用來定址並讀取在基底上所形成的像素值；
 - 一處理像素值裝置，以便在基底上形成數位字；以及
 - 一傳送數位字裝置，傳送到外部裝置上。
11. 如申請專利範圍中第10項之半導體影像感測器裝置，進一步包含從影像陣列中選取一組預設像素的裝置，該影像陣列是在時序控制方塊內。

(請先閱讀背面之注意事項再填寫本頁)

訂

製

六、申請專利範圍

12. 如申請專利範圍中第10項之半導體影像感測器裝置，進一步包含進行時序控制方塊內的電子快門的裝置。
13. 如申請專利範圍中第10項之半導體影像感測器裝置，進一步包含選取一次組像素的裝置，給時序控制方塊內的曝光決定用。
14. 如申請專利範圍中第10項之半導體影像感測器裝置，進一步包含時序控制方塊內的省電裝置。
15. 如申請專利範圍中第10項之半導體影像感測器裝置，其中該時序控制方塊進一步包含提供信號的裝置，該信號是傳送到外部，與機械式快門做同步用。
16. 如申請專利範圍中第10項之半導體影像感測器裝置，其中該時序控制方塊進一步包含提供信號的裝置，該信號是傳送到外部，與致動光線做同步用。
17. 如申請專利範圍中第10項之半導體影像感測器裝置，進一步包含一微控制器，建構在感測器裝置內，該微控制器進一步包含介面裝置，給使用者做輸入用。
18. 如申請專利範圍中第17項之半導體影像感測器裝置，進一步包含一特用積體電路，用來當該微控制器與感測器裝置其餘部分之間的介面。
19. 如申請專利範圍中第10項之半導體影像感測器裝置，進一步包含一內建記憶體，與類比到數位轉換器的輸出有關。
20. 如申請專利範圍中第19項之半導體影像感測器裝置，其中該內建記憶體進一步包含一資料緩衝機制，能對該機制讓具不同速度的讀取與寫入。

(請先閱讀背面之注意事項再填寫本頁)

訂

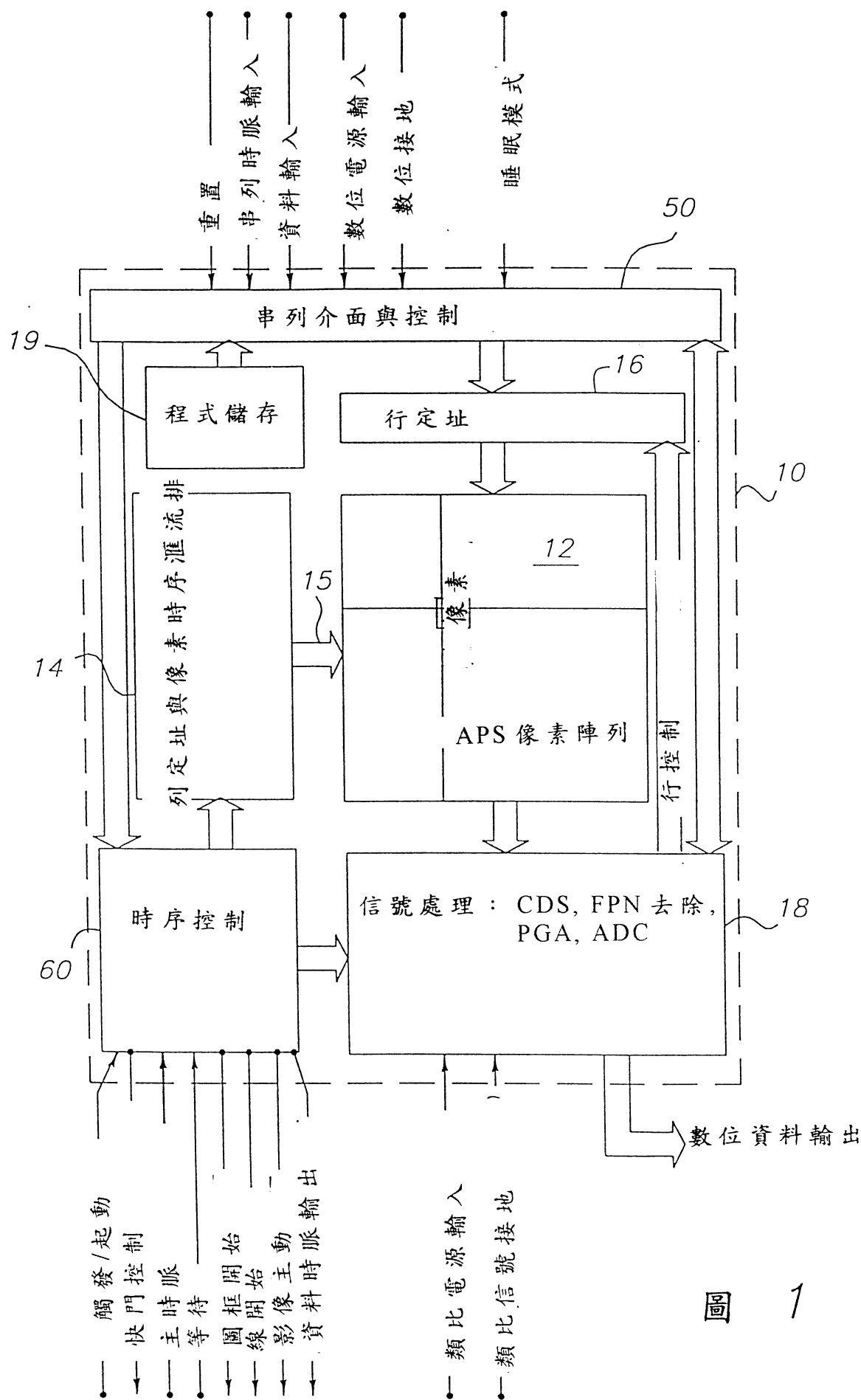


圖 1

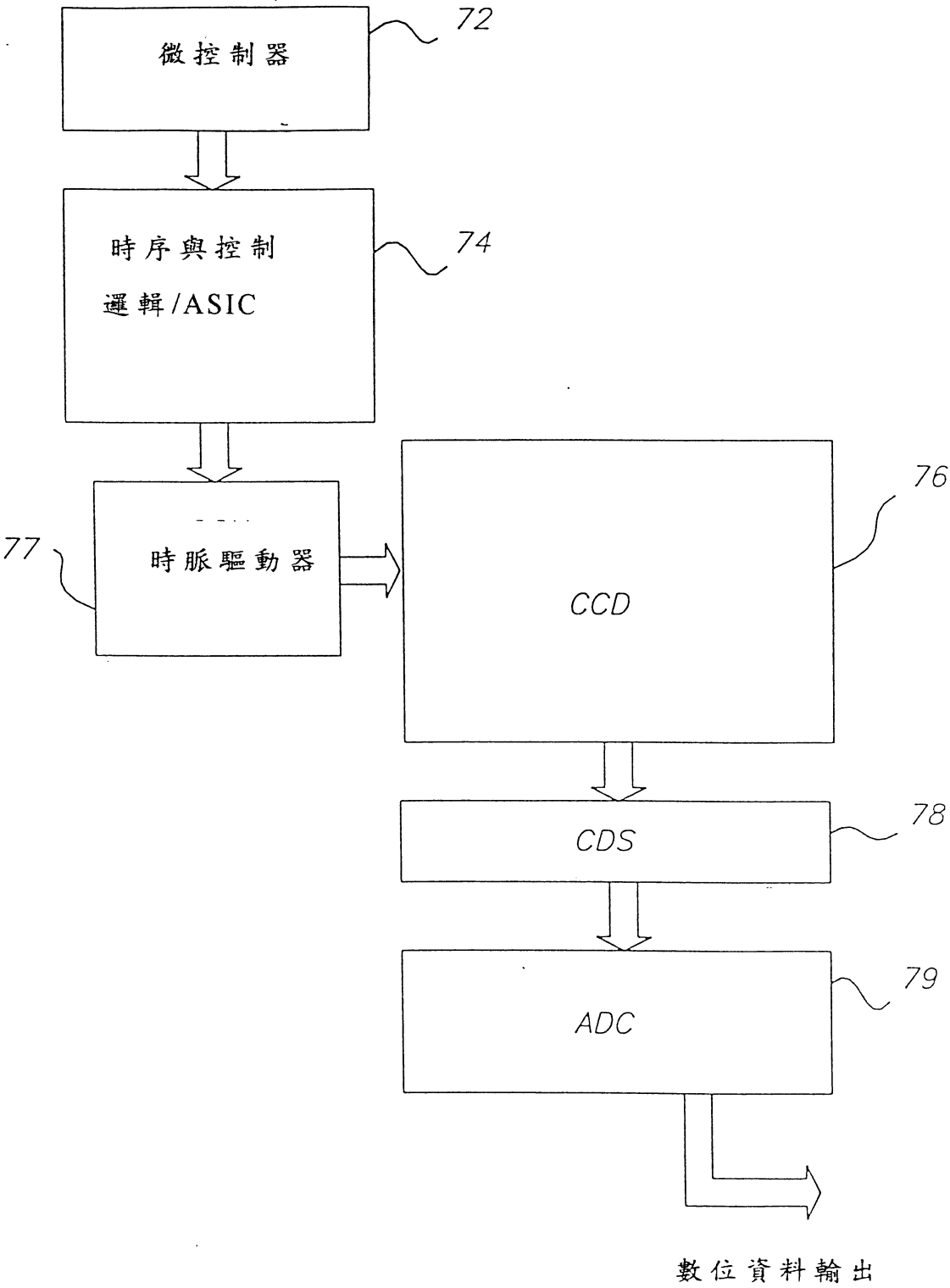


圖 2

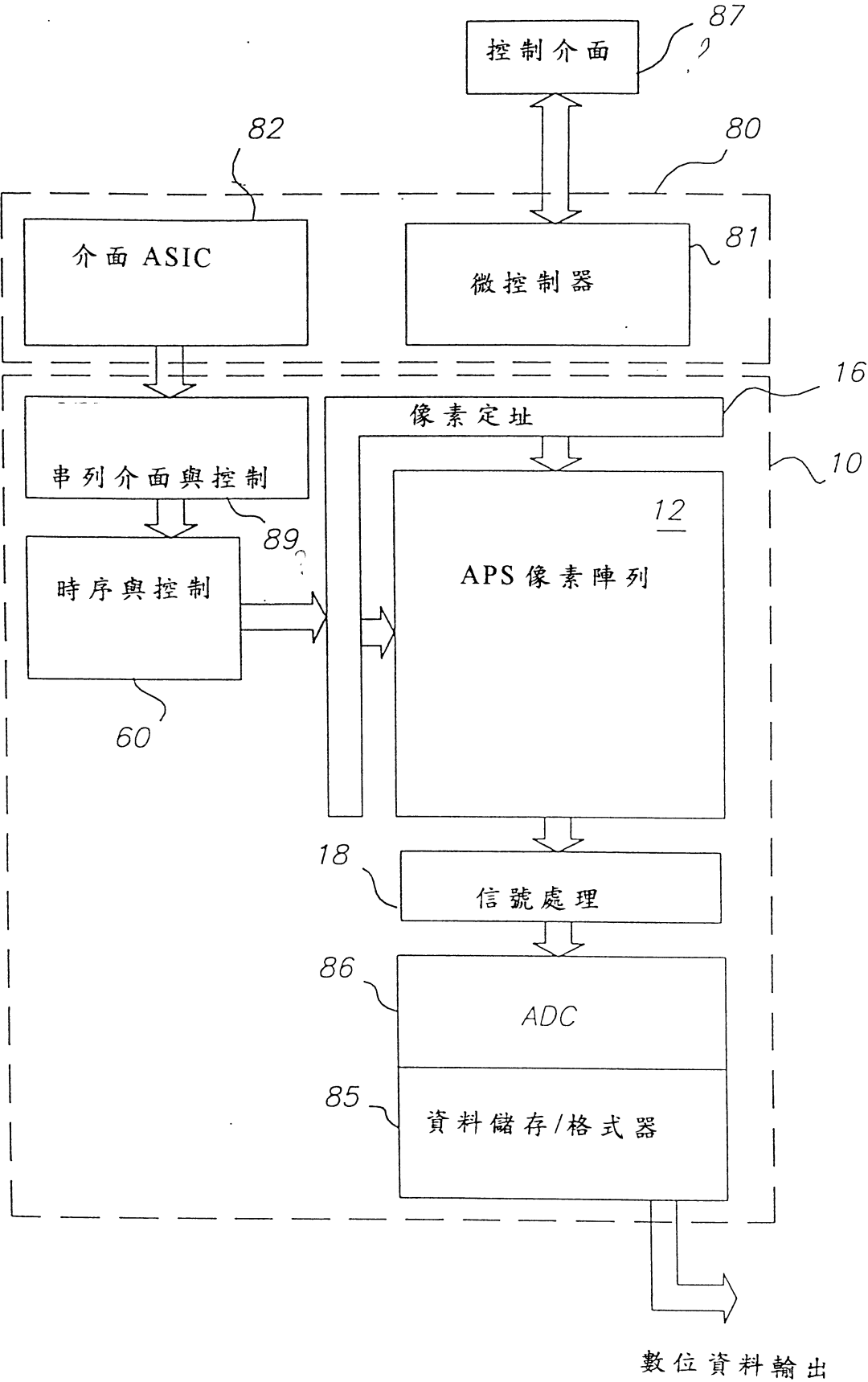


圖 3

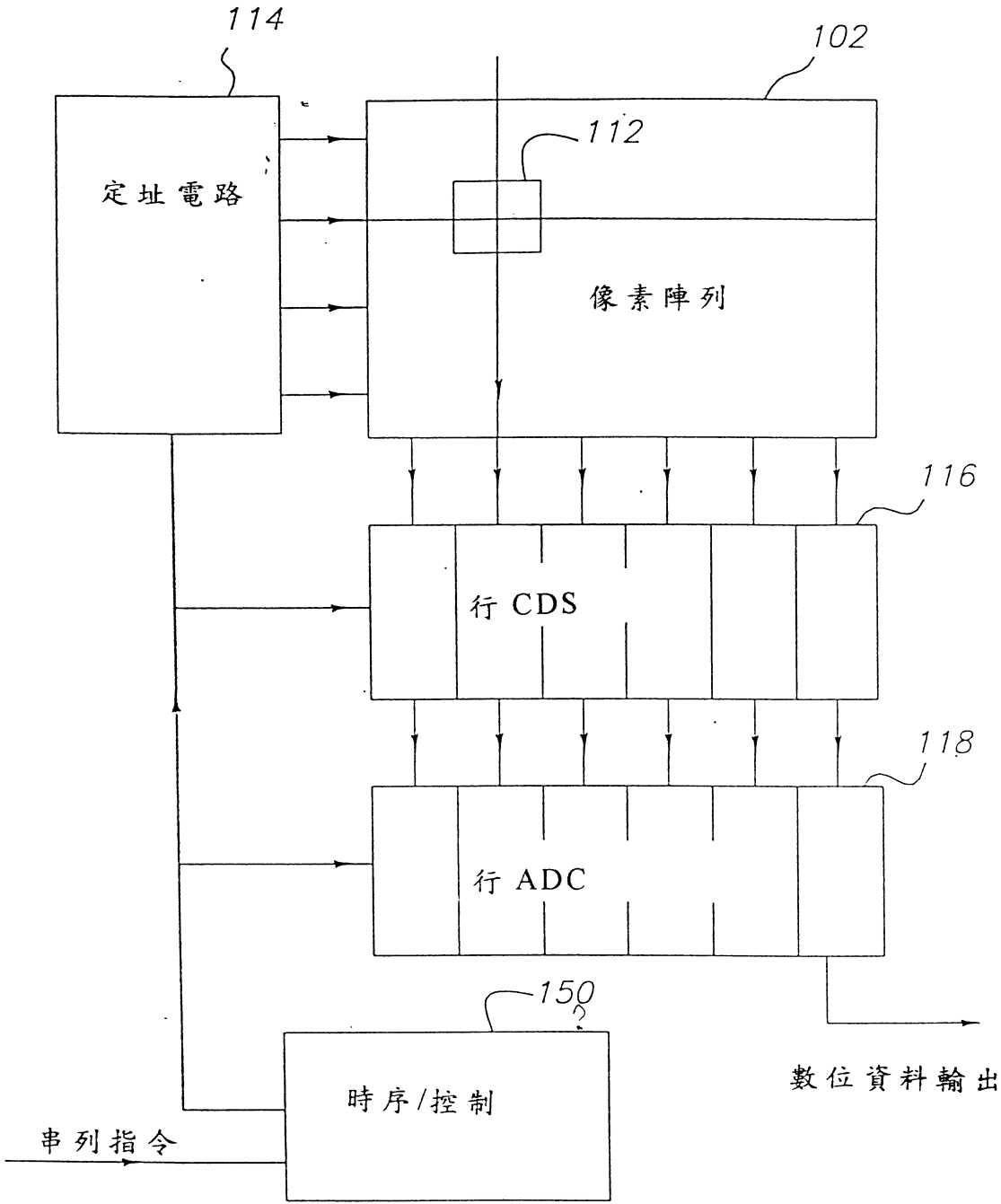


圖 4

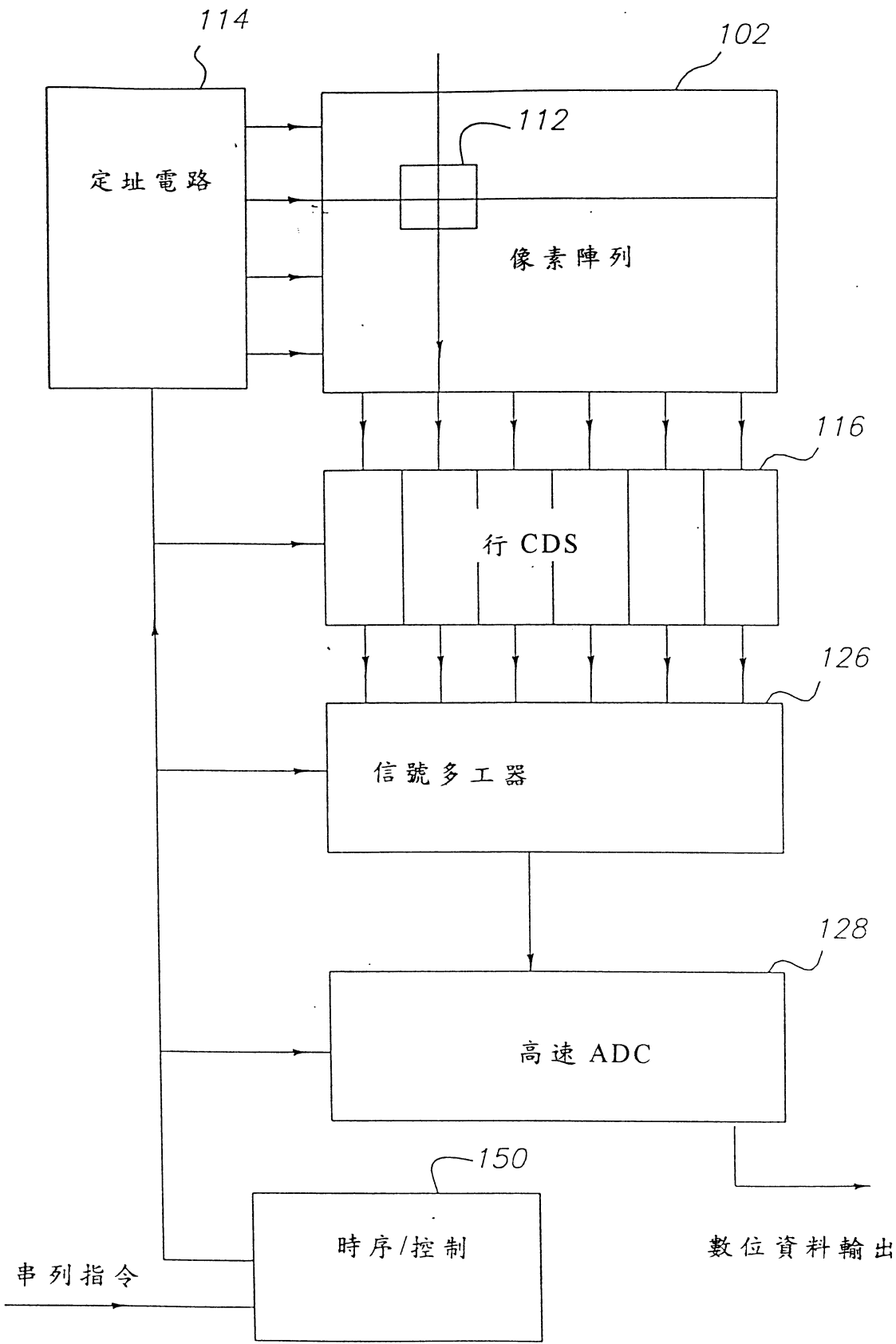


圖 5

五、發明說明(5)

像素陣列12會轉換入射光成光電子，停留在像素陣列12的每個光偵測器內，當作是經相機透鏡(未顯示)聚焦在像素陣列12上之入射影像的儲存電荷轉換。經由已積體化在感測器10內的列定址電路14與行定址電路16，每個像素都被選來當作輸出儲存電荷用。該影像用列定址電路14讀取出，列定址電路14會將共用列設定成主動狀態，提供位址給在列匯流排15上的被選取列。

該程式儲存19及串列介面與控制電路50提供外部微控制器或其它電腦程式的裝置，以提供基於操作者或自動化運算法則的設定，給晶片上相機用。這些設定中有以特定模式操作的相機晶片，比如用光強度(光度計)量測來設定曝光條件。也有一種影像器晶片的原定開機模式，是在進行任何程式化之前，以預設的方式進行操作。例如，當第一次加上電力時，晶片會用能配合室內光線條件的曝光時序的全解析模式操作。這種原定模式是設計成能適用於任何應用。

串列介面與控制邏輯50提供控制，來做序列信號的產生，比如x-y定址，重置，取樣，傳送，以及由時序控制邏輯60所產生的其它信號。從串列介面及控制邏輯50而來的一組指令被下載到時序控制邏輯60內適當的控制暫存器中，起動不同的時序模式，以便做積體化以及讀取像素陣列。感測器10的讀取可以在全解析度(所有的像素)，x-y視窗像素組，或次取樣(每隔一列)等方式下進行程式化。時序控制邏輯60也提供控制信號，進行感測器10的讀取操作。

五、發明說明(8)

上相機系統中，除了控制介面87，微控制器81與介面ASIC 82以外。熟知該技術領域的人士可以了解到，微控制器81與介面ASIC 82可以結合到具有控制器的較大ASIC元件80中。ASIC 82提供介面給晶片上相機系統10的串列介面與控制邏輯50。在較佳實施例中，ASIC 82對從晶片上相機系統10輸出的數位資料，提供數位處理。ASIC 82對影像資料提供較快資料處理，因為有提供硬體導向處理。ASIC 82與微控制器81可以形成晶片上相機系統10中的一部分。緩衝記憶體85可以用來調節從(類比到數位轉換器) ADC 86而來的資料。

現在參閱圖4，本發明實施例的簡化方塊圖，顯示出像素陣列102包含4列乘6行的像素陣列。圖4已經做過簡化，而本發明的較佳實施例是640乘480的影像感測裝置。參閱圖4，定址電路114包含有給列選擇與行選擇用的定址電路。以下的討論會詳細說明用計數器方式(在圖4中只有二位元計數器)的列位址解碼，行位址的解碼是也相類似的方式來實現，但其增加量不相同。列定址部分提供操作，時序與控制信號(比如傳送，重置致能以及選擇)給被定址的特定列。可以用邏輯閘來建構該定址電路，比如NAND閘，或是用移位暫存器，依序定址出每一列。

時序與控制電路60與行定址電路114所產生的控制信號，會依序進行每行的信號處理。時序與控制電路60如圖3所示，經由串列介面與控制89之控制及用微控制器81進行程式化，該微控制器81使用指令，阻止串列介面與控制邏輯50(圖3所示)經連接埠，而連接到感測器晶片10。在定址時，像素列會將所儲存的光電子快

五、發明說明(9)

速送到相關雙取樣(CDS)電路116上，降低影像中的雜訊。圖4顯示每行ADC 118電路，會偵測出經相關雙取樣(CDS) 116電路的像素陣列讀取信號。然後用每行ADC 118電路，將該信號轉換成數位字。每行ADC 118電路可以在單一行上或一組行上進行這種轉換。較佳實施例基於速率的考量，是使用8位元的類比到數位轉換。該ADC可以用ADC設計技術領域中所熟知的連續近似方式來建構。每一行(或每一組行)的設計能讓像素信號的轉換以平行的方式進行，使得ADC的轉換速率降到線掃描時間。

CDS 116電路與ADC 118電路所需的時序信號是由時序/控制單元60所產生。例如，在傳送閘從像素陣列中起動整列像素之前，每CDS 116進行重置取樣，接著在二極體傳送到每個像素的感測端上後，進行信號取樣。

參閱圖5，顯示出與圖4相類似的本發明實施例，而相同的電路使用相同的參考數號。然而在圖5中，從時序/控制150與定址列中每個像素而來的信號，被加到信號多工器126上，其中該信號被多工處理並傳送到單一或多個高速ADC 128，以進行轉換到數位字的處理。在圖5所示的範例中，實現高速ADC 128所用的類比到數位轉換器的實際數目是很少的(比如該範例中的單一ADC或多個ADC)，轉換速率是正常像素資料速率除以ADC的數目。

本發明所提出的大規模積體化具有電子伸縮影像以及視窗能力的特點。該特點可以用數位介面內的邏輯電路來控制。自由移動模式(原定操作模式)提供全解析度影像，而