



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I484318 B

(45) 公告日：中華民國 104 (2015) 年 05 月 11 日

(21) 申請案號：102104955

(22) 申請日：中華民國 102 (2013) 年 02 月 07 日

(51) Int. Cl. : G06F1/10 (2006.01)

G06F1/04 (2006.01)

H03L7/07 (2006.01)

H03L7/08 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72) 發明人：陳志銘 CHEN, CHIH MING (TW)；陳安忠 CHEN, AN CHUNG (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW 200719154A

TW 201112715A

TW 201201516A

US 2005/0238129A1

審查人員：簡大翔

申請專利範圍項數：16 項 圖式數：6 共 32 頁

(54) 名稱

時脈資料回復電路模組及資料回復時脈的產生方法

CLOCK DATA RECOVERY CIRCUIT MODULE AND METHOD FOR GENERATING DATA RECOVERY CLOCK

(57) 摘要

一種時脈資料回復電路模組，包括時脈資料回復電路、頻率比較電路以及訊號偵測電路。時脈資料回復電路用以根據輸入訊號及時脈訊號來輸出資料回復串流及資料回復時脈。頻率比較電路耦接至時脈資料回復電路。頻率比較電路用以比較資料回復時脈及時脈訊號之間的頻率差值，以根據比較結果來調整時脈訊號之頻率。訊號偵測電路耦接至頻率比較電路。訊號偵測電路用以接收並偵測輸入訊號，並且根據偵測結果來決定是否啟動頻率比較電路。另外，一種資料回復時脈的產生方法亦被提出。

A clock data recovery circuit module including a clock recovery circuit, a frequency comparison circuit and a signal detecting circuit is provided. The clock recovery circuit is configured to outputs a data recovery stream and a data recovery clock based on an input signal and a clock signal. The frequency comparison circuit is coupled to the clock recovery circuit. The frequency comparison circuit is configured to compare a frequency difference between the data recovery clock and the clock signal so as to adjust the frequency of the clock signal based on a comparison result. The signal detecting circuit is coupled to The frequency comparison circuit. The signal detecting circuit is configured to receive and detect the input signal and determines whether to enable the frequency comparison circuit according to the detection result. Furthermore, a method for generating a data recovery clock is also provided.

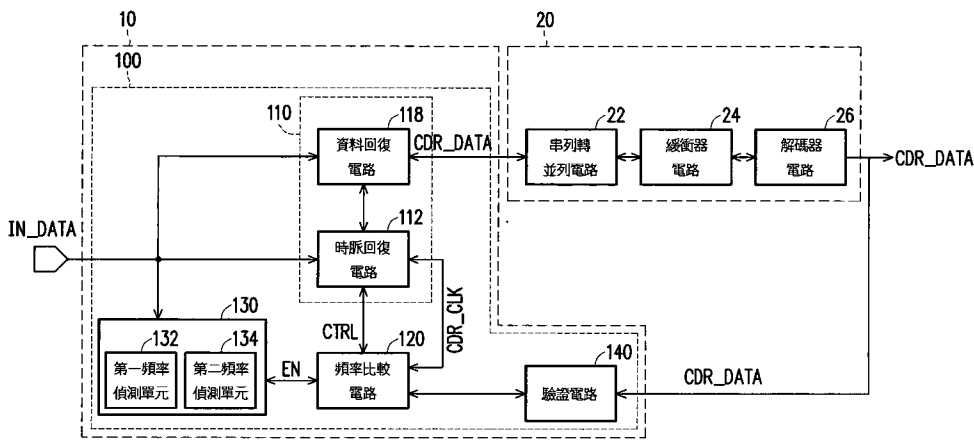


圖 1B

- 10 . . . 資料接收區塊
- 20 . . . 資料處理區塊
- 22 . . . 串列轉並列電路
- 24 . . . 緩衝器電路
- 26 . . . 解碼器電路
- 100 . . . 時脈資料回復電路模組
- 110 . . . 時脈資料回復電路
- 112 . . . 時脈回復電路
- 118 . . . 資料回復電路
- 120 . . . 頻率比較電路
- 130 . . . 訊號偵測電路
- 132 . . . 第一頻率偵測單元
- 134 . . . 第二頻率偵測單元
- 140 . . . 驗證電路
- CTRL . . . 控制訊號
- CDR_CLK . . . 資料回復時脈
- CDR_DATA . . . 資料回復串流
- IN_DATA . . . 輸入訊號

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 102104955

G06F 1/00 (2006.01)

※申請日： 102.2.07

※IPC 分類： 4/09 (2006.01)

H03L 7/07 (2006.01)
2/08 (2006.01)

一、發明名稱：

時脈資料回復電路模組及資料回復時脈的產生方法 /

CLOCK DATA RECOVERY CIRCUIT MODULE AND
METHOD FOR GENERATING DATA RECOVERY
CLOCK

二、中文發明摘要：

一種時脈資料回復電路模組，包括時脈資料回復電路、頻率比較電路以及訊號偵測電路。時脈資料回復電路用以根據輸入訊號及時脈訊號來輸出資料回復串流及資料回復時脈。頻率比較電路耦接至時脈資料回復電路。頻率比較電路用以比較資料回復時脈及時脈訊號之間的頻率差值，以根據比較結果來調整時脈訊號之頻率。訊號偵測電路耦接至頻率比較電路。訊號偵測電路用以接收並偵測輸入訊號，並且根據偵測結果來決定是否啟動頻率比較電路。另外，一種資料回復時脈的產生方法亦被提出。

三、英文發明摘要：

A clock data recovery circuit module including a clock recovery circuit, a frequency comparison circuit and a signal

detecting circuit is provided. The clock recovery circuit is configured to outputs a data recovery stream and a data recovery clock based on an input signal and a clock signal. The frequency comparison circuit is coupled to the clock recovery circuit. The frequency comparison circuit is configured to compare a frequency difference between the data recovery clock and the clock signal so as to adjust the frequency of the clock signal based on a comparison result. The signal detecting circuit is coupled to The frequency comparison circuit. The signal detecting circuit is configured to receive and detect the input signal and determines whether to enable the frequency comparison circuit according to the detection result. Furthermore, a method for generating a data recovery clock is also provided.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1B

(二) 本代表圖之元件符號簡單說明：

10：資料接收區塊

20：資料處理區塊

22：串列轉並列電路

24：緩衝器電路

26：解碼器電路

100：時脈資料回復電路模組

110：時脈資料回復電路

112：時脈回復電路

118：資料回復電路

120：頻率比較電路

130：訊號偵測電路

132：第一頻率偵測單元

134：第二頻率偵測單元

140：驗證電路

CTRL：控制訊號

CDR_CLK：資料回復時脈

CDR_DATA：資料回復串流

IN_DATA：輸入訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種資料處理電路及訊號產生方法，且特別是有關於一種時脈資料回復電路模組及資料回復時脈的產生方法。

【先前技術】

一般而言，在資料傳輸界面的訊號接收端，通常會配配時脈資料回復電路，其會依據資料回復時脈來回復所接收的輸入訊號，而產生重新計時過的 (retimed) 資料串流。在某些特定的規格中，為確保時脈資料回復電路所回復的資料之準確性，重新計時過的資料串流的顫動 (jitter) 不能過大。因此，在訊號接收端，搭配鎖相迴路所使用的振盪器通常是晶體振盪器，以滿足準確性的要求。此晶體振盪器所產生的參考時脈之頻率相較於輸入訊號的頻率的誤差必須小於某個範圍內。以第三代通用串列匯流排 (Universal Serial Bus 3.0; USB 3.0) 的規格為例，參考時脈之頻率與輸入訊號的頻率之間的誤差必須小於 300 ppm (註：一 ppm 等於百萬分之一)。雖然商用的晶體振盪器可產生頻率誤差低於正負 100ppm 的時脈訊號，而可作為理想的時脈訊號源，但這種晶體振盪器的價格昂貴，且會占據較大的電路板空間。

為了節省成本與電路板空間，習知技術提出了利用自動追蹤 (auto-tracking) 資料回復時脈頻率的方式來提供鎖

相迴路準確性高的參考時脈。然而，此種方式在 USB 建立通訊連結(link)的過程中，或者處於低功率模式(low power mode)操作時，若仍持續追蹤資料回復時脈，將容易降低參考時脈頻率的準確性。

【發明內容】

本發明提供一種時脈資料回復電路模組，可動態決定是否進行頻率追蹤(tracking)。

本發明提供一種資料回復時脈的產生方法，可根據輸入訊號來決定是否產生資料回復時脈。

本發明提供一種時脈資料回復電路模組，包括一時脈資料回復電路、一頻率比較電路以及一訊號偵測電路。時脈資料回復電路用以根據一輸入訊號及一時脈訊號來輸出一資料回復串流及一資料回復時脈。頻率比較電路耦接至時脈資料回復電路。頻率比較電路用以比較資料回復時脈及時脈訊號之間的頻率差值，以根據一比較結果來調整時脈訊號之頻率。訊號偵測電路耦接至頻率比較電路。訊號偵測電路用以接收並偵測輸入訊號，並且根據偵測結果來決定是否啟動頻率比較電路。

在本發明一實施例中，上述之訊號偵測電路包括一第一頻率偵測單元以及一第二頻率偵測單元。第一頻率偵測單元用以接收並偵測輸入訊號是否包括一第一頻率之資料。第二頻率偵測單元用以接收並偵測輸入訊號是否包括一不小於一第二頻率之資料。第二頻率大於第一頻率。

在本發明一實施例中，當訊號偵測電路偵測到輸入訊號包括不小於第二頻率之資料時，啟動頻率比較電路。

在本發明一實施例中，當訊號偵測電路偵測到輸入訊號包括第一頻率之資料時，不啟動頻率比較電路。

在本發明一實施例中，上述之輸入訊號包括一電氣閒置狀態。當訊號偵測電路偵測到輸入訊號處於電氣閒置狀態時，不啟動頻率比較電路。

在本發明一實施例中，上述之時脈資料回復電路包括一時脈回復電路以及一資料回復電路。時脈回復電路用以根據輸入訊號及時脈訊號來產生資料回復時脈。資料回復電路用以根據輸入訊號來產生資料回復串流。

在本發明一實施例中，上述之時脈回復電路包括一時脈產生電路以及一頻率產生電路。時脈產生電路耦接至頻率產生電路。時脈產生電路用以根據輸入訊號及時脈訊號來產生資料回復時脈。頻率產生電路耦接至頻率比較電路。頻率產生電路用以根據一參考時脈來產生時脈訊號。頻率比較電路根據比較結果輸出一控制訊號，以調整頻率產生電路所產生的時脈訊號之頻率。

在本發明一實施例中，上述之頻率產生電路包括一鎖相迴路電路以及一參考時脈產生電路。鎖相迴路電路耦接至頻率比較電路。鎖相迴路電路受控於控制訊號，用以根據控制訊號與參考時脈來產生時脈訊號。參考時脈產生電路耦接至鎖相迴路電路。參考時脈產生電路用以產生並輸出參考時脈。

在本發明一實施例中，上述之時脈資料回復電路輸出資料回復串流及資料回復時脈至一資料處理區塊。資料處理區塊包括一緩衝器電路及一解碼器電路。解碼器電路用以解碼資料回復串流。緩衝器電路用以儲存資料回復串流。頻率比較電路耦接至緩衝器電路。當頻率比較電路被啟動時，緩衝器電路輸出資料回復串流至解碼器電路。

在本發明一實施例中，上述之時脈資料回復電路模組更包括一驗證電路。驗證電路耦接至解碼器電路，用以驗證經過解碼器電路解碼之資料回復串流，並於發現資料回復串流之錯誤位元超過一門檻值後，暫停頻率比較電路比較資料回復時脈及時脈訊號之間的頻率差值之操作。

本發明提供一種資料回復時脈的產生方法，包括如下步驟。偵測一輸入訊號，以根據偵測結果來決定是否比較一資料回復時脈及一時脈訊號之間的頻率差值。比較資料回復時脈及時脈訊號之間的頻率差值。根據資料回復時脈及時脈訊號之比較結果來調整時脈訊號之頻率。

在本發明一實施例中，上述之資料回復時脈的產生方法更包括如下步驟。根據輸入訊號及時脈訊號來產生資料回復時脈及資料回復串流至少其中之一。

在本發明一實施例中，上述之偵測輸入訊號的步驟包括如下步驟。偵測輸入訊號是否包括一第一頻率之資料。偵測輸入訊號是否包括一不小於一第二頻率之資料。第二頻率大於第一頻率。

在本發明一實施例中，當偵測到輸入訊號包括不小於

第二頻率之資料時，執行比較資料回復時脈及時脈訊號之間的頻率差值的步驟。

在本發明一實施例中，當偵測到輸入訊號包括第一頻率之資料時，不執行比較資料回復時脈及時脈訊號之間的頻率差值的步驟。

在本發明一實施例中，上述之輸入訊號包括一電氣閒置狀態。偵測輸入訊號的步驟包括偵測輸入訊號是否處於電氣閒置狀態。當偵測到輸入訊號處於電氣閒置狀態時，不執行比較資料回復串流及時脈訊號之間的頻率差值的步驟。

在本發明一實施例中，上述之資料回復時脈的產生方法更包括根據一參考時脈來產生時脈訊號。調整時脈訊號之頻率的步驟包括根據比較結果輸出一控制訊號，以調整時脈訊號之頻率。

在本發明一實施例中，上述之資料回復時脈的產生方法更包括如下步驟。解碼資料回復串流。驗證經過解碼之資料回復串流，並於資料回復串流之錯誤位元數超過一門檻值後，暫停比較資料回復時脈及時脈訊號之間的頻率差值。

基於上述，在本發明之範例實施例中，訊號偵測電路會根據是否偵測到輸入訊號的目標訊號來不啟動或啟動頻率比較電路，因此可動態決定是否要進行頻率追蹤的操作。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

以下提出多個實施例來說明本發明，然而本發明不僅限於所例示的多個實施例。又實施例之間也允許有適當的結合。在本案說明書全文(包括申請專利範圍)中所使用的「耦接」一詞可指任何直接或間接的連接手段。舉例而言，若文中描述第一裝置耦接於第二裝置，則應該被解釋成該第一裝置可以直接連接於該第二裝置，或者該第一裝置可以透過其他裝置或某種連接手段而間接地連接至該第二裝置。此外，「訊號」一詞可指至少一電流、電壓、電荷、溫度、資料、或任何其他一或多個訊號。

請參考圖 1A 及 1B，圖 1A 繪示本發明一範例實施例之時脈資料回復電路模組的概要方塊圖，圖 1B 繪示本發明一範例實施例之記憶體儲存裝置的訊號接收端的概要方塊圖。本範例實施例之訊號接收端的電路架構包括資料接收區塊 10 以及資料處理區塊 20。一般而言，當記憶體儲存裝置透過資料傳輸介面接收來自主機系統或其他元件所傳遞的輸入訊號 IN_DATA 時，通常會利用資料接收區塊 10 先對所輸入的輸入訊號 IN_DATA 進行資料同步的處理，其目的主要是為了使輸入訊號 IN_DATA 所搭載的資料訊號可與訊號接收端的操作時脈同步，以避免後端的資料處理區塊 20 在處理資料時產生錯誤。

在本範例實施例中，資料接收區塊 10 包括時脈資料回復電路模組 100，用以使輸入訊號 IN_DATA 所搭載的

資料訊號與訊號接收端的操作時脈同步。本範例實施例之時脈資料回復電路模組 100 包括時脈資料回復電路 110、頻率比較電路 120 以及訊號偵測電路 130，如圖 1A 所示。圖 1B 進一步揭露應用在資料接收區塊 10 時，時脈資料回復電路模組 100 內部各電路區塊的詳細實施方式。具體而言，時脈資料回復電路 110 用以根據輸入訊號 IN_DATA 及其內部的時脈訊號來產生資料回復串流 CDR_DATA 及資料回復時脈 CDR_CLK，分別輸出給頻率比較電路 120 以及資料處理區塊 20。在此例中，時脈資料回復電路 110 包括時脈資料電路 112 及資料回復電路 118。時脈資料電路 112 可對輸入訊號 IN_DATA 進行時脈回復(clock recovery)的操作，以使資料回復串流 CDR_DATA 及資料回復時脈 CDR_CLK 操作在較為正確的頻率。

頻率比較電路 120 耦接至時脈資料回復電路 110。頻率比較電路 120 用以比較資料回復串流 CDR_DATA 及時脈回復電路 112 內部的時脈訊號之間的頻率差值，以根據比較結果來調整時脈訊號之頻率。在此例中，時脈訊號例如是由時脈回復電路 112 內部的鎖相迴路(phase lock loop, PLL)電路區塊所產生，而頻率比較電路 120 可利用控制訊號 CTRL 來控制 PLL 電路區塊，以調整其所產生的時脈訊號之頻率。在另一範例實施例中，時脈回復電路 112 內部的 PLL 電路區塊也可以是獨立於時脈資料回復電路 110 的一個電路模組。

訊號偵測電路 130 耦接至頻率比較電路 120。訊號偵

測電路 130 用以偵測輸入訊號 IN_DATA，並且根據偵測結果來決定是否啟動頻率比較電路 120 以對時脈訊號之頻率進行調整。在此例中，訊號偵測電路 130 利用開關訊號 EN 來禁能或致能頻率比較電路 120。

在本範例實施例中，輸入訊號 IN_DATA 例如主要可包括第一頻率之資料、不小於第二頻率之資料與電氣閒置狀態。所述不小於第二頻率之資料在本範例實施例中係作為頻率比較電路 120 追蹤的目標。因此，當訊號偵測電路 130 偵測到輸入訊號 IN_DATA 中的目標訊號時，會啟動頻率比較電路 120，以使其輸出控制訊號 CTRL 來調整時脈訊號之頻率。相對的，當訊號偵測電路 130 偵測到的是輸入訊號 IN_DATA 中的第一頻率之資料，或輸入訊號 IN_DATA 是處於電氣閒置狀態時，不會啟動頻率比較電路 120，以避免輸入訊號 IN_DATA 的第一頻率之資料以及處於電氣閒置狀態的輸入訊號 IN_DATA 作為頻率比較電路 120 追蹤的目標。其中，在本範例實施例中，此第一頻率是一小於第二頻率之頻率。

在本範例實施例中，訊號偵測電路 130 包括第一頻率偵測單元 132 及第二頻率偵測單元 134，彼此耦接，分別用以接收並偵測輸入訊號 IN_DATA 是否包括第一頻率之資料及不小於第二頻率之資料。在此例中，第一頻率之資料例如是輸入訊號 IN_DATA 的低頻率周期訊號 LFPS (low frequency period signal)，第一頻率偵測單元 132 可以是低頻的靜噪偵測電路 (squelch detector)。第二頻率成分例

如輸入訊號 IN_DATA 的資料內容，其做為進行頻率追蹤時的目標訊號，其頻率一般為 5 吉赫 (Gigahertz, GHz)。因此，在本範例實施例中，第二頻率大於第一頻率。第二頻率偵測單元 134 可以是高速靜噪偵測電路，用以偵測輸入訊號 IN_DATA 是否包括不小於第二頻率之資料。

另一方面，在接收到輸入訊號 IN_DATA、資料回復串流 CDR_DATA 及資料回復時脈 CDR_CLK 之後，資料回復電路 118 會根據輸入訊號 IN_DATA 及資料回復時脈 CDR_CLK 對資料回復串流 CDR_DATA 進行資料回復 (data recovery) 的操作，並將處理後的資料回復串流 CDR_DATA 傳遞至串列轉並列電路 22。接著，串列轉並列電路 22 將轉成並列格式的資料回復串流 CDR_DATA 輸出至緩衝器電路 24 儲存。之後，資料回復串流 CDR_DATA 再輸出至解碼器電路 26 進行解碼。

在另一範例實施例中，頻率比較電路 120 也可控制緩衝器電路 24 的存取操作。舉例而言，頻率比較電路 120 可控制緩衝器電路 24 在訊號偵測電路 130 啟動頻率比較電路 120 後才輸出資料回復串流 CDR_DATA 至解碼器電路 26 進行解碼。

在本範例實施例中，作為所述記憶體儲存裝置的輸入輸出介面的傳輸介面之標準包括序列先進附件 (Serial Advanced Technology Attachment, SATA) 標準、電氣和電子工程師協會 (Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面

(Peripheral Component Interconnect Express, PCI Express) 標準、通用序列匯流排(Universal Serial Bus, USB) 標準、安全數位(Secure Digital, SD)介面標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE) 標準或其他適合的標準。

圖 2 及圖 3 分別繪示本發明不同範例實施例之輸入訊號的概要波形圖。請參考圖 2 及圖 3，在本範例實施例中，以 USB 3.0 標準為例，輸入訊號 IN_DATA 通常包括低頻率周期訊號 LFPS (low frequency period signal)、資料訊號 DATA 以及電氣閒置狀態。低頻率周期訊號 LFPS 例如是輸入訊號 IN_DATA 中具有第一頻率之資料，其可以連續或不連續的方式分布在輸入訊號 IN_DATA 中，分別如圖 2 及圖 3 所示。低頻率周期訊號 LFPS 為低頻訊號，其周期大約介在 20 奈秒(nanosecond, ns)至 100ns 之間。在本範例實施例中，資料訊號 DATA 例如是輸入訊號 IN_DATA 中具有第二頻率之資料，頻率比較電路 120 係以資料訊號 DATA 做為進行頻率追蹤時的目標訊號，其頻率一般為 5 吉赫 (Gigahertz, GHz)。因此，當所述記憶體儲存裝置在通訊連結的建立過程中，或者處於低功率模式時，輸入訊號 IN_DATA 會包括低頻率周期訊號 LFPS 與電氣閒置狀態。本範例實施例之訊號偵測電路 130 會偵測輸入訊號 IN_DATA 的低頻率周期訊號 LFPS 與電氣閒置狀態，並且

利用開關訊號 EN 來暫時不啟動頻率比較電路 120，以維持頻率追蹤的準確性。

在此例中，開關訊號 EN 為高準位時，用以啟動頻率比較電路 120，反之，開關訊號 EN 為低準位時，用以不啟動頻率比較電路 120，惟本發明並不加以限制，在另一範例實施例中，低準位的開關訊號 EN 也可用以啟動頻率比較電路 120，高準位的開關訊號 EN 也可用以不啟動頻率比較電路 120。此外，在本範例實施例中，當頻率比較電路 120 被啟動時，訊號偵測電路 130 可被關閉，以暫時停止運作。

此外，在本範例實施例中，時脈資料回復電路模組 100 更包括驗證電路 140。驗證電路 140 也可用以暫停頻率比較電路 120 之運作。具體而言，若解碼器電路 26 解碼出之資料經驗證電路 140 之檢驗後，驗證電路 140 發現經解碼之資料回復串流 CDR_DATA 的錯誤位元超過一門檻值時，此時可視為資料回復串流 CDR_DATA 遭受一雜訊干擾。因此，為了防止原先追蹤後所得之穩定頻率漂移，此時驗證電路 140 亦會將頻率比較電路 120 暫停，藉此維持原有之時脈訊號。

另外，在本發明一範例實施例中，時脈資料回復電路模組 100 可應用在有線連結通訊系統 (wire-linked communication system) 中，而輸入訊號 IN_DATA 可為序列 (serial) 資料串流，時脈資料回復電路模組 100 可藉由單一通道接收輸入訊號 IN_DATA。但本發明不以此為限，在

另一範例實施例中，時脈資料回復電路模組 100 亦可應用在一無線通訊系統，而輸入訊號 IN_DATA 亦可為並列資料串流。

請參考圖 4，圖 4 繪示本發明另一範例實施例之記憶體儲存裝置的訊號接收端的概要方塊圖，其進一步揭露時脈回復電路 412 的內部架構。在本範例實施例中，時脈回復電路 412 包括時脈產生電路 416 以及頻率產生電路 414。頻率產生電路 414 包括鎖相迴路電路 413 以及參考時脈產生電路 415。其中，在本範例實施例中，參考時脈產生電路 415 可為哈特萊振盪器(Hartley Oscillator)、考畢茲振盪器(Colpitts Oscillator)、克拉普振盪器(Clapp Oscillator)振盪器、相移振盪器、電阻電容振盪器(RC Oscillator)、電感電容振盪器(LC Oscillator)或其他不為石英振盪器之振盪器。參考時脈產生電路 415 耦接至鎖相迴路電路 413。參考時脈產生電路 415 用以產生並輸出參考時脈 CLK_REF 至鎖相迴路電路 413。其中，在本範例實施例中，由於參考時脈產生電路 415 為一不具有石英振盪器之振盪器，故其提供之時脈訊號 CLK 較不精確，尚需利用時脈產生電路 416 由輸入訊號 IN_DATA 中所獲得之資料回復時脈 CDR_CLK 經由頻率比較電路 420 對其進行校正，而後可自行產出較精確的時脈訊號 CLK。如此，即便時脈回復電路 412 無接收一具有資料訊號 DATA 的輸入訊號 IN_DATA，亦可產出精確的時脈訊號 CLK。鎖相迴路電路 413 耦接至頻率比較電路 420。鎖相迴路電路 413 受控於控

制訊號 CTRL 用以根據參考時脈 CLK_REF 來產生時脈訊號 CLK 至時脈產生電路 416。時脈產生電路 416 耦接至頻率產生電路 414。時脈產生電路 416 用以根據時脈訊號 CLK 來對輸入訊號 IN_DATA 進行時脈回復的操作，以產生資料回復時脈 CDR_CLK。在此例中，為了使頻率比較電路 420 可進行自動頻率追蹤的操作，時脈產生電路 416 會將資料回復時脈 CDR_CLK 輸出至頻率比較電路 420，作為比較的參考。

因此，在本發明之一範例實施例中，資料接收區塊 10 接收輸入訊號 IN_DATA，訊號偵測電路 430 偵測輸入訊號 IN_DATA 是否包括目標訊號，例如是否包括不小於第二頻率之資料訊號 DATA。若是，訊號偵測電路 430 啟動頻率比較電路 420 進行頻率自動追蹤的操作。另一方面，當輸入訊號 IN_DATA 輸入時，資料訊號 DATA 會分別被傳遞至時脈回復電路 412 及資料回復電路 118，以產生資料回復時脈 CDR_CLK 及資料回復串流 CDR_DATA。另外，在本揭露中，鎖相迴路電路 413 的時脈訊號例如是利用電阻電容振盪器(RC oscillator)來產生。時脈資料回復電路模組 400 透過頻率比較電路 420，利用資料回復時脈 CDR_CLK 之頻率來校正鎖相迴路電路 413 的時脈訊號 CLK。其校正方式包括調整鎖相迴路電路 413 內部之倍頻器倍數或頻率產生電路 414 之振盪頻率，以使鎖相迴路電路 413 產生一個較為準確的時脈訊號 CLK。在資料接收區塊 10 沒有接收到資料訊號 DATA 時，時脈資料回復電路

模組 400 也可利用此較為準確的時脈訊號 CLK 來作為同步頻率之訊號。

圖 5 繪示本發明一範例實施例之資料回復時脈產生方法的概要流程圖。請參考圖 1B 及圖 5，在本範例實施例中，在步驟 S500 中，訊號偵測電路 130 偵測輸入訊號 IN_DATA，以根據偵測結果來決定是否比較資料回復時脈 CDR_CLK 及時脈訊號 CLK 之間的頻率差值。接著，在步驟 S510 中，頻率比較電路 120 比較資料回復時脈 CDR_CLK 及時脈訊號 CLK 之間的頻率差值。之後，在步驟 S520 中，頻率比較電路 120 根據資料回復時脈 CDR_CLK 及時脈訊號 CLK 之比較結果來調整時脈訊號 CLK 之頻率。繼之，在步驟 S530 中，時脈資料回復電路 110 根據輸入訊號 IN_DATA 及時脈訊號 CLK 來產生資料回復時脈 CDR_CLK 及資料回復串流 CDR_DATA 兩者至少其中之一。

圖 6 繪示本發明另一範例實施例之資料回復時脈產生方法的概要流程圖。請參考圖 1B 及圖 6，在本範例實施例中，在步驟 S600 中，訊號偵測電路 130 首先偵測是否已接收到輸入訊號 IN_DATA 的目標訊號。在此例中，輸入訊號 IN_DATA 的目標訊號例如是頻率較高的第二頻率成分，即圖 2 或圖 3 之資料訊號 DATA。若偵測到此目標訊號，在步驟 S610 中，訊號偵測電路 130 會啟動頻率比較電路 120，以使頻率比較電路 120 比較資料回復時脈 CDR_CLK 及時脈訊號 CLK 之間的頻率差值，進行頻率追

蹤功能，如步驟 S620 所示，從而在步驟 S630 中，頻率比較電路 120 會根據比較結果來調整時脈訊號 CLK 之頻率。接著，在步驟 S660 中，時脈資料回復電路 110 會根據輸入訊號 IN_DATA 及已調整的時脈訊號 CLK 來產生資料回復串流 CDR_DATA 及資料回復時脈 CDR_CLK 兩者至少其中之一。在此步驟中，已調整的時脈訊號 CLK 較原先調整前的時脈訊號 CLK 為更準確的時脈訊號。

此外，在另一範例實施例中，若解碼器電路 26 解碼出之資料經驗證電路 140 之檢驗後，驗證電路 140 發現經解碼之資料回復串流 CDR_DATA 的錯誤位元超過一門檻值時，此時可視為資料回復串流 CDR_DATA 遭受一雜訊干擾。因此，為了防止原先追蹤後所得之穩定頻率漂移，此時驗證電路 140 亦會將頻率比較電路 120 暫停，藉此維持原有之時脈訊號。

另一方面，在步驟 S600 中，若訊號偵測電路 130 沒有偵測輸入訊號 IN_DATA 的目標訊號時，例如偵測到非目標訊號或電氣閒置狀態，在步驟 S640 中，訊號偵測電路 130 不會啟動頻率比較電路 120，以使頻率比較電路 120 停止工作，不進行頻率追蹤，如步驟 S650 所示。

另外，上述圖 5 及圖 6 揭露之範例實施例的資料回復時脈產生方法可以由圖 1A 至圖 4 實施例之敘述中獲致足夠的教示、建議與實施說明，因此不再贅述。

綜上所述，在本發明之範例實施例中，當訊號偵測電路偵測到輸入訊號中的目標訊號時，會啟動頻率比較電

路，以進行頻率自動追蹤的功能。反之，當訊號偵測電路偵測到非目標訊號時，會暫時不啟動頻率比較電路，以維持頻率追蹤的準確性。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 繪示本發明一範例實施例之時脈資料回復電路模組的概要方塊圖

圖 1B 繪示本發明一範例實施例之記憶體儲存裝置的訊號接收端的概要方塊圖。

圖 2 及圖 3 分別繪示本發明不同範例實施例之輸入訊號的概要波形圖。

圖 4 繪示本發明另一範例實施例之記憶體儲存裝置的訊號接收端的概要方塊圖。

圖 5 繪示本發明一範例實施例之資料回復時脈產生方法的概要流程圖。

圖 6 繪示本發明另一範例實施例之資料回復時脈產生方法的概要流程圖。

【主要元件符號說明】

10：資料接收區塊

- 20：資料處理區塊
- 22：串列轉並列電路
- 24：緩衝器電路
- 26：解碼器電路
- 100、400：時脈資料回復電路模組
- 110、410：時脈資料回復電路
- 112、412：時脈回復電路
- 118、418：資料回復電路
- 120、420：頻率比較電路
- 130、430：訊號偵測電路
- 132：第一頻率偵測單元
- 134：第二頻率偵測單元
- 140、440：驗證電路
- 413：鎖相迴路電路
- 414：頻率產生電路
- 415：參考時脈產生電路
- 416：時脈產生電路
- CLK：時脈訊號
- CLK_REF：參考時脈
- CDR_CLK：資料回復時脈
- CDR_DATA：資料回復串流
- LFPS：低頻率周期訊號
- DATA：資料訊號
- IN_DATA：輸入訊號

修正替換頁
103年11月28日

EN：開關訊號

CTRL：控制訊號

S500、S510、S520、S530、S600、S610、S620、S630、
S640、S650、S660：方法步驟

102年11月28日修(更)正

七、申請專利範圍：

1. 一種時脈資料回復電路模組，包括：

一時脈資料回復電路，用以根據一輸入訊號及一時脈訊號來輸出一資料回復串流及一資料回復時脈；

一頻率比較電路，耦接至該時脈資料回復電路，用以比較該資料回復時脈及該時脈訊號之間的頻率差值，以根據一比較結果來調整該時脈訊號之頻率；以及

一訊號偵測電路，耦接至該頻率比較電路，用以接收並偵測該輸入訊號，並且根據該偵測結果來決定是否啟動該頻率比較電路，

其中該訊號偵測電路包括：

一第一頻率偵測單元，用以接收並偵測該輸入訊號是否包括一第一頻率之資料；以及

一第二頻率偵測單元，用以接收並偵測該輸入訊號是否包括一不小於一第二頻率之資料，

其中該第二頻率大於該第一頻率。

2. 如申請專利範圍第 1 項所述之時脈資料回復電路模組，其中當該訊號偵測電路偵測到該輸入訊號包括該不小於該第二頻率之資料時，啟動該頻率比較電路。

3. 如申請專利範圍第 1 項所述之時脈資料回復電路模組，其中當該訊號偵測電路判斷該輸入訊號包括該第一頻率之資料時，不啟動該頻率比較電路。

4. 如申請專利範圍第 1 項所述之時脈資料回復電路模組，其中當該訊號偵測電路判斷該輸入訊號為一電氣閒

置狀態訊號時，不啟動該頻率比較電路。

5. 如申請專利範圍第 1 項所述之時脈資料回復電路模組，其中該時脈資料回復電路包括：

一時脈回復電路，用以根據該輸入訊號及該時脈訊號來產生該資料回復時脈；以及

一資料回復電路，用以根據該輸入訊號來產生該資料回復串流。

6. 如申請專利範圍第 1 項所述之時脈資料回復電路模組，其中該時脈回復電路包括：

一時脈產生電路，耦接至該頻率產生電路，用以根據該輸入訊號及該時脈訊號來產生該資料回復時脈；以及

一頻率產生電路，耦接至該頻率比較電路，用以根據一參考時脈來產生該時脈訊號，

其中該頻率比較電路根據該比較結果輸出一控制訊號，以調整該頻率產生電路所產生的該時脈訊號之頻率。

7. 如申請專利範圍第 6 項所述之時脈資料回復電路模組，其中該頻率產生電路包括：

一鎖相迴路電路，耦接至該頻率比較電路，受控於該控制訊號，用以根據該控制訊號與該參考時脈來產生該時脈訊號；以及

一參考時脈產生電路，耦接至該鎖相迴路電路，用以產生並輸出該參考時脈。

8. 如申請專利範圍第 1 項所述之時脈資料回復電路模組，其中該時脈資料回復電路輸出該資料回復串流及該

資料回復時脈至一資料處理區塊，該資料處理區塊包括一緩衝器電路及一解碼器電路，其中該解碼器電路用以解碼該資料回復串流，該緩衝器電路用以儲存該資料回復串流，該頻率比較電路耦接至該緩衝器電路，當該頻率比較電路被啟動時，該緩衝器電路輸出該資料回復串流至該解碼器電路。

9. 如申請專利範圍第 8 項所述之時脈資料回復電路模組，更包括：

一驗證電路，耦接至該解碼器電路，用以驗證經過該解碼器電路解碼之該資料回復串流，並於發現該資料回復串流之錯誤位元超過一門檻值後，暫停該頻率比較電路比較該資料回復時脈及該時脈訊號之間的頻率差值之操作。

10. 一種資料回復時脈的產生方法，包括：

偵測一輸入訊號，以根據一偵測結果來決定是否比較一資料回復時脈及一時脈訊號之間的頻率差值；

比較該資料回復時脈及該時脈訊號之間的頻率差值；以及

根據該資料回復時脈及該時脈訊號之比較結果來調整該時脈訊號之頻率，

其中偵測該輸入訊號的步驟包括：

偵測該輸入訊號是否包括一第一頻率之資料；以及

偵測該輸入訊號是否包括一不小於一第二頻率之資料，

其中該第二頻率大於該第一頻率。

11. 如申請專利範圍第 10 項所述之資料回復時脈的產生方法，更包括：

根據該輸入訊號及該時脈訊號來產生該資料回復時脈及該資料回復串流至少其中之一。

12. 如申請專利範圍第 10 項所述之資料回復時脈的產生方法，其中當偵測到該輸入訊號包括該不小於該第二頻率之資料時，執行比較該資料回復時脈及該時脈訊號之間的頻率差值的步驟。

13. 如申請專利範圍第 10 項所述之資料回復時脈的產生方法，其中當偵測到該輸入訊號包括該第一頻率之資料時，不執行比較該資料回復時脈及該時脈訊號之間的頻率差值的步驟。

14. 如申請專利範圍第 10 項所述之資料回復時脈的產生方法，其中該輸入訊號包括一電氣閒置狀態，偵測該輸入訊號的步驟包括：

偵測該輸入訊號是否處於該電氣閒置狀態，

其中當偵測到該輸入訊號處於該電氣閒置狀態時，不執行比較該資料回復時脈及該時脈訊號之間的頻率差值的步驟。

15. 如申請專利範圍第 10 項所述之資料回復時脈的產生方法，更包括：

根據一參考時脈來產生該時脈訊號，

其中調整該時脈訊號之頻率的步驟包括：

根據該比較結果輸出一控制訊號，以調整該時脈訊號

之頻率。

16. 如申請專利範圍第 11 項所述之資料回復時脈的產生方法，更包括：

解碼該資料回復串流；以及

驗證經過解碼之該資料回復串流，並於該資料回復串流之錯誤位元數超過一門檻值後，暫停比較該資料回復時脈及該時脈訊號之間的頻率差值。

八、圖式：

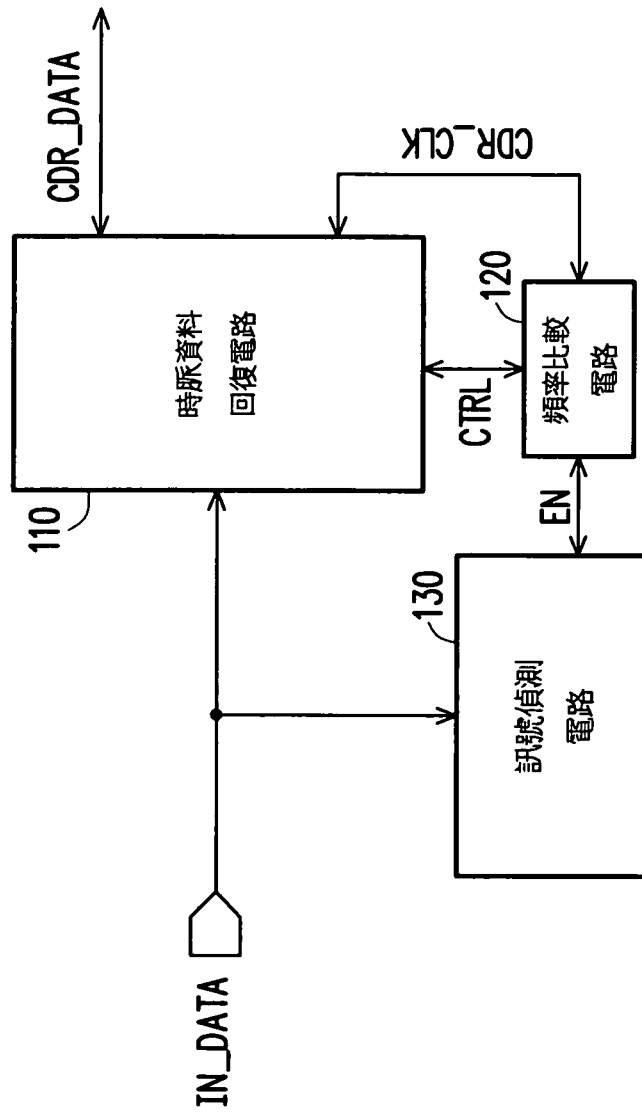


圖1A

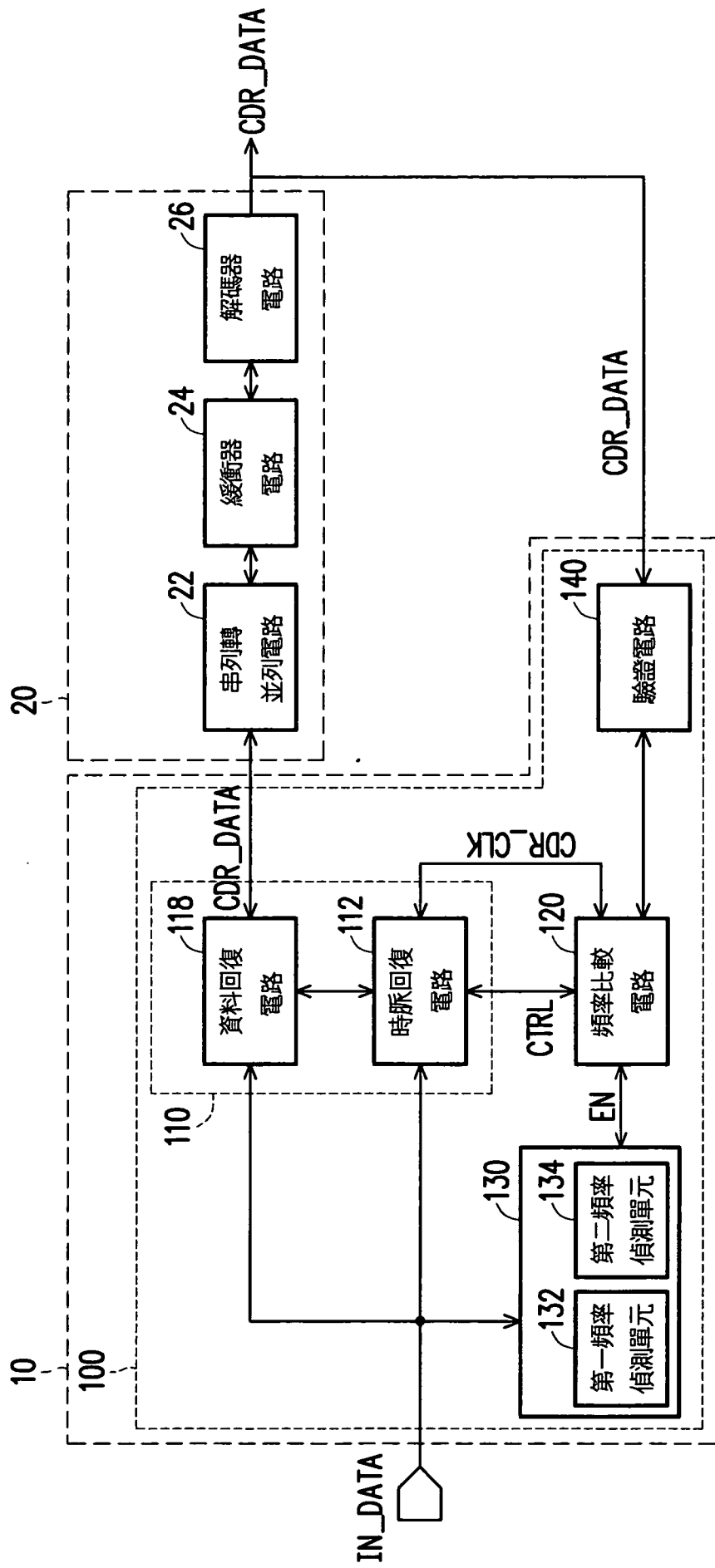


圖1B

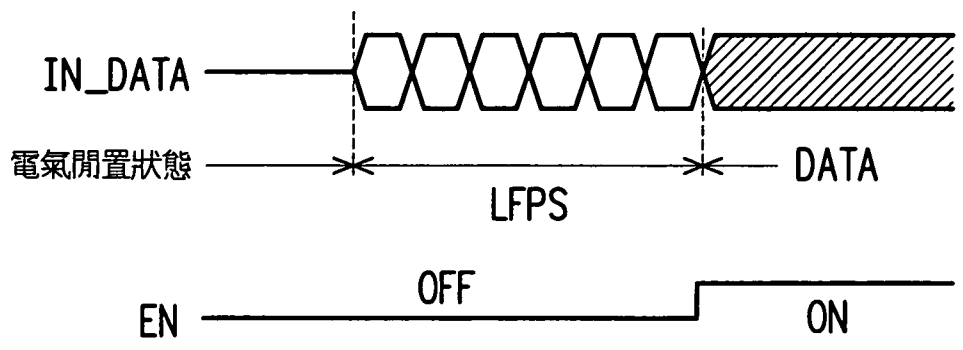


圖 2

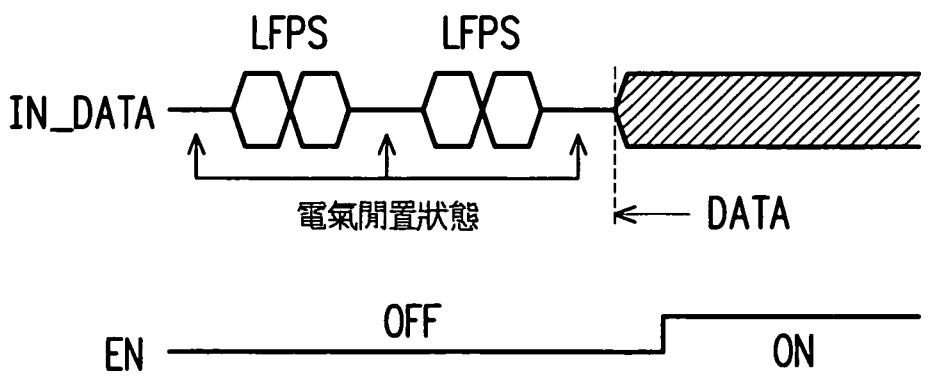


圖 3

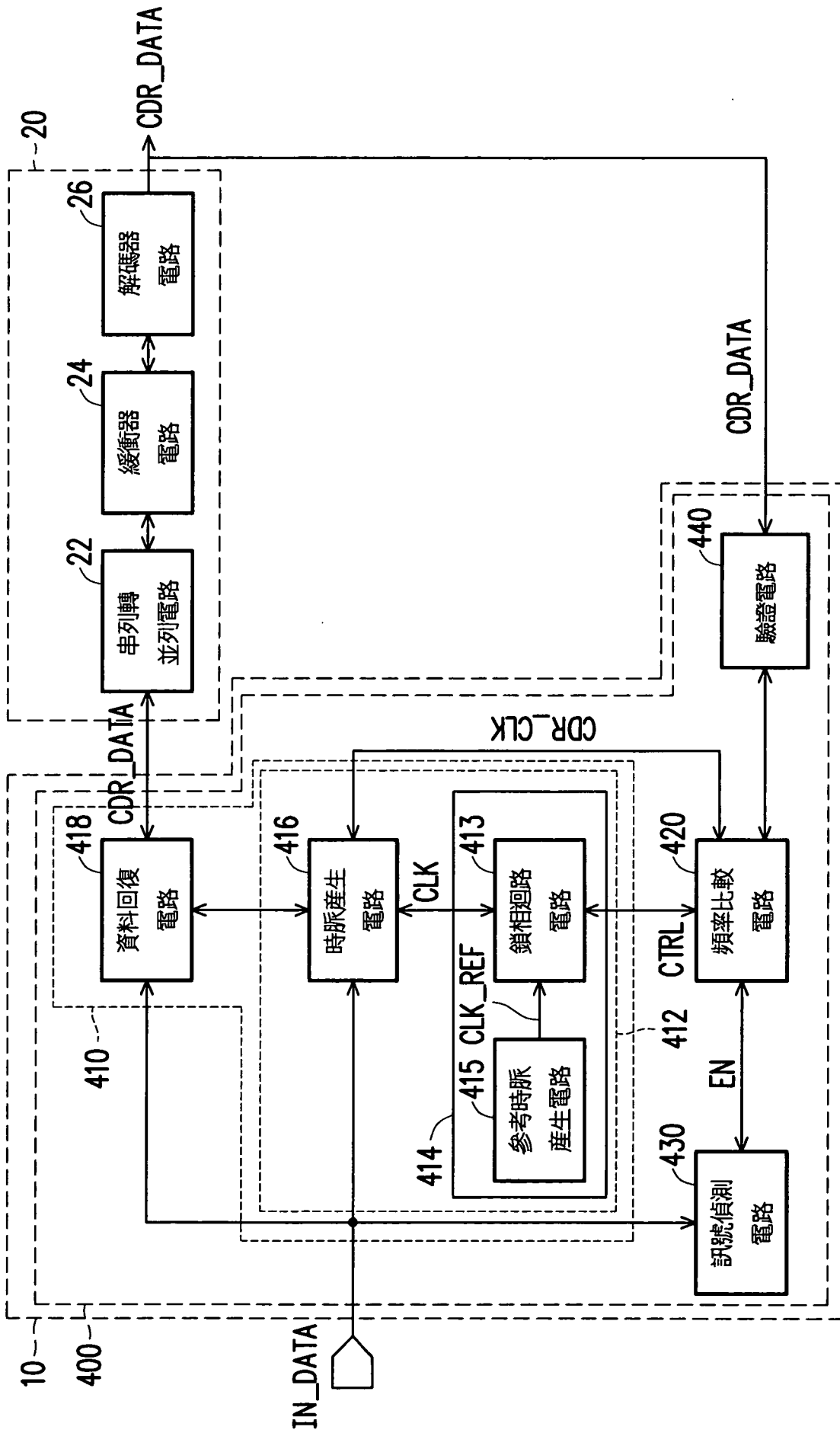


圖4

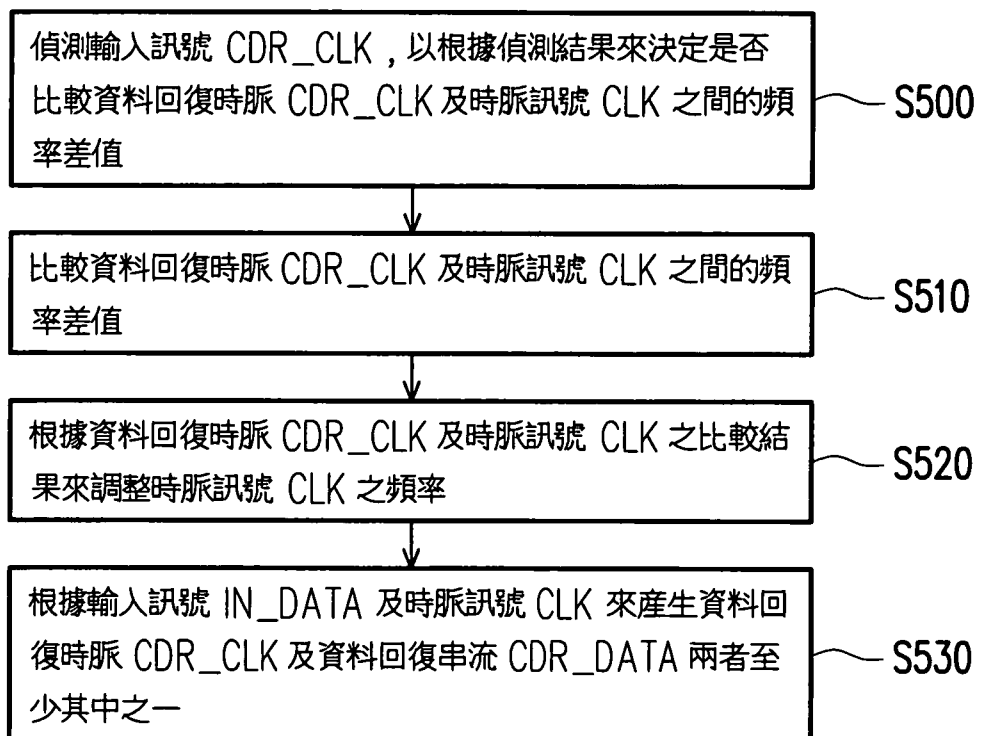


圖 5

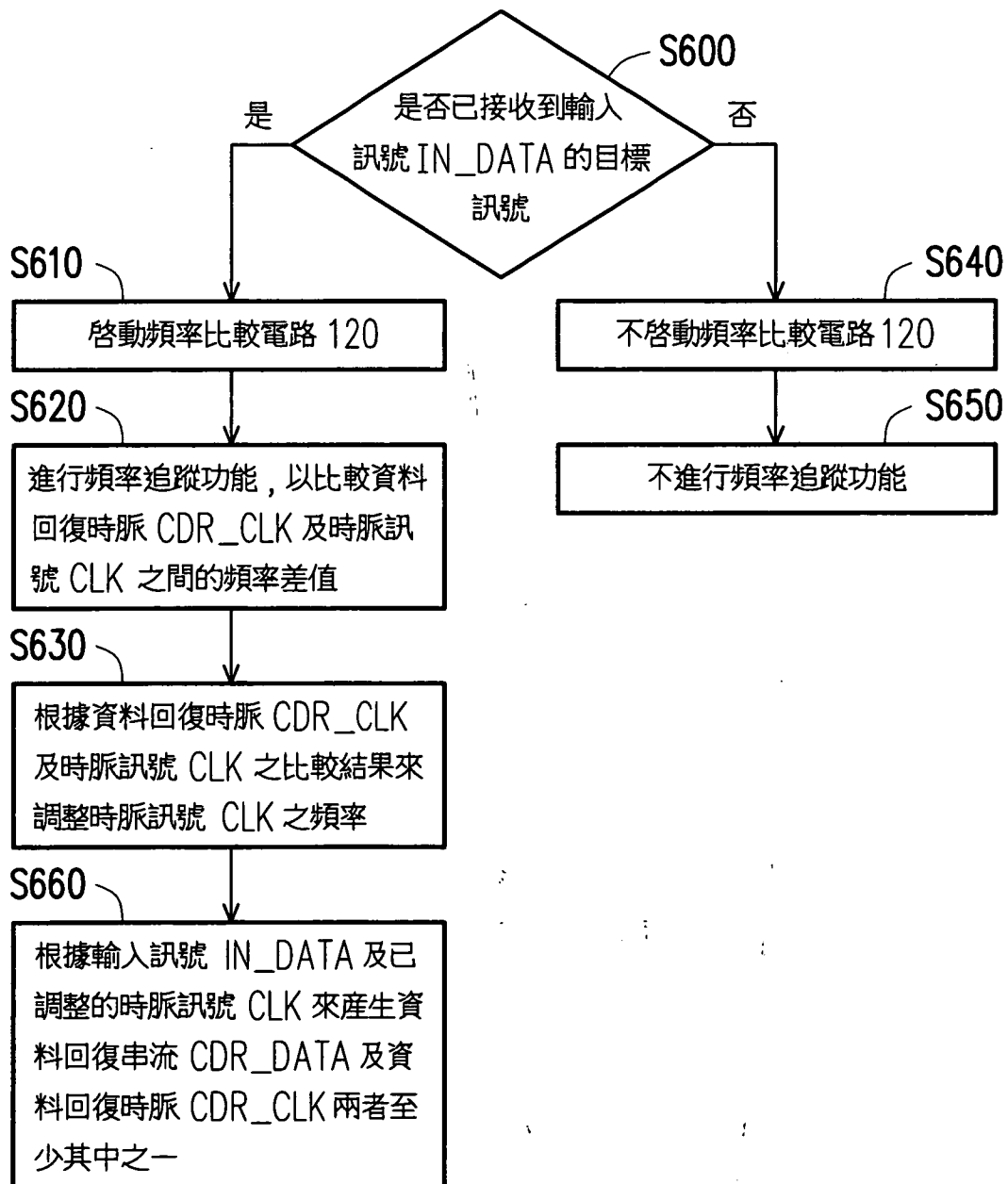


圖 6