



## (12) 发明专利

(10) 授权公告号 CN 102569253 B

(45) 授权公告日 2014. 10. 01

(21) 申请号 201110420964. 8

JP 特开 2007-287908 A, 2007. 11. 01,

(22) 申请日 2011. 12. 15

审查员 吕闾

(30) 优先权数据

2010-283771 2010. 12. 20 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 小仓正德 小林秀央 黑田享裕

(74) 专利代理机构 中国国际贸易促进委员会专  
利商标事务所 11038

代理人 欧阳帆

(51) Int. Cl.

H01L 23/528 (2006. 01)

H01L 27/146 (2006. 01)

(56) 对比文件

CN 101211911 A, 2008. 07. 02,

CN 1725482 A, 2006. 01. 25,

CN 1501487 A, 2004. 06. 02,

US 2010/0102454 A1, 2010. 04. 29,

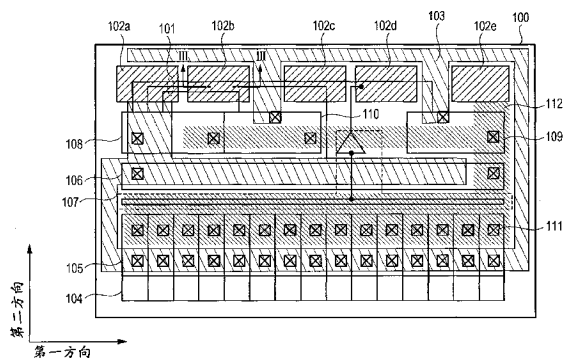
权利要求书4页 说明书12页 附图7页

(54) 发明名称

半导体装置

(57) 摘要

本发明涉及半导体装置。在第一布线层上布置电源布线和焊盘。然后, 电源布线和焊盘被布置为相互不交迭。信号布线被布置在第二布线层上。另一个信号布线被布置在与第二布线层不同的层上。另一个信号布线在焊盘下方被布置为与焊盘交迭。信号布线和另一个信号布线由插塞相互地连接。缓冲部被布置在焊盘和另一个信号布线之间。



1. 一种半导体装置,包括半导体芯片,所述半导体芯片包括:  
多个焊盘,所述多个焊盘包括输入焊盘与输出焊盘;  
第一电路部分;  
第二电路部分;以及  
用于使所述第一电路部分的输出节点与所述第二电路部分的输入节点电连接的布线,  
其中:  
所述第一电路部分和所述第二电路部分被布置在相对于所述多个焊盘的所述半导体芯片的内侧区域中;  
所述布线由导电部件组成;以及  
所述导电部件的至少一部分与所述多个焊盘中的至少一个焊盘交迭;  
所述导电部件包括第一导电部件、第二导电部件以及第三导电部件;  
所述第一导电部件在平面图中与所述至少一个焊盘交迭;  
所述第二导电部件电连接所述第一导电部件和所述输出节点;  
所述第三导电部件电连接所述第一导电部件和所述输入节点;以及  
所述第一导电部件被布置在与所述第二导电部件和所述第三导电部件不同的布线层中。
2. 根据权利要求1所述的半导体装置,还包括:  
缓冲部,其中:  
所述缓冲部被布置在所述第一导电部件与所述至少一个焊盘之间的中间布线层中,并且被布置为在平面图中与所述第一导电部件交迭。
3. 根据权利要求2所述的半导体装置,还包括:  
多个光电转换部分,其中:  
所述多个焊盘沿着第一方向被布置;  
所述多个光电转换部分沿着所述第一方向与所述多个焊盘平行地被布置;  
所述第一电路部分和所述第二电路部分构成用于处理来自所述多个光电转换部分的信号的处理电路;以及  
所述布线传送来自所述多个光电转换部分的信号或者用于驱动所述处理电路的驱动信号。
4. 根据权利要求3所述的半导体装置,其中:  
所述多个焊盘、所述第一电路部分和所述第二电路部分沿着所述第一方向被布置成一直线;以及  
所述至少一个焊盘被布置在所述第一电路部分和所述第二电路部分之间。
5. 根据权利要求3所述的半导体装置,其中:  
所述第一电路部分和所述第二电路部分沿着所述第一方向被布置;以及  
所述第一电路部分和所述第二电路部分被布置在所述多个焊盘和所述多个光电转换部分之间。
6. 根据权利要求3所述的半导体装置,其中:  
所述第二电路部分被布置在所述第一电路部分和所述多个光电转换部分之间;以及  
其中布置有所述第二电路部分的区域的沿着所述第一方向的长度比其中布置有所述

第一电路部分的区域的沿着所述第一方向的长度长。

7. 根据权利要求 3 所述的半导体装置, 其中:

所述第一电路部分被配置为产生时钟信号; 以及  
所述布线传送所述时钟信号。

8. 根据权利要求 3 所述的半导体装置, 还包括:

电源布线, 其中:

所述电源布线由第四导电部件组成;

所述多个焊盘包括与所述第四导电部件电连接的电源焊盘; 以及

所述第四导电部件被布置在与所述多个焊盘相同的层中, 并且被布置为在平面图中不与所述多个焊盘交迭。

9. 根据权利要求 8 所述的半导体装置, 其中:

所述多个焊盘和所述第四导电部件被布置在第一布线层中;

包括在所述布线内的所述第二导电部件和所述第三导电部件被布置在第二布线层中;  
以及

所述缓冲部由与所述布线的所述第三导电部件和所述第二导电部件相同的材料形成, 并且被布置在所述第二布线层中。

10. 根据权利要求 9 所述的半导体装置, 其中所述第一布线层是最上面的布线层, 并且布置在所述第一布线层中的焊盘的厚度比布置在所述第二布线层中的所述缓冲部、所述第三导电部件或者所述第二导电部件的厚度大。

11. 根据权利要求 3 所述的半导体装置, 其中:

所述第一电路部分或者所述第二电路部分包括 MOS 晶体管; 以及

所述 MOS 晶体管的栅极电极以及构成所述布线的所述导电部件的与所述至少一个焊盘交迭的部分被布置在相同的布线层中。

12. 根据权利要求 3 所述的半导体装置, 其中:

所述第一电路部分或者所述第二电路部分包括 MOS 晶体管; 以及

所述 MOS 晶体管的栅极电极以及构成所述布线的所述导电部件的与所述至少一个焊盘交迭的部分由相同的材料形成。

13. 根据权利要求 3 所述的半导体装置, 其中构成所述布线的所述导电部件的与所述至少一个焊盘交迭的部分的宽度比与所述导电部件的与所述至少一个焊盘交迭的部分不同的部分的宽度大。

14. 根据权利要求 3 所述的半导体装置, 其中向所述至少一个焊盘供应的电压变化的时间段与向所述布线供应的电压变化的时间段是不同的时间段。

15. 一种半导体装置, 包括半导体芯片, 所述半导体芯片包括:

多个焊盘, 所述多个焊盘包括输入焊盘与输出焊盘;

电路部分; 以及

用于使所述多个焊盘中的第一焊盘与所述电路部分的节点电连接的布线, 其中:

所述电路部分被布置在相对于所述多个焊盘的所述半导体芯片的内侧区域中;

所述布线由导电部件组成;

所述导电部件的一部分与所述多个焊盘中的第二焊盘交迭;

所述导电部件包括第一导电部件、第二导电部件以及第三导电部件；  
所述第一导电部件在平面图中与所述第二焊盘交迭；  
所述第二导电部件电连接所述第一导电部件和所述节点；  
所述第三导电部件电连接所述第一导电部件和所述第一焊盘；以及  
所述第一导电部件被布置在与所述第二导电部件和所述第三导电部件不同的布线层中。

16. 根据权利要求 15 所述的半导体装置,还包括:

缓冲部,其中:

所述缓冲部被布置在所述第一导电部件与所述第二焊盘之间的中间布线层中,并且被布置为在平面图中与所述第一导电部件交迭。

17. 根据权利要求 16 所述的半导体装置,还包括:

多个光电转换部分,其中:

所述多个焊盘沿着第一方向被布置;

所述多个光电转换部分沿着所述第一方向与所述多个焊盘平行地被布置;

所述电路部分构成用于处理来自所述多个光电转换部分的信号的处理电路;以及

所述布线传送来自所述多个光电转换部分的信号或者用于驱动所述处理电路的驱动信号。

18. 根据权利要求 17 所述的半导体装置,还包括:

电源布线,其中:

所述电源布线由第四导电部件组成;

所述多个焊盘包括与所述第四导电部件电连接的电源焊盘;以及

所述第四导电部件被布置在与所述多个焊盘相同的层中,并且此外所述第四导电部件被布置为在平面图中不与所述多个焊盘交迭。

19. 根据权利要求 18 所述的半导体装置,其中:

所述多个焊盘和所述第四导电部件被布置在第一布线层中;

包括在所述布线内的所述第二导电部件和所述第三导电部件被布置在第二布线层中;以及

所述缓冲部由与所述布线的所述第三导电部件和所述第二导电部件相同的材料形成,并且被布置在所述第二布线层中。

20. 根据权利要求 19 所述的半导体装置,其中所述第一布线层是最上面的布线层,并且布置在所述第一布线层中的焊盘的厚度比布置在所述第二布线层中的所述缓冲部、所述第三导电部件或者所述第二导电部件的厚度大。

21. 根据权利要求 17 所述的半导体装置,其中:

所述电路部分包括 MOS 晶体管;以及

所述 MOS 晶体管的栅极电极以及构成所述布线的所述导电部件的与所述第二焊盘交迭的部分被布置在相同的布线层中。

22. 根据权利要求 17 所述的半导体装置,其中:

所述电路部分包括 MOS 晶体管;以及

所述 MOS 晶体管的栅极电极以及构成所述布线的所述导电部件的与所述第二焊盘交

迭的部分由相同的材料形成。

23. 根据权利要求 17 所述的半导体装置,其中构成所述布线的所述导电部件的与所述第二焊盘交迭的部分的宽度比与所述导电部件的所述部分不同的部分的宽度大。

24. 根据权利要求 17 所述的半导体装置,其中向所述第二焊盘供应的电压变化的时间段与向所述布线供应的电压变化的时间段是不同的时间段。

## 半导体装置

### 技术领域

[0001] 本发明涉及用于半导体装置的布线技术,并且特别地涉及用于固态图像拾取装置的布线技术。

### 背景技术

[0002] 半导体装置具有信号从半导体芯片的外部输入到其的输入焊盘以及用于向外部输出信号的输出焊盘。

[0003] 日本专利公开 No. 2008-78354 公开了半导体装置中的焊盘以及布线布局。日本专利公开 No. 2008-78354 的图 1 中描述的半导体装置具有被布置为完全包围内部电路的周边的用于内部电路的电源布线 (4a 和 4b)。然后,用于内部电路的第一电源焊盘 (8a 和 8b) 与用于内部电路的电源布线一体化地被形成。此外,用于内部电路的第二电源焊盘 (7a 和 7b) 被布置在芯片的外侧 (outer) 区域中。

[0004] 在上述布局中,布线相互地相交。更具体地,用于将电源电压从第二电源焊盘供给到内部电路的电源布线与用于内部电路的电源布线相交。由于该原因,根据日本专利公开 No. 2008-78354,公开了在其中用于将电源从第二电源焊盘供给到内部电路的布线在平面图中与第一电源焊盘交迭的布局。

[0005] 通常,关于半导体装置,能够从一片圆片 (wafer) 获得的半导体芯片的数量 (芯片产率) 被设定为较大。为此,要求实现相同功能和目的的器件被布置在最小可能的面积的半导体芯片中。

### 发明内容

[0006] 根据本发明的一个方面的半导体装置包括半导体芯片,所述半导体芯片包括:多个焊盘,所述多个焊盘包括输入焊盘与输出焊盘;第一电路部分;第二电路部分;以及用于使所述第一电路部分的输出节点与所述第二电路部分的输入节点电连接的布线,其中:所述第一电路部分和所述第二电路部分被布置在相对于所述多个焊盘的所述半导体芯片的内侧区域中;所述布线由导电部件组成;以及所述导电部件的至少一部分与所述多个焊盘中的至少一个焊盘交迭。

[0007] 根据本发明的另一个方面的半导体装置包括半导体芯片,所述半导体芯片包括:多个焊盘,所述多个焊盘包括输入焊盘与输出焊盘;电路部分;以及用于使所述多个焊盘中的第一焊盘与所述电路部分的节点电连接的布线,其中:所述电路部分被布置在相对于所述多个焊盘的所述半导体芯片的内侧区域中;所述布线由导电部件组成;以及所述导电部件的一部分与所述多个焊盘中的第二焊盘交迭。

[0008] 从以下参考附图的示例性实施例的描述中本发明更多的特征将变得清晰。

### 附图说明

[0009] 图 1 是根据本发明第一实施例的平面布局的示意图。

- [0010] 图 2 示出了根据本发明第一实施例的电路配置。
- [0011] 图 3 是根据本发明第一实施例的截面的示意图。
- [0012] 图 4 是示出了根据本发明的线传感器的操作定时的图案示意图。
- [0013] 图 5 是根据本发明第二实施例的截面的示意图。
- [0014] 图 6 是根据本发明第三实施例的布线的平面布局的示意图。
- [0015] 图 7 是根据本发明第四实施例的平面布局的示意图。

## 具体实施方式

[0016] 将使用图 1 描述根据本发明的主要部件。在图 1 中,附图标记 100 表示半导体装置。半导体装置 100 的最外侧区域中的粗线表示半导体芯片的端部。

[0017] 本发明涉及半导体装置。在本说明书中,半导体装置意指其上布置有器件的半导体衬底、在其中封装有相关的半导体衬底的部件或者相关的部件被安装到其的装置。作为其上布置有器件的半导体衬底并且被切成用于封装的尺寸的块 (piece) 被称为半导体芯片或者简称为芯片。然而应当注意,虽然实际上没有切断,但是应当被切断以用于封装的半导体的一部分是半导体芯片。此外,固态图像拾取装置意指在半导体装置中用于图像拾取的装置。

[0018] 根据本发明的半导体装置 100 具有包括输入焊盘和输出焊盘的多个焊盘。在图 1 中,焊盘由附图标记 102a ~ 102e 表示。此外,半导体装置 100 具有布置在相对于多个焊盘 102a ~ 102e 的半导体芯片的内侧 (inner) 区域中的第一电路部分和第二电路部分。在图 1 中,104 ~ 110 中的两个与第一电路部分和第二电路部分有关。在这里,附图标记 108 表示第一电路部分,而附图标记 109 表示第二电路部分。在本说明书中,电路部分意指在半导体芯片中布置有用于实现预定功能的电路的区域。更具体地,构成相关的电路的诸如晶体管之类的元件、用于使这些元件相互连接的局部的布线、插塞 (plug) 等被布置在电路部分中。

[0019] 半导体装置 100 具有用于使第一电路部分 108 的输出节点与第二电路部分 109 的输入节点电连接的布线 101。本发明的特征部分是构成布线 101 的导电部件的布局。更具体地,其特征在于构成布线 101 的导电部件的一部分在平面图中与多个焊盘之中的一个焊盘交迭。在本申请中,焊盘在平面图中与布线交迭的状态意指,在从与半导体衬底的主平面垂直的方向观看时焊盘与布线交迭。

[0020] 图 3 示出了图 1 的部分 III-III 的截面的示意图。附图标记 303 与图 1 的焊盘 102b 对应。构成图 1 的布线 101 的导电部件由图 3 中的第一导电部件 307、第二导电部件 306a 和第三导电部件 306b 表示。也就是说,通过包括第一导电部件 307、第二导电部件 306a 和第三导电部件 306b 来组成布线 101。第一导电部件 307 在平面图中与焊盘 303 交迭。

[0021] 焊盘是用于接合导线或者要接触测试用的检测仪 (inspection meter) 的导电部件。例如,如图 3 中所示出的,钝化膜 304 在与用于上述接触的焊盘对应的位置处具有开口。结果,露出焊盘的至少一部分。构成焊盘的导电部件可以以与构成与相关焊盘连接的布线的导电部件一体化的方式被形成。

[0022] 根据本发明,在使布置在相对于焊盘的半导体芯片的内侧区域中的电路相互地电连接时,用于实现电连接的布线在平面图中与焊盘交迭。这点与根据日本专利公开

No. 2008-78354 的配置不同。根据日本专利公开 No. 2008-78354, 显示如下的配置, 在该配置中用于使布置在半导体芯片的外侧区域中的第二电源焊盘与内部电路电连接的布线在平面图中与布置在相对于第二电源焊盘的半导体芯片的芯片内侧区域中的第一电源焊盘交迭。也就是说, 日本专利公开 No. 2008-78354 没有公开用于使布置在相对于焊盘的半导体芯片的内侧区域中的两个电路相互地电连接的布线与焊盘交迭。

[0023] 像本发明, 由于用于使布置在半导体芯片的内侧区域中的电路相互地电连接的布线被布置为与焊盘交迭, 因此可以接近焊盘地布置电路。这是因为没有必要提供在在其中在焊盘和电路之间仅仅布置用于实现电连接的布线的区域。换句话说, 可以将焊盘和电路之间的空间设定为较小。该情形使得芯片面积减少。

[0024] 接下来, 将描述其中电路部分被布置在相对于焊盘的半导体芯片的内侧区域中的状态。在本说明书中, 基于在沿一个方向观看时在电路和焊盘之间的位置关系来确定电路部分被布置在相对于焊盘的内侧区域中的状态。在布置在半导体芯片中的多个焊盘之中, 在平面中与布线交迭的焊盘是确定的基准。鉴于以上内容, 将采取图 1 作为示例来描述内侧区域。

[0025] 图 1 示出了第一方向 (沿着芯片的长边的方向) 和与第一方向正交的第二方向 (沿着芯片的短边的方向)。假定存在沿着第二方向通过焊盘 102b 的虚拟直线。该虚拟直线包含通过焊盘 102b 并且其两个端部是在虚拟直线与芯片的相应端部之间的交点的线段。该线段的中点是芯片的中心。焊盘 102b 将该线段分成两个部分。这两个部分是包括芯片的中心的中心的部分以及不包括芯片的中心的中心的部分。在这些部分之中, 包括芯片的中心的中心的部分是相对于焊盘的半导体芯片的内侧区域。更严格来说, 在该线段在第一方向 (与注目的 (focused) 方向正交的方向) 上平行地移动时, 包括芯片的中心的中心的部分的轨迹变成一定的区域。该一定的区域是相对于焊盘的半导体芯片的内侧区域。

[0026] 其中上述线段被焊盘 102b 分割的边界被设定为在焊盘 102b 的两个端部之中更远离芯片的中心的端部。图 1 中示出的焊盘 102b 是具有与第二方向正交的一条边的矩形。由于该原因, 即使在上述线段沿着第一方向平行移动时, 焊盘 102b 的端部在相关的线段上的位置也不改变。然而, 在焊盘具有圆形形状等的情况中, 根据线段平行移动的位置, 焊盘 102b 的端部在相关的线段上的位置可以改变。在这种情况下, 在注目的方向上, 在焊盘的端部之中最远离芯片中心的端部是基准。也就是说, 在上述线段在第一方向上平行移动时, 焊盘在线段上位于其中从芯片的中心到焊盘的端部的距离变得最大的位置处的端部是边界。

[0027] 另外, 在不存在焊盘的区域中, 焊盘的端部在与注目的方向正交的方向 (图 1 中的第一方向) 上延伸以便被设定为基准。也就是说, 与相关的线段在更远离上述线段的中心的焊盘端部处相交并且平行于第一方向 (与相关的线段垂直的方向) 的直线可以是边界。例如, 在图 1 的第二方向被注目的情况中, 包含在焊盘 102b 的与第一方向平行的两条边之中更远离芯片中心的边的直线可以是基准。在焊盘具有圆形形状等的情况中, 在注目的方向上, 在焊盘的端部之中最远离芯片中心的端部可以是基准。因此, 可以被提到的是, 与多个焊盘一起布置的电路部分也被布置在相对于焊盘的芯片的内侧区域中。图 7 中示出了上述布局。

[0028] 基于上述基准, 确定电路部分是否被布置在相对于焊盘的芯片的内侧区域中。请注意, 电路部分的全部面积没有必要被布置在相对于焊盘的芯片的内侧区域中, 并且如果



电路部分的至少一部分被布置在相对于焊盘的芯片的内侧区域中,就能够获得本发明的效果。

[0029] 本发明能够被应用于各种用途,只要它是半导体装置即可。特别地,在本发明被应用于固态图像拾取装置的情况下,上述芯片面积减少的效果大。将描述这点。

[0030] 在固态图像拾取装置中,在很多情况下沿着第一方向布置多个像素。关于在固态图像拾取装置中的半导体芯片在第一方向上的长度,根据像素的数量和像素尺寸来决定最短长度。难以将半导体芯片在第一方向上的长度设定为比上述最短长度短。因此,为了减少芯片面积,在与第一方向相交的第二方向上的长度被设定为较小。根据上述原因,在很多情况下固态图像拾取装置的形状一般为矩形形状。特别地,在其中行的数量比列的数量少得多的固态图像拾取装置(例如,线传感器)的情况下,形状可以为非常细长的形状。

[0031] 固态图像拾取装置通常包括具有相互不同的功能的多个电路。对于具有矩形形状的芯片中的有效的布局,多个电路沿着第一方向被布置。此外,沿着第一方向布置用于使多个电路相互地电连接的布线。此外,多个焊盘沿着第一方向被布置在半导体芯片的外侧区域中。多个焊盘被布置在直线上并且构成焊盘阵列。

[0032] 当在固态图像拾取装置的上述配置的情况下应用本发明的配置时,芯片面积减少的效果高。在下文中,将通过具体的实施例详细描述本发明。将以固态图像拾取装置作为半导体装置的示例来提供描述,但是配置不限于此,如上所述。

[0033] 第一实施例

[0034] 在下文中,将参考附图描述根据本发明的固态图像拾取装置的实施例。首先,将描述根据本实施例的平面布局。接下来,将描述根据本实施例的布线部分的截面的结构。

[0035] 首先,将描述焊盘、构成电源布线的导电部件、构成信号布线的导电部件以及诸如信号处理电路之类的电路的平面布局。在这里,将以线传感器为例地给出描述。电路配置可以是对于所有下面的实施例共有的。

[0036] 图1是本发明可以应用于其的线传感器的示意性框图。更具体地,示出了信号布线101、多个焊盘102a~102e、电源布线图案103、GND布线图案112以及多个电路部分。以各个功能区分的多个电路分别被布置在对应的电路部分中。多个电路包括包含光电转换部分的像素104、读出电路105、主扫描电路106、输出电路107、定时发生器(在下文中,其将被称为TG)108、控制电路109以及其它电路110。下面将描述这些电路的功能。

[0037] 在图1中,信号布线101由直线表示。然而,实际中,类似地,与电源布线图案103和GND布线图案112一样,信号布线101由具有一定宽度的导电部件组成。然后,图中示出的信号布线101的位置示意性地表示其中实际上布置有导电部件的位置。当然,信号布线101还包括作为电路图上的表示在两个节点之间建立电连接的符号的意思。请注意,为了区别于电源布线和GND布线,先前描述中的“布线101”将为了方便起见被称为“信号布线101”。

[0038] 信号布线101使多个电路相互地电连接。在图1中,示出了用于将TG108与主扫描电路106电连接的信号布线、用于将TG108与控制电路109电连接的信号布线以及用于将TG108与其它电路110电连接的信号布线。然而,实际中,还可以布置更多的信号布线。焊盘102a~102e包括用于供应电源电压的电源焊盘102a以及用于供应GND电压的GND焊盘102e。由电源布线图案103组成的电源布线将来自电源焊盘102a的电源电压供应到

相应的电路。由 GND 布线图案 112 组成的 GND 布线将来自 GND 焊盘 102a 的 GND 电压供应到相应的电路。附图标记 111 表示用于将电源布线图案 103 或 GND 布线图案 112 与构成相应的电路的元件连接的插塞。此外,多个焊盘 102a ~ 102e 包括用于传送信号的信号焊盘 102d。经由信号焊盘 102d,例如,来自像素的信号被输出到固态图像拾取装置的外部单元。

[0039] 根据本实施例的线传感器包括多个像素 104。沿着第一方向布置多个像素 104。图 1 中的芯片的长边方向是第一方向。在图 1 中,以线状方式布置多个像素 104。然而,实际中,多个像素 104 可以被布置成多条线。也就是说,可以以矩阵方式布置多个像素 104。以这样的方式,多个像素 104 沿着第一方向构成像素阵列。

[0040] 沿着作为布置多个像素 104 的相同方向的第一方向布置多个焊盘 102a ~ 102e。结果,多个焊盘 102a ~ 102e 沿着第一方向构成焊盘阵列。如图 1 中所示出的,与由多个像素 104 构成的像素阵列平行地布置焊盘阵列。

[0041] 沿着作为与像素阵列的方向平行的方向的第一方向布置信号布线 101。当然,信号布线 101 可以具有沿着除第一方向以外的方向的部分。此外,构成信号布线 101 的导电部件包括在平面图中与焊盘 102a ~ 102d 交迭的部分。也就是说,信号布线 101 在平面图中与多个焊盘 102a ~ 102d 中的至少一个焊盘交迭。将描述其中构成信号布线 101 的导电部件与焊盘 102b 交迭的部分的截面结构。

[0042] 根据本实施例, TG 108 和控制电路 109 沿着第一方向被布置在焊盘阵列和像素阵列之间。为了使上述两个电路彼此电连接,整个地沿着第一方向布置信号布线 101。然而,其它电路 110 可以被布置在 TG 108 和控制电路 109 之间。在布置有其它电路 110 的电路部分中,布置用于使构成其它电路 110 的多个元件相互连接的局部布线。在上述情况中,构成用于将 TG 108 与控制电路 109 电连接的信号布线 101 的导电部件在很多情况下绕过这些局部布线地布置。此外,如果在其它电路部分中布置构成信号布线 101 的导电部件,则可能在信号布线 101 与局部布线之间产生串扰。由于该原因,施加诸如屏蔽布线的布置之类的对策,并且布线层的数量倾向于增大。根据本发明的方面,抑制了上述串扰,并且能够避免布线层的数量的增大。

[0043] 此外,主扫描电路 106 被布置在焊盘阵列与像素阵列之间。其中布置有主扫描电路 106 的电路部分的第一方向上的长度比其中布置有 TG 108 的电路部分的第一方向上的长度长。另外,主扫描电路 106 的多个节点与 TG 108 连接。可以沿着第一方向与多个像素 104 对应地布置多个节点。在上述情况中,为了使 TG 108 与这些节点连接,沿着第一方向整个地布置信号布线 101。在图 1 中,利用仅仅一个信号布线 101,将 TG 108 与主扫描电路 106 彼此连接。然而,为了将上述多个节点与 TG 108 连接,可以布置多个信号布线 101。

[0044] 根据本实施例,绕开焊盘 102a ~ 102e 地布置电源布线图案 103 或者 GND 布线图案 112。也就是说,电源布线图案 103 或者 GND 布线图案 112 被布置为在平面图中不与多个焊盘 102a ~ 102e 中的任何一个焊盘交迭。

[0045] 接下来,将描述电源布线和信号布线。如果没有另外的规定,对电源布线的描述能够被应用于 GND 布线。首先,将详细描述根据本实施例的电路配置。图 2 是示出了根据本实施例的线传感器的电路配置的示意图。具有与图 1 类似的功能的部分被分配相同的附图标记。为了更详细地描述电路配置,图 2 与图 1 的不同之处在于下面几点。首先,省略了电源布线和 GND 布线。第二,示出了像素 104 和读出电路 105 的具体的电路图。第三,示出了

用于在电路之间建立连接的多个信号布线。

[0046] 附图标记 201 表示构成像素 104 的光电转换部分。光电转换部分 201 例如是光电二极管。根据本实施例,以线状的方式布置多个像素 104。从像素 104 读出根据入射到光电转换部分 201 的光量的光信号。读出电路 105 是用于读出光信号的电路。多个读出电路 105 中的一个读出电路 105 与相应的像素 104 对应地布置。读出电路 105 可以包括复位晶体管 202、放大器 203、第一开关 204、线存储器 205 和第二开关 206。复位晶体管 202 使光电转换部分 201 复位。放大器 203 将要被输出的光信号放大。第一开关 204 是用于将来自放大器 203 的输出传送到线存储器 205 的晶体管。线存储器 205 是用于保持来自像素的信号的电容器。第二开关 206 是用于将线存储器 205 中保持的光信号传送到后续级的晶体管。

[0047] 共用的输出线 207 被布置在读出电路 105 之后的级中。经由对应的第二开关 206 将多个线存储器 205 与共用的输出线 207 电连接。主扫描电路 106 控制多个第二开关 206 的通断。通过主扫描电路 106 的控制,来自多个像素 104 的光信号可以被顺序地读出到共用的输出线 207。输出放大器 208 被布置在共用的输出线 207 之后的级中。输出放大器 208 将读出到共用的输出线 207 的光信号放大以便被输出。根据本实施例,共用的输出线 207 和输出放大器 208 构成输出电路 107。TG 108 输出用于调节电路模块的操作的时钟信号。控制电路 109 是执行用于线传感器的驱动的控制的电路。

[0048] 根据本实施例,像素 104、读出电路 105 和输出电路 107 是模拟电路。主扫描电路 106、TG 108、控制电路 109 和其它电路 110 是数字电路。这些电路模块是用来执行对光信号的处理的电路。也就是说,这些电路全部被包括在信号处理电路内。此外,信号处理电路还可以包括用于将模拟信号转换为数字信号的模数转换电路(在下文中,其将被描述为 ADC)。

[0049] 在图 2 中,作为图 1 的信号布线 101 的替代,示出了多个信号布线 209 ~ 214。信号布线 209 将 TG 108 与其它电路 110 电连接。信号布线 210 将 TG 108 与主扫描电路 106 电连接。信号布线 211 将 TG 108 与控制电路 109 电连接。信号布线 212 将 TG 108 与复位开关 202 的栅极电连接。信号布线 213 将 TG 108 与第一开关 204 的栅极电连接。实际中,还可以布置更多的信号布线。信号布线 209 ~ 213 传送例如从 TG 108 输出的时钟信号。

[0050] 首先将从功能的观点描述电源布线和信号布线。信号布线是用于传送用于控制相应电路的操作的控制信号或者传送来自像素的信号布线。控制信号可以包括时钟信号和用于控制开关的通断的信号。电源布线是用于向相应的模块电路供应电源电压的布线。随后,将从电路连接的观点和供应的电压的观点来描述信号布线和电源布线。

[0051] 首先,将首先从电路连接的观点描述信号布线。复位晶体管 202 和第一开关 204 是包括在模拟电路内的开关。虽然在图中未示出,但是开关可以被包括在数字电路内。与用作开关的这些晶体管的栅极连接的布线可以被包括在信号布线内。按照情况需要,可以将反相器电路、缓冲器电路等插入信号布线的路径中。

[0052] 从向信号布线供应的电压的观点,信号布线可以被供应有二值的电压。二值的电压是例如用于使开关导通的电压和用于使开关关断的电压。此外,用于传送模拟信号的布线可以被供应给多于两个值的电压。因此,用于传送模拟信号的布线也可以被包括在信号布线内。例如,来自像素的信号是模拟信号。另外,用于传送数字信号的布线也可以被包括在信号布线内。然而应当注意,固态图像拾取装置可以被设定在多个操作模式中。在一定

的操作模式中,在其中一定的开关被定期导通的情况中,可以向信号布线供应固定的电压。

[0053] 接下来,将描述电源布线的电路连接。模拟电路可以包括用于放大信号的放大电路。例如,读出电路 105 包括放大器 203。输出电路 107 包括输出放大器 208。放大电路具体地是源极跟随器电路、源极接地电路或差分放大电路等。此外,包括在 ADC 内的比较器是放大电路。与这些放大电路的电源电压供应节点电连接的布线可以被包括在电源布线内。此外,与这些放大电路的 GND 电压供应节点电连接的布线可以被包括在 GND 布线内。另一方面,虽然在图中未示出,但是数字电路包括构成逻辑门的反相器。例如,CMOS 反相等被包括在数字电路内。与反相器的电源电压供应节点电连接的布线可以被包括在电源布线内。此外,与反相器的 GND 电压供应节点电连接的布线可以被包括在电源布线内。电源电压供应节点和 GND 电压供应节点两个都被称为电源节点。如有必要,可以将用于控制电源布线的连续性的开关插入电源布线的路径中。

[0054] 此外,根据固态图像拾取装置的操作,在一些情况下向电源布线供应除电源电压和 GND 电压以外的电压。即使在该情况下,与电源电压供应节点连接的布线也可以被包括在电源布线内。此外,可以设想应当固定的电压由于噪声等而波动。

[0055] 随后,将描述其中信号布线 101 与焊盘 102b 交迭的部分的截面结构。图 3 是根据本发明第一实施例的固态图像拾取装置的布线部分的截面的示意图。图 3 示出了沿着图 1 的直线 III-III 截取的截面。

[0056] 根据本实施例的半导体装置 100 包括半导体衬底 301 和布置在半导体衬底 301 上的多层布线部分 302。半导体衬底 301 是例如硅衬底。在本申请中,平面是与半导体衬底 301 的主面平行的面。截面是包括与半导体衬底 301 的主面垂直的方向的面。半导体衬底 301 的主面被定义为半导体区域与布置在该半导体区域上的绝缘膜之间的界面。例如,在晶体管的沟道中的半导体区域与栅极氧化物膜之间的界面是主面。在固态图像拾取装置的情况下,在光电转换部分的半导体区域与氧化物膜之间的界面是主面。

[0057] 多层布线部分 302 包括具有距离半导体衬底 301 的主面的不同高度的多个布线层。在相应的布线层上,在预定的位置处布置构成布线的导电部件。布线例如由诸如铝或铜之类的金属形成。布置在不同的布线层中的导电部件可以经由插塞来相互地连接。层间绝缘膜分别被布置在布线层与布线层之间以及在布线层与半导体衬底 301 之间。

[0058] 在图 3 中,附图标记 303 表示焊盘。可以经由焊盘 303 来实现半导体装置 100 与外部之间的信号的输入和输出。此外,到半导体装置 100 的电源电压和 GND 电压可以经由焊盘 303 来供应。根据本实施例,在作为最上层的第一布线层上形成焊盘 303。附图标记 304 表示由绝缘体组成的钝化膜。钝化膜 304 在与焊盘 303 对应的位置处具有开口。通过布置在钝化膜 304 中的开口,用于与外部建立连接的接合导线等连接到焊盘 303。

[0059] 附图标记 305a 和 305b 表示构成电源布线的导电部件(在下文中,其将被称为电源布线部件)。根据本实施例,电源布线部件 305a 和 305b 由作为最上层的第一布线层形成。也就是说,焊盘 303 以及电源布线部件 305a 和 305b 被布置在相同的布线层上。在图 3 中,被示出为两个分离的部分的电源布线部件 305a 和 305b 是电学上相同的节点。根据本实施例,电源布线部件 305a 和 305b 被形成在一个布线层上。然而应当注意,在电源布线与相应的电路连接的位置中,电源布线部件 305 可以经由插塞与另一个层上的导电部件电连接。

[0060] 附图标记 307、306a 和 306b 分别表示构成信号布线的第二导电部件、第三导电部件和第三导电部件。第二导电部件 306a 和第三导电部件 306b 被布置在第二布线层上。第一导电部件 307 被布置在与第二布线层不同的层上。根据本实施例,第一导电部件 307 被布置在第三布线层上。第一导电部件 307 被布置为在焊盘 303 下方在平面图中与焊盘 303 交迭。附图标记 308a 和 308b 表示插塞。插塞 308a 和 308b 由诸如钨之类的导电材料形成。根据本实施例,第二导电部件 306a 和第一导电部件 307 通过插塞 308a 而彼此电连接。此外,第三导电部件 306b 和第一导电部件 307 通过插塞 308b 而彼此电连接。

[0061] 附图标记 310 表示层间绝缘膜。层间绝缘膜例如由诸如硅氧化物膜或硅氮化物膜之类的绝缘材料形成。附图标记 311 表示多晶硅电极。多晶硅电极 311 经由绝缘膜被布置在半导体衬底 301 上。

[0062] 在图 3 中,附图标记 309 表示缓冲部。如果必要的话设置缓冲部 309。缓冲部 309 被布置在焊盘 303 与第一导电部件 307 之间的中间层上。缓冲部 309 在平面图中与焊盘 303 和信号布线图案 307 交迭。也就是说,当观看截面时,焊盘 303、缓冲部 309 和第一导电部件 307 被堆叠。缓冲部 309 可以由与布线相同的导电部件形成。在具有缓冲部 309 的情况下,变得大不可能发生信号布线图案 307 的断线。

[0063] 此外,缓冲部 309 的弹性系数可以比层间绝缘膜 310 的弹性系数高。弹性系数是表示对于一定的变形体积的应力的强度的指数。将简要地描述来自高弹性系数的效果。当接合导线与焊盘 303 连接时,应力被施加到焊盘 303 及其下部。当该应力被传送到焊盘 303 下方的布线时,在布线中可能发生断线。由于缓冲部 309 的弹性系数比层间绝缘膜 310 的弹性系数高,因此缓冲部 309 减轻应力。结果,变得大不可能发生布置在焊盘 303 下方的信号布线图案 307 中的断线。

[0064] 此外,根据本实施例,缓冲部 309 可以是电学上浮置的。将简要地描述来自缓冲部 309 是电学上浮置的状态的益处。当接合导线与焊盘 303 连接时,可能在焊盘 303 下方的层间绝缘膜 310 中出现裂缝。裂缝可能出现并且从焊盘 303 延伸直到缓冲部 309。如果水汽渗透到已经出现上述裂缝的区域中,则焊盘 303 和布置在焊盘 303 下方的缓冲部 309 可能短路。如果缓冲部 309 是电学上浮置的,则即使焊盘 303 和缓冲部 309 短路,也不会对其它电路产生影响。

[0065] 在这里,将描述图 1 和图 3 之间的对应关系。图 3 示出了沿着图 1 的直线的截面。图 1 的焊盘 102b 与图 3 的焊盘 303 对应。图 1 的电源布线图案 103 与图 3 的电源布线部件 305a 和 305b 对应。图 1 的信号布线 101 与图 3 的第一导电部件 307、第二导电部件 306a、第三导电部件 306b 和插塞 308 对应。

[0066] 信号布线 101 中的与焊盘 102b 交迭的部分与图 3 的第一导电部件 307 对应。如图 3 中所示出的,信号布线 101 的与焊盘 102b 交迭的部分(图 3 的第一导电部件 307)被布置在与信号布线 101 的没有与焊盘 102a ~ 102e 中的任何焊盘交迭的部分(图 3 的第二导电部件 306a 和第三导电部件 306b)不同的层中。

[0067] 如上所述,根据本实施例,例如,在图 1 中,可以减少在多个焊盘 102a ~ 102e 与多个电路之间的面积。也就是说,可以减少在与半导体芯片的第一方向正交的方向上的长度。因此,可以减少芯片面积。

[0068] 图 4 是示出根据本实施例的固态图像拾取装置的操作定时的示意图。在时间段 1

中,来自多个相应的像素 104 的光信号同时被读出到对应的线存储器 205。在时间段 1 中,向信号布线 212 和 213 供应时钟信号。这些时钟信号控制复位晶体管 202 和第一开关 204。在时间段 2 中,在线存储器 205 中保持的多个光信号被顺序地读出到共用的输出线 207。然后,从输出放大器 208 输出光信号。在时间段 2 中,主扫描电路 106 基于向信号布线 210 供应的时钟信号来控制第二开关 206。

[0069] 从输出电路 107 输出的光信号经由信号焊盘 102d 被输出到外部单元。在该时段中,没有向与时间段 1 有关的信号布线 212 和 213 供应时钟信号。也就是说,在向用于输出光信号的焊盘供应的信号与向信号布线 212 和 213 供应的信号之间,电压变化的定时是相互不同的。因此,在用于输出光信号的信号焊盘与信号布线 212 和 213 交迭的情况中,串扰的影响小。以这样的方式,在以不同的定时向其供应信号的焊盘和信号布线被相互地交迭和布置时,能够抑制串扰的影响。

[0070] 此外,根据本实施例,信号处理电路被布置在像素阵列和多个焊盘之间。根据上述配置,信号处理电路没有被布置在焊盘和焊盘之间。因此,能够增大相应的焊盘的尺寸。

[0071] 此外,根据本实施例,构成电源布线的导电部件被布置在与焊盘相同的布线层上。然后,构成电源布线的导电部件被布置为没有与焊盘交迭。因此,构成电源布线的导电部件没有必要经由插塞与布置在布线层的下层上的导电部件连接。由于该原因,可以减少在电源布线的路径中在插塞和导电部件之间的接触的数量。结果,由于能够减少在插塞和导电部件之间的接触电阻,因此利用根据本实施例的配置,可以抑制电源布线的电阻的增大。

[0072] 根据本实施例,信号布线没有被布置在其中布置有电源布线的布线层中。由于该原因,电源布线的布局中的自由度高。根据上述配置,可以增大电源布线的平面宽度。因此,可以进一步抑制电源布线的电阻。然而,在本发明中,信号布线可以被布置在与电源布线相同的最上层的布线层上。

[0073] 此外,如图 1 中所示出的,根据本实施例,第二导电部件 306a、第三导电部件 306b 和缓冲部 309 被布置在相同的布线层上。根据上述配置,可以同时形成第二导电部件 306a 和第三导电部件 306b 以及缓冲部 309。更具体地,通过执行一次掩模图案转印来形成用于第二导电部件 306a 和第三导电部件 306b 的图案以及用于缓冲部 309 的图案。因此,可以在没有增加制造过程的情况下获得本发明的效果。请注意,缓冲部和信号布线的没有与焊盘交迭的部分可以被布置在不同的布线层中。

[0074] 在图 3 中,第一导电部件 307、第二导电部件 306a 和第三导电部件 306b 在布置有焊盘 303 的区域外面彼此电连接。第一导电部件 307、第二导电部件 306a 和第三导电部件 306b 的连接部分(即,插塞 308a 和 308b)可以被布置在布置有焊盘 303 的区域内。此外,其中在焊盘 303 中施加应力的区域根据导线直径或接合工艺而改变。例如,可以设想仅仅在与布置在图 3 的钝化膜 304 中的开口对应的区域上施加应力。在该情况下,缓冲部 309 可以被仅仅布置在其中施加有应力的区域的下部中。

[0075] 第二实施例

[0076] 图 5 是根据本发明第二实施例的固态图像拾取装置的布线部分的截面的示意图。具有与图 1 类似的功能的部分被分配相同的附图标记,并且将省略其详细描述。本实施例的特征在于构成信号布线的导电部件的与焊盘交迭的部分通过与 MOS 晶体管的栅极电极相同的布线层来形成。除下面将描述的部分之外,本实施例可以具有与第一实施例类似的

配置。

[0077] 在图 5 中,示出了元件分离膜 501。元件分离膜 501 是布置在半导体衬底 301 上的氧化物膜。例如,元件分离膜 501 可以是场氧化膜或 STI(浅沟槽隔离)。

[0078] 附图标记 502 表示构成信号布线的导电部件。根据本实施例,导电部件 502 由多晶硅形成。导电部件 502 经由元件分离膜 501 布置在半导体衬底 301 上。图中未示出的 MOS 晶体管被布置在半导体衬底 301 上。根据本实施例,导电部件 502 被布置在与 MOS 晶体管的栅极电极相同的布线层上。在布置 MOS 晶体管的情况中,由于使用用于形成栅极电极的布线层,因此不需要额外的用于布置导电部件 502 的布线层。据此,即使在缓冲部 309 被布置在焊盘与构成信号布线的导电部件 502 之间的中间层上的情况中,也不增加布线层的数量。

[0079] 此外,用于形成导电部件 502 的材料可以与用于形成 MOS 晶体管的栅极电极的材料相同。在该情况下,可以同时形成信号布线图案 502 和 MOS 晶体管的栅极电极。在 MOS 晶体管的栅极电极由除多晶硅以外的材料形成的情况中,用于形成信号布线图案 502 的材料不限于多晶硅。此外,信号布线图案 502 可以是经受硅化的多晶硅。

[0080] 根据本实施例的固态图像拾取装置除了第一实施例的效果之外还能够减少布线层的数量。如果布线层的数量少,则能够实现布线的低轮廓(profile)。或者,如果布线层的数量少,则可以简化制造过程。

[0081] 第三实施例

[0082] 图 6 是根据本发明第三实施例的固态图像拾取装置的布线部分的平面示意图。根据本实施例,特征在于与信号布线图案的焊盘交迭的部分的宽度比不与信号布线图案的焊盘交迭的部分的宽度大。除下面将描述的部分之外,本实施例可以具有与第一实施例或第二实施例类似的配置。

[0083] 附图标记 601 表示焊盘。附图标记 602a ~ 602c、603a ~ 604c 以及 604a ~ 604c 表示构成信号布线的导电部件。向相同数字的附图标记添加不同后缀意指构成传送不同信号的信号布线的导电部件。在这里,导电部件 602a ~ 602c 与图 3 的第二导电部件 306a 对应。导电部件 603a ~ 603c 与图 3 的第三导电部件 306b 对应。导电部件 604a ~ 604c 与图 3 的第一导电部件 307 或图 5 的导电部件 502 对应。在下文中,如果没有另外的规定,导电部件 602a、603a 和 604a 的描述能够被应用于导电部件 602b、603b、604b、602c、603c 和 604c。

[0084] 导电部件 602a 和导电部件 603a 被布置在相同的布线层上。然后,导电部件 604a 被布置在与导电部件 602a 和 603a 不同的布线层上。导电部件 602a 可以通过图中未示出的插塞与导电部件 604a 连接。类似地,导电部件 603a 可以通过图中未示出的插塞与导电部件 604a 连接。

[0085] 如图 6 中所示出的,构成信号布线的导电部件 604a 在平面图中与焊盘 601 交迭。然后,导电部件 604a 具有宽度比导电部件 602a 或导电部件 603a 大的部分。根据本实施例,与焊盘 601 交迭的部分比导电部件 602a 或导电部件 603a 的宽度大。导电部件 604a 的宽度被定义为沿着与传送信号的方向垂直的方向的长度。例如,在导电部件 604a 中,在从导电部件 602a 朝向导电部件 603a 的方向上传送信号。因此,沿着由图 6 中的直线 BB 表示的方向的长度是导电部件 604a 的宽度。

[0086] 如上所述,根据本实施例,除了第一和第二实施例的效果之外还可以减少信号布线的电阻。当信号布线的电阻低时,例如,可以实现更高速的时钟信号。此外,在导电部件 604a 由具有比导电部件 602a 和 603a 高的电阻率的材料形成的情况中,本实施例的效果变得更突出。例如,在导电部件 602a 和 603a 由铝或铜形成并且导电部件 604a 由多晶硅形成的情况中,本实施例的效果变得突出。

#### [0087] 第四实施例

[0088] 图 7 是根据本发明第四实施例的固态图像拾取装置的平面布局的示意图。具有与图 1 类似的功能的部分被分配相同的附图标记,并且将省略其详细描述。根据本实施例,特征在于信号处理电路被布置在多个焊盘之间。除下面将描述的部分之外,本实施例可以具有与第一实施例到第三实施例类似的配置。

[0089] 根据本实施例,多个焊盘 702a ~ 702d 沿着与作为像素阵列方向的第一方向相同的方向布置。电源布线 703 与电源焊盘 702d 电连接。GND 布线 704 与 GND 焊盘 702a 电连接。信号焊盘 702b 与放大电路 (Amp) 的输出节点电连接。经由信号焊盘 702b 输出从放大电路 (Amp) 输出的信号。

[0090] 如图 7 中所示出的,根据本实施例,在与像素阵列方向平行的方向上布置多个电路。在这里, TG 705 被布置在焊盘 702a 和焊盘 702b 之间。控制电路 706 和其它电路 707 被布置在焊盘 702c 和焊盘 702d 之间。以这样的方式,根据本实施例,多个焊盘和多个电路部分被布置在一个直线上。更具体地,能够画出至少横穿两个焊盘并且还横穿至少一个电路部分的一个直线。可替代地,能够画出至少横穿一个焊盘并且还横穿至少两个电路部分的一个直线。此外,如图 7 中所示出的,其中布置有 TG 705 的电路部分的在与第一方向正交的第二方向上的长度比焊盘的在第二方向上的长度短。上述情况也适用于控制电路 706 和其它电路 707。

[0091] 信号布线 701 与 TG 705 和各个电路电连接。如上所述,由于沿着第一方向布置多个电路,因此沿着第一方向整个地布置信号布线 701。信号布线 701a 与焊盘 702a 交迭。信号布线 701b 与焊盘 702b 交迭。此外,信号布线 701c 被布置为没有与任何焊盘交迭。作为替代,信号布线 701c 可以与电源布线 703 交迭。请注意,根据本实施例,与信号焊盘 702b 电连接的信号布线与焊盘 702c 交迭。其中信号布线 701 与多个焊盘 702a ~ 702d 交迭的部分的截面结构可以与图 3 中示出的结构类似。

[0092] 根据本实施例,电路被布置在两个焊盘之间。例如, TG 705 被布置在焊盘 702a 和焊盘 702b 之间。由于该原因,电源布线 703 被布置在多个焊盘 702a ~ 702d 的远离像素的一侧。然后, GND 布线 704 被布置在多个焊盘 702a ~ 702d 的接近像素的一侧。详细说来,在相反的方向上布置用于向 TG 705 供应电源电压的电源布线 703 以及用于供应 GND 电压的 GND 布线 704。布局不限于上述布局,并且可以是其中从一侧供应电源电压和 GND 电压的布局。在该情况下,电源布线和 GND 布线中的一个可以与用于与另一个布线相交的下层上的中继布线连接。

[0093] 在任一种情况下,电源布线和 GND 布线中的一个可以邻近多个焊盘 702a ~ 702d 地被布置。像信号布线 701c 一样,在信号布线 701 与电源布线 703 交迭的同时,可以减少芯片面积。然而,如果信号处理电路的电路规模增大,则信号布线 701 的数量增大,并且变得难以在电源布线 703 下方布置全部信号布线 701。



[0094] 根据本实施例,构成信号布线 701 的导电部件的一部分与焊盘的至少一部分交迭。据此,例如,没有必要在构成电源布线 703 的导电部件与多个焊盘 702a ~ 702d 之间提供其中仅仅布置构成信号布线 701 的导电部件的区域。因此,可以减少芯片面积。

[0095] 根据本实施例,多个焊盘 702a ~ 702d 以及多个电路模块 705 ~ 707 沿着布置多个像素 104 的第一方向被布置在一个直线上。据此,可以缩短在与第一方向相交的方向上的长度。因此,可以进一步减少芯片面积。

[0096] 虽然已经参考示例性实施例描述了本发明,但是应当理解,本发明不限于所公开的示例性实施例。以下权利要求的范围将被给予最宽的解释从而包括所有这样的修改、等同的结构与功能。

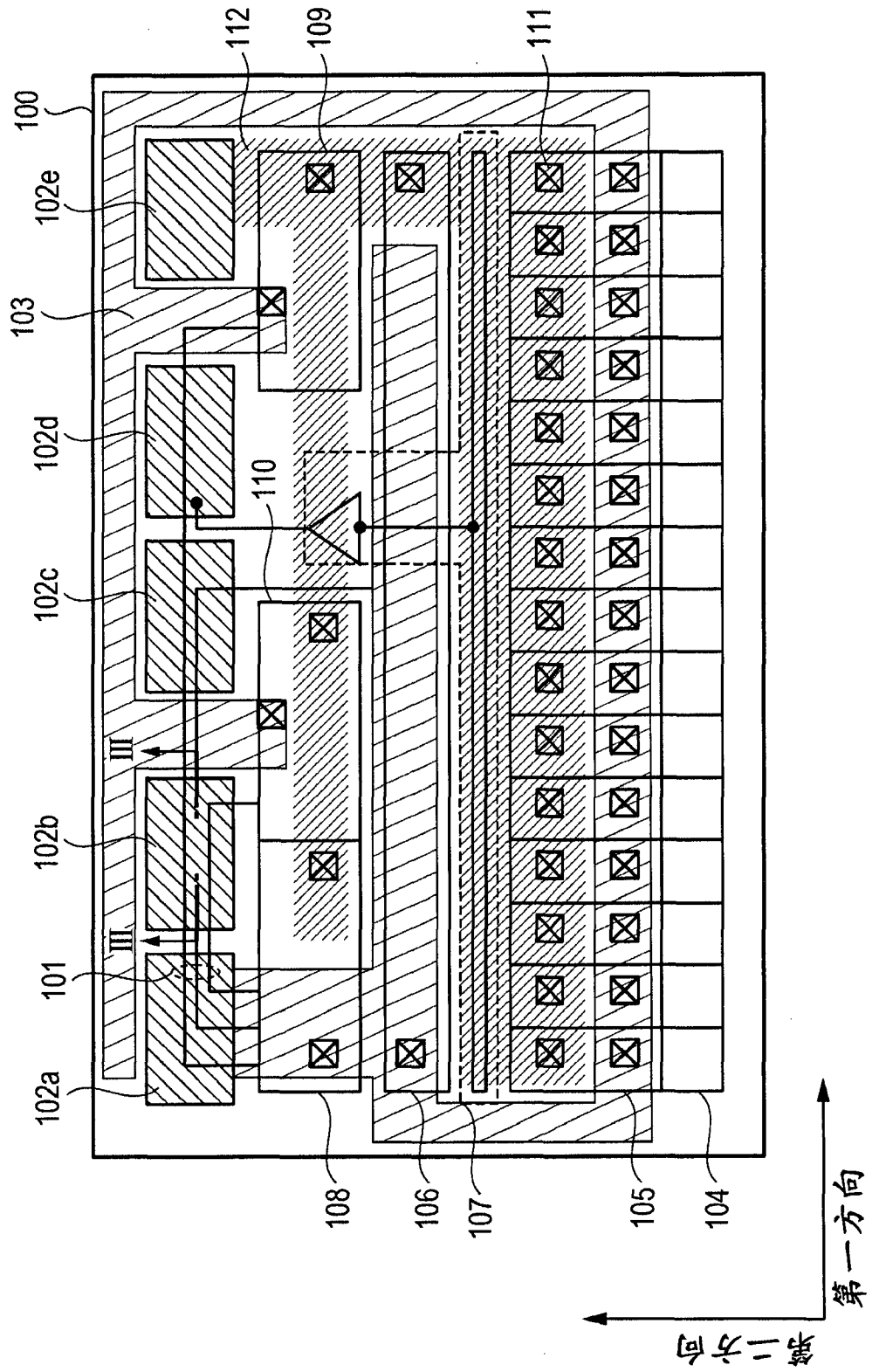


图 1

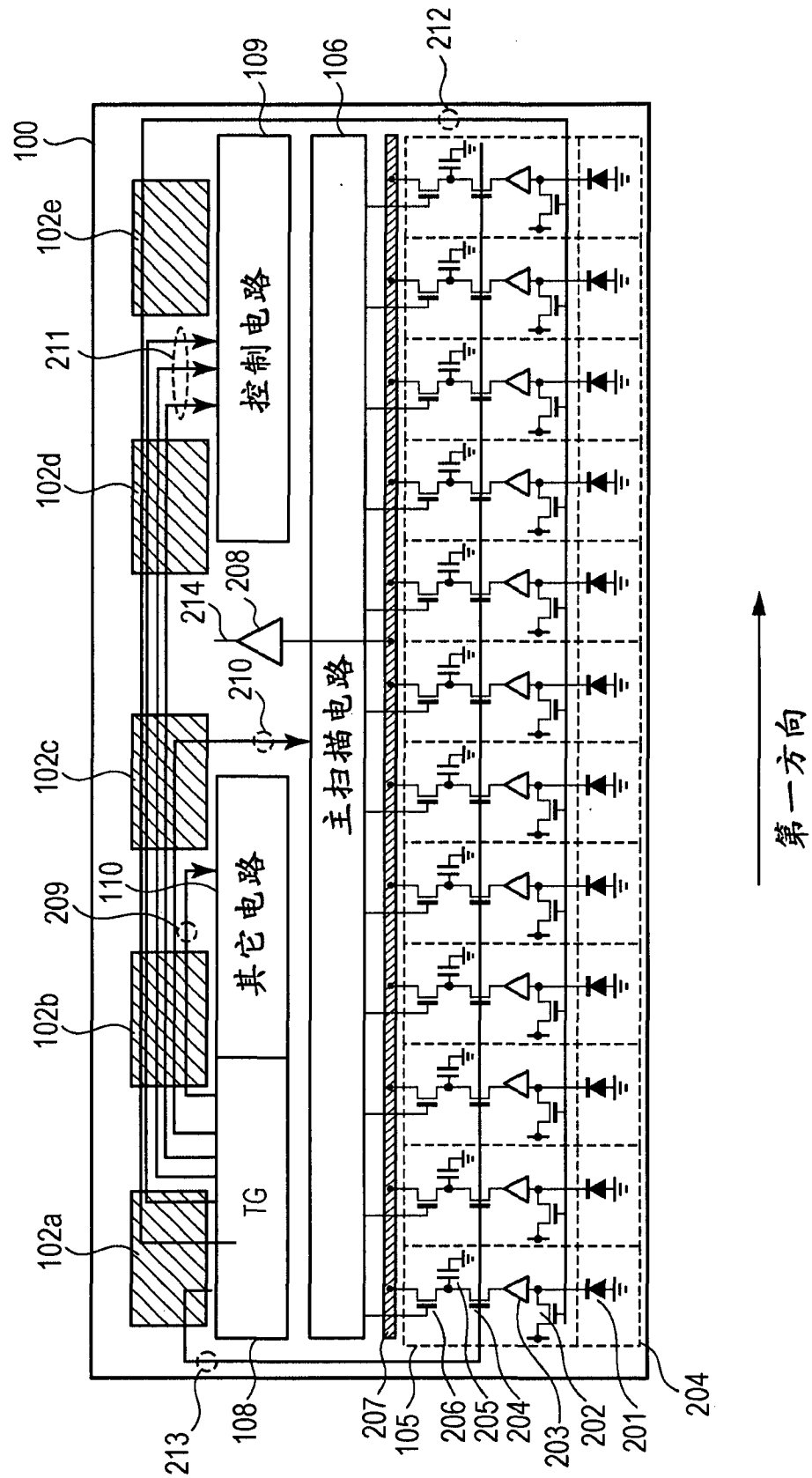


图 2

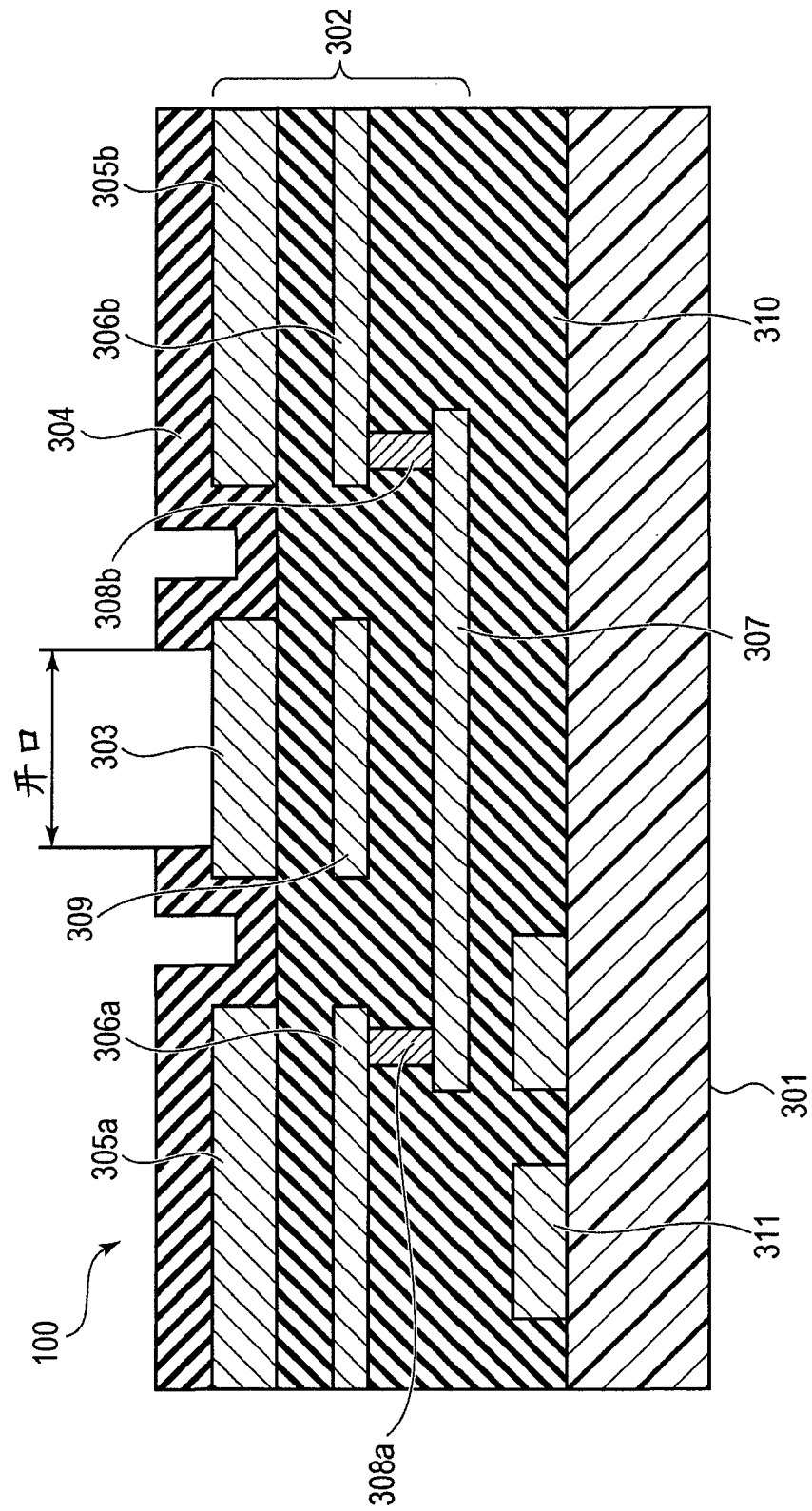


图 3

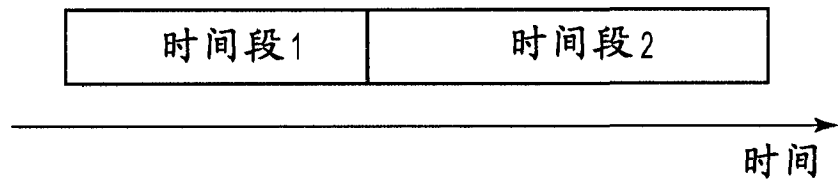


图 4

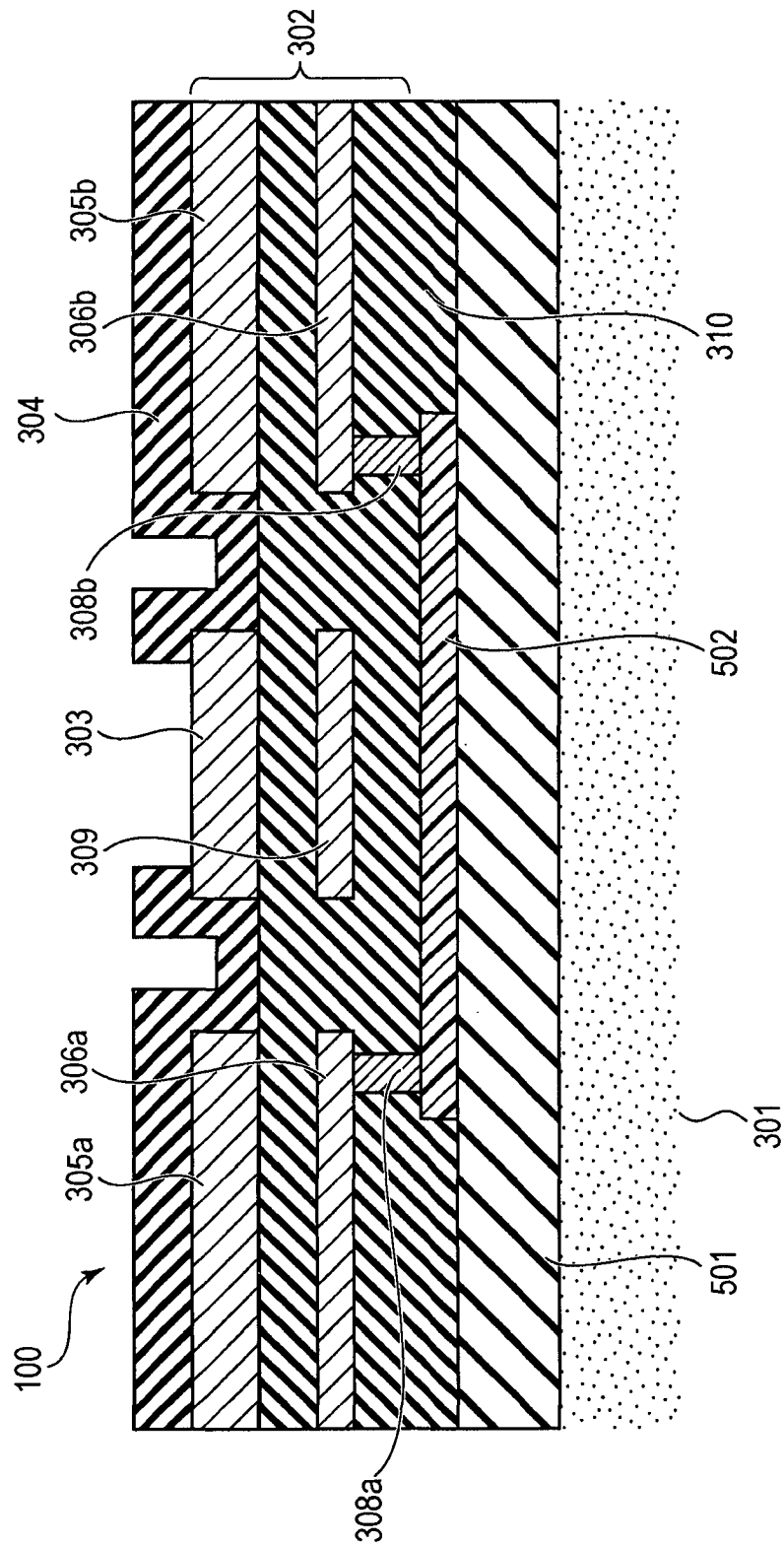


图 5

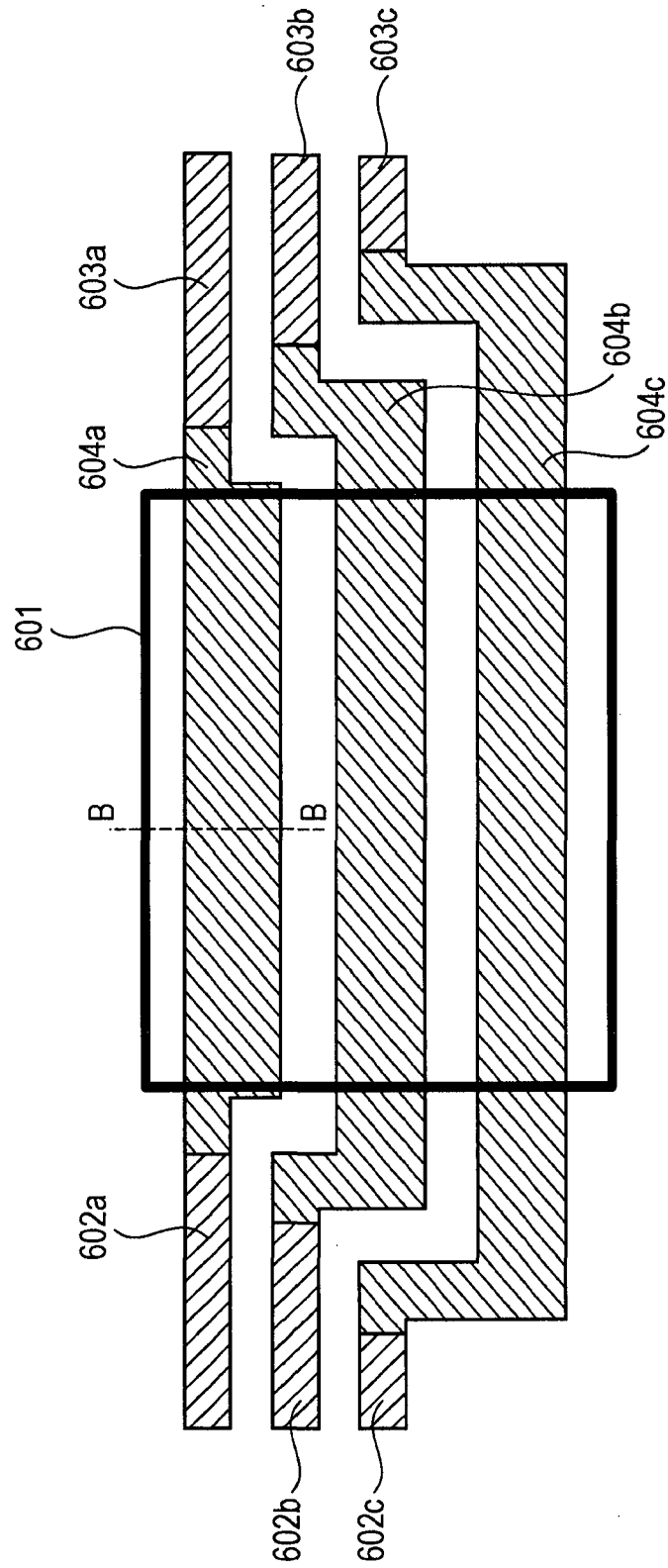


图 6

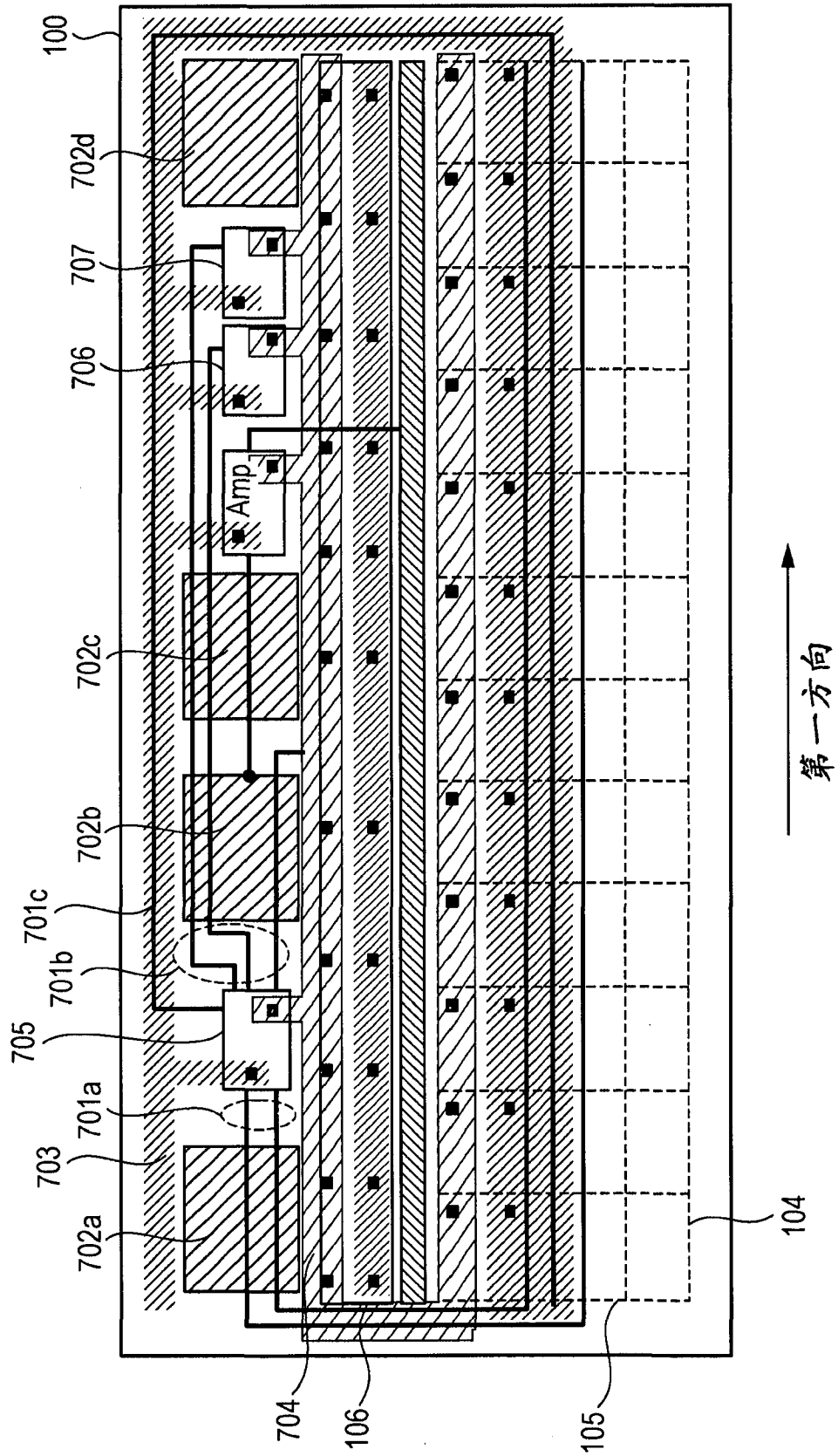


图 7