(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6019599号
(P6019599)

(45)発行日　平成28年11月2日(2016.11.2)　(24)登録日　平成28年10月14日(2016.10.14)

(51)Int.Cl.		F I		
H01L 21/8238	***(2006.01)***	H01L	27/08	321G
H01L 27/092	***(2006.01)***	H01L	29/78	613Z
H01L 29/786	***(2006.01)***	H01L	29/78	627D
H01L 21/336	***(2006.01)***	H01L	29/78	618C
H01L 29/78	***(2006.01)***	H01L	29/78	301C

請求項の数 24　(全 85 頁)　最終頁に続く

(21)出願番号　特願2012-25310(P2012-25310)
(22)出願日　平成24年2月8日(2012.2.8)
(65)公開番号　特開2012-216776(P2012-216776A)
(43)公開日　平成24年11月8日(2012.11.8)
審査請求日　平成27年2月6日(2015.2.6)
(31)優先権主張番号　特願2011-79383(P2011-79383)
(32)優先日　平成23年3月31日(2011.3.31)
(33)優先権主張国　日本国(JP)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　横山　孝司
福岡県福岡市早良区百道浜二丁目３番２号
ソニーセミコンダクタ株式会社内

審査官　宇多川　勉

最終頁に続く

(54)【発明の名称】半導体装置、および、その製造方法

(57)【特許請求の範囲】
【請求項１】
第１電界効果トランジスタが設けられている第１基板と、
第２電界効果トランジスタが設けられている第２基板と、
第３電界効果トランジスタが設けられている少なくとも一つの第３基板と、
を有し、
前記第１基板は、前記第２基板に対面する面の側に第１導電型の前記第１電界効果トランジスタが設けられており、
前記第２基板は、前記第１基板に対面する面の側に第２導電型の前記第２電界効果トランジスタが設けられており、
前記第１電界効果トランジスタと前記第２電界効果トランジスタは、互いが対向するように設けられており、
前記第１基板と前記第２基板は、前記第１電界効果トランジスタと第２電界効果トランジスタが設けられた基板面の側が互いに貼り合わされており、
前記第３電界効果トランジスタが設けられた前記第３基板は、前記第２基板の前記第１基板と対向する面と反対側の面の側に１つ以上積層されており、
前記第１基板は、前記第２基板と貼り合わせる側の前記基板面の側に、前記第１電界効果トランジスタのゲート電極と接続されたゲート電極用トランジスタ配線層と、当該第１電界効果トランジスタの対応するソース・ドレイン領域と接続されたソース・ドレイン領域用トランジスタ配線層が設けられ、

前記第２基板は、前記第１基板と貼り合わせる側の前記基板面の側に、前記第２電界効果トランジスタのゲート電極と接続されたゲート電極用トランジスタ配線層と、当該第２電界効果トランジスタの対応するソース・ドレイン領域と接続されたソース・ドレイン領域用トランジスタ配線層が設けられ、かつ、前記第１基板と貼り合わせる側の前記基板面の側および反対側の前記第３基板と貼り合わせる基板面の側のそれぞれに、互いに電気的に接続された中継用配線層が設けられ、

前記第３基板は、前記第２基板と貼り合わせる側の前記基板面の側に、前記第３電界効果トランジスタのゲート電極と接続されたゲート電極用トランジスタ配線層と、当該第３電界効果トランジスタの対応するソース・ドレイン領域と接続されたソース・ドレイン領域用トランジスタ配線層が設けられ、かつ、前記第２基板と貼り合わせる側の前記基板面の側および反対側の基板面の側のそれぞれに、互いに電気的に接続された中継用配線層が設けられ、

前記第１基板と前記第２基板は、前記ゲート電極用トランジスタ配線層同士、前記ソース・ドレイン領域用トランジスタ配線層同士の少なくともいずれかが直接接合され、前記第１電界効果トランジスタと前記第２電界効果トランジスタとが電気的に接続されており、また、前記第１基板のトランジスタ配線層のうち前記第２基板のトランジスタ配線層と結合されないトランジスタ配線層は、前記第２基板の前記第１基板と貼り合わせる基板面の側の前記中継用配線層と結合され、

前記第２基板と前記第３基板は、前記第２基板の前記第３基板と貼り合わせる基板面の側の前記中継用配線層と、前記第３基板の前記第２基板と貼り合わせる側の前記基板面の側に設けられた前記ゲート電極用トランジスタ配線層、前記ソース・ドレイン領域用トランジスタ配線層、および中継用配線層の少なくともいずれかとが接合され、

前記第１基板と前記第２基板は、前記第１電界効果トランジスタと前記第２電界効果トランジスタの互いのチャネル方向が所定角度をもって交差するように貼り合わされており、

前記第１基板の前記トランジスタ配線層および前記第２基板の前記トランジスタ配線層は、接合する領域と非接合とする領域を確保するように導電領域と絶縁領域を含み、

非結合状態の場合、前記第１基板と前記第２基板のトランジスタ配線層は、前記絶縁領域同士、または一方の前記導電領域と他方の前記絶縁領域とが交差して重ねられ、

結合状態の場合、一方のトランジスタ配線層の前記導電領域と他方のトランジスタ配線層の導電領域とが交差して重ねられている

半導体装置。

【請求項２】

前記第３基板の前記第２基板と貼り合わせる側の前記基板面の側と反対側の基板面の側に積層する上層側の第３基板は、下層側の前記第２基板と貼り合わせる側の前記基板面の側に、前記第３電界効果トランジスタのゲート電極と接続されたゲート電極用トランジスタ配線層と、当該第３電界効果トランジスタの対応するソース・ドレイン領域と接続されたソース・ドレイン領域用トランジスタ配線層が設けられ、かつ、前記第２基板と貼り合わせる側の前記基板面の側および反対側の基板面の側のそれぞれに、互いに電気的に接続された中継用配線層が設けられ、

下層側の前記第３基板と上層側の前記第３基板は、下層側の前記第３基板の上層側の前記第３基板と貼り合わせる基板面の側の前記中継用配線層と、上層側の前記第３基板の下層側の前記第３基板と貼り合わせる側の前記基板面の側に設けられた前記ゲート電極用トランジスタ配線層、前記ソース・ドレイン領域用トランジスタ配線層、および中継用配線層の少なくともいずれかとが接合されている

請求項１に記載の半導体装置。

【請求項３】

最上層の前記第３基板の最表面の側に設けられた配線層は多層配線層として形成されている

請求項１または２に記載の半導体装置。

【請求項４】
前記第２基板の前記第３基板と貼り合わせる基板面の側の配線層、前記第３基板の上層側の前記第３基板と貼り合わせる基板面の側の配線層のいずれかは多層配線層として形成されている
請求項１から３の何れか一項に記載の半導体装置。
【請求項５】
前記第２基板および前記第３基板の一方の面と他方の面のそれぞれの側に設けられた２つの前記中継用配線層が、層間絶縁膜内に形成されたコンタクトと、基板を貫いて形成された接続ビアとによって互いに接続されている
請求項１から４の何れか一項に記載の半導体装置。
【請求項６】
前記直接接合される前記２つのトランジスタ接続配線層は、銅、アルミニウム、または、銅またはアルミニウムにタンタル、チタン、タングステンの何れかが含有された金属材料からなる、
請求項１から５の何れか一項に記載の半導体装置。
【請求項７】
電界効果トランジスタのうち少なくとも前記第２電界効果トランジスタは、前記第２基板に形成されたソース・ドレイン領域が厚さ方向全域でシリサイド化されているフルシリサイド層を有する
請求項１から５の何れか一項に記載の半導体装置。
【請求項８】
前記第２基板は、前記第１基板と対向する面と反対側の面の側に前記フルシリシリサイド層と対向するように形成された中継用配線層を有し、
前記フルシリサイド層は、前記第１基板と対向する面と反対側の面が、前記対向する中継用配線層に接続されている
請求項７に記載の半導体装置。
【請求項９】
前記第１および第２基板の面と直交する方向に積層された電界効果トランジスタが、フィンＦＥＴ構造を有する、
請求項１から８の何れか一項に記載の半導体装置。
【請求項１０】
前記第１基板、前記第２基板、および前記第３基板のうち、少なくとも、
前記第１基板は、第１の面方位である面に、前記第１電界効果トランジスタが設けられており、
前記第２基板は、前記第１の面方位と異なる第２の面方位である面に、前記第２電界効果トランジスタが設けられている
請求項１から９の何れか一項に記載の半導体装置。
【請求項１１】
前記第１基板は、前記第１の面方位の面が、前記第１電界効果トランジスタにおいて前記第２の面方位よりもキャリア移動度が大きい面であり、
前記第２基板は、前記第２の面方位の面が、前記第２電界効果トランジスタにおいて前記第１の面方位よりもキャリア移動度が大きい面である
請求項１０に記載の半導体装置。
【請求項１２】
前記第１電界効果トランジスタがｎ型チャネルであって、前記第２電界効果トランジスタがｐ型チャネルの場合には、前記第１の面方位の面が（１００）面であり、前記第２の面方位の面が、（１１０）面であり、
前記第１電界効果トランジスタがｐ型チャネルであって、前記第２電界効果トランジスタがｎ型チャネルの場合には、前記第１の面方位の面が（１１０）面であり、前記第２の面方位の面が、（１００）面である

請求項１１に記載の半導体装置。
【請求項１３】
前記第１電界効果トランジスタと前記第２電界効果トランジスタは、チャネル方向が＜１１０＞方向になるように形成されている
請求項１２に記載の半導体装置。
【請求項１４】
前記第１基板、前記第２基板、および前記第３基板のうち、少なくとも、
前記第１基板は、前記第１電界効果トランジスタを被覆するように第１ストレスライナー層が設けられており、
前記第２基板は、前記第２電界効果トランジスタを被覆するように第２ストレスライナー層が設けられており、
前記第１ストレスライナー層は、前記第１電界効果トランジスタのキャリア移動度を高める応力を加えるように形成されており
前記第２ストレスライナー層は、前記第２電界効果トランジスタのキャリア移動度を高める応力を加えるように形成されている
請求項１から９の何れか一項に記載の半導体装置。
【請求項１５】
前記第１電界効果トランジスタがｎ型チャネルであって、前記第２電界効果トランジスタがｐ型チャネルの場合には、前記第１ストレスライナー層は、引張応力を与えるように形成され、前記第２ストレスライナー層は、圧縮応力を与えるように形成され、
前記第１電界効果トランジスタがｐ型チャネルであって、前記第２電界効果トランジスタがｎ型チャネルの場合には、前記第１ストレスライナー層は、圧縮応力を与えるように形成され、前記第２ストレスライナー層は、引張応力を与えるように形成されている
請求項１４に記載の半導体装置。
【請求項１６】
前記第１電界効果トランジスタは、当該第１電界効果トランジスタのキャリア移動度を高める応力を一対のソース・ドレイン領域が加えるように形成されており、
前記第２電界効果トランジスタは、一対のソース・ドレイン領域が、当該第２電界効果トランジスタのキャリア移動度を高める応力を加えるように、前記第１電界効果トランジスタの一対のソース・ドレイン領域と異なる材料を用いて形成されている
請求項１から９の何れか一項に記載の半導体装置。
【請求項１７】
前記第１電界効果トランジスタと前記第２電界効果トランジスタは、ｎ型チャネルの場合には、一対のソース・ドレイン領域が引張応力を与えるＳｉＣを用いて形成され、ｐ型チャネルの場合には、圧縮応力を与えるＳｉＧｅを用いて形成されている
請求項１６に記載の半導体装置。
【請求項１８】
前記第１電界効果トランジスタと前記第２電界効果トランジスタは、シリコン酸化物よりも誘電率が高いｈｉｇｈ－ｋ材料によってゲート絶縁膜が形成されており、
前記第１電界効果トランジスタと前記第２電界効果トランジスタとの間においてゲート電極が異なる金属材料を用いて形成されている
請求項１から９の何れか一項に記載の半導体装置。
【請求項１９】
前記第１電界効果トランジスタと前記第２電界効果トランジスタは、ｎ型チャネルの場合には、チャネルがＩＩＩ－Ｖ族化合物半導体で形成され、ｐ型チャネルの場合には、Ｇｅで形成されている、
請求項１から９の何れか一項に記載の半導体装置。
【請求項２０】
第１導電型の第１電界効果トランジスタを第１基板の貼り合わせで対面する面の側に設ける工程と、

第２導電型の第２電界効果トランジスタを第２基板の貼り合わせで前記第１基板に対面する面の側に設ける工程と、
第３電界効果トランジスタを少なくとも一つの第３基板に設ける工程と、
前記第１電界効果トランジスタと前記第２電界効果トランジスタを、互いが対向するように、前記第１基板と前記第２基板を、前記第１電界効果トランジスタと第２電界効果トランジスタが設けられた基板面の側を互いに貼り合わせる工程と、
前記第２基板の前記第１基板を貼り合わせる面と反対側の面の側に前記第３基板を１つ以上積層する工程と、
を有し、
前記第１基板には、前記第２基板と貼り合わせる側の前記基板面の側に、前記第１電界効果トランジスタのゲート電極と接続したゲート電極用トランジスタ配線層および当該第１電界効果トランジスタの対応するソース・ドレイン領域と接続したソース・ドレイン領域用トランジスタ配線層を形成し、
前記第２基板には、前記第１基板と貼り合わせる側の前記基板面の側に、前記第２電界効果トランジスタのゲート電極と接続したゲート電極用トランジスタ配線層および当該第２電界効果トランジスタの対応するソース・ドレイン領域と接続したソース・ドレイン領域用トランジスタ配線層を形成し、かつ、前記第１基板と貼り合わせる側の前記基板面の側および反対側の前記第３基板と貼り合わせる基板面の側のそれぞれに、互いに電気的に接続した中継用配線層を形成し、
前記第３基板には、前記第２基板と貼り合わせる側の前記基板面の側に、前記第３電界効果トランジスタのゲート電極と接続したゲート電極用トランジスタ配線層および当該第３電界効果トランジスタの対応するソース・ドレイン領域と接続したソース・ドレイン領域用トランジスタ配線層を形成し、かつ、前記第２基板と貼り合わせる側の前記基板面の側および反対側の基板面の側のそれぞれに、互いに電気的に接続した中継用配線層を形成し、
前記第１基板と前記第２基板は、前記ゲート電極用トランジスタ配線層同士、前記ソース・ドレイン領域用トランジスタ配線層同士の少なくともいずれかを直接接合して、前記第１電界効果トランジスタと前記第２電界効果トランジスタとを電気的に接続し、また、前記第１基板のトランジスタ配線層のうち前記第２基板のトランジスタ配線層と結合されないトランジスタ配線層を、前記第２基板の前記第１基板と貼り合わせる基板面の側の前記中継用配線層と結合し、
前記第２基板と前記第３基板は、前記第２基板の前記第３基板と貼り合わせる基板面の側の前記中継用配線層と、前記第３基板の前記第２基板と貼り合わせる側の前記基板面の側に形成した前記ゲート電極用トランジスタ配線層、前記ソース・ドレイン領域用トランジスタ配線層、および中継用配線層の少なくともいずれかとを接合し、
前記第１基板の前記トランジスタ配線層および前記第２基板の前記トランジスタ配線層には、接合する領域と非接合とする領域を確保するように導電領域と絶縁領域を形成し、
非結合状態の場合、前記第１基板と前記第２基板のトランジスタ配線層は、前記絶縁領域同士、または一方の前記導電領域と他方の前記絶縁領域とを交差して重ねあわせ、
結合状態の場合、一方のトランジスタ配線層の前記導電領域と他方のトランジスタ配線層の導電領域とを交差して重ね合わせ、
前記第１基板と前記第２基板は、前記第１電界効果トランジスタと前記第２電界効果トランジスタの互いのチャネル方向が所定角度をもって交差するように貼り合わせる
半導体装置の製造方法。
【請求項２１】
前記第３基板の前記第２基板と貼り合わせる側の前記基板面の側と反対側の基板面の側に積層する上層側の第３基板には、下層側の前記第２基板と貼り合わせる側の前記基板面の側に、前記第３電界効果トランジスタのゲート電極と接続したゲート電極用トランジスタ配線層および当該第３電界効果トランジスタの対応するソース・ドレイン領域と接続したソース・ドレイン領域用トランジスタ配線層を形成し、かつ、前記第２基板と貼り合わ

せる側の前記基板面の側および反対側の基板面の側のそれぞれに、互いに電気的に接続し中継用配線層を形成し、
　下層側の前記第３基板と上層側の前記第３基板は、下層側の前記第３基板の上層側の前記第３基板と貼り合わせる基板面の側の前記中継用配線層と、上層側の前記第３基板の下層側の前記第３基板と貼り合わせる側の前記基板面の側に形成した前記ゲート電極用トランジスタ配線層、前記ソース・ドレイン領域用トランジスタ配線層、および中継用配線層の少なくともいずれかとを接合する
　請求項２０に記載の半導体装置の製造方法。
【請求項２２】
　最上層の前記第３基板の最表面の側に設ける配線層は多層配線層として形成する
　請求項２０または２１に記載の半導体装置の製造方法。
【請求項２３】
　前記第２基板の前記第３基板と貼り合わせる基板面の側の配線層、前記第３基板の上層側の前記第３基板と貼り合わせる基板面の側の配線層のいずれかを多層配線層として形成す
　請求項２０から２２の何れか一項に記載の半導体装置の製造方法。
【請求項２４】
　前記第２基板および前記第３基板の一方の面と他方の面のそれぞれの側に設けられた２つの前記中継用配線層を、層間絶縁膜内に形成されたコンタクトと、基板を貫いて形成された接続ビアとによって互いに接続する
　請求項２０から２３の何れか一項に記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
　本技術は、半導体装置、および、その製造方法に関する。特に、異なる基板に形成された複数の電界効果トランジスタ（ＦＥＴ：Ｆｉｅｌｄ　ｅｆｆｅｃｔ　ｔｒａｎｓｉｓｔｏｒ）を含み、両者が電気的に接続されている、半導体装置、および、その製造方法に関する。
【背景技術】
【０００２】
　半導体装置においては、ムーアのスケーリング則に従って、ＦＥＴなどの半導体素子のサイズが縮小され、処理スピードや消費電力などの特性について向上されていた。しかし、半導体装置においては、更なるサイズの縮小化および高性能化に伴って、素子間をいかに効率良く接続するかが重要になってきている。
【０００３】
　特に、複数の基板を重ねて集積度を向上させるために複数の基板を積層させた３次元構造の半導体装置については様々な素子間接続法が検討されている。また、性能向上等の目的で、同一の基板に同一のプロセスで形成できないトランジスタを集積化する場合など、基板を積層化する要請は増大している。
【０００４】
　このような場合が増える背景として、例えば、ショートチャネル効果などの要因により、性能の向上が困難になってきていることを挙げることができる。
　この困難を打開するために、例えば、チャネル領域に応力を印加して歪みを生じさせることで、キャリア移動度を向上させ、オン電流を上げることが提案されている。
【０００５】
　具体的には、ＦＥＴをストレスライナー（Ｓｔｒｅｓｓ　Ｌｉｎｅｒ）層で被覆することによって、チャネル領域に歪みを生じさせることが知られている。ここでは、ｎ型ＭＯＳ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ＦＥＴについて、引っ張り応力を与えるストレスライナー層を用いることで、電子移動度を向上させている。一方、ｐ型ＭＯＳＦＥＴについては、圧縮応力を与えるストレスライナー層を用いることで、正

孔（ホール）移動度を向上させている（たとえば、非特許文献１，特許文献１参照）。
【０００６】
また、半導体基板と異なる格子定数のエピタキシャル層を用いて、一対のソース・ドレイン領域について形成することで、チャネル領域に歪みを与えることが提案されている。たとえば、ｎ型ＭＯＳＦＥＴにおいては、たとえば、ＳｉＣなどのように引っ張り応力を与える材料を用いて一対のソース・ドレイン領域を形成する。一方、ｐ型ＭＯＳＦＥＴにおいては、ＳｉＧｅなどのように圧縮応力を与える材料を用いて一対のソース・ドレイン領域を形成する（たとえば、特許文献２参照）。
【０００７】
また、半導体においてキャリア移動度が高い結晶方位面にチャネル領域を設けるようにＦＥＴを形成することが知られている。たとえば、ｎ型ＭＯＳＦＥＴにおいては、（１００）面をチャネル領域とするように形成することで、電子移動度を向上させている。一方で、ｐ型ＭＯＳＦＥＴにおいては、たとえば、（１１０）面をチャネル領域とするように形成することで、正孔（ホール）移動度を向上させている（たとえば、非特許文献２，特許文献３参照）。
【０００８】
上記の他に、ゲート絶縁膜の薄膜化に伴って、ゲート・リーク電流が生じて、消費電力が増加するなどの不具合が発生する場合がある。
【０００９】
この不具合を防止するために、シリコン酸化物よりも誘電率が高い高誘電率（ｈｉｇｈ－ｋ）材料を用いて、ゲート絶縁膜を形成することが提案されている。たとえば、ＨｆＳｉＯＮなどをｈｉｇｈ－ｋ材料として用いて、ゲート絶縁膜を形成する。ｈｉｇｈ－ｋ材料でゲート絶縁膜を形成した場合には、その特長を発揮させるために、ゲート電極をポリシリコンでなく、金属材料で形成している。ここでは、ＦＥＴの閾値電圧Ｖｔｈの制御のため、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとのそれぞれのゲート電極について適切な仕事関数になるように、互いを異なる金属材料で形成している。具体的には、ｎ型ＭＯＳＦＥＴの場合には、ゲート電極の仕事関数が伝導帯の端に位置するような金属を用いて、ゲート電極を形成している。一方で、ｐ型ＭＯＳＦＥＴの場合には、ゲート電極の仕事関数が価電子帯の端に位置するような金属を用いて、ゲート電極を形成している（たとえば、非特許文献３，特許文献４参照）。
【先行技術文献】
【非特許文献】
【００１０】
【非特許文献１】Ｈ．Ｓ．Ｙａｎｇ，ｅｔ ａｌ．，”Ｄｕａｌ Ｓｔｒｅｓｓ Ｌｉｎｅｒ ｆｏｒ Ｈｉｇｈ Ｐｅｒｆｏｒｍａｎｃｅ ｓｕｂ－４５ｎｍ Ｇａｔｅ Ｌｅｎｇｔｈ ＳＯＩ ＣＭＯＳ Ｍａｎｕｆａｃｔｕｒｉｎｇ”，ＩＥＤＭ Ｔｅｃｈ．Ｄｉｇ．，ｐ．１０７５，２００４
【非特許文献２】Ｍ．Ｙａｎｇ，ｅｔ ａｌ．，”Ｈｉｇｈ ｐｅｒｆｏｒｍａｎｃｅ ＣＭＯＳ Ｆａｂｒｉｃａｔｅｄ ｏｎ Ｈｙｂｒｉｄ Ｓｕｂｓｔｒａｔｅ Ｗｉｔｈ Ｄｉｆｆｅｒｅｎｔ Ｃｒｙｓｔａｌ Ｏｒｉｅｎｔａｔｉｏｎ”，ＩＥＤＭ，Ｐ．４５３～４５６，２００３
【非特許文献３】Ｌ．Ｗｉｔｔｅｒｓ ｅｔ ａｌ．，”８Å Ｔｉｎｖ Ｇａｔｅ－Ｆｉｒｓｔ Ｄｕａｌ Ｃｈａｎｎｅｌ Ｔｅｃｈｎｏｌｏｇｙ Ａｃｈｉｅｖｉｎｇ Ｌｏｗ－Ｖｔ Ｈｉｇｈ Ｐｅｒｆｏｒｍａｎｃｅ”，ＩＥＥＥ，２０１０
【特許文献】
【００１１】
【特許文献１】特開２０１０－２０５９５１号公報（段落［００３０］，［００３１］など）
【特許文献２】特開２００６－２０３０９１号公報（段落［００７６］，図７など）
【特許文献３】特開２００７－１９４３３７号公報（段落［０００３］など）

【特許文献４】特開２００５－２８５８０９号公報（段落［０００２］，［０１３４］，［０１３９］など）
【発明の概要】
【発明が解決しようとする課題】
【００１２】
上記のように、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとのそれぞれは、特性を向上させるために、互いに異なる材料を用いる必要がある。
【００１３】
このため、ＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）の製造にて、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとを同一基板に形成する場合には、両者の特性を向上させるために、個別に形成する必要が生ずる。たとえば、一方の導電型のＭＯＳＦＥＴを半導体基板に形成後に、他方の導電型のＭＯＳＦＥＴを、それと同一の半導体基板に形成する。よって、工程数が増加して製造効率が低下すると共に、製造のコストアップが生ずる場合がある。
【００１４】
たとえば、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとのそれぞれのキャリア移動度を向上させるために、同一基板上に異なる結晶方位面を設ける場合には、その異なる結晶方位面の層を、その基板に貼り合わせるプロセスが必要になる。また、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとを同一基板上において作り分ける際に、高度な結晶成長技術が必要になる場合がある（非特許文献２参照）。
【００１５】
また、先に設けた一方のＦＥＴが、他方のＦＥＴにおいてゲート絶縁膜を形成する場合や、イオン注入後のアニール処理の実施の場合のように、高温な条件下に曝されて、その特性の劣化が生じ、装置の信頼性が低下する場合がある。特に、４５ｎｍ ｎｏｄｅ世代以降のＦＥＴでは、このような不具合の発生が顕在化する（非特許文献３参照）。
【００１６】
したがって、本技術は、製造効率の向上、コストダウン、信頼性の向上が可能な、半導体装置、および、その製造方法を提供する。
【課題を解決するための手段】
【００１７】
本技術の半導体装置は、第１電界効果トランジスタが設けられている第１基板と、第２電界効果トランジスタが設けられている第２基板とを有し、前記第１基板と前記第２基板は、前記第１または第２電界効果トランジスタが設けられた基板面の側が互いに貼り合わされており、前記第１電界効果トランジスタと前記第２電界効果トランジスタとが電気的に接続されている。
【００１８】
本技術の半導体装置の製造方法は、第１導電型の第１電界効果トランジスタを第１基板に設ける工程と、前記第１導電型と異なる第２導電型の第２電界効果トランジスタを第２基板に設ける工程と、前記第１電界効果トランジスタと前記第２電界効果トランジスタとの接続構造を、前記第１基板と前記第２基板のそれぞれに予め形成する工程と、前記第１基板と前記第２基板を、前記第１または第２電界効果トランジスタが設けられた基板面の側から互いに貼り合わせ、当該基板の貼り合わせによって、前記接続構造を介して前記第１電界効果トランジスタと前記第２電界効果トランジスタとを電気的に接続する工程とを有する。
【００１９】
本技術では、例えば第１導電型の第１電界効果トランジスタを第１基板に設ける。そして、例えば、第１導電型と異なる第２導電型の第２電界効果トランジスタを第２基板に設ける。そして、第１基板と第２基板とのそれぞれを対面させて貼り合わせる。このとき両基板は、前記第１または第２電界効果トランジスタが設けられた基板面の側が互いに貼り合わされる。

特に本技術の製造方法では、この基板貼り合わせ時に、予め各基板に形成しておいた接続構造を介して、第１電界効果トランジスタと第２電界効果トランジスタとが電気的に接続される。

【発明の効果】

【００２０】

本技術によれば、製造効率の向上、コストダウン、信頼性の向上が可能な、半導体装置、および、その製造方法を提供することができる。

【図面の簡単な説明】

【００２１】

【図１】図１は、実施形態１において、半導体装置の要部を示す図である。

【図２】図２は、実施形態１において、半導体装置の要部を示す図である。

【図３】図３は、実施形態１において、半導体装置の要部を示す図である。

【図４】図４は、実施形態１において、半導体装置の要部を示す図である。

【図５】図５は、実施形態１において、半導体装置の要部を示す図である。

【図６】図６は、実施形態１において、半導体装置の一部を構成するｎ型ＭＯＳＦＥＴの要部を示す図である。

【図７】図７は、実施形態１において、半導体装置の一部を構成するｐ型ＭＯＳＦＥＴの要部を示す図である。

【図８】図８は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図９】図９は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１０】図１０は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１１】図１１は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１２】図１２は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１３】図１３は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１４】図１４は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１５】図１５は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１６】図１６は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１７】図１７は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１８】図１８は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【図１９】図１９は、実施形態２において、半導体装置の製造方法の要部を示す図である。

【図２０】図２０は、実施形態３において、半導体装置の要部を示す図である。

【図２１】図２１は、実施形態３において、半導体装置の製造方法の要部を示す図である。

【図２２】図２２は、実施形態３において、半導体装置の製造方法の要部を示す図である。

【図２３】図２３は、実施形態３において、半導体装置の製造方法の要部を示す図である。

【図２４】図２４は、実施形態４において、半導体装置の要部を示す図である。

【図２５】図２５は、実施形態５において、半導体装置の要部を示す図である。

【図２６】図２６は、実施形態５において、半導体装置の要部を示す図である。

【図２７】図２７は、実施形態５において、半導体装置の要部を示す図である。
【図２８】図２８は、実施形態６において、半導体装置の要部を示す図である。
【図２９】図２９は、実施形態６において、半導体装置の要部を示す図である。
【図３０】図３０は、実施形態６において、半導体装置の要部を示す図である。
【図３１】図３１は、実施形態７において、半導体装置の要部を示す図である。
【図３２】図３２は、実施形態７において、半導体装置の要部を示す図である。
【図３３】図３３は、実施形態７において、半導体装置の要部を示す図である。
【図３４】図３４は、実施形態８において、半導体装置の要部を示す図である。
【図３５】図３５は、実施形態８において、半導体装置の要部を示す図である。
【図３６】図３６は、実施形態８において、半導体装置の要部を示す図である。
【図３７】図３７は、実施形態８において、半導体装置の要部を示す図である。
【図３８】図３８は、実施形態９において、半導体装置の要部を示す図である。
【図３９】図３９は、実施形態１０において、半導体装置の要部を示す図である。
【図４０】図４０は、実施形態１０において、半導体装置の要部を示す図である。
【図４１】図４１は、実施形態１０において、半導体装置の要部を示す図である。
【図４２】図４２は、実施形態１０において、半導体装置の要部を示す図である。
【図４３】図４３は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４４】図４４は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４５】図４５は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４６】図４６は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４７】図４７は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４８】図４８は、実施形態１１において、半導体装置の要部を示す図である。
【図４９】図４９は、実施形態１１において、半導体装置の製造方法の要部を示す図である。
【図５０】図５０は、実施形態１１において、半導体装置の製造方法の要部を示す図である。
【図５１】図５１は、実施形態１１において、半導体装置の製造方法の要部を示す図である。
【図５２】図５２は、実施形態１１において、半導体装置の製造方法の要部を示す図である。
【図５３】図５３は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５４】図５４は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５５】図５５は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５６】図５６は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５７】図５７は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５８】図５８は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５９】図５９は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図６０】図６０は、実施形態１３において、半導体装置の要部を示す図である。

【図６１】図６１は、実施形態１３において、半導体装置の要部を示す図である。
【図６２】図６２は、実施形態１３において、半導体装置の製造方法の要部を示す図である。
【図６３】図６３は、実施形態１３において、半導体装置の製造方法の要部を示す図である。
【図６４】図６４は、実施形態１４において、半導体装置の製造方法の要部を示す図である。
【図６５】図６５は、実施形態１４において、半導体装置の構造および製造方法の要部を示す図である。
【図６６】図６６は、実施形態１４のバリエーション、その１を示す図である。
【図６７】図６７は、実施形態１４のバリエーション、その２を示す図である。
【図６８】図６８は、実施形態１４のバリエーション、その３を示す図である。
【図６９】図６９は、変形例１の要部を示す図である。
【図７０】図７０は、変形例１の要部を示す図である。
【図７１】図７１は、変形例２の要部を示す図である。
【図７２】図７２は、変形形態において、ｎ型ＭＯＳＦＥＴのゲート電極を示す断面図である。
【発明を実施するための形態】
【００２２】
本技術の実施形態について、図面を参照して説明する。
【００２３】
なお、説明は、下記の順序で行う。
１．実施形態１（ｎＦＥＴとｐＦＥＴとを異なる基板に設けて貼り合せる場合）
２．実施形態２（ビアを一括で形成する場合）
３．実施形態３（接合部分の層間絶縁膜がｌｏｗ－ｋ材料の場合）
４．実施形態４（下部の基板の素子分離部がＳＴＩでない場合）
５．実施形態５（シェア・ビアを用いる場合）
６．実施形態６（ゲートの長手方向がｎＦＥＴとｐＦＥＴとの間で直交する場合）
７．実施形態７（ゲートの長手方向がｎＦＥＴとｐＦＥＴとの間で４５°に交差する場合）
８．実施形態８（ＮＡＮＤの場合）
９．実施形態９（ＮＯＲの場合）
１０．実施形態１０（配線層の直接結合の場合）
１１．実施形態１１（フルシリサイド化されたソース・ドレイン領域をもつ場合）
１２．実施形態１２（配線層の直接結合においてチャネル方向が平行の場合と直交する場合）
１３．実施形態１３（ｆｉｎＦＥＴの場合）
１４．実施形態１４（３層以上の多層基板積層の場合）
１５．変形例（化合物半導体を用いる場合など）
【００２４】
＜１．実施形態１＞
［Ａ］装置構成
図１～図５は、実施形態１において、半導体装置の要部を示す図である。
【００２５】
図１は、半導体装置の回路構成を示す回路図である。
【００２６】
図２は、半導体装置の要部を示す図である。なお、図２は、２つの基板を重ねた概略的な平面図であり、視認性向上のため、２つの基板にそれぞれ形成されたパターン同士を図の左右（ｘ方向）および上下（ｙ方向）に少しずらして示している。
【００２７】

図３～図５は、半導体装置の要部を示す断面図である。ここで、図３は、図２のＸ１１－Ｘ１２部分の断面を示している。図４は、図２のＸ２１－Ｘ２２部分の断面を示している。図５は、図２のＸ３１－Ｘ３２部分の断面を示している。各図においては、各部のレイアウトについて容易に理解できるように、各部のスケールを適宜変更して示している。

【００２８】

図１～図５に示すように、半導体装置１は、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを含むＣＭＯＳ回路を有する。なお、図２においては、ｐ型ＭＯＳＦＥＴ２１１Ｐについてドットを付して示しており、ｎ型ＭＯＳＦＥＴ１１１Ｎについては、ドットを付して示していない。

【００２９】

図１に示すように、半導体装置１において、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐが、たとえば、ＣＭＯＳインバータ回路（ＮＯＴ回路）を構成するように、電気的に接続されている。つまり、半導体装置１は、入力信号がハイの場合には出力信号がローであり、入力信号がローの場合には出力信号がハイになるように、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとが電気的に接続されている。

【００３０】

具体的には、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、図１に示すように、ゲートが、互いに電気的に接続されていると共に、入力端子（Ｉｎ）に電気的に接続されている。

【００３１】

また、ｎ型ＭＯＳＦＥＴ１１１Ｎのドレインと、ｐ型ＭＯＳＦＥＴ２１１Ｐのドレインが電気的に接続されていると共に、出力端子（Ｏｕｔ）が電気的に接続されている。

【００３２】

そして、ｎ型ＭＯＳＦＥＴ１１１Ｎのソースがグランド（ＧＮＤ）に電気的に接続されている。また、ｐ型ＭＯＳＦＥＴ２１１Ｐのソースが、電源電圧の端子（Ｖｄｄ）に電気的に接続されている。

【００３３】

図２に示すように、半導体装置１において、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、互いが対面するように配置されている。ここで「ＭＯＳＦＥＴが互いが対面する」とは、ゲート電極のチャネル側と反対側の面（上面）が互いに向き合うことを言う。

【００３４】

図３～図５に示すように、半導体装置１は、第１基板１０１と第２基板２０１とを含む。第１基板１０１と第２基板２０１が対面している。ｎ型ＭＯＳＦＥＴ１１１Ｎは、第１基板１０１において第２基板２０１に対面する面（上面）側に設けられている。そして、ｐ型ＭＯＳＦＥＴ２１１Ｐは、第２基板２０１において第１基板１０１に対面する面（下面）側に設けられている。

【００３５】

そして、図３～図５に示すように、第２基板２０１において第１基板１０１に対面する面（下面）側とは反対側の面（上面）には、多層配線層３１０が設けられている。詳細については後述するが、多層配線層３１０中に設けられた複数の配線（３２１Ｈなど）を介して、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐが、電気的に接続されている。

【００３６】

図６は、実施形態１において、半導体装置の一部を構成するｎ型ＭＯＳＦＥＴの要部を示す図である。図７は、実施形態１において、半導体装置の一部を構成するｐ型ＭＯＳＦＥＴの要部を示す図である。

【００３７】

図６，図７においては、上面を示しており、下層の部材において上層で覆われた部分の輪郭を細い破線で示している。これと共に、ｎ型ＭＯＳＦＥＴ１１１Ｎおよびｐ型ＭＯＳ

ＦＥＴ２１１Ｐの上方において、多層配線層３１０を構成する複数の配線の一部（最下部のもの）について、太い破線で示している。

【００３８】

図６に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎは、ゲート電極１１１Ｇと、一対のソース・ドレイン領域１１１Ａ，１１１Ｂとを含む。

【００３９】

また、図７に示すように、ｐ型ＭＯＳＦＥＴ２１１Ｐは、ゲート電極２１１Ｇと、一対のソース・ドレイン領域２１１Ａ，２１１Ｂとを含む。

【００４０】

各部の詳細について、順次、説明する。

【００４１】

［Ａ－１］第１基板１０１について

第１基板１０１は、たとえば、単結晶シリコン半導体からなる（１００）基板である。

【００４２】

第１基板１０１においては、図３～図５に示すように、第２基板２０１に対面する面（上面）側に、ｎ型ＭＯＳＦＥＴ１１１Ｎが設けられている。

【００４３】

ｎ型ＭＯＳＦＥＴ１１１Ｎは、図３などに示すように、ＬＤＤ構造である。ｎ型ＭＯＳＦＥＴ１１１Ｎは、電子移動度が高くなるように、たとえば、チャネル方向が、第１基板１０１の（１００）面において、＜１１０＞方位へ向くように設けられている。なお、本開示技術で「チャネル方向」とは、チャネル電流が流れる方向、もしくはソース・ドレイン領域の離間方向を言う。

【００４４】

図３などに示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎは、第１基板１０１において素子分離層１１０で区画された領域内に設けられている。

【００４５】

ここでは、素子分離層１１０は、たとえば、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）構造になるように設けられている。具体的には、第１基板１０１の面（ｘｙ面）においてｎ型ＭＯＳＦＥＴ１１１Ｎを形成する領域を区画するように、第１基板１０１の面にトレンチ（図示無し）を形成する。その後、たとえば、シリコン酸化物などの絶縁体を、そのトレンチ（図示無し）に埋め込むことによって、素子分離層１１０が形成される。

【００４６】

ｎ型ＭＯＳＦＥＴ１１１Ｎのうち、ゲート電極１１１Ｇは、図３などに示すように、第１基板１０１の面（ｘｙ面）において、ゲート絶縁膜１１１Ｚを介して、凸状に突き出るように設けられている。ゲート電極１１１Ｇは、第１基板１０１の面（ｘｙ面）に対して垂直な面（ｙｚ面）における断面が、矩形状になるように設けられている。

【００４７】

また、ゲート電極１１１Ｇは、図６に示すように、第１基板１０１の面（ｘｙ面）において、長手方向がｙ方向へ沿うように延在している。

【００４８】

ここでは、ゲート絶縁膜１１１Ｚは、シリコン酸化物よりも誘電率が高い高誘電率（ｈｉｇｈ－ｋ）材料を用いて形成されている。そして、ゲート電極１１１Ｇは、仕事関数が伝導帯の端に位置するような金属材料を用いて形成されている。

【００４９】

そして、ゲート電極１１１Ｇの両側部には、絶縁膜Ｚ１を介してサイドウォールＳＷ１が設けられている。サイドウォールＳＷ１は、たとえば、ＳｉＮなどの絶縁材料を用いて形成されている。絶縁膜Ｚ１は、ゲート電極１１１Ｇの側面と、第１基板１０１の上面においてゲート電極１１１Ｇの両側部に近接する部分とを被覆するように設けられている。絶縁膜Ｚ１は、たとえば、SiO_2などの絶縁材料を用いて形成されている。

【００５０】
ｎ型ＭＯＳＦＥＴ１１１Ｎのうち、一対のソース・ドレイン領域１１１Ａ，１１１Ｂは、図３などに示すように、第１基板１０１において、ゲート電極１１１Ｇが設けられたチャネル領域の部分を挟むように設けられている。
【００５１】
一対のソース・ドレイン領域１１１Ａ，１１１Ｂは、図３などに示すように、低濃度不純物領域１１１ＡＬ，１１１ＢＬと、高濃度不純物領域１１１ＡＨ，１１１ＢＨとを有する。低濃度不純物領域１１１ＡＬ，１１１ＢＬと、高濃度不純物領域１１１ＡＨ，１１１ＢＨとのそれぞれは、ｎ型の不純物がドープされている。
【００５２】
低濃度不純物領域１１１ＡＬ，１１１ＢＬは、図３などに示すように、第１基板１０１の上面側において、絶縁膜Ｚ１とサイドウォールＳＷ１とが設けられた部分の下部に設けられている。低濃度不純物領域１１１ＡＬ，１１１ＢＬは、いわゆるエクステンション領域であり、一対で、チャネル領域を挟むように設けられている。
【００５３】
高濃度不純物領域１１１ＡＨ，１１１ＢＨは、図３などに示すように、第１基板１０１の上面側において、絶縁膜Ｚ１とサイドウォールＳＷ１が設けられた部分の両側部に設けられている。高濃度不純物領域１１１ＡＨ，１１１ＢＨは、低濃度不純物領域１１１ＡＬ，１１１ＢＬを介して、一対でチャネル領域を挟むように設けられている。高濃度不純物領域１１１ＡＨ，１１１ＢＨは、低濃度不純物領域１１１ＡＬ，１１１ＢＬよりも不純物の濃度が高く、かつ、深い位置まで形成されている。
【００５４】
高濃度不純物領域１１１ＡＨ，１１１ＢＨは、たとえば、第１基板１０１に凹部を形成後、その凹部から結晶をエピタキシャル成長させることで形成されている。たとえば、第１基板１０１と格子定数が異なる材料であって、チャネル領域に引っ張り応力を与えて電子移動度が向上するように設けられている。
【００５５】
第１基板１０１においては、図３～図５に示すように、ストレスライナー層１２１が設けられている。
【００５６】
ストレスライナー層１２１は、図３などに示すように、第１基板１０１においてｎ型ＭＯＳＦＥＴ１１１Ｎが設けられた上面を被覆するように設けられている。ここでは、ｎ型ＭＯＳＦＥＴ１１１Ｎの電子移動度を向上させるために、チャネル領域に引っ張り応力を与える材料を用いて、ストレスライナー層１２１を形成している。また、このストレスライナー層１２１は、エッチングストッパー層として機能するように構成されている。つまり、ストレスライナー層１２１は、ＣＥＳＬ（Ｃｏｎｔａｃｔ　Ｅｔｃｈ　Ｓｔｏｐ　Ｌｉｎｅｒ）層である。
【００５７】
第１基板１０１においては、図３～図５に示すように、平坦化膜１３１が設けられている。平坦化膜１３１は、図３などに示すように、第１基板１０１においてストレスライナー層１２１の上面を被覆して平坦になるように設けられている。
【００５８】
第１基板１０１においては、図３～図５に示すように、複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧが設けられている。複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧは、図３～図５に示すように、平坦化膜１３１の上面に設けられている。
なお、本開示技術で「配線層」および「配線」は、ライン形状を特定する呼称ではなく、多層配線層内で同一の導電層を加工して形成される層を言う。従って、ライン形状に限らず、正方形、矩形、その他、平面形状は何でもよい。
【００５９】
配線層１１１ＨＡは、図３に示すように、平坦化膜１３１を貫通するコンタクトＣ１１

を介して、一方のソース・ドレイン領域１１１Ａに電気的に接続するように設けられている。具体的には、配線層１１１ＨＡは、一方のソース・ドレイン領域１１１Ａのうち、高濃度不純物領域１１１ＡＨに接続している。そして、図６に示すように、配線層１１１ＨＡは、一方のソース・ドレイン領域１１１Ａの上方において、ｙ方向に沿って延在した部分を含むように形成されている。つまり、配線層１１１ＨＡは、長手方向がｙ方向に沿うように形成されている。そして、配線層１１１ＨＡは、ｙ方向において延在する部分の上端から、ｘ方向において外側へ延在する部分を含むように形成されている。

【００６０】

配線層１１１ＨＢは、図３に示すように、平坦化膜１３１を貫通するコンタクトＣ１１を介して、他方のソース・ドレイン領域１１１Ｂに電気的に接続するように設けられている。具体的には、配線層１１１ＨＢは、他方のソース・ドレイン領域１１１Ｂのうち、高濃度不純物領域１１１ＢＨに接続するように設けられている。そして、図６に示すように、配線層１１１ＨＢは、他方のソース・ドレイン領域１１１Ｂの上方において、ｙ方向に沿って延在した部分を含むように形成されている。つまり、配線層１１１ＨＢは、長手方向がｙ方向に沿うように形成されている。そして、配線層１１１ＨＢは、ｙ方向において延在する部分の下端から、ｘ方向において外側へ延在する部分を含むように形成されている。

【００６１】

配線層１１１ＨＧは、図４に示すように、平坦化膜１３１を貫通するコンタクトＣ１１を介して、ゲート電極１１１Ｇに電気的に接続するように設けられている。そして、図６に示すように、配線層１１１ＨＧは、ゲート電極１１１Ｇの上方において、ゲート電極１１１Ｇの上端から、ｘ方向に沿って延在した部分を含むように形成されている。つまり、配線層１１１ＨＧは、長手方向がｘ方向に沿うように形成されている。

【００６２】

そして、図３～図５に示すように、複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧは、複数の層間絶縁膜１３２，１５１によって被覆されている。

【００６３】

平坦化膜１３１、複数の層間絶縁膜１３２，１５１は、たとえば、シリコン酸化物、シリコン窒化物などの絶縁材料を用いて形成されている。各配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧおよびコンタクトＣ１１は、たとえば、Ａｌ，Ｃｕなどの金属材料を用いて形成されている。

【００６４】

［Ａ－２］第２基板２０１について

第２基板２０１は、たとえば、単結晶シリコン半導体からなる（１１０）基板である。

【００６５】

第２基板２０１においては、図３～図５に示すように、ｐ型ＭＯＳＦＥＴ２１１Ｐが第１基板１０１に対面する面（下面）側に設けられている。

【００６６】

ｐ型ＭＯＳＦＥＴ２１１Ｐは、図３などに示すように、ＬＤＤ構造である。ここでは、ｐ型ＭＯＳＦＥＴ２１１Ｐは、正孔移動度が高くなるように、たとえば、チャネル方向が、第２基板２０１の（１１０）面において、＜１１０＞方位へ向くように設けられている。

【００６７】

図３などに示すように、ｐ型ＭＯＳＦＥＴ２１１Ｐは、第２基板２０１において素子分離層２１０で区画された領域内に設けられている。

【００６８】

ここでは、素子分離層２１０は、たとえば、ＳＴＩ構造になるように設けられている。具体的には、第２基板２０１においてｐ型ＭＯＳＦＥＴ２１１Ｐを形成する領域を区画するように、第２基板２０１の面（ｘｙ面）にトレンチ（図示無し）を形成する。その後、たとえば、シリコン酸化物などの絶縁体を、そのトレンチに埋め込むことによって、素子

分離層２１０が形成される。

【００６９】

ｐ型ＭＯＳＦＥＴ２１１Ｐのうち、ゲート電極２１１Ｇは、図３などに示すように、第２基板２０１の面（ｘｙ面）において、ゲート絶縁膜２１１Ｚを介して、凸状に突き出るように設けられている。ゲート電極２１１Ｇは、第２基板２０１の面（ｘｙ面）に対して垂直な面（ｙｚ面）における断面が、矩形状になるように設けられている。

【００７０】

また、ゲート電極２１１Ｇは、図７に示すように、第２基板２０１の面（ｘｙ面）において、長手方向がｙ方向へ沿うように延在している。

【００７１】

ここでは、ゲート絶縁膜２１１Ｚは、高誘電率（ｈｉｇｈ－ｋ）材料を用いて形成されている。そして、ゲート電極２１１Ｇは、仕事関数が価電子帯の端に位置するような金属材料を用いて形成されている。

【００７２】

そして、ゲート電極２１１Ｇの両側部には、絶縁膜Ｚ２を介してサイドウォールＳＷ２が設けられている。サイドウォールＳＷ２は、たとえば、ＳｉＮなどの絶縁材料を用いて形成されている。絶縁膜Ｚ２は、ゲート電極２１１Ｇの側面と、第２基板２０１の面においてゲート電極２１１Ｇの両側部に近接する部分とを被覆するように設けられている。絶縁膜Ｚ２は、たとえば、SiO_2などの絶縁材料を用いて形成されている。

【００７３】

ｐ型ＭＯＳＦＥＴ２１１Ｐのうち、一対のソース・ドレイン領域２１１Ａ，２１１Ｂは、図３などに示すように、第２基板２０１において、ゲート電極２１１Ｇが設けられたチャネル領域の部分を挟むように設けられている。

【００７４】

一対のソース・ドレイン領域２１１Ａ，２１１Ｂは、図３などに示すように、低濃度不純物領域２１１ＡＬ，２１１ＢＬと、高濃度不純物領域２１１ＡＨ，２１１ＢＨとを有する。低濃度不純物領域２１１ＡＬ，２１１ＢＬと、高濃度不純物領域２１１ＡＨ，２１１ＢＨとのそれぞれは、ｐ型の不純物がドープされている。

【００７５】

低濃度不純物領域２１１ＡＬ，２１１ＢＬは、図３などに示すように、第２基板２０１の下面側において、絶縁膜Ｚ２とサイドウォールＳＷ２とが設けられた部分の上部に設けられている。低濃度不純物領域２１１ＡＬ，２１１ＢＬは、いわゆるエクステンション領域であり、一対で、チャネル領域を挟むように設けられている。

【００７６】

高濃度不純物領域２１１ＡＨ，２１１ＢＨは、図３などに示すように、第２基板２０１の下面側において、絶縁膜Ｚ２とサイドウォールＳＷ２が設けられた部分の両側部に設けられている。高濃度不純物領域２１１ＡＨ，２１１ＢＨは、低濃度不純物領域２１１ＡＬ，２１１ＢＬを介して、一対でチャネル領域を挟むように設けられている。高濃度不純物領域２１１ＡＨ，２１１ＢＨは、低濃度不純物領域２１１ＡＬ，２１１ＢＬよりも不純物の濃度が高く、かつ、深い位置まで形成されている。

【００７７】

高濃度不純物領域２１１ＡＨ，２１１ＢＨは、たとえば、第２基板２０１に凹部を形成後、その凹部から結晶をエピタキシャル成長させることで形成されている。ここでは、たとえば、第２基板２０１と格子定数が異なる材料であって、チャネル領域に圧縮応力を与えて正孔移動度が向上するように設けられている。

【００７８】

第２基板２０１においては、図３～図５に示すように、ストレスライナー層２２１が設けられている。

【００７９】

ストレスライナー層２２１は、図３などに示すように、第２基板２０１においてｐ型Ｍ

ＯＳＦＥＴ２１１Ｐが設けられた面を被覆するように設けられている。ここでは、ｐ型ＭＯＳＦＥＴ２１１Ｐの正孔移動度を向上させるために、チャネル領域に圧縮応力を与える材料を用いて、ストレスライナー層２２１を形成している。また、このストレスライナー層２２１は、エッチングストッパー層として機能するように構成されている。つまり、ストレスライナー層２２１は、ＣＥＳＬ層である。

【００８０】

第２基板２０１においては、図３～図５に示すように、平坦化膜２３１が設けられている。平坦化膜２３１は、図３などに示すように、第２基板２０１においてストレスライナー層２２１を被覆して平坦になるように設けられている。

【００８１】

また、第２基板２０１においては、図３～図５に示すように、複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧが設けられている。複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧは、図３～図５に示すように、平坦化膜２３１にて第１基板１０１に対面する側の面（下面）に設けられている。

【００８２】

配線層２１１ＨＡは、図３に示すように、平坦化膜２３１を貫通するコンタクトＣ２１を介して、一方のソース・ドレイン領域２１１Ａに電気的に接続するように設けられている。具体的には、配線層２１１ＨＡは、一方のソース・ドレイン領域２１１Ａのうち、高濃度不純物領域２１１ＡＨに接続するように設けられている。そして、図７に示すように、配線層２１１ＨＡは、一方のソース・ドレイン領域２１１Ａの下方において、ｙ方向に沿って延在した部分を含むように形成されている。つまり、配線層２１１ＨＡは、長手方向がｙ方向に沿うように形成されている。

【００８３】

配線層２１１ＨＢは、図３に示すように、平坦化膜２３１を貫通するコンタクトＣ２１を介して、他方のソース・ドレイン領域２１１Ｂに電気的に接続するように設けられている。具体的には、配線層２１１ＨＢは、他方のソース・ドレイン領域２１１Ｂのうち、高濃度不純物領域２１１ＢＨに接続している。そして、図７に示すように、配線層２１１ＨＢは、他方のソース・ドレイン領域２１１Ｂの下方において、ｙ方向に沿って延在した部分を含むように形成されている。つまり、配線層２１１ＨＢは、長手方向がｙ方向に沿うように形成されている。そして、配線層２１１ＨＢは、ｙ方向において延在する部分の下端から、ｘ方向において外側へ延在する部分を含むように形成されている。

【００８４】

配線層２１１ＨＧは、図４に示すように、平坦化膜２３１を貫通するコンタクトＣ２１を介して、ゲート電極２１１Ｇに電気的に接続するように設けられている。そして、図７に示すように、配線層２１１ＨＧは、ゲート電極２１１Ｇの下方において、ゲート電極２１１Ｇの上端部分から、ｘ方向に沿って延在した部分を含むように形成されている。つまり、配線層２１１ＨＧは、長手方向がｘ方向に沿うように形成されている。

【００８５】

そして、図３～図５に示すように、複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧは、複数の層間絶縁膜２３２，２５１によって被覆されている。

【００８６】

平坦化膜２３１、複数の層間絶縁膜２３２，２５１は、たとえば、シリコン酸化物、シリコン窒化物などの絶縁材料を用いて形成されている。各配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧおよびコンタクトＣ２１は、たとえば、Ａｌ，Ｃｕなどの金属材料を用いて形成されている。

【００８７】

図３～図５に示すように、第２基板２０１は、第１基板１０１に対面している。ここでは、第２基板２０１は、ｐ型ＭＯＳＦＥＴ２１１Ｐが設けられた面が、第１基板１０１においてｎ型ＭＯＳＦＥＴ１１１Ｎが設けられた面に対面している。つまり、第２基板２０１に設けられた層間絶縁膜２５１が、第１基板１０１に設けられた層間絶縁膜１５１に対

面するように配置されている。
【００８８】
そして、第２基板２０１は、第１基板１０１に貼り合わされている。ここでは、第２基板２０１に設けられた層間絶縁膜２５１が、第１基板１０１に設けられた層間絶縁膜１５１に接合されている。
【００８９】
本実施形態では、図３～図５に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとが、第１基板１０１と第２基板２０１とが接合された接合面ＳＭを軸にして、対称になるように、各部が設けられている。
【００９０】
［Ａ－３］多層配線層３１０について
多層配線層３１０は、図３～図５に示すように、第２基板２０１において第１基板１０１に対面する面（下面）側とは反対側の面（上面）に設けられている。
【００９１】
多層配線層３１０は、複数の絶縁層３１１～３１６と複数の配線（３２１Ｈなど）とを含む。たとえば、６層の絶縁層３１１～３１６が、順次、積層されている。複数の配線（３２１Ｈなど）は、多層配線層３１０の内部において積層しており、コンタクト（３３１Ｃなど）によって、適宜、電気的に接続されている。
【００９２】
多層配線層３１０は、図４，図５に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとの間を、電気的に接続するように形成されている。
【００９３】
具体的には、図４に示すように、多層配線層３１０において、１層目の絶縁層３１１の上面に設けられた配線層３２１Ｈは、コンタクトＣ１２を介して、第１基板１０１に設けられた配線層１１１ＨＧに電気的に接続されている。これと共に、この配線層３２１Ｈは、コンタクトＣ２２を介して、第２基板２０１に設けられた配線層２１１ＨＧに電気的に接続されている。配線層３２１Ｈは、図６，図７に示すように、平面形状が、矩形状になるように形成されている。また、図４に示すように、この配線層３２１Ｈは、３層目の絶縁層３１３の上面に設けられた配線層３４１Ｈにコンタクト３３１Ｃを介して接続されている。そして、配線層３４１Ｈは、５層目の絶縁層３１５の上面に設けられた配線層３６１Ｈにコンタクト３５１Ｃを介して接続されている。そして、配線層３６１Ｈは、入力端子（Ｉｎ）に電気的に接続されている。このように、多層配線層３１０は、ｎ型ＭＯＳＦＥＴ１１１Ｎのゲート電極１１１Ｇとｐ型ＭＯＳＦＥＴ２１１Ｐのゲート電極２１１Ｇとの間を電気的に接続すると共に、両者を入力端子（Ｉｎ）に電気的に接続している（図１参照）。
【００９４】
そして、図４に示すように、多層配線層３１０において、１層目の絶縁層３１１の上面に設けられた配線層３２２Ｈは、コンタクトＣ１２を介して、第１基板１０１に設けられた配線層１１１ＨＡに電気的に接続されている。配線層３２２Ｈは、図６に示すように、平面形状が、矩形状になるように形成されている。また、図４に示すように、この配線層３２２Ｈは、３層目の絶縁層３１３の上面に設けられた配線層３４２Ｈにコンタクト３３２Ｃを介して接続されている。そして、配線層３４２Ｈは、５層目の絶縁層３１５の上面に設けられた配線層３６２Ｈにコンタクト３５２Ｃを介して接続されている。そして、配線層３６２Ｈは、グランド（ＧＮＤ）に電気的に接続されている。このように、多層配線層３１０は、ｎ型ＭＯＳＦＥＴ１１１Ｎの一方のソース・ドレイン領域１１１Ａを、グランド（ＧＮＤ）に電気的に接続している（図１参照）。
【００９５】
そして、図５に示すように、多層配線層３１０において、１層目の絶縁層３１１の上面に設けられた配線層３２３Ｈは、コンタクトＣ２２を介して、第２基板２０１に設けられた配線層２１１ＨＢに電気的に接続されている。配線層３２３Ｈは、図７に示すように、

平面形状が、矩形状になるように形成されている。また、図５に示すように、この配線層３２３Ｈは、３層目の絶縁層３１３の上面に設けられた配線層３４３Ｈにコンタクト３３３Ｃを介して接続されている。そして、配線層３４３Ｈは、５層目の絶縁層３１５の上面に設けられた配線層３６３Ｈにコンタクト３５３Ｃを介して接続されている。そして、配線層３６３Ｈは、電源電圧の端子（Ｖｄｄ）に電気的に接続されている。このように、多層配線層３１０は、ｐ型ＭＯＳＦＥＴ２１１Ｐの他方のソース・ドレイン領域２１１Ｂを、電源電圧の端子（Ｖｄｄ）に電気的に接続している（図１参照）。

【００９６】

そして、図５に示すように、多層配線層３１０において、１層目の絶縁層３１１の上面に設けられた配線層３２４Ｈは、コンタクトＣ１２を介して、第１基板１０１に設けられた配線層１１１ＨＢに電気的に接続されている。これと共に、この配線層３２１Ｈは、コンタクトＣ２２を介して、第２基板２０１に設けられた配線層２１１ＨＡに電気的に接続されている。配線層３２４Ｈは、図６，図７に示すように、平面形状が、矩形状になるように形成されている。また、図５に示すように、この配線層３２４Ｈは、３層目の絶縁層３１３の上面に設けられた配線層３４４Ｈにコンタクト３３４Ｃを介して接続されている。そして、配線層３４４Ｈは、５層目の絶縁層３１５の上面に設けられた配線層３６４Ｈにコンタクト３５４Ｃを介して接続されている。そして、配線層３６４Ｈは、出力端子（Ｏｕｔ）に電気的に接続されている。このように、多層配線層３１０は、ｎ型ＭＯＳＦＥＴ１１１Ｎの他方のソース・ドレイン領域１１１Ｂと、ｐ型ＭＯＳＦＥＴ２１１Ｐの一方のソース・ドレイン領域２１１Ａとを互いに電気的に接続している（図１参照）。これと共に、ｎ型ＭＯＳＦＥＴ１１１Ｎの他方のソース・ドレイン領域１１１Ｂと、ｐ型ＭＯＳＦＥＴ２１１Ｐの一方のソース・ドレイン領域２１１Ａとの両者を、出力端子（Ｏｕｔ）に電気的に接続している（図１参照）。

【００９７】

［Ｂ］製造方法

以下より、上記の半導体装置１を製造する製造方法について説明する。

【００９８】

図８～図１８は、実施形態１において、半導体装置の製造方法の要部を示す図である。

【００９９】

図８は、製造フロー図である。

【０１００】

図９～図１８は、図３～図５と同様に、断面図であり、図８に示す各ステップにおいて形成される断面を示している。ここで、図９～図１３は、図３と同様に、図２のＸ１１－Ｘ１２部分の断面を示している。図１４～図１８は、図４と同様に、図２のＸ２１－Ｘ２２部分の断面を示している。

【０１０１】

［Ｂ－１］第１基板１０１にｎ型ＭＯＳＦＥＴ１１１Ｎを形成

まず、図８に示すように、第１基板１０１にｎ型ＭＯＳＦＥＴ１１１Ｎを形成する（ＳＴ１０）。

【０１０２】

ここでは、図９に示すように、第１基板１０１の面（上面）において、素子分離層１１０で区画された領域内に、上記のように、ｎ型ＭＯＳＦＥＴ１１１Ｎを形成する。

【０１０３】

本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎについては、たとえば、チャネル方向が第１基板１０１の（１００）面において＜１１０＞方位へ向くように設ける。

【０１０４】

具体的には、最初に、第１基板１０１の面（上面）に、素子分離層１１０を形成する。たとえば、深さが１５０～２００ｎｍになるように第１基板１０１の面（上面）にトレンチを形成後、そのトレンチをシリコン酸化物で埋め込むことで、素子分離層１１０を形成する。

【０１０５】
そして、ゲート絶縁膜１１１Ｚを形成後、ゲート電極１１１Ｇを形成する。
【０１０６】
本実施形態では、ゲート絶縁膜１１１Ｚについて、高誘電率（ｈｉｇｈ－ｋ）材料を用いて形成する。そして、ゲート電極１１１Ｇについては、仕事関数が伝導帯の端に位置するような金属材料を用いて形成する。
たとえば、下記のような条件で、ゲート絶縁膜１１１Ｚ，ゲート電極１１１Ｇを形成することが好適である。
（ゲート絶縁膜１１１Ｚの形成条件）
・材料：HfO_2
・厚み：０．５～２ｎｍ
・成膜法：ＣＶＤ法、または、スパッタ法
（ゲート電極１１１Ｇの形成条件）
・下層：Ａｌ含有のＴｉＮ（Ａｌの含有割合：０．５～５ａｔｏｍ％），厚み１～２ｎｍ
・上層：ＡｌまたはW，厚み２０～４０ｎｍ
・成膜法：ＣＶＤ法、または、スパッタ法
なお、上記のHfO_2の他に、ＨｆＳｉＯＮ，Ta_2O_3などの様々なｈｉｇｈ－ｋ材料を用いて、ゲート絶縁膜１１１Ｚを形成しても良い。
【０１０７】
つぎに、低濃度不純物領域１１１ＡＬ，１１１ＢＬを形成する。
低濃度不純物領域１１１ＡＬ，１１１ＢＬについては、たとえば、下記のような条件で形成することが好適である。
（低濃度不純物領域１１１ＡＬ，１１１ＢＬの形成条件）
・深さ：０．５～２０ｎｍ
・幅：１０～４０ｎｍ
・不純物濃度：$1\times10^{13}cm^{-2}$台
【０１０８】
つぎに、絶縁膜Ｚ１を形成後、サイドウォールＳＷ１を形成する。つぎに、第１基板１０１の面（上面）において高濃度不純物領域１１１ＡＨ，１１１ＢＨを形成する部分を、エッチング処理などの処理によって選択的に除去することで、第１基板１０１の面（上面）に凹部を形成する。そして、その凹部から結晶をエピタキシャル成長させた後に、不純物をイオン注入することで、高濃度不純物領域１１１ＡＨ，１１１ＢＨを形成する。
【０１０９】
本実施形態では、第１基板１０１と格子定数が異なる材料であって、チャネル領域に引っ張り応力を与える材料を用いて、高濃度不純物領域１１１ＡＨ，１１１ＢＨを形成する。
高濃度不純物領域１１１ＡＨ，１１１ＢＨについては、たとえば、下記のような条件で形成することが好適である。
（高濃度不純物領域１１１ＡＨ，１１１ＢＨの形成条件）
・材料：ＳｉＣ（Ｃ濃度が３ａｔｏｍ％以下）
・深さ：５０～１００ｎｍ
・成膜法：ＣＶＤ法
・不純物濃度：$1\times10^{15}cm^{-2}$台
【０１１０】
そして、活性化アニール処理などの処理を実施して、ｎ型ＭＯＳＦＥＴ１１１Ｎを形成する。ｎ型ＭＯＳＦＥＴ１１１Ｎの形成後には、第１基板１０１においてｎ型ＭＯＳＦＥＴ１１１Ｎが設けられた上面を被覆するように、ストレスライナー層１２１を設ける。ここでは、高濃度不純物領域１１１ＡＨ，１１１ＢＨの上面にシリサイド層（図示無し）を形成後、ｎ型ＭＯＳＦＥＴ１１１Ｎの全体を被覆するように、ストレスライナー層１２１

を設ける。
【０１１１】
本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎのチャネル領域に引っ張り応力を与える材料を用いて、ストレスライナー層１２１を形成する。
たとえば、下記のような条件で、ストレスライナー層１２１を形成することが好適である。
（ストレスライナー層１２１の形成条件）
・材料：ＳｉＮ
・厚み：２０～２００ｎｍ
・成膜法：ＣＶＤ法
【０１１２】
そして、第１基板１０１においてストレスライナー層１２１の上面を被覆するように、平坦化膜１３１を設ける。平坦化膜１３１については、絶縁材料を用いて形成する。
【０１１３】
そして、その平坦化膜１３１の上面に、複数の配線層１１１ＨＡ，１１１ＨＢを設ける。図９では図示をしていないが、図４に示したように、配線層１１１ＨＧについても、同様に設ける。
【０１１４】
ここでは、平坦化膜１３１を貫通するように、コンタクトＣ１１を形成後、複数の配線層１１１ＨＡ，１１１ＨＢ（１１１ＨＧ，図４）を設ける。たとえば、深さが８０～１３０ｎｍのコンタクトホールを形成した後に、そのコンタクトホールに導電材料を埋め込むことで、コンタクトＣ１１を形成する。そして、たとえば、厚みが７５～１００ｎｍになるように、複数の配線層１１１ＨＡ，１１１ＨＢ（１１１ＨＧ，図４）を形成する。なお、コンタクトホールの形成の際には、ストレスライナー層１２１が、エッチングストッパー層として機能する。
【０１１５】
その後、複数の配線層１１１ＨＡ，１１１ＨＢ（１１１ＨＧ，図４）を被覆するように、複数の層間絶縁膜１３２，１５１を順次設ける。たとえば、厚みが１０～２０ｎｍ程度のエッチングストッパー層（図示無し）を設けた後に、複数の層間絶縁膜１３２，１５１を設ける。層間絶縁膜１５１については、たとえば、２０～５０ｎｍ程度の厚みになるように形成する。
【０１１６】
［Ｂ－２］第２基板２０１にｐ型ＭＯＳＦＥＴ２１１Ｐを形成
つぎに、図８に示すように、第２基板２０１にｐ型ＭＯＳＦＥＴ２１１Ｐを形成する（ＳＴ２０）。
【０１１７】
ここでは、図１０に示すように、第２基板２０１の面（上面）において、素子分離層２１０で区画された領域内に、上記のように、ｐ型ＭＯＳＦＥＴ２１１Ｐを形成する。
【０１１８】
本実施形態では、ｐ型ＭＯＳＦＥＴ２１１Ｐについては、たとえば、チャネル方向が第２基板２０１の（１１０）面において＜１１０＞方位へ向くように設ける。
【０１１９】
具体的には、最初に、第２基板２０１の面（上面）に、素子分離層２１０を形成する。たとえば、深さが１５０～２００ｎｍになるように第２基板２０１の面（上面）にトレンチを形成後、そのトレンチをシリコン酸化物で埋め込むことで、素子分離層２１０を形成する。
【０１２０】
そして、ゲート絶縁膜２１１Ｚを形成後、ゲート電極２１１Ｇを形成する。
【０１２１】
本実施形態では、ゲート絶縁膜２１１Ｚについて、高誘電率（ｈｉｇｈ－ｋ）材料を用

いて形成する。そして、ゲート電極２１１Ｇについては、仕事関数が価電子帯の端に位置するような金属材料を用いて形成する。

【０１２２】

たとえば、下記のような条件で、ゲート絶縁膜２１１Ｚ，ゲート電極２１１Ｇを形成することが好適である。

（ゲート絶縁膜２１１Ｚの形成条件）

・材料：HfO_2

・厚み：０．５～２ｎｍ

・成膜法：ＣＶＤ法、または、スパッタ法

（ゲート電極２１１Ｇの形成条件）

・下層：Ａｌ無しのＴｉＮ，厚み１～２ｎｍ

・上層：ＡｌまたはW，厚み２０～４０ｎｍ

・成膜法：ＣＶＤ法、または、スパッタ法

なお、上記のHfO_2の他に、ＨｆＳｉＯＮ，Ta_2O_3などの様々なｈｉｇｈ－ｋ材料を用いて、ゲート絶縁膜１１１Ｚを形成しても良い。

【０１２３】

つぎに、低濃度不純物領域２１１ＡＬ，２１１ＢＬを形成する。

【０１２４】

たとえば、下記のような条件で、低濃度不純物領域２１１ＡＬ，２１１ＢＬを形成することが好適である。

（低濃度不純物領域２１１ＡＬ，２１１ＢＬの形成条件）

・深さ：０．５～２０ｎｍ

・幅：１０～４０ｎｍ

・不純物濃度：$1\times10^{13}cm^{-2}$台

【０１２５】

つぎに、絶縁膜Ｚ２を形成後、サイドウォールＳＷ２を形成する。つぎに、第２基板２０１の面（上面）において高濃度不純物領域２１１ＡＨ，２１１ＢＨを形成する部分を、エッチング処理などの処理によって選択的に除去することで、第２基板２０１の面（上面）に凹部を形成する。そして、その凹部から結晶をエピタキシャル成長させた後に、不純物をイオン注入することで、高濃度不純物領域２１１ＡＨ，２１１ＢＨを形成する。

【０１２６】

本実施形態では、第２基板２０１と格子定数が異なる材料であって、チャネル領域に圧縮応力を与える材料を用いて、高濃度不純物領域２１１ＡＨ，２１１ＢＨを形成する。

【０１２７】

たとえば、下記のような条件で、高濃度不純物領域２１１ＡＨ，２１１ＢＨを形成することが好適である。

（高濃度不純物領域２１１ＡＨ，２１１ＢＨの形成条件）

・材料：ＳｉＧｅ（Ｇｅ濃度：１０～４５ａｔｏｍ％）

・深さ：５０～１００ｎｍ

・成膜法：ＣＶＤ法

・不純物濃度：$1\times10^{15}cm^{-2}$台

【０１２８】

そして、活性化アニール処理などの処理を実施して、ｐ型ＭＯＳＦＥＴ２１１Ｐを形成する。ｐ型ＭＯＳＦＥＴ２１１Ｐの形成後には、第２基板２０１においてｐ型ＭＯＳＦＥＴ２１１Ｐが設けられた上面を被覆するように、ストレスライナー層２２１を設ける。ここでは、高濃度不純物領域２１１ＡＨ，２１１ＢＨの上面にシリサイド層（図示無し）を形成後、ｐ型ＭＯＳＦＥＴ２１１Ｐの全体を被覆するように、ストレスライナー層１２１を設ける。

【０１２９】

本実施形態では、ｐ型ＭＯＳＦＥＴ２１１Ｐのチャネル領域に圧縮応力を与える材料を

用いて、ストレスライナー層２２１を形成する。
【０１３０】
たとえば、下記のような条件で、ストレスライナー層２２１を形成することが好適である。
（ストレスライナー層２２１の形成条件）
・材料：ＳｉＮ
・厚み：２０～２００ｎｍ
・成膜法：ＣＶＤ法
【０１３１】
そして、第２基板２０１においてストレスライナー層２２１の上面を被覆するように、平坦化膜２３１を設ける。平坦化膜２３１については、絶縁材料を用いて形成する。
【０１３２】
そして、その平坦化膜２３１の上面に、複数の配線層２１１ＨＡ，２１１ＨＢを設ける。図１０では図示をしていないが、図４に示したように、配線層２１１ＨＧについても、同様に設ける。ここでは、平坦化膜２３１を貫通するように、コンタクトＣ２１を形成後、複数の配線層２１１ＨＡ，２１１ＨＢ（２１１ＨＧ，図４）を設ける。たとえば、深さが８０～１３０ｎｍのコンタクトホールを形成した後に、そのコンタクトホールに導電材料を埋め込むことで、コンタクトＣ２１を形成する。そして、たとえば、厚みが７５～１００ｎｍになるように、複数の配線層２１１ＨＡ，２１１ＨＢ（２１１ＨＧ，図４）を形成する。なお、コンタクトホールの形成の際には、ストレスライナー層２２１が、エッチングストッパー層として機能する。
【０１３３】
その後、複数の配線層２１１ＨＡ，２１１ＨＢ（２１１ＨＧ，図４）を被覆するように、複数の層間絶縁膜２３２，２５１を順次設ける。たとえば、厚みが１０～２０ｎｍ程度のエッチングストッパー層（図示無し）を設けた後に、複数の層間絶縁膜２３２，２５１を設ける。層間絶縁膜２５１については、たとえば、２０～５０ｎｍ程度の厚みになるように形成する。
【０１３４】
本実施形態においては、第１基板１０１に設けた層間絶縁膜１５１と同様な材料を用いて、層間絶縁膜２５１を形成する。なお、第１基板１０１に設けた層間絶縁膜１５１と異なる材料で、層間絶縁膜２５１を形成しても良い。
【０１３５】
［Ｂ－３］第１基板１０１と第２基板２０１との貼り合わせ
つぎに、図８に示すように、第１基板１０１と第２基板２０１とを貼り合わせる（ＳＴ３０）。
【０１３６】
ここでは、図１１に示すように、第１基板１０１と第２基板２０１とを対面させて、両者を貼り合わせる。
【０１３７】
具体的には、第１基板１０１においてｎ型ＭＯＳＦＥＴ１１１Ｎが設けられた面と、第２基板２０１においてｐ型ＭＯＳＦＥＴ２１１Ｐが設けられた面とを対面させる。つまり、第２基板２０１を反転して、第１基板１０１に対面させる。
【０１３８】
そして、第１基板１０１に設けられた層間絶縁膜１５１と、第２基板２０１に設けられた層間絶縁膜２５１とを接触させて、接合させる。
【０１３９】
たとえば、プラズマ接合によって、両者を接合させて貼り合わせる。すなわち、プラズマで処理した面同士について、脱水縮合反応を利用して接合する。プラズマ接合は、低温環境下（たとえば、４００℃以下）において実施されるため、不純物の再分布の発生防止、金属配線の耐熱性等の観点から、装置の信頼性を低下させず、好適である。

【０１４０】
なお、図示を省略しているが、第１基板１０１と第２基板２０１とは、それぞれに設けられたアライメントマーク（図示なし）を用いて高精度に位置合わせが実施された後に、両者が接合される。
【０１４１】
［Ｂ－４］第２基板２０１の薄膜化
つぎに、図８に示すように、第２基板２０１を薄膜化する（ＳＴ４０）。
【０１４２】
ここでは、図１２に示すように、第２基板２０１において第１基板１０１に対面する面（下面）とは反対の面（上面）を研磨して除去することで、第２基板２０１を薄膜化する
【０１４３】
たとえば、ＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）処理の実施によって、第２基板２０１にてＳＴＩ構造の素子分離層２１０が設けられた部分まで研磨する。
【０１４４】
［Ｂ－５］ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続
つぎに、図８に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続する（ＳＴ５０）。
【０１４５】
ここでは、図３～図５に示したように、第２基板２０１において第１基板１０１に対面する面（下面）側とは反対側の面（上面）に、多層配線層３１０を設けることで、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続する。
【０１４６】
つまり、複数の絶縁層３１１～３１６と複数の配線（３２１Ｈなど）とコンタクト（３３１Ｃなど）とを含む多層配線層３１０を設ける。
【０１４７】
具体的には、図１３に示すように、第２基板２０１において第１基板１０１に対面する面（下面）側とは反対側の面（上面）に、１層目の絶縁層３１１を形成する。本工程では、図１４に示すように、図４で示した断面においても、１層目の絶縁層３１１が形成される。図示を省略しているが、図５で示した断面においても、１層目の絶縁層３１１が形成される。たとえば、厚みが１０～５０ｎｍのシリコン酸化膜を、１層目の絶縁層３１１として形成する。
【０１４８】
そして、図１５に示すように、第１基板１０１に設けられた配線層１１１ＨＡ，ＨＧの面が露出するように、孔Ｖ１２を形成する。本工程では、図示を省略しているが、図５で示した断面においても、配線層１１１ＨＢの面が露出するように、孔Ｖ１２が形成される。ここでは、リソグラフィー技術、および、エッチング技術を用いて、第１基板１０１と第２基板２０１との積層体において孔Ｖ１２を形成する部分を除去することで、孔Ｖ１２を形成する。たとえば、底部側の径が３０～５０ｎｍの孔Ｖ１２を形成する。また、アスペクト比が、たとえば、７．５～２０になるように、孔Ｖ１２を形成する。
【０１４９】
そして、図１６に示すように、第２基板２０１に設けられた配線層２１１ＨＧの上面が露出するように、孔Ｖ２２を形成する。本工程では、図示を省略しているが、図５で示した断面においても、配線層２１１ＨＡ，２１１ＨＢの面が露出するように、孔Ｖ２２が形成される。ここでは、リソグラフィー技術、および、エッチング技術を用いて、第１基板１０１と第２基板２０１との積層体において孔Ｖ２２を形成する部分を除去することで、孔Ｖ２２を形成する。たとえば、底部側の径が３０～５０ｎｍの孔Ｖ２２を形成する。また、アスペクト比が、たとえば、５～１３になるように、孔Ｖ２２を形成する。各孔Ｖ１２，Ｖ２２の間が、各孔Ｖ１２，Ｖ２２の径よりも広くなるように形成することが好適である。

【０１５０】
そして、図１７に示すように、孔Ｖ１２，Ｖ２２の内部に導電材料を埋め込むように、金属膜５０１を、第２基板２０１の上面側に成膜する。本工程では、図示を省略しているが、図５で示した断面においても、孔Ｖ１２，Ｖ２２の内部に導電材料を埋め込むように、金属膜５０１を、第２基板２０１の上面側に成膜する。たとえば、Ｔｉ，ＴｉＮなどのバリアメタル層（図示無し）を設けた後に、Ｗなどの金属材料をＣＶＤ法によって成膜することで、金属膜５０１を設ける。
このようにして、孔Ｖ２１，Ｖ２２に導電材料を埋め込むことによりコンタクトが形成される。なお、本開示技術では、コンタクトのうち、特に基板を貫通するものを「接続ビア」、層間絶縁膜に設けられたものを、単に「コンタクト」と言うことがある。また、孔が形成される対象が基板か層間絶縁膜かを区別しないときも「コンタクト」と言う。
【０１５１】
そして、図１８に示すように、１層目の絶縁層３１１の上面から金属膜５０１を除去することで、コンタクトＣ１２，Ｃ２２を形成する。本工程では、図示を省略しているが、図５で示した断面においても、１層目の絶縁層３１１の上面から金属膜５０１を除去することで、コンタクトＣ１２，Ｃ２２を形成する。たとえば、ＣＭＰ処理の実施によって、１層目の絶縁層３１１の上面から金属膜５０１を除去する。
【０１５２】
その後、図３～図５に示したように、多層配線層３１０を構成する他の絶縁層３１２～３１６と、複数の配線（３２１Ｈなど）と、コンタクト（３３１Ｃなど）とを形成する。たとえば、ダマシン技術によって、Ｃｕで配線（３２１Ｈなど）などを形成する。
【０１５３】
このようにして、半導体装置１を完成させる。
【０１５４】
［Ｃ］まとめ
以上のように、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎが設けられている第１基板１０１と、ｐ型ＭＯＳＦＥＴ２１１Ｐが設けられている第２基板２０１とを有する。第１基板１０１と第２基板２０１は、互いが対面して貼り合わされている。また、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐが電気的に接続されている。
【０１５５】
ここでは、第１基板１０１において第２基板２０１に対面する面の側に、ｎ型ＭＯＳＦＥＴ１１１Ｎが設けられている。また、第２基板２０１において第１基板１０１に対面する面の側に、ｐ型ＭＯＳＦＥＴ２１１Ｐが設けられている。そして、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、互いが対向するように設けられている。
【０１５６】
そして、第２基板２０１において第１基板１０１に対面する面に対して反対側の面の側には、配線層３２１Ｈなどが設けられている。そして、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、その配線層３２１Ｈなどを介して、電気的に接続されている。さらに、第２基板２０１を貫通してｎ型ＭＯＳＦＥＴ１１１Ｎに電気的に接続するコンタクトＣ１２，Ｃ２２を有する。そして、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、そのコンタクトＣ１２，Ｃ２２を介して、電気的に接続されている。
【０１５７】
このように、本実施形態においては、ｎ型ＭＯＳＦＥＴ１１１Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐを、他の第２基板２０１に設けている。
【０１５８】
このため、本実施形態では、たとえば、下表に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎと、ｐ型ＭＯＳＦＥＴ２１１Ｐとのそれぞれについて互いに異なるものを用いて、特性を向上させることが容易にできる。
【０１５９】

【表１】

ITEM	NMOSFET	PMOSFET
Order	1st_Wafer	2nd _Wafer
Substrate	(100)	(110)
Crystal direction	<110>	<110>
Metal Gate/High-K Structure	NFET用Wφ	PFET 用φ
S/D Structure	SiC(tensile)	SiGe(Compressive)
Stress Liner	Tensile	Compressive
Electrode (HfON用)	TiN(Al含有)	TiN

【０１６０】
具体的には、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとのそれぞれにおいてキャリア移動度が高くなるように、第１基板１０１と第２基板２０１とのそれぞれについて、主面の面方位が異なるものを用いることができる。具体的には、ｎ型ＭＯＳＦＥＴ１１１Ｎについては、（１１０）面よりも電子移動度が大きい（１００）面に設けることができる。そして、ｐ型ＭＯＳＦＥＴ２１１Ｐについては、（１００）面よりもホール移動度が大きい（１１０）面に設けることができる。
【０１６１】
そして、第１基板１０１において、ｎ型ＭＯＳＦＥＴ１１１Ｎの電子移動度を高めるために、ストレスライナー層１２１について引張応力を与えるように形成することが容易にできる。また、第２基板２０１において、ｐ型ＭＯＳＦＥＴ２１１Ｐのホール移動度を高めるために、ストレスライナー層１２１と異なるストレスライナー層２２１について圧縮応力を与えるように形成することが容易にできる。つまり、応力が異なる各ストレスライナー層１２１，２２１について、複雑なプロセスを経ずに、容易に形成することができる。
【０１６２】
そして、ｎ型ＭＯＳＦＥＴ１１１Ｎの電子移動度を高めるために、その一対のソース・ドレイン領域１１１Ａ，１１１Ｂについて、引張応力を与えるＳｉＣなどの材料を用いて形成することが容易にできる。また、ｐ型ＭＯＳＦＥＴ２１１Ｐのホール移動度を高めるために、その一対のソース・ドレイン領域２１１Ａ，２１１Ｂについて、圧縮応力を与えるＳｉＧｅなどの材料を用いて形成することが容易にできる。つまり、応力の方向が異なる、ｎ型ＭＯＳＦＥＴ１１１Ｎの一対のソース・ドレイン領域１１１Ａ，１１１Ｂと、ｐ型ＭＯＳＦＥＴ２１１Ｐの一対のソース・ドレイン領域２１１Ａ，２１１Ｂとについて、複雑なプロセスを経ずに容易に形成することができる。
【０１６３】
そして、ｎ型ＭＯＳＦＥＴ１１１Ｎのゲート電極１１１Ｇとｐ型ＭＯＳＦＥＴ２１１Ｐのゲート電極２１１Ｇとについて、互いに仕事関数が異なる金属材料を用いて容易に形成することができる。たとえば、ｎ型ＭＯＳＦＥＴ１１１Ｎのゲート電極１１１ＧについてＡｌを含有するＴｉＮを用いて形成し、ｐ型ＭＯＳＦＥＴ２１１Ｐのゲート電極２１１ＧについてＡｌを含有しないＴｉＮを用いて形成することが、複雑なプロセスを経ずに容易にできる。
【０１６４】

このように、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとのそれぞれについて、好適な特性を得るように形成することが容易に実現できる。

【０１６５】

特に、本実施形態においては、トランジスタの特性に影響を与える活性化アニール処理について、第１基板１０１と第２基板２０１とのそれぞれで別個に実施し、貼り合わせ後には、実施しない。このため、不純物の再分布がなく、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐの双方について、ショートチャネル特性の劣化を防止できる。

【０１６６】

したがって、本実施形態においては、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。

【０１６７】

＜２．実施形態２＞

［Ａ］製造方法

図１９は、実施形態２において、半導体装置の製造方法の要部を示す図である。

【０１６８】

図１９は、図４と同様に、図２のＸ２１－Ｘ２２部分の断面を示している。図１９は、実施形態１において、図１４に示した工程の後の工程を示す図である。

【０１６９】

本実施形態においては、実施形態１において、図１４で示した工程の後に、図１５で示した工程を実施せずに、図１９で示した工程を実施する。本実施形態は、この点、および、これに関連する点を除き、実施形態１の場合と同様である。このため、本実施形態において、この実施形態と重複する個所については、適宜、記載を省略する。

【０１７０】

本実施形態においても、実施形態１と同様に、図１４に示すように、１層目の絶縁層３１１が形成される。

【０１７１】

その後、図１９に示すように、第１基板１０１に設けられた配線層１１１ＨＡ，１１１ＨＧの面が露出するように、孔Ｖ１２を形成する。また、これと同時に、第２基板２０１に設けられた配線層２１１ＨＧの上面が露出するように、孔Ｖ２２を形成する。本工程では、図示を省略しているが、図５で示した断面においても、配線層１１１ＨＢの面が露出するように、孔Ｖ１２が形成される。また、これと同時に、配線層２１１ＨＡ，２１１ＨＢの面が露出するように、孔Ｖ２２が形成される。

【０１７２】

このように、本実施形態においては、アスペクト比が異なる孔Ｖ１２，Ｖ２２のそれぞれを別工程で形成せずに、同一工程において、一括で同時に形成する。

【０１７３】

ここでは、リソグラフィー技術、および、エッチング技術を用いて、第１基板１０１と第２基板２０１との積層体において孔Ｖ１２，Ｖ２２を形成する部分を除去することで、孔Ｖ１２，Ｖ２２を形成する。具体的には、ドライエッチング処理において除去する部分と、各配線層（１１１ＨＡなど）のように残す部分との間のエッチング選択比が大きな条件で、ドライエッチング処理を実施することによって、各孔Ｖ１２，Ｖ２２を形成する。

【０１７４】

この他に、アスペクト比が異なる孔Ｖ１２，Ｖ２２のそれぞれを同時に形成するために、第１基板１０１に設けられた配線層（１１１ＨＡなど）と、第２基板２０１に設けられた配線層（２１１ＨＡなど）とについて、材料の変更や、厚みを調整してもよい。

【０１７５】

その後、実施形態１の場合と同様な各工程を経て（図１７，図１８，図３～図５参照）、半導体装置１を完成させる。

【０１７６】

［Ｂ］まとめ

以上のように、本実施形態においては、実施形態１と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐを、他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させている。

【０１７７】

したがって、本実施形態においても、実施形態１と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。

【０１７８】

特に、本実施形態では、アスペクト比が異なる孔Ｖ１２，Ｖ２２のそれぞれを別工程で形成せずに、同一工程において、一括で同時に形成している。このため、さらに、製造効率を好適に向上できる。

【０１７９】

＜３．実施形態３＞

［Ａ］装置構成

図２０は、実施形態３において、半導体装置の要部を示す図である。

【０１８０】

図２０は、図３と同様に、図２のＸ１１－Ｘ１２部分の断面を示している。

【０１８１】

本実施形態においては、図２０に示すように、層間絶縁膜１５１，２５１（図３参照）が設けられていない。本実施形態は、この点、および、これに関連する点を除き、実施形態１の場合と同様である。このため、本実施形態において、この実施形態と重複する個所については、適宜、記載を省略する。

【０１８２】

図２０に示すように、第１基板１０１においてｎ型ＭＯＳＦＥＴ１１１Ｎが設けられた面と、第２基板２０１においてｐ型ＭＯＳＦＥＴ２１１Ｐが設けられた面とが対面している。

【０１８３】

ここでは、第１基板１０１に設けられた層間絶縁膜１３２と、第２基板２０１に設けられた層間絶縁膜２３２とが、直接、接触して対面するように配置されている。そして、第１基板１０１に設けられた層間絶縁膜１３２と、第２基板２０１に設けられた層間絶縁膜２３２とが、接合されている。

【０１８４】

本実施形態においては、層間絶縁膜１３２，２３２は、シリコン酸化物よりも誘電率が低い低誘電率（ｌｏｗ－ｋ）材料を用いて形成されている。

【０１８５】

［Ｂ］製造方法

図２１～図２３は、実施形態３において、半導体装置の製造方法の要部を示す図である。

【０１８６】

図２１～図２３は、図２０と同様に、断面図である。ここで、図２１は、図８に示すステップＳＴ１０において形成される断面を示している。図２２は、図８に示すステップＳＴ２０において形成される断面を示している。図２３は、図８に示すステップＳＴ３０において形成される断面を示している。

【０１８７】

［Ｂ－１］第１基板１０１にｎ型ＭＯＳＦＥＴ１１１Ｎを形成

まず、図８に示すように、第１基板１０１にｎ型ＭＯＳＦＥＴ１１１Ｎを形成する（ＳＴ１０）。

【０１８８】

ここでは、図２１に示すように、第１基板１０１の面（上面）において、素子分離層１１０で区画された領域内に、実施形態１と同様にして、ｎ型ＭＯＳＦＥＴ１１１Ｎを形成

する。
【０１８９】
そして、ｎ型ＭＯＳＦＥＴ１１１Ｎの形成後には、実施形態１の場合と同様に、ストレスライナー層１２１と、平坦化膜１３１と、複数の配線層１１１ＨＡ，１１１ＨＢ（１１１ＨＧ，図４参照）とを順次設ける。
【０１９０】
その後、層間絶縁膜１３２を設ける。本実施形態においては、２層目の層間絶縁膜１５１（図９参照）については、設けない。
【０１９１】
本実施形態では、層間絶縁膜１３２について、低誘電率（ｌｏｗ－ｋ）材料を用いて形成する。
【０１９２】
たとえば、ＳｉＯＣ，ＳｉＯＣＨ，ＳｉＯＦ，ＨＳＱなどの材料を用いて、層間絶縁膜１３２を形成する。また、これらのポーラスな膜を、層間絶縁膜１３２として形成してもよい。その他、有機膜で、層間絶縁膜１３２を形成しても良い。
【０１９３】
［Ｂ－２］第２基板２０１にｐ型ＭＯＳＦＥＴ２１１Ｐを形成
つぎに、図８に示すように、第２基板２０１にｐ型ＭＯＳＦＥＴ２１１Ｐを形成する（ＳＴ２０）。
【０１９４】
ここでは、図２２に示すように、第２基板２０１の面（上面）において、素子分離層２１０で区画された領域内に、実施形態１と同様にして、ｐ型ＭＯＳＦＥＴ２１１Ｐを形成する。
【０１９５】
そして、ｐ型ＭＯＳＦＥＴ２１１Ｐの形成後には、実施形態１の場合と同様に、ストレスライナー層２２１と、平坦化膜２３１と、複数の配線層２１１ＨＡ，２１１ＨＢ（２１１ＨＧ，図４参照）とを順次設ける。
【０１９６】
その後、層間絶縁膜２３２を設ける。本実施形態においては、２層目の層間絶縁膜２５１（図１０参照）については、設けない。
【０１９７】
本実施形態では、層間絶縁膜２３２について、低誘電率（ｌｏｗ－ｋ）材料を用いて形成する。
【０１９８】
たとえば、第１基板１０１に設けた層間絶縁膜１３２と同様な材料を用いて、層間絶縁膜２３２を形成する。なお、第１基板１０１に設けた層間絶縁膜１３２と異なる材料で、層間絶縁膜２３２を形成しても良い。
【０１９９】
［Ｂ－３］第１基板１０１と第２基板２０１との貼り合わせ
つぎに、図８に示すように、第１基板１０１と第２基板２０１とを貼り合わせる（ＳＴ３０）。
【０２００】
ここでは、図２３に示すように、第１基板１０１と第２基板２０１とを対面させて、両者を貼り合わせる。
【０２０１】
具体的には、第１基板１０１においてｎ型ＭＯＳＦＥＴ１１１Ｎが設けられた面と、第２基板２０１においてｐ型ＭＯＳＦＥＴ２１１Ｐが設けられた面とを対面させる。つまり、第２基板２０１を反転して、第１基板１０１に対面させる。
【０２０２】
そして、第１基板１０１に設けられた層間絶縁膜１３２と、第２基板２０１に設けられ

た層間絶縁膜２３２とを接触させて、接合させる。
【０２０３】
たとえば、プラズマ接合によって、両者を接合させて貼り合わせる。なお、層間絶縁膜１３２，２３２を構成する材料自身が－ＯＨ基を含まない場合には、H_2O，H_2などを用いたプラズマ処理を、層間絶縁膜１３２，２３２に対して実施して、表面に－ＯＨ基を導入した後に、接合を実施する。つまり、プラズマ接合時に脱水縮合反応が可能な表面状態になるように、層間絶縁膜１３２，２３２を処理する。
【０２０４】
［Ｂ－４］その他の工程
この後、たとえば、実施形態１の場合と同様に、第２基板２０１について薄膜化する（図８，ＳＴ４０）。
【０２０５】
そして、たとえば、実施形態１の場合と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続する（図８，ＳＴ５０）。ここでは、実施形態２の場合のように、アスペクト比が異なる孔Ｖ１２，Ｖ２２のそれぞれを同時に形成しても良い。
【０２０６】
このようにして、図２０に示すように、半導体装置１を完成させる。
【０２０７】
［Ｃ］まとめ
以上のように、本実施形態においては、他の実施形態と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐを、他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させている。
【０２０８】
したがって、本実施形態においても、実施形態１と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。
【０２０９】
特に、本実施形態では、第１基板１０１と第２基板２０１とそれぞれは、シリコン酸化物よりも誘電率が低いＬｏｗ－ｋ材料で形成された層間絶縁膜１３２，２３２の間が接合されることによって、貼り合わされている。
【０２１０】
このため、本実施形態では、第１基板１０１に設けた複数の配線層１１１ＨＡなどと、第２基板２０１に設けた複数の配線層２１１ＨＡなどとの間におけるカップリング容量を低減できるので、装置の信頼性を更に向上できる。
【０２１１】
＜４．実施形態４＞
［Ａ］装置構成
図２４は、実施形態４において、半導体装置の要部を示す図である。
【０２１２】
図２４は、図２０と同様に、図２のＸ１１－Ｘ１２部分の断面を示している。
【０２１３】
本実施形態においては、図２４に示すように、素子分離層１１０ｄが、実施形態３と異なる。本実施形態は、この点、および、これに関連する点を除き、実施形態３の場合と同様である。このため、本実施形態において、この実施形態と重複する個所については、適宜、記載を省略する。
【０２１４】
図２４に示すように、本実施形態においては、素子分離層１１０ｄが、第１基板１０１にｐ型の不純物がドープされた不純物拡散層によって形成されている。
【０２１５】

［Ｂ］まとめ
以上のように、本実施形態においては、他の実施形態と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐを、他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させている。
【０２１６】
したがって、本実施形態においても、他の実施形態と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。
【０２１７】
特に、本実施形態では、素子分離層１１０ｄが、ＳＴＩ構造でなく、第１基板１０１に不純物がドープされた不純物拡散層によって形成されている。よって、簡便なプロセスによって素子分離層１１０ｄを形成できるので、さらに製造効率を向上できる。なお、第２基板２０１においては、コンタクトＣ１２，Ｃ２２が貫通しているので、素子分離層２１０を、ＳＴＩ構造のような絶縁体で形成した方が好適である。
【０２１８】
＜５．実施形態５＞
［Ａ］装置構成
図２５～図２７は、実施形態５において、半導体装置の要部を示す図である。
【０２１９】
図２５は、図３と同様に、図２のＸ１１－Ｘ１２部分の断面を示している。
【０２２０】
図２６は、図６と同様に、半導体装置の一部を構成するｎ型ＭＯＳＦＥＴの要部を示す図である。図２７は、図７と同様に、半導体装置の一部を構成するｐ型ＭＯＳＦＥＴの要部を示す図である。図２６，図２７においては、上面を示している。
【０２２１】
本実施形態においては、図２５～図２７に示すように、多層配線層３１０において、１層目の絶縁層３１１の上面に設けられた配線層３２１Ｈに接続するコンタクトＣ２１２の形状が、実施形態１と異なる。本実施形態は、この点、および、これに関連する点を除き、実施形態１の場合と同様である。このため、本実施形態において、この実施形態と重複する個所については、適宜、記載を省略する。
【０２２２】
図２５～図２７に示すように、多層配線層３１０において、１層目の絶縁層３１１の上面に設けられた配線層３２１Ｈには、コンタクトＣ２１２が接続するように設けられている。
【０２２３】
このコンタクトＣ２１２は、図５に示すように、第１基板１０１に設けられた配線層１１１ＨＧと、第２基板２０１に設けられた配線層２１１ＨＧとの両者に電気的に接続するように設けられている。つまり、シェア・ビア（Ｓｈａｒｅ　Ｖｉａ）を形成する。
【０２２４】
このコンタクトＣ２１２の形成においては、まず、第１基板１０１に設けられた配線層１１１ＨＧと、第２基板２０１に設けられた配線層２１１ＨＧとの両者の上面が露出するように、孔Ｖ２１２を形成する。その後、その孔Ｖ２１２内を導電材料で埋め込むことで、コンタクトＣ２１２を形成する。
【０２２５】
［Ｂ］まとめ
以上のように、本実施形態においては、他の実施形態と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐを、他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させている。
【０２２６】

したがって、本実施形態においても、他の実施形態と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。

【０２２７】

特に、本実施形態においては、第１基板１０１に設けられた配線層１１１ＨＧと、第２基板２０１に設けられた配線層２１１ＨＧとの両者に電気的に接続するコンタクトＣ２１２が設けられている。よって、半導体素子が占有する面積を縮小することができる。

【０２２８】

＜６．実施形態６＞

［Ａ］装置構成

図２８～図３０は、実施形態６において、半導体装置の要部を示す図である。

【０２２９】

図２８は、半導体装置の上面を示している。

【０２３０】

図２９は、図６と同様に、半導体装置の一部を構成するｎ型ＭＯＳＦＥＴの要部を示す図である。

【０２３１】

図３０は、図７と同様に、半導体装置の一部を構成するｐ型ＭＯＳＦＥＴの要部を示す図である。

【０２３２】

図２９，図３０は、図６，図７と同様に、上面を示しており、下層の部材において上層で覆われた部分の輪郭を細い破線で示している。これと共に、ｎ型ＭＯＳＦＥＴ１１１Ｎおよびｐ型ＭＯＳＦＥＴ２１１Ｐの上方において、多層配線層３１０を構成する複数の配線の一部（最下部のもの）について、太い破線で示している。そして、図２９に示すｎ型ＭＯＳＦＥＴと、図３０に示すｐ型ＭＯＳＦＥＴとの配置関係について、図２８で示している。

【０２３３】

本実施形態においては、図２８～図３０に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎおよびｐ型ＭＯＳＦＥＴ２１１Ｐの構成が、実施形態１と異なる。本実施形態は、この点、および、これに関連する点を除き、実施形態１の場合と同様である。このため、本実施形態において、この実施形態と重複する個所については、適宜、記載を省略する。

【０２３４】

図２８～図３０に示すように、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとは、互いのチャネル方向が直交するように設けられている。すなわち、ｎ型ＭＯＳＦＥＴ１１１Ｎにおいて一対のソース・ドレイン領域１１１Ａ，１１１Ｂが並ぶ方向（ｙ方向）と、ｐ型ＭＯＳＦＥＴ２１１Ｐにおいて一対のソース・ドレイン領域２１１Ａ，２１１Ｂが並ぶ方向（ｘ方向）とが、直交している。

【０２３５】

各部の詳細について順次説明する。

【０２３６】

［Ａ－１］ｎ型ＭＯＳＦＥＴ１１１Ｎについて

ｎ型ＭＯＳＦＥＴ１１１Ｎは、図２９に示すように、ゲート電極１１１Ｇの長手方向が、実施形態１（図６参照）の場合と異なり、ｘ方向へ沿うように延在している。

【０２３７】

そして、図２９に示すように、一対のソース・ドレイン領域１１１Ａ，１１１Ｂの長手方向がｘ方向へ沿うように延在しており、ゲート電極１１１Ｇを介して、ｙ方向へ並ぶように設けられている。

【０２３８】

また、図２９に示すように、複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧが、ｎ型ＭＯＳＦＥＴ１１１Ｎの上方に設けられている。

【０２３９】

複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧのうち、配線層１１１ＨＡは、図２９に示すように、コンタクトＣ１１を介して、一方のソース・ドレイン領域１１１Ａに電気的に接続するように設けられている。配線層１１１ＨＡは、一方のソース・ドレイン領域１１１Ａの上方において、ｘ方向に沿って延在した部分を含むように形成されている。つまり、配線層１１１ＨＡは、長手方向がｘ方向に沿うように形成されている。

【０２４０】

複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧのうち、配線層１１１ＨＢは、図２９に示すように、コンタクトＣ１１を介して、他方のソース・ドレイン領域１１１Ｂに電気的に接続するように設けられている。配線層１１１ＨＢは、他方のソース・ドレイン領域１１１Ｂの上方において、ｘ方向に沿って延在した部分を含むように形成されている。つまり、配線層１１１ＨＢは、長手方向がｘ方向に沿うように形成されている。

【０２４１】

複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧのうち、配線層１１１ＨＧは、図２９に示すように、コンタクトＣ１１を介して、ゲート電極１１１Ｇに電気的に接続するように設けられている。配線層１１１ＨＧは、ゲート電極１１１Ｇの上方において、ゲート電極１１１Ｇの左端から、ｙ方向に沿って延在した部分を含むように形成されている。つまり、配線層１１１ＨＧは、長手方向がｙ方向に沿うように形成されている。

【０２４２】

［Ａ－２］ｐ型ＭＯＳＦＥＴ２１１Ｐについて

ｐ型ＭＯＳＦＥＴ２１１Ｐは、図３０に示すように、ゲート電極１１１Ｇの長手方向が、実施形態１（図７参照）の場合と同様に、ｙ方向へ沿うように延在している。

【０２４３】

そして、図３０に示すように、一対のソース・ドレイン領域２１１Ａ，２１１Ｂの長手方向がｙ方向へ沿うように延在しており、ゲート電極１１１Ｇを介して、ｘ方向へ並ぶように設けられている。

【０２４４】

また、図３０に示すように、複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧが、ｐ型ＭＯＳＦＥＴ２１１Ｐの下方に設けられている。

【０２４５】

複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧのうち、配線層２１１ＨＡは、図３０に示すように、コンタクトＣ２１を介して、一方のソース・ドレイン領域２１１Ａに電気的に接続するように設けられている。配線層２１１ＨＡは、一方のソース・ドレイン領域２１１Ａの下方において、ｙ方向に沿って延在した部分を含むように形成されている。つまり、配線層２１１ＨＡは、長手方向がｙ方向に沿うように形成されている。

【０２４６】

複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧのうち、配線層２１１ＨＢは、図３０に示すように、コンタクトＣ２１を介して、他方のソース・ドレイン領域２１１Ｂに電気的に接続するように設けられている。配線層２１１ＨＢは、他方のソース・ドレイン領域２１１Ｂの下方において、ｙ方向に沿って延在した部分を含むように形成されている。つまり、配線層２１１ＨＢは、長手方向がｙ方向に沿うように形成されている。

【０２４７】

複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧのうち、配線層２１１ＨＧは、図３０に示すように、コンタクトＣ２１を介して、ゲート電極２１１Ｇに電気的に接続するように設けられている。配線層２１１ＨＧは、ゲート電極２１１Ｇの下方において、ゲート電極２１１Ｇの上端部分から、ｘ方向に沿って延在した部分を含むように形成されている。つまり、配線層２１１ＨＧは、長手方向がｘ方向に沿うように形成されている。

【０２４８】

［Ａ－３］多層配線層３１０（図３から図５参照）を構成する複数の配線層の一部（３２１Ｈなどの最下部のもの）について

配線層３２１Ｈは、図２８～図３０に示すように、コンタクトＣ１２を介して、配線層

１１１ＨＧに電気的に接続されている。これと共に、この配線層３２１Ｈは、コンタクトＣ２２を介して、配線層２１１ＨＧに電気的に接続されている。配線層３２１Ｈは、平面形状が、矩形状になるように形成されている。そして、配線層３２１Ｈは、実施形態１と同様に、他の配線とコンタクトとを介して、入力端子（Ｉｎ）に電気的に接続されている。

【０２４９】

配線層３２２Ｈは、図２８，図２９に示すように、コンタクトＣ１２を介して、配線層１１１ＨＡに電気的に接続されている。配線層３２２Ｈは、平面形状が、矩形状になるように形成されている。そして、配線層３２２Ｈは、実施形態１と同様に、他の配線層とコンタクトとを介して、グランド（ＧＮＤ）に電気的に接続されている。

【０２５０】

配線層３２３Ｈは、図２８，図３０に示すように、コンタクトＣ２２を介して、配線層２１１ＨＢに電気的に接続されている。配線層３２３Ｈは、平面形状が、矩形状になるように形成されている。そして、配線層３２３Ｈは、実施形態１と同様に、他の配線とコンタクトとを介して、電源電圧の端子（Ｖｄｄ）に電気的に接続されている。

【０２５１】

配線層３２４Ｈは、図２８～図３０に示すように、コンタクトＣ１２を介して、配線層１１１ＨＢに電気的に接続されている。これと共に、この配線層３２４Ｈは、コンタクトＣ２２を介して、配線層２１１ＨＡに電気的に接続されている。配線層３２４Ｈは、平面形状が、矩形状になるように形成されている。そして、配線層３２４Ｈは、実施形態１と同様に、他の配線とコンタクトとを介して、出力端子（Ｏｕｔ）に電気的に接続されている。

【０２５２】

このように、各配線層３２１Ｈ～３２４Ｈは、実施形態１の場合と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとのそれぞれが、ＣＭＯＳインバータ回路（ＮＯＴ回路）を構成するように、互いを電気的に接続している。

【０２５３】

［Ｂ］まとめ

以上のように、本実施形態においては、他の実施形態と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐを、他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させている。

【０２５４】

したがって、本実施形態においても、他の実施形態と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。

【０２５５】

特に、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、互いのチャネル方向が直交するように設けられている。すなわち、ｎ型ＭＯＳＦＥＴ１１１Ｎにおいて一対のソース・ドレイン領域１１１Ａ，１１１Ｂが並ぶ方向（ｙ方向）と、ｐ型ＭＯＳＦＥＴ２１１Ｐにおいて一対のソース・ドレイン領域２１１Ａ，２１１Ｂが並ぶ方向（ｘ方向）とが、直交している。このため、第１基板１０１に設けた配線層（２１１ＨＡなど）と、第２基板２０１に設けた配線層（２１１ＨＡなど）との間は、実施形態１などの場合よりも、互いに対向する面の面積が小さくなる。よって、両者の間で発生するカップリング容量を低減できるので、遅延などの不具合の発生を防止し、装置の信頼性を更に向上できる。

【０２５６】

＜７．実施形態７＞

［Ａ］装置構成

図３１～図３３は、実施形態７において、半導体装置の要部を示す図である。

【０２５７】

図３１は、図２８と同様に、半導体装置の上面を示している。
【０２５８】
図３２は、図２９と同様に、半導体装置の一部を構成するｎ型ＭＯＳＦＥＴの要部を示す図である。
【０２５９】
図３３は、図３０と同様に、半導体装置の一部を構成するｐ型ＭＯＳＦＥＴの要部を示す図である。
【０２６０】
図３２，図３３は、図２９，図３０と同様に、上面を示しており、下層の部材において上層で覆われた部分の輪郭を細い破線で示している。そして、図３２に示すｎ型ＭＯＳＦＥＴと、図３３に示すｐ型ＭＯＳＦＥＴとの配置関係について、図３１で示している。
【０２６１】
本実施形態においては、図３１～図３３に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎおよびｐ型ＭＯＳＦＥＴ２１１Ｐの構成が、実施形態６と異なる。本実施形態は、この点、および、これに関連する点を除き、実施形態６の場合と同様である。このため、本実施形態において、実施形態６と重複する個所については、適宜、記載を省略する。
【０２６２】
図３１～図３３に示すように、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、互いのチャネル方向が直角以外の角度で交差するように設けられている。すなわち、ｎ型ＭＯＳＦＥＴ１１１Ｎにおいて一対のソース・ドレイン領域１１１Ａ，１１１Ｂが並ぶ方向（ｙ方向）と、ｐ型ＭＯＳＦＥＴ２１１Ｐにおいて一対のソース・ドレイン領域２１１Ａ，２１１Ｂが並ぶ方向（ｘ方向）とが、交差している。ここでは、一例として、互いのチャネル方向が直交しておらず、直交した状態に対して４５°の角度で傾くように、設けられている。
【０２６３】
各部の詳細について順次説明する。
【０２６４】
［Ａ－１］ｎ型ＭＯＳＦＥＴ１１１Ｎについて
ｎ型ＭＯＳＦＥＴ１１１Ｎは、図３２に示すように、ゲート電極１１１Ｇの長手方向が、実施形態６（図２８参照）の場合と異なり、ｘ方向およびｙ方向に対して、４５°の角度で傾いた方向へ沿うように延在している。
【０２６５】
そして、図３２に示すように、一対のソース・ドレイン領域１１１Ａ，１１１Ｂは、ｘ方向およびｙ方向に対して、４５°の角度で傾いた方向へ沿うように延在しているゲート電極１１１Ｇを介して並ぶように設けられている。
【０２６６】
また、図３２に示すように、複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧが、ｎ型ＭＯＳＦＥＴ１１１Ｎの上方に設けられている。
【０２６７】
複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧのうち、配線層１１１ＨＡは、図３２に示すように、コンタクトＣ１１を介して、一方のソース・ドレイン領域１１１Ａに電気的に接続するように設けられている。配線層１１１ＨＡは、一方のソース・ドレイン領域１１１Ａの上方において、長手方向が、ゲート電極１１１Ｇの長手方向と同じ方向になるように形成されている。つまり、ｘ方向およびｙ方向に対して、４５°の角度で傾いた方向へ沿って延在するように形成されている。
【０２６８】
複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧのうち、配線層１１１ＨＢは、図３２に示すように、コンタクトＣ１１を介して、他方のソース・ドレイン領域１１１Ｂに電気的に接続するように設けられている。配線層１１１ＨＢは、他方のソース・ドレイン領域１１１Ｂの上方において、長手方向が、ゲート電極１１１Ｇの長手方向と同じ方向にな

るように形成されている。つまり、ｘ方向およびｙ方向に対して、４５°の角度で傾いた方向へ沿って延在するように形成されている。

【０２６９】

複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧのうち、配線層１１１ＨＧは、図３２に示すように、コンタクトＣ１１を介して、ゲート電極１１１Ｇに電気的に接続するように設けられている。配線層１１１ＨＧは、ゲート電極１１１Ｇの上方において、ゲート電極１１１Ｇの上端から、ゲート電極１１１Ｇの長手方向に直交する方向へ延在した部分を含むように形成されている。つまり、配線層１１１ＨＧの長手方向が、ゲート電極１１１Ｇの長手方向に直交する方向に沿うように形成されている。

【０２７０】

［Ａ－２］ｐ型ＭＯＳＦＥＴ２１１Ｐについて

ｐ型ＭＯＳＦＥＴ２１１Ｐは、図３３に示すように、ゲート電極２１１Ｇの長手方向が、実施形態６（図３０参照）の場合と同様に、ｙ方向へ沿うように延在している。

【０２７１】

そして、図３３に示すように、一対のソース・ドレイン領域２１１Ａ，２１１Ｂの長手方向がｙ方向へ沿うように延在しており、ゲート電極２１１Ｇを介して、ｘ方向へ並ぶように設けられている。

【０２７２】

また、図３３に示すように、複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧが、ｐ型ＭＯＳＦＥＴ２１１Ｐの下方に設けられている。

【０２７３】

複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧのうち、配線層２１１ＨＡは、図３３に示すように、コンタクトＣ２１を介して、一方のソース・ドレイン領域２１１Ａに電気的に接続するように設けられている。配線層２１１ＨＡは、一方のソース・ドレイン領域２１１Ａの下方において、ｙ方向に沿って延在した部分を含むように形成されている。つまり、配線層２１１ＨＡは、長手方向がｙ方向に沿うように形成されている。

【０２７４】

複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧのうち、配線層２１１ＨＢは、図３３に示すように、コンタクトＣ２１を介して、他方のソース・ドレイン領域２１１Ｂに電気的に接続するように設けられている。配線層２１１ＨＢは、他方のソース・ドレイン領域２１１Ｂの下方において、ｙ方向に沿って延在した部分を含むように形成されている。つまり、配線層２１１ＨＢは、長手方向がｙ方向に沿うように形成されている。

【０２７５】

複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧのうち、配線層２１１ＨＧは、図３３に示すように、コンタクトＣ２１を介して、ゲート電極２１１Ｇに電気的に接続するように設けられている。配線層２１１ＨＧは、ゲート電極２１１Ｇの下方において、ゲート電極２１１Ｇの上端部分から、ｘ方向に沿って延在した部分を含むように形成されている。つまり、配線層２１１ＨＧは、長手方向がｘ方向に沿うように形成されている。

【０２７６】

［Ａ－３］その他

図３１，図３２に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎの各部に接続された複数の配線層１１１ＨＡ，１１１ＨＢ，１１１ＨＧのそれぞれは、実施形態６の場合と同様に、コンタクトＣ１２を介して、各部に電気的に接続されている。

【０２７７】

具体的には、図３２に示すように、配線層１１１ＨＧは、入力端子（Ｉｎ）に電気的に接続されている。配線層１１１ＨＡは、グランド（ＧＮＤ）に電気的に接続されている。配線層１１１ＨＢは、出力端子（Ｏｕｔ）に電気的に接続されている。これらの電気的な接続は、実施形態６の場合と同様に、多層配線層（図示無し）内の各配線および各コンタクトを介して実現されている。

【０２７８】

また、図３１，図３３に示すように、ｐ型ＭＯＳＦＥＴ２１１Ｐの各部に接続された複数の配線層２１１ＨＡ，２１１ＨＢ，２１１ＨＧのそれぞれは、実施形態６の場合と同様に、コンタクトＣ２２を介して、各部に電気的に接続されている。

【０２７９】

具体的には、図３３に示すように、配線層２１１ＨＧは、入力端子（Ｉｎ）に電気的に接続されている。配線層２１１ＨＡは、出力端子（Ｏｕｔ）に電気的に接続されている。配線層２１１ＨＢは、電源電圧の端子（Ｖｄｄ）に電気的に接続されている。これらの電気的な接続は、実施形態６の場合と同様に、多層配線層（図示無し）内の各配線および各コンタクトを介して実現されている。

【０２８０】

このように、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、実施形態６の場合と同様に、ＣＭＯＳインバータ回路を構成するように、電気的に接続されている。

【０２８１】

［Ｂ］まとめ

以上のように、本実施形態においては、他の実施形態と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐを、他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させている。

【０２８２】

したがって、本実施形態においても、他の実施形態と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。

【０２８３】

特に、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、互いのチャネル方向が交差するように設けられている。このため、第１基板１０１に設けた配線層（１１１ＨＡなど）と、第２基板２０１に設けた配線層（２１１ＨＡなど）とは、実施形態１などの場合よりも、互いに対向する面の面積が小さくなる。よって、両者の間で発生するカップリング容量を低減できるので、遅延などの不具合の発生を防止し、装置の信頼性を更に向上できる。

また、下記の場合には、第１基板１０１と第２基板２０１とに予め設けられている各ノッチの間を位置合わせして両者を貼り合わせることで、本実施形態の半導体装置を製造できるため、好適である。

・第１基板１０１：（１００）基板
・ｎＭＯＳＦＥＴ１１１Ｎのチャネル方向：＜１１０＞
・第２基板２０１：（１００）基板
・ｐＭＯＳＦＥＴ２１１Ｐのチャネル方向：＜１００＞

【０２８４】

＜８．実施形態８＞

［Ａ］装置構成

図３４～図３７は、実施形態８において、半導体装置の要部を示す図である。

【０２８５】

図３４は、図１と同様に、半導体装置の回路構成を示す回路図である。

【０２８６】

図３５は、図２と同様に、半導体装置の要部を示す図である。図３５では、図２の場合と同様に、第２基板２０１（図３などを参照）に設けたｐ型ＭＯＳＦＥＴについてドットを付して示している。第１基板１０１（図３などを参照）に設けたｎ型ＭＯＳＦＥＴについては、ドットを付して示していない。

【０２８７】

図３６は、図６と同様に、半導体装置の一部であって、第１基板１０１（図３などを参照）に設けたｎ型ＭＯＳＦＥＴの上面を示している。

【０２８８】

図３７は、図７と同様に、半導体装置の一部であって、第２基板２０１（図３などを参照）に設けたｐ型ＭＯＳＦＥＴの上面を示している。

【０２８９】

図３６，図３７は、図６，図７と同様に、上面を示しており、下層の部材において上層で覆われた部分の輪郭を細い破線で示している。

【０２９０】

図３４～図３７に示すように、半導体装置１を構成するｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎと、ｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐとの構成の一部が実施形態１と異なる。ここでは、２つのｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎと、ｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐとを含む。本実施形態は、この点、および、これに関連する点を除き、実施形態１の場合と同様である。このため、本実施形態において、実施形態１と重複する個所については、適宜、記載を省略する。

【０２９１】

図３４に示すように、半導体装置１は、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎと、ｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐとを含むＣＭＯＳ回路を有する。半導体装置１は、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐとのそれぞれが、ＣＭＯＳ－ＮＡＮＤ回路を構成するように電気的に接続されている。つまり、半導体装置１は、第１入力端子（ＩｎＡ）からの入力信号と第２入力端子（ＩｎＢ）からの入力信号との両者がハイの場合には出力信号がローであり、その他の入力信号の組み合わせでは、出力信号がハイになるように構成されている。

【０２９２】

具体的には、第１のｎ型ＭＯＳＦＥＴ１１１Ｎと、第２のｎ型ＭＯＳＦＥＴ１１２Ｎとが、直列に接続されている。そして、第１のｐ型ＭＯＳＦＥＴ２１１Ｐと、第２のｐ型ＭＯＳＦＥＴ２１２Ｐとが、並列に接続されている。

【０２９３】

また、第１のｎ型ＭＯＳＦＥＴ１１１Ｎと第１のｐ型ＭＯＳＦＥＴ２１１Ｐとは、ゲートが、互いに電気的に接続されていると共に、第１入力端子（ＩｎＡ）に電気的に接続されている。第２のｎ型ＭＯＳＦＥＴ１１２Ｎと第２のｐ型ＭＯＳＦＥＴ２１２Ｐは、ゲートが、互いに電気的に接続されていると共に、第２入力端子（ＩｎＢ）に電気的に接続されている。

【０２９４】

また、第１のｎ型ＭＯＳＦＥＴ１１１Ｎのソースと、第１および第２のｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐのドレインとのそれぞれが、互いに電気的に接続されていると共に、出力端子（Ｏｕｔ）が電気的に接続されている。

【０２９５】

そして、第２のｎ型ＭＯＳＦＥＴ１１２Ｎのドレインがグランド（ＧＮＤ）に電気的に接続されている。また、第１および第２のｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐのソースが、電源電圧の端子（Ｖｄｄ）に電気的に接続されている。

【０２９６】

図３５に示すように、半導体装置１において、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐとは、実施形態１の場合と同様に、互いが対面するように配置されている。

【０２９７】

断面については図示を省略しているが、実施形態１の場合と同様に、各部が設けられている。具体的には、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎは、第１基板１０１において第２基板２０１に対面する面（上面）側に設けられている（図３～図５参照）。そして、ｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐは、第２基板２０１において第１基板１０１に対面する面（下面）側に設けられている（図３～図５参照）。

【０２９８】

また、実施形態１の場合と同様に、多層配線層３１０が設けられている（図３～図５参

照）。そして、多層配線層３１０中に設けられた複数の配線（３２１Ｈなど）を介して、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐとが、電気的に接続されている。

【０２９９】

各部の詳細について、順次、説明する。

【０３００】

［Ａ－１］ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎについて

図３６に示すように、第１のｎ型ＭＯＳＦＥＴ１１１Ｎと、第２のｎ型ＭＯＳＦＥＴ１１２Ｎは、ｘ方向に並ぶように設けられている。

【０３０１】

第１のｎ型ＭＯＳＦＥＴ１１１Ｎと、第２のｎ型ＭＯＳＦＥＴ１１２Ｎは、図３６に示すように、ゲート電極１１１Ｇ，１１２Ｇの長手方向が、ｙ方向へ沿うように延在している。

【０３０２】

そして、図３６に示すように、第１のｎ型ＭＯＳＦＥＴ１１１Ｎにおいては、一対のソース・ドレイン領域１１１Ａ，１１１Ｂの長手方向がｙ方向へ沿うように延在している。そして、一方のソース・ドレイン領域１１１Ａと、他方のソース・ドレイン領域１１１Ｂとが、ゲート電極１１１Ｇを介して、ｘ方向へ並ぶように設けられている。

【０３０３】

第２のｎ型ＭＯＳＦＥＴ１１２Ｎにおいても同様に、一対のソース・ドレイン領域１１２Ａ，１１２Ｂの長手方向がｙ方向へ沿うように延在している。そして、一方のソース・ドレイン領域１１２Ａと、他方のソース・ドレイン領域１１２Ｂとが、ゲート電極１１２Ｇを介して、ｘ方向へ並ぶように設けられている。

【０３０４】

ここでは、第１のｎ型ＭＯＳＦＥＴ１１１Ｎを構成する他方のソース・ドレイン領域１１１Ｂと、第２のｎ型ＭＯＳＦＥＴ１１２Ｎを構成する一方のソース・ドレイン領域１１２Ａとが互いに連結して接続するように形成されている。

【０３０５】

また、図３６に示すように、複数の配線層１１１ＨＡ，１１１ＨＧが、第１のｎ型ＭＯＳＦＥＴ１１１Ｎの上方に設けられている。また、複数の配線層１１２ＨＢ，１１２ＨＧが、第２のｎ型ＭＯＳＦＥＴ１１２Ｎの上方に設けられている。

【０３０６】

これらのうち、配線層１１１ＨＡは、図３６に示すように、コンタクトＣ１１を介して、第１のｎ型ＭＯＳＦＥＴ１１１Ｎを構成する一方のソース・ドレイン領域１１１Ａに電気的に接続している。配線層１１１ＨＡは、一方のソース・ドレイン領域１１１Ａの上方において、ｙ方向に沿って延在した部分を含むように形成されている。

【０３０７】

配線層１１１ＨＧは、図３６に示すように、コンタクトＣ１１を介して、第１のｎ型ＭＯＳＦＥＴ１１１Ｎを構成するゲート電極１１１Ｇに電気的に接続している。配線層１１１ＨＧは、ゲート電極１１１Ｇの上方において、ゲート電極１１１Ｇの上端から、ｘ方向に沿って延在した部分を含むように形成されている。

【０３０８】

配線層１１２ＨＢは、図３６に示すように、コンタクトＣ１１を介して、第２のｎ型ＭＯＳＦＥＴ１１２Ｎを構成する他方のソース・ドレイン領域１１２Ｂに電気的に接続している。配線層１１２ＨＢは、他方のソース・ドレイン領域１１２Ｂの上方において、ｙ方向に沿って延在した部分を含むように形成されている。

【０３０９】

配線層１１２ＨＧは、図３６に示すように、コンタクトＣ１１を介して、第２のｎ型ＭＯＳＦＥＴ１１２Ｎを構成するゲート電極１１２Ｇに電気的に接続している。配線層１１２ＨＧは、ゲート電極１１２Ｇの上方において、ゲート電極１１２Ｇの上端から、ｘ方向

に沿って延在した部分を含むように形成されている。
【０３１０】
［Ａ－２］ｐ型ＭＯＳＦＥＴ２１１Ｐについて
図３７に示すように、第１のｐ型ＭＯＳＦＥＴ２１１Ｐと、第２のｐ型ＭＯＳＦＥＴ２１２Ｐは、ｘ方向に並ぶように設けられている。
【０３１１】
第１のｐ型ＭＯＳＦＥＴ２１１Ｐと、第２のｐ型ＭＯＳＦＥＴ２１２Ｐは、図３７に示すように、ゲート電極２１１Ｇ，２１２Ｇの長手方向が、ｙ方向へ沿うように延在している。
【０３１２】
そして、図３７に示すように、第１のｐ型ＭＯＳＦＥＴ２１１Ｐにおいては、一対のソース・ドレイン領域２１１Ａ，２１１Ｂの長手方向がｙ方向へ沿うように延在している。そして、一方のソース・ドレイン領域２１１Ａと、他方のソース・ドレイン領域２１１Ｂとが、ゲート電極２１１Ｇを介して、ｘ方向へ並ぶように設けられている。
【０３１３】
第２のｐ型ＭＯＳＦＥＴ２１２Ｐにおいても同様に、一対のソース・ドレイン領域２１２Ａ，２１２Ｂの長手方向がｙ方向へ沿うように延在している。そして、一方のソース・ドレイン領域２１２Ａと、他方のソース・ドレイン領域２１２Ｂとが、ゲート電極２１２Ｇを介して、ｘ方向へ並ぶように設けられている。
【０３１４】
ここでは、第１のｐ型ＭＯＳＦＥＴ２１１Ｐを構成する他方のソース・ドレイン領域２１１Ｂと、第２のｐ型ＭＯＳＦＥＴ２１２Ｐを構成する一方のソース・ドレイン領域２１２Ａとが互いに連結して接続するように形成されている。
【０３１５】
また、図３７に示すように、複数の配線層２１１ＨＡ，２１１ＨＧが、第１のｐ型ＭＯＳＦＥＴ２１１Ｐの下方に設けられている。また、複数の配線層２１２ＨＢ，２１２ＨＧが、第２のｐ型ＭＯＳＦＥＴ２１２Ｐの下方に設けられている。この他に、第１のｐ型ＭＯＳＦＥＴ２１１Ｐを構成する他方のソース・ドレイン領域２１１Ｂと、第２のｐ型ＭＯＳＦＥＴ２１２Ｐを構成する一方のソース・ドレイン領域２１２Ａとの下方に、配線層２１０Ｈが設けられている。
【０３１６】
これらのうち、配線層２１１ＨＡは、図３７に示すように、コンタクトＣ２１を介して、第１のｐ型ＭＯＳＦＥＴ２１１Ｐを構成する一方のソース・ドレイン領域２１１Ａに電気的に接続している。配線層２１１ＨＡは、一方のソース・ドレイン領域２１１Ａの下方において、ｙ方向に沿って延在した部分を含むように形成されている。
【０３１７】
配線層２１１ＨＧは、図３７に示すように、コンタクトＣ２１を介して、第１のｐ型ＭＯＳＦＥＴ２１１Ｐを構成するゲート電極２１１Ｇに電気的に接続している。配線層２１１ＨＧは、ゲート電極２１１Ｇの下方において、ゲート電極２１１Ｇの上端から、ｘ方向に沿って延在した部分を含むように形成されている。
【０３１８】
配線層２１２ＨＢは、図３７に示すように、コンタクトＣ２１を介して、第２のｐ型ＭＯＳＦＥＴ２１２Ｐを構成する他方のソース・ドレイン領域２１２Ｂに電気的に接続している。配線層２１２ＨＢは、他方のソース・ドレイン領域２１２Ｂの下方において、ｙ方向に沿って延在した部分を含むように形成されている。
【０３１９】
配線層２１２ＨＧは、図３７に示すように、コンタクトＣ２１を介して、第２のｐ型ＭＯＳＦＥＴ２１２Ｐを構成するゲート電極２１２Ｇに電気的に接続している。配線層２１２ＨＧは、ゲート電極２１２Ｇの下方において、ゲート電極２１２Ｇの上端から、ｘ方向に沿って延在した部分を含むように形成されている。

【０３２０】
配線層２１０Ｈは、図３７に示すように、コンタクトＣ２１を介して、第１のｐ型ＭＯＳＦＥＴ２１１Ｐの他方のソース・ドレイン領域２１１Ｂと、第２のｐ型ＭＯＳＦＥＴ２１２Ｐの一方のソース・ドレイン領域２１２Ａとに電気的に接続している。配線層２１０Ｈは、ｙ方向に沿って延在した部分を含むように形成されている。
【０３２１】
［Ａ－３］その他
図３５，図３６に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎの各部に接続された複数の配線層１１１ＨＡ，１１１ＨＧ，１１２ＨＢ，１１２ＨＧのそれぞれは、実施形態１の場合と同様に、コンタクトＣ１２を介して、各部に電気的に接続されている。
【０３２２】
具体的には、図３６に示すように、配線層１１１ＨＧは、第１の入力端子（ＩｎＡ）に電気的に接続されている。配線層１１１ＨＡは、出力端子（Ｏｕｔ）に電気的に接続されている。配線層１１２ＨＧは、第２の入力端子（ＩｎＢ）に電気的に接続されている。配線層１１２ＨＢは、グランド（ＧＮＤ）に電気的に接続されている。これらの電気的な接続は、実施形態１の場合と同様に、多層配線層（図示無し）内の各配線および各コンタクトを介して実現されている。
【０３２３】
図３５，図３７に示すように、ｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐの各部に接続された複数の配線層２１１ＨＡ，２１１ＨＧ，２１２ＨＢ，２１２ＨＧ，２１０Ｈは、実施形態１の場合と同様に、コンタクトＣ２２を介して、各部に電気的に接続されている。
【０３２４】
具体的には、図３７に示すように、配線層２１１ＨＧは、第１の入力端子（ＩｎＡ）に電気的に接続されている。配線層２１１ＨＡは、電源電圧の端子（Ｖｄｄ）に電気的に接続されている。配線層２１２ＨＧは、第２の入力端子（ＩｎＢ）に電気的に接続されている。配線層２１２ＨＢは、電源電圧の端子（Ｖｄｄ）に電気的に接続されている。これらの電気的な接続は、実施形態１の場合と同様に、多層配線層（図示無し）内の各配線および各コンタクトを介して実現されている。
【０３２５】
［Ｂ］まとめ
以上のように、本実施形態においては、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐとは、ＮＡＮＤ回路を構成するように電気的に接続されている。ここでは、他の実施形態と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐを、他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎ，ｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐのそれぞれを電気的に接続させている。
【０３２６】
したがって、本実施形態においても、他の実施形態と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。
【０３２７】
＜９．実施形態９＞
［Ａ］装置構成
図３８は、実施形態９において、半導体装置の要部を示す図である。
【０３２８】
図３８は、半導体装置の回路構成を示す回路図である。
【０３２９】
図３８に示すように、半導体装置１の回路構成が実施形態８と異なる。本実施形態は、この点、および、これに関連する点を除き、実施形態８の場合と同様である。このため、本実施形態において、実施形態１と重複する個所については、適宜、記載を省略する。

【０３３０】
図３８に示すように、半導体装置１は、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐとのそれぞれが、ＣＭＯＳ－ＮＯＲ回路を構成するように電気的に接続されている。つまり、半導体装置１は、第１入力端子（ＩｎＡ）からの入力信号と第２入力端子（ＩｎＢ）からの入力信号との両者がローの場合には出力信号がハイであり、その他の入力信号の組み合わせでは、出力信号がローになるように構成されている。
【０３３１】
具体的には、第１のｎ型ＭＯＳＦＥＴ１１１Ｎと、第２のｎ型ＭＯＳＦＥＴ１１２Ｎとが並列に接続されている。そして、第１のｐ型ＭＯＳＦＥＴ２１１Ｐと、第２のｐ型ＭＯＳＦＥＴ２１２Ｐとが、直列に接続されている。
【０３３２】
そして、第１のｎ型ＭＯＳＦＥＴ１１１Ｎと第１のｐ型ＭＯＳＦＥＴ２１１Ｐは、ゲートが電気的に接続されていると共に、第１入力端子（ＩｎＡ）に電気的に接続されている。また、第２のｎ型ＭＯＳＦＥＴ１１２Ｎと第２のｐ型ＭＯＳＦＥＴ２１２Ｐは、ゲートが互いに電気的に接続されていると共に、第２入力端子（ＩｎＢ）に電気的に接続されている。
【０３３３】
そして、第１のｐ型ＭＯＳＦＥＴ２１１Ｐのドレインと、第１および第２のｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎのドレインは、電気的に接続されていると共に、出力端子（Ｏｕｔ）に電気的に接続されている。
【０３３４】
そして、第２のｐ型ＭＯＳＦＥＴ２１２Ｐのソースが、電源電圧の端子（Ｖｄｄ）に電気的に接続されている。また、第１および第２のｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎのソースが、グランド（ＧＮＤ）に電気的に接続されている。
【０３３５】
上面などについては図示を省略しているが、図３５～図３７に示した半導体装置１において、各ＭＯＳＦＥＴを反対の導電型にすることで、本実施形態の半導体装置１を構成することができる。
【０３３６】
［Ｂ］まとめ
以上のように、本実施形態においては、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐは、ＮＯＲ回路を構成するように電気的に接続されている。ここでは、他の実施形態と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐを、他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎ，１１２Ｎ，ｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐのそれぞれを電気的に接続させている。
【０３３７】
したがって、本実施形態においても、他の実施形態と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。
【０３３８】
以上に記述した実施形態１～９の共通した特徴は、以下の通りである。
「第１基板に形成された第１電界効果トランジスタと、第２基板に形成した第２電界効果トランジスタとを、第２基板において第１基板と反対の側に設けられた多層配線層中の配線層を用いて電気的に接続する。」
【０３３９】
以下の実施形態１０以降には、「第１基板に形成された第１電界効果トランジスタと、第２基板に形成した第２電界効果トランジスタとを、基板貼り合わせ面側の配線層同士を直接接合して電気的に接続する」場合の実施形態を記述する。

【０３４０】
＜１０．実施形態１０＞
図３９は、半導体装置の要部を示す図である。なお、図３９は、２つの基板を重ねた概略的な平面図であり、視認性向上のため、２つの基板にそれぞれ形成されたパターン同士を図の左右（ｘ方向）および上下（ｙ方向）に少しずらして示している。
【０３４１】
図４０は、半導体装置の要部を示す断面図である。ここで、図４０は、図３９のＸ４１－Ｘ４２部分の断面を示している。図３９と図４０の対応関係においては、各部のレイアウトについて容易に理解できるように、各部のスケールを適宜変更して示している。また、図３９および図４０に示す半導体装置１の要部は、図１のＣＭＯＳインバータ回路を実現するものである。ＣＭＯＳインバータ回路については、図１を用いて説明したので、ここでの説明は省略する。
【０３４２】
図３９および図４０に示すように、半導体装置１は、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを含むＣＭＯＳ回路を有する。なお、図３９においては、ｐ型ＭＯＳＦＥＴ２１１Ｐでのみ使用される構成（チャネル領域、配線層およびゲート電極）についてドットを付して示している。これに対し、ｎ型ＭＯＳＦＥＴ１１１Ｎについては、ドットを付して示していない。
【０３４３】
図３９に示すように、半導体装置１において、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、互いが対面するように配置されている。ここでＦＥＴに関して「互いが対面する」とは、ゲート電極のチャネル側と反対側の面（上面）が互いに向き合うことを言う。
【０３４４】
図４０に示すように、半導体装置１は、第１基板１０１と第２基板２０１とを含む。第１基板１０１と第２基板２０１が対面している。
ｎ型ＭＯＳＦＥＴ１１１Ｎは、第１基板１０１において第２基板２０１に対面する面（上面）側に設けられている。そして、ｐ型ＭＯＳＦＥＴ２１１Ｐは、第２基板２０１において第１基板１０１に対面する面（下面）側に設けられている。第１基板１０１と第２基板２０１とは、ＭＯＳＦＥＴが形成された側同士が貼り合わされている。
【０３４５】
なお、図３９に示すｎ型ＭＯＳＦＥＴの平坦化膜１３１より基板側の構造は実施形態１～９と同様であり、ここでの説明は省略する。同様に、ｐ型ＭＯＳＦＥＴの平坦化膜２３１より基板側の構造は実施形態１～９と同様であり、ここでの説明は省略する。
【０３４６】
図４０に示すように、第２基板２０１において第１基板１０１に対面する面（下面）側とは反対側の面（上面）には、多層配線層３１０が設けられている。多層配線層３１０は、図４０に現れているＣＭＯＳインバータ回路を、図示していない他の回路や素子と相互接続するグローバル配線群を形成する。図４０に示す多層配線層３１０は、５層構造であり、実施形態１～９における３層構造と異なる。但し、多層配線層の層数は任意であり、配線層（３２２Ｈ，３４２Ｈ，…）とコンタクト（３３２Ｃ，３５２Ｃ，…）とを、交互に配置する構造は共通する。従って、多層配線層３１０の詳しい説明は、ここでは省略する。
【０３４７】
本実施形態において、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとは、実施形態１等と異なり、多層配線層３１０中に設けられた配線を経由する経路のみで互いに接続されているわけではない。詳細については後述するが、「第１基板および第２基板に設けた配線層（トランジスタ接続配線層）同士の直接接合」が本実施形態の特徴的な事項である。本実施形態において、より厳密には、この配線層の直接接合によるトランジスタ間の相互接続が行われ、さらに多層配線層３１０を経由した相互接続がなされている。

【０３４８】
ここでトランジスタ接続配線層は、第１基板、第２基板の各基板の形成時に積層された配線群であり、ＣＭＯＳインバータ回路内のノード間を内部接続するのに用いられている。この意味で、トランジスタ接続配線層は「ローカル配線層」の一種である。
【０３４９】
図４１は、実施形態１０において、半導体装置の一部を構成するｎ型ＭＯＳＦＥＴの要部を示す図である。図４２は、実施形態１０において、半導体装置の一部を構成するｐ型ＭＯＳＦＥＴの要部を示す図である。
【０３５０】
図３９，図４１，図４２においては、ｎ型ＭＯＳＦＥＴ１１１Ｎおよびｐ型ＭＯＳＦＥＴ２１１Ｐを接続するため、ローカル配線層として各基板に予め形成されるものについては、ゲート電極と同様な細い実線で示している。但し、下層の部材において上層で覆われた部分の輪郭を細い破線で示している。また、多層配線層３１０（グローバル配線層）の一部の層（最下部のもの）については、太い破線で示している。
【０３５１】
［Ａ－１］ｎ型ＭＯＳＦＥＴ１１１Ｎについて
図４１に示すように、ｎ型ＭＯＳＦＥＴ１１１Ｎは、ゲート電極１１１Ｇを含む。
ゲート電極１１１Ｇは、図４０に示すように、平坦化膜１３１内に形成されたコンタクトＣ１１を介して、トランジスタ接続配線層（配線層１１１ＨＧ）に接続されている。
図４１においては、チャネルが形成される領域より外側の素子分離層上に位置するゲート電極１１１Ｇのｙ方向の一方端部に、コンタクトＣ１１が形成されている。配線層１１１ＨＧは、長辺がｘ方向に沿った矩形状に形成され、ｘ方向の一方端部分がコンタクトＣ１１を介してゲート電極１１１Ｇに接続されている。
【０３５２】
図４１に示すように、一対のソース・ドレイン領域（１１１ＡＨ，１１１ＢＨ）に一部が重なるように、一対のトランジスタ接続配線層（配線層１１１ＨＡと１１１ＨＢ）が配置されている。配線層１１１ＨＡは、配線層１１１ＨＢより長手方向の寸法が短い矩形部分を有する。
より詳細に、配線層１１１ＨＡは、上記矩形部分がｙ方向の正側からｙ方向の負側に延びて、ソース・ドレイン領域１１１ＡＨのｙ方向寸法の半分弱ほどの領域と平面視で重なるようになっている。
これに対し、配線層１１１ＨＢは、ｙ方向の負側から正側に延び、ソース・ドレイン領域１１１ＢＨのｙ方向正側端の手前まで延びている。
【０３５３】
配線層１１１ＨＡはＧＮＤ（ソース）側の配線層であり、配線層１１１ＨＢは出力（ドレイン）側の配線層である。
図４０，図４１に示すように、配線層１１１ＨＡは、ソース・ドレイン領域１１１ＡＨに対しコンタクトＣ１１を介して接続されている。同様に、配線層１１１ＨＢは、ソース・ドレイン領域１１１ＢＨに対しコンタクトＣ１１を介して接続されている。
【０３５４】
［Ａ－２］ｐ型ＭＯＳＦＥＴ２１１Ｐについて
図４２に示すように、ｐ型ＭＯＳＦＥＴ２１１Ｐはゲート電極２１１Ｇを含む。
ゲート電極２１１Ｇは、図４０に示す平坦化膜２３１内に形成されたコンタクトＣ２１を介して、トランジスタ接続配線層（配線層２１１ＨＧ）に接続されている。
図４２においては、チャネルが形成される領域より外側の素子分離層上に位置するゲート電極２１１Ｇのｙ方向の一方端部に、コンタクトＣ２１が形成されている。配線層２１１ＨＧは、長辺がｘ方向に沿った矩形状に形成され、ｘ方向の一方端部分がコンタクトＣ２１を介してゲート電極２１１Ｇに接続されている。
【０３５５】
図４２に示すように、一対のソース・ドレイン領域（２１１ＡＨ，２１１ＢＨ）に一部

が重なるように、一対のトランジスタ接続配線層（配線層２１１ＨＡと２１１ＨＢ）が配置されている。配線層２１１ＨＢは、配線層２１１ＨＡより長手方向の寸法が短い矩形部分を有する。

より詳細に、配線層２１１ＨＢは、上記矩形部分がｙ方向の負側からｙ方向の正側に延びて、ソース・ドレイン領域２１１ＢＨのｙ方向寸法の半分弱ほどの領域と平面視で重なるようになっている。

これに対し、配線層２１１ＨＡは、ｙ方向の負側から正側に延び、ソース・ドレイン領域２１１ＡＨのｙ方向正側端の手前まで延びている。

【０３５６】

配線層２１１ＨＢはＶｄｄ（ソース）側の配線層であり、配線層２１１ＨＡは出力（ドレイン）側の配線層である。

図４０，図４２に示すように、配線層２１１ＨＡは、ソース・ドレイン領域２１１ＡＨに対しコンタクトＣ２１を介して接続されている。同様に、配線層２１１ＨＢは、ソース・ドレイン領域２１１ＢＨに対しコンタクトＣ２１を介して接続されている。

【０３５７】

［Ａ－３］配線層の直接接合

図４０に示すように、出力（ドレイン）側の配線層１１１ＨＢと２１１ＨＡとが直接接合されている。

また、ゲート側の配線層１１１ＨＧと２１１ＨＧとが直接接合されている。

なお、図４０に示すソース側の配線層１１１ＨＡと２１１ＨＢは断面では接触しているように見えるが、実際は、図３９のように、平面視で離れて形成されているため「直接接合」はしていない。

また、図４０おいて、「直接接合」される配線層は、各基板の第１層目の配線層が望ましいが、第２層目以降の配線層でも構わない。

【０３５８】

本実施形態では、このように、第１基板１０１のＦＥＴの少なくとも１つの端子（ゲート電極またはソース・ドレイン領域）が、コンタクトを介して基板を貼り合わせる面に設けられた配線層に接続されている。また、第２基板２０１のＦＥＴの少なくとも１つの端子が、コンタクトを介して基板を貼り合わせる面に設けられた配線層に接続されている。そして、対応する配線層（トランジスタ接続配線層）同士が、貼り合わせ時に直接接合される。

【０３５９】

なお、「直接接合」とは、コンタクトを介在させないで配線層同士が直接接合されているという程度の意味であり、例えば、接合時の直列抵抗を低減するために、接合面の表面処理により薄い低抵抗化層を形成し、この薄い低抵抗化層を介して接合することは許容される。

【０３６０】

また、直接接合される配線層は、トランジスタに最も近い第１層目の配線層が望ましいが、第２層目以降でもよい。つまり、「トランジスタ接続配線層」とは、各基板に形成された配線構造において、トランジスタに電気的に接続されている配線層を意味する。

【０３６１】

第１基板１０１側の配線層１１１ＨＢおよび１１１ＨＧと、第２基板２０１側の配線層２１１ＨＡおよび２１１ＨＧとは、異なる導電材料であってもよいが、同じ導電材料が望ましい。

接合する導電材料としては、銅と銅（Ｃｕ　ｔｏ　Ｃｕ）、アルミニウムとアルミニウム（Ａｌ　ｔｏ　Ａｌ）を好適に例示できる。また、銅またはアルミニウムに他の金属、例えばタンタル（Ｔａ）、チタン（Ｔｉ）またはタングステン（Ｗ）等を含有させたものを用いてもよい。

配線層は単層に限らず２層以上に積層された構造でもよい。

【０３６２】

［Ａ－４］多層配線層３１０（図３９から図４２参照）を構成する複数の配線層の一部（３２１Ｈなどの最下部のもの）について

図３９～図４１に示すように、配線層２１１ＨＢに対し、平坦化膜２３１を貫通するコンタクトＣ２１が接続されている。また、第２基板２０１の素子分離層２１０に形成された接続ビアＰ２１がコンタクトＣ２１端面上に接続されている。配線層２１１ＨＢは、コンタクトＣ２１と接続ビアＰ２１とによって、上層の配線層３２２Ｈに接続されている。

【０３６３】

同様に、配線層２１１ＨＡは、コンタクトＣ２１と接続ビアＰ２１とによって、上層の配線層３２１Ｈに接続されている。

同様に、配線層２１１ＨＧは、コンタクトＣ２１と接続ビアＰ２１とによって、上層の配線層３２２Ｇに接続されている。

図４０には現れていないが、配線層３２２Ｈ等と同一階層に配線層３２２Ｓ（図３９，図４１参照）が設けられている。配線層１１１ＨＡは、コンタクトＣ２１と接続ビアＰ２１とによって、上層の配線層３２２Ｓに接続されている。

【０３６４】

なお、コンタクトＣ２１と接続ビアＰ２１は、１本の接続ビアとしてもよいが、高アスペクトの基板貫通型のビアを形成する必要がないことから、コンタクトＣ２１と接続ビアＰ２１との連結構造が望ましい。但し、後述するように、第２基板２０１をＳＯＩ構造として基板厚が薄くした場合には、１本の接続ビアで、直接接合された配線層から多層配線層３１０の最下層の配線層までを接続しても構わない。

【０３６５】

［Ｂ］製造方法

図４３～図４７は、実施形態１０において、半導体装置の製造方法の要部を示す図である。

【０３６６】

図４３（Ａ）はｐ型ＭＯＳＦＥＴ２１１Ｐが形成された第２基板２０１を示し、図４３（Ｂ）はｎ型ＭＯＳＦＥＴ１１１Ｎが形成された第１基板１０１を示す。

図４３は、図４０と同様に、図３９のＸ４１－Ｘ４２部分の断面を示している。

【０３６７】

図４３は、実施形態１における図９と図１０に対応する図であり、図９と図１０の説明と同様な方法で、平坦化膜１３１または２３１に、コンタクトＣ１１またはＣ２１を形成するまでの工程を行う。

【０３６８】

このときのコンタクト形成工程において、図４３（Ａ）に示す第２基板２０１側には、第１基板１０１より多くコンタクトＣ２１を予め形成しておく。第１基板１０１と第２基板２０１で同様に形成するコンタクトは、図３９において中央の大きな四角の内のソース・ドレイン領域上のＣ１１やＣ２１である。一方、第１基板１０１に比べると第２基板２０１で、より多く形成するコンタクトＣ２１は、図３９において太線で囲む上層の配線層位置に対応する４箇所のコンタクトＣ２１である。

【０３６９】

次に、ダマシン配線プロセスによって、直接接合用の配線層（２１１ＨＡ，２１１ＨＢ等）を第２基板２０１の平坦化膜２３１上に形成する。同様に、ダマシン配線プロセスによって、直接接合用の配線層（１１１ＨＡ，１１１ＨＢ）を第１基板１０１の平坦化膜１３１上に形成する。

ダマシン配線プロセスでは、平坦化膜１３１または２３１上に形成した層間絶縁膜に対し、その厚さ方向を貫く開口を形成し、この開口に導電材料を埋め込んで表面から研削、研磨して表面を平坦化する。これにより、導電材料が開口部ごとに分離されて各配線層となる。

【０３７０】

次に、図４４に示すように、第２基板２０１を上下反転させて、直接接合用の配線層同

士を接触させて、第２基板２０１を第１基板１０１に貼り合わせる。接合面に薄い導電膜や導電剤を介在させてもよい。良好な接合のために、適度な加熱、加圧、プラズマ印加、高周波振動印加等は適宜、行い得る。

【０３７１】

貼り合わせ後の状態を、図４５に示す。第１基板１０１側の配線層１１１ＨＢが、第２基板２０１側の配線層２１１ＨＡと低抵抗で接触し、両者の電気的接続がなされる。また、第１基板１０１側の配線層１１１ＨＧが、第２基板２０１側の配線層２１１ＨＧと低抵抗で接触し、両者の電気的接続がなされる。

【０３７２】

続いて、図４６に示すように、第２基板２０１を裏面から研削、研磨し基板を薄層化する。化学的機械研磨（ＣＭＰ）等では、素子分離層２１０がストッパになり得る。なお、素子分離層をＳＴＩで形成する場合にはトレンチ内の底に研磨のストッパ膜を予め形成してから絶縁物でトレンチ内を埋め込むと、この研磨のストッパ膜が露出した時点で研磨を精度よく停止することができる。

【０３７３】

次に、図４７に示すように、研磨し終えた面上に、たとえば、厚みが１０～５０ｎｍのシリコン酸化膜を、１層目の絶縁層３１１として形成する。

そして、絶縁層３１１の表面から、薄膜化した第２基板２０１を厚さ方向に貫通する孔を形成する。この貫通孔は、図３９に太い破線により示す上層の配線層が形成される位置に対応した４箇所設ける（符号Ｐ２１の箇所）。この貫通孔は、下層のコンタクトＣ２１の頭部が露出するように、一回り大きくすることが望ましい。従って、貫通孔は、アスペクト比が比較的小さく、形成が容易である。

形成した貫通孔を導電性の半導体材料または金属材料で埋め込み、余分な材料を除去すれば基板貫通型の接続ビアＰ２１が得られる。

【０３７４】

形成した接続ビアＰ２１と適宜接続を取りながら、多層配線層３１０における第１層目の配線層を形成する。これにより、図３９に太い破線で示す４つの配線層（３２２Ｇ，３２１Ｈ，３２２Ｈ等）が得られる。

その後は、多層配線層３１０の最上層で外部端子との対応が得られるように、あるいは、不図示の他の回路のとの接続が得られるように、コンタクトと２層目以降の配線層を形成する。このときの製造方法は、通常の多層配線プロセスに準じて行い、これにより半導体装置を完成させる。

【０３７５】

［Ｃ］まとめ

以上のように、本実施形態においては、他の実施形態と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐを他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させている。

【０３７６】

したがって、本実施形態においても、他の実施形態と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。

【０３７７】

特に、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、そのトランジスタ接続配線層が直接接合されていることから、以下の利点がある。

【０３７８】

実施形態１等のように、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐのそれぞれから、高アスペクト比のコンタクトで多層配線層３１０に接続させる場合、２本のコンタクトがペアで必要になるため、その分、面積が大きくなる。

これに対し、本実施形態では、直接接合後は基本的に１本のコンタクトで上層の多層配線層３１０へ接続すればよく、１本分のコンタクト配置スペースを削減できる。この１本

分のコンタクト配置スペースの削減は、ゲートドレインで達成されるため、インバータ回路では２本分のスペース削減が可能である。

【０３７９】

なお、図４０では２本のコンタクトＣ２１がペアで配置されているように見えるが、これは、図３９のように断面を複雑な折れ線（Ｘ４１－Ｘ４２）に沿ったものとしたためである。図３９に示されているように、ドレイン側のコンタクトは配置スペースに余裕があるため２個のコンタクトをｙ方向にほぼ直線上に並ぶように配置している。ただし、この２個のコンタクトはｘ方向には１個分のコンタクトスペースしか占めていないため、面積は、実施形態１より削減できる。

【０３８０】

また、直接接合の他の利点は、回路特性の向上および安定が得られることである。

特に、インバータ回路などのようにゲート同士を回路的に接続する必要がある回路に、本技術が好適に適用できる。この適用によって、インバータの入力特性が向上し、安定する。また、インバータの場合、ｐ型ＭＯＳＦＥＴとｎ型ＭＯＳＦＥＴが差動で動作するため、ＭＯＳＦＥＴにできるだけ近い箇所でドレイン同士を接続して出力ノードとした方が、動作が安定しやすい。また、入力、出力ともに配線遅延抑制による特性向上も図れる。

インバータは、すべての論理回路の基本であり膨大な数が使用されるため、集積回路（半導体装置）全体では大きな効果が見込める。

【０３８１】

＜１１．実施形態１１＞

［Ａ］装置構成

図４８は、実施形態１１において、半導体装置の要部を示す図である。

【０３８２】

図４８は、図４０と同様に、図３９のＸ４１－Ｘ４２部分の断面を示している。

【０３８３】

本実施形態においては、上述した実施形態１～１０と比較すると、ＭＯＳＦＥＴのソース・ドレイン領域の構造と材質が異なる。

図４８に示す断面構造では、第１基板１０１に形成されたｎ型ＭＯＳＦＥＴ１１１Ｎと第２基板２０１に形成されたｐ型ＭＯＳＦＥＴ２１１Ｐの双方において、ソース・ドレイン領域がＦＵＳＩ（Ｆｕｌｌ　Ｓｉｌｌｉｓｉｄｅ）構造となっている。ｎ型ＭＯＳＦＥＴ１１１Ｎにおいて、ＦＵＳＩ構造のソース・ドレイン領域を、記号「Ｆ」を付加した参照符号「１１１ＡＦ，１１１ＢＦ」により示す。ｐ型ＭＯＳＦＥＴ２１１Ｐにおいて、ＦＵＳＩ構造のソース・ドレイン領域を、記号「Ｆ」を付加した参照符号「２１１ＡＦ，２１１ＢＦ」により示す。

【０３８４】

ＦＵＳＩ構造のソース・ドレイン領域は、シリコン半導体領域を内部まで完全にシリサイド化して形成される。

図４８においては、ＦＵＳＩ構造の採用にともなって、特に上層側の第２基板２０１においてＳＯＩ構造とすることが望ましい。この場合、フルシリサイド化されたソース・ドレイン領域は、上面と下面でコンタクトが取れるため、接続が容易であり面積縮小に寄与できる。

【０３８５】

フルシリサイド化されたソース・ドレイン領域（２１１ＡＦ，２１１ＢＦ）上には、絶縁層３１１が形成され、必要な箇所にコンタクトＣ３１が形成されている。コンタクトＣ３１は、銅やタングステン等の金属製のコンタクトが好適である。

コンタクトＣ３１が適宜形成された絶縁層３１１上に、多層配線層３１０（図４０参照）の最下層をなす配線層３２１Ｈおよび３２２Ｈが形成されている。

【０３８６】

配線層３２２Ｈは、電源電圧Ｖｄｄを付与する配線層であり、ｐ型ＭＯＳＦＥＴ２１１Ｐのソースとして機能するフルシリサイド化されたソース・ドレイン領域２１１ＢＦに対

し、コンタクトＣ３１を介して接続されている。また、配線層３２１Ｈは、出力（Ｏｕｔ）となるため、ｐ型ＭＯＳＦＥＴ２１１Ｐのドレインとして機能するフルシリサイド化されたソース・ドレイン領域２１１ＡＦに対し、コンタクトＣ３１を介して接続されている。

なお、接続ビアＰ２１は、図４８では現れていないＧＮＤ電位付与のために用い得る。接続ビアＰ２１は、さらには、後述する基板の多層化で、ある基板内の素子には接続しないで単に縦配線として通過する中継ビアとして機能し得る。

【０３８７】

本実施形態は、この点、および、これに関連する点を除き、実施形態１０の場合と同様である。このため、本実施形態において、実施形態１０と重複する個所については、適宜、記載を省略する。

また、フルシリサイド化の技術は、実施形態１０に示す基板貼り合わせ時の配線による直接接合との組み合わせに限らず、実施形態１～９との組み合わせも可能である。

【０３８８】

［Ｂ］製造方法

図４９～図５２は、実施形態１１において、半導体装置の製造方法の要部を示す図である。

【０３８９】

図４９（Ａ）はｐ型ＭＯＳＦＥＴ２１１Ｐが形成された第２基板２０１を示し、図４９（Ｂ）はｎ型ＭＯＳＦＥＴ１１１Ｎが形成された第１基板１０１を示す。

図４９は、図４０と同様に、図３９のＸ４１－Ｘ４２部分の断面を示している。

【０３９０】

図４９は、実施形態１において、図９と図１０に対応する図であり、図９と図１０の説明と同様な方法で、平坦化膜１３１または２３１に、コンタクトＣ１１またはＣ２１を形成するまでの工程を行う。

【０３９１】

但し、ソース・ドレイン領域の形成が実施形態１等と異なる。

本実施形態では、フルシリサイド化されたソース・ドレイン領域（１１１ＡＦ，１１１ＢＦ）を第１基板１０１に形成する。また、フルシリサイド化されたソース・ドレイン領域（２１１ＡＦ，２１１ＢＦ）を第２基板２０１に形成する。

【０３９２】

例えば、素子分離層（１１０または２１０）を形成後に、マスク層（絶縁膜）でチャネルが形成される領域を覆い、マスク層から露出した基板領域上とマスク層上に高融点金属を積層させる。マスク層を形成したまま加熱によりマスク層で覆われていない基板領域を合金化する。このとき、高融点金属に接するシリコン領域（基板領域）が厚さ方向において完全に合金化するまで加熱する。素子分離層やマスク層に覆われた部分では合金化がされず、高融点金属に接するシリコン領域（基板領域）のみが合金化され、これによりフルシリサイド化されたソース・ドレイン領域が形成される。

その後、実施形態１等と同様な方法により、ＭＯＳＦＥＴを完成させ、平坦化膜（１３１または２３１）を形成し、コンタクト（Ｃ１１またはＣ２１）を形成して表面を平坦化する。

【０３９３】

このときのコンタクト形成工程において、図４９（Ａ）に示す第２基板２０１側には、第１基板１０１より多くコンタクトＣ２１を予め形成しておく。第１基板１０１と第２基板２０１で同様に形成するコンタクトは、図３９において中央の大きな四角の内のソース・ドレイン領域上のＣ１１やＣ２１である。一方、第１基板１０１に比べると第２基板２０１で、より多く形成するコンタクトＣ２１は、図３９において太線で囲む上層の配線層位置に対応する４箇所のコンタクトＣ２１である。

【０３９４】

次に、ダマシン配線プロセスを用いた実施形態１０と同様な方法によって、直接接合用

の配線層（２１１ＨＡ，２１１ＨＢ）を第２基板２０１の平坦化膜２３１上に形成する。同様に、直接接合用の配線層（１１１ＨＡ，１１１ＨＢ）を第１基板１０１の平坦化膜１３１上に形成する。

【０３９５】

次に、図５０に示すように、第２基板２０１を上下反転させて、直接接合用の配線層同士を接触させて、第２基板２０１を第１基板１０１に貼り合わせる。接合面に薄い導電膜や導電剤を介在させてもよい。良好な接合のために、適度な加熱、加圧、高周波振動印加等は適宜、行い得る。

【０３９６】

基板貼り合わせによって、第１基板１０１側の配線層１１１ＨＢが、第２基板２０１側の配線層２１１ＨＡと低抵抗で接触し、両者の電気的接続がなされる。また、第１基板１０１側の配線層１１１ＨＧが、第２基板２０１側の０配線層２１１ＨＧと低抵抗で接触し、両者の電気的接続がなされる。

【０３９７】

続いて、図５１に示すように、第２基板２０１を裏面から研削、研磨し基板を薄層化する。化学的機械研磨（ＣＭＰ）等では、素子分離層２１０またはフルシリサイド化されたソース・ドレイン領域がストッパになり得る。なお、素子分離層をＳＴＩで形成する場合にはトレンチ内の底に研磨のストッパ膜を予め形成してから絶縁物でトレンチ内を埋め込むと、この研磨のストッパ膜が露出した時点で研磨を、さらに精度よく停止することができる。

【０３９８】

次に、図５２に示す研磨後の状態から、研磨し終えた面上に、たとえば、厚みが１０～５０ｎｍのシリコン酸化膜を、１層目の絶縁層３１１として形成する（図４８参照）。

そして、絶縁層３１１の表面から、フルシリサイド化されたソース・ドレイン領域に達する孔を形成し、金属材料で孔を埋め込んでコンタクトＣ３１を形成する。

また、必要に応じて、接続ビアＰ２１を同時に形成する。これらのコンタクトＣ３１および接続ビアＰ２１の形成は、アスペクト比が比較的小さく、形成が容易である。

【０３９９】

形成したコンタクトＣ３１（および接続ビアＰ２１）と適宜接続を取りながら、多層配線層３１０における第１層目の配線層を形成する。

その後は、多層配線層３１０の最上層で外部端子との対応が得られるように、あるいは、不図示の他の回路のとの接続が得られるように、コンタクトと２層目以降の配線層を形成する。このときの製造方法は、通常の多層配線プロセスに準じて行い、これにより半導体装置を完成させる。

【０４００】

［Ｃ］まとめ

以上のように、本実施形態においては、他の実施形態と同様に、ｎ型ＭＯＳＦＥＴ１１１Ｎを第１基板１０１に設け、ｐ型ＭＯＳＦＥＴ２１１Ｐを、他の第２基板２０１に設けている。そして、第１基板１０１と第２基板２０１とを貼り合せて、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させている。

【０４０１】

したがって、本実施形態においても、他の実施形態と同様に、製造効率の向上、コストダウン、装置の信頼性の向上を容易に実現できる。

【０４０２】

特に、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、そのトランジスタ接続配線層が直接接合されていることから、実施形態１０で述べた種々の利点がある。この直接接合の利点は、既に述べたのでここでは省略する。

【０４０３】

本実施形態では、ソース・ドレイン領域をフルシリサイド化したことにより、さらなる以下の利点がある。

ｐ型ＭＯＳＦＥＴ２１１ＰをＦＵＳＩ構造にすることで、多層配線層３１０の最下層の配線層と、ｐ型ＭＯＳＦＥＴ２１１Ｐとの接続を、フルシリサイド化されたソース・ドレイン領域上のコンタクトＣ３１でとることができる。

【０４０４】

例えば図３９を参照して、この利点を述べる。図３９に示す実施形態１０の場合、例えば、ｐ型ＭＯＳＦＥＴ２１１Ｐのソースに電源電圧Ｖｄｄを供給する配線層３２２Ｈは、ソース・ドレイン領域（おおよそ中央の大きな四角部分）の外側でコンタクトが取られる。つまり、配線層２１１ＨＢは、Ｌ字状に曲げて配線し、その先端側で電源電圧Ｖｄｄを供給するためのコンタクトが設けられている。

これに対し、本実施形態では、フルシリサイド化されたソース・ドレイン領域の直上にコンタクトＣ３１を配置し、ここに電源電圧Ｖｄｄを供給するためのコンタクトを設けることが可能である。そのため、配線層２１１ＨＢの配置スペースを省略でき、回路のサイズ縮小が図れる。このことは、出力（Ｏｕｔ）をとるためのコンタクトでも同様である。

【０４０５】

なお、下層のｎ型ＭＯＳＦＥＴ１１１Ｎへの電圧供給のためのコンタクト（例えばＧＮＤコンタクト）も、フルシリサイド化されたソース・ドレイン領域の直上に配置できる。但し、中継ビアは、ソース・ドレイン領域の外側に配置する必要がある。

【０４０６】

＜１２．実施形態１２＞

本実施形態は、実施形態１０の配線層の直接接合構造を有する半導体装置に対し、ｐ型とｎ型の２つのＭＯＳＦＥＴでチャネル方向を直交させる実施形態に関する。この実施形態１２の実施形態１０に対する関係は、実施形態６の実施形態１に対する関係と類似する。

【０４０７】

［ＭＯＳＦＥＴの基本構造］

まず、配線層の直接接合構造において、接合する領域と非接合（絶縁）とする領域を確保するために考案したＭＯＳＦＥＴの基本構造を説明する。

【０４０８】

図５３は、この基本構造を示す平面図（Ａ）と断面図（Ｂ）である。図５３（Ｂ）は、図５３（Ａ）の平面図におけるＹ２１－Ｙ２２部分の概略的な断面を示す図である。

【０４０９】

図５３に示すように、シリコン等の基板１にソース・ドレイン領域（Ｓ／Ｄ）が形成されている。このソース・ドレイン領域（Ｓ／Ｄ）上に、コンタクトメタル層ＣＭが形成されている。コンタクトメタル層ＣＭは、他の実施形態で述べたコンタクトＣ１１，Ｃ２１に代わるものである。つまり、他の実施形態では、面積が小さい柱状コンタクトを用いているが、本実施形態では、長尺状の比較的広い面積をもつコンタクトメタル層ＣＭを用いる。

【０４１０】

コンタクトメタル層ＣＭの周囲は、コンタクトメタル層ＣＭと一緒に表面が平坦化された平坦化膜（絶縁膜ＩＦ１）が存在する。

この絶縁膜ＩＦ１とコンタクトメタル層ＣＭの平坦化された面上に、ダマシン配線プロセスで形成される第１層目の配線層Ｍ１が配置されている。配線層Ｍ１は、コンタクトメタル層ＣＭの長さ方向（ｙ方向）の一部に重ねて配置されている。配線層Ｍ１の周囲には、配線層Ｍ１とほぼ同じ厚さの他の絶縁膜ＩＦ２が存在する。

【０４１１】

図５３に示す構造を、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとの両方に形成しておく。配線層Ｍ１は、２つのＭＯＳＦＥＴで直接接合されるトランジスタ接続配線層を構成する。

【０４１２】

例えば、ｎ型ＭＯＳＦＥＴにｐ型ＭＯＳＦＥＴを上下反転させて（ゲートを下にして）

重ねるとする。このときｐ型ＭＯＳＦＥＴの配線層Ｍ１部分を、ｎ型ＭＯＳＦＥＴの配線層Ｍ１部分に重ねれば、配線層の直接接合となる。これに対し、ｐ型ＭＯＳＦＥＴの配線層Ｍ１部分を、ｎ型ＭＯＳＦＥＴの絶縁膜ＩＦ２部分に重ねれば、配線層は非接合（絶縁）となる。

【０４１３】

図３９に示す実施形態１０では、パターンにより接合と非接合を確保していた。

これに対し、本実施形態では、パターンの重ね方、あるいは、配線層Ｍ１と絶縁膜ＩＦ２をコンタクトメタル層ＣＭの長さ方向のどちら側に設けるかによって、配線層の接合と非接合を選択することができる。

【０４１４】

［Ａ－１］装置構成１（チャネルが平行）と、その製造方法

装置構成１では、上述した基本構造の２つのＭＯＳＦＥＴを重ねる際に、チャネル方向をほぼ平行とする。この構成も、配線層の直接接合を利用するため、本開示技術の実施形態の１つである。

【０４１５】

図５４（Ａ）から図５５（Ｂ）は、実施形態１２の装置構成１において、半導体装置の要部を製造工程順に示す図である。

図５４（Ａ）と図５４（Ｂ）がｐ型ＭＯＳＦＥＴとｎ型ＭＯＳＦＥＴの個別の図である。図５５（Ｂ）が完成図であり、図５４（Ｃ）から図５５（Ａ）はその製造途中の図である。なお、２つのＭＯＳＦＥＴを重ね合わせた図においては、他の実施形態の図と同様に、視認性向上のため、２つの基板にそれぞれ形成されたパターン同士を図の左右（ｘ方向）および上下（ｙ方向）に少しずらして示している。

ここで図の見方に注意を要する。図５４は、第１基板側からの透視図である。これに対し、図５５は、図５４にさらにコンタクトと上層配線を重ねている。但し、図５５も基本的に第１基板側からの透視図であるため、コンタクトや上層配線は上に重なっているように見えるが、実際には図の紙面の裏側から重なることになる。

【０４１６】

また、各図における参照符号は、実施形態１０で用いたものを基本的に利用している。但し、コンタクト部分については、以下のように表記している。

図４０の平坦化膜１３１に対応する膜を、図５３の基本構造が適用されたことを示すため、「平坦化膜１３１（ＩＦ１）」と表記する。

図４０のコンタクトＣ１１に対応する層を、図５３の基本構造が適用されたことを示すため、「コンタクトＣ１１（ＣＭ）」と表記する。他のコンタクトＣ２１についても同様である。

図４０の配線層１１１ＨＢに対応する層を、図５３の基本構造が適用されたことを示すため、「配線層１１１ＨＢ（Ｍ１）」と表記する。直接接合用の他の配線層についても同様である。

以上の特徴的な構成以外は、図３９～図４２と同じ参照符号を付して、ここでの詳しい説明を省略する。

【０４１７】

図５４（Ｂ）に示すｎ型ＭＯＳＦＥＴ１１１Ｎに、図５４（Ａ）に示すｐ型ＭＯＳＦＥＴ２１１Ｐを重ねると、図５４（Ｃ）のようになる。

このとき、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとは、ソース側が絶縁分離される。

【０４１８】

より詳細には、図５４（Ａ）と図５４（Ｂ）に示すように、配線層１１１ＨＡ（Ｍ１）と、配線層２１１ＨＢ（Ｍ１）は、図で太い斜線で示す絶縁膜ＩＦ２の位置が異なる。配線層１１１ＨＡ（Ｍ１）ではｙ方向の負側に絶縁膜ＩＦ２が位置し、配線層２１１ＨＢ（Ｍ１）ではｙ方向の正側に絶縁膜ＩＦ２が存在する。このため、重ね合わされたときに両配線層がショートしないようになっている。

【０４１９】
これに対し、ドレイン側の配線層１１１ＨＢ（Ｍ１）と配線層２１１ＨＡ（Ｍ１）は全面で直接接合する。また、ゲート側の配線層１１１ＨＧ（Ｍ１）と配線層２１１ＨＧ（Ｍ１）も全面で直接接合する。
図５５（Ａ）において、４箇所にコンタクトＣ２１を形成し、図５５（Ｂ）で上層の配線層（配線層１１１ＨＢ等）を形成することで、当該装置構成１が完成する。その後は、実施形態１と同様にして多層配線を行うことで、当該半導体装置を完成させる。
【０４２０】
本実施形態では、実施形態１０と同様な利点が得られる。
【０４２１】
［Ａ－２］装置構成２（チャネルが直交）と、その製造方法
装置構成２では、上述した基本構造の２つのＭＯＳＦＥＴを重ねる際に、チャネル方向をほぼ直交とする。
【０４２２】
図５６（Ａ）から図５７（Ｂ）は、実施形態１２の装置構成２において、半導体装置の要部を製造工程順に示す図である。
図５６（Ａ）と図５６（Ｂ）がｐ型ＭＯＳＦＥＴとｎ型ＭＯＳＦＥＴの個別の図である。図５７（Ｂ）が完成図であり、図５６（Ｃ）から図５７（Ａ）はその製造途中の図である。なお、２つのＭＯＳＦＥＴを重ね合わせた図においては、他の実施形態の図と同様に、視認性向上のため、２つの基板にそれぞれ形成されたパターン同士を図の左右（ｘ方向）および上下（ｙ方向）に少しずらして示している。
【０４２３】
ここで、図５６（Ｂ）に示すｎ型ＭＯＳＦＥＴ１１１Ｎを有する第１基板１０１を右回りに９０°回転させることを前提とする。
この前提の下では、図５６（Ｂ）に示すｎ型ＭＯＳＦＥＴ１１１Ｎは、ｘ方向負側に配線層１１１ＨＢ（Ｍ１）を配置し、ｘ方向正側に配線層１１１ＨＡ（Ｍ１）を配置する必要がある。
この関係は、図５４（Ｂ）と逆であることに注意を要する。
【０４２４】
図５６（Ｃ）は、回転後に２つのＭＯＳＦＥＴを重ねあわせた図である。但し、ここでは、図５６（Ａ）および図５６（Ｂ）では示していた構成の一部を省略している。すなわち、ゲート電極から直角に延びる配線層は図示を省略している。また、ゲート電極の両側に平行に配置された延びる配線層は図示しているが、その端部から直角に延びる配線層箇所は図示を省略している。
図５６（Ｃ）において、破線の丸部分に示す箇所で、配線層１１１ＨＢ（Ｍ１）と配線層２１１ＨＡ（Ｍ１）が交差接合し、出力（Ｏｕｔ）となるドレイン接続が達成される。また、ゲート交差部を除く、他の３箇所の交差部では、太い斜線により示す絶縁膜ＩＦ２が少なくとも一方に存在するため絶縁された状態での交差が達成されている。
【０４２５】
図５７（Ａ）は、コンタクトＣ２１の形成後を示す図であり、図５６（Ｂ）で省略した配線層箇所を図示している。
この４箇所のコンタクトＣ２１に対して、図５９（Ｂ）に示すように、対応する上層の配線層（配線層３２１Ｈ等）を接続することで、当該装置構成２が完成する。その後は、実施形態１と同様にして多層配線を行うことで、当該半導体装置を完成させる。
【０４２６】
本実施形態では、実施形態１０と同様な利点が得られる。
さらに、実施形態６と同様に、アライメントずれに強いレイアウトとすることができる。
チャネル方向が平行に配置する装置構成１では、直接接合の配線層の幅方向に大きなアライメントずれが生じると、接合抵抗が高くなり、接続がとれなくなる可能性が否定でき

ない。
これに対し、本装置構成２では、交差接合であるためｘ方向、ｙ方向の両方で大きなアライメントずれがあっても配線層同士の接合を低抵抗で良好に行うことができる。
【０４２７】
［Ａ－３］装置構成３（ＦＵＳＩ構造）と、その製造方法
装置構成３では、装置構成２と同様、上述した基本構造の２つのＭＯＳＦＥＴを重ねる際に、チャネル方向をほぼ直交とする。
【０４２８】
図５８（Ａ）から図５９（Ｂ）は、実施形態１２の装置構成３において、半導体装置の要部を製造工程順に示す図である。
図５８（Ａ）と図５８（Ｂ）がｐ型ＭＯＳＦＥＴとｎ型ＭＯＳＦＥＴの個別の図である。図５９（Ｂ）が完成図であり、図５８（Ｃ）から図５９（Ａ）はその製造途中の図である。なお、２つのＭＯＳＦＥＴを重ね合わせた図においては、他の実施形態の図と同様に、視認性向上のため、２つの基板にそれぞれ形成されたパターン同士を図の左右（ｘ方向）および上下（ｙ方向）に少しずらして示している。
【０４２９】
ここで、図５８（Ｂ）に示すｎ型ＭＯＳＦＥＴ１１１Ｎを有する第１基板１０１を右回りに９０°回転させることを前提とする。
この前提の下では、図５８（Ｂ）に示すｎ型ＭＯＳＦＥＴ１１１Ｎは、ｘ方向負側に配線層１１１ＨＢ（Ｍ１）を配置し、ｘ方向正側に配線層１１１ＨＡ（Ｍ１）を配置する必要がある。
この関係は、図５４（Ｂ）と逆であることに注意を要する。
【０４３０】
図５８（Ｃ）は、回転後に２つのＭＯＳＦＥＴを重ねあわせた図である。但し、図５８（Ｃ）においては、図５８（Ａ）および図５８（Ｂ）では示していた構成の一部を省略している。すなわち、ゲート電極の端部から直角に延びる配線層は、図５８（Ｃ）では図示を省略している。
図５８（Ｃ）において、配線層１１１ＨＢ（Ｍ１）と配線層２１１ＨＡ（Ｍ１）が交差接合し、出力（Ｏｕｔ）となるドレイン接続が達成される。また、ゲート交差部を除く、他の３箇所の交差部では、太い斜線により示す絶縁膜ＩＦ２が少なくとも一方に存在するため絶縁された状態での交差が達成されている。
【０４３１】
図５９（Ａ）は、コンタクトＣ２１の形成後を示す図であり、図５９（Ｂ）で省略した配線層を図示している。
この４箇所のコンタクトＣ２１に対して、図５９（Ｂ）に示すように、対応する上層の配線層（配線層３２１Ｈ等）を接続することで、当該装置構成２が完成する。その後は、実施形態１と同様にして多層配線を行うことで、当該半導体装置を完成させる。
【０４３２】
本実施形態では、実施形態１０と同様な利点が得られる。
さらに、実施形態６と同様に、アライメントずれに強いレイアウトとすることができる。
チャネル方向が平行に配置する装置構成１では、直接接合の配線層の幅方向の大きなアライメントずれが生じると、接合抵抗が高くなり、接続がとれなくなる可能性が否定できない。
これに対し、本装置構成３では、交差接合であるためｘ方向、ｙ方向の両方で大きなアライメントずれがあっても配線層同士の接合を低抵抗で良好に行うことができる。
【０４３３】
また、実施形態１１で述べたように、フルシリサイド化により、フルシリサイド化されたソース・ドレイン領域（２１１ＡＦ，２１１ＢＦ）の直上でコンタクトＣ３１が配置できる。これにより、コンタクトＣ２１をソース・ドレイン領域の外に配置して、そこでコ

ンタクトをとる図５７（Ｂ）に比べて、図５９（Ｂ）では面積の縮小を係ることができている。

なお、フルシリサイド化の適用は、ＦＥＴのチャネル方向を平行とする前記装置構成１においても適用可能である。

【０４３４】

＜１３．実施形態１３＞

［Ａ］装置構成（ｆｉｎＦＥＴ）

図６０，図６１は、実施形態１３において、半導体装置の基本デバイス（ｆｉｎＦＥＴ）の要部を示す図である。

【０４３５】

図６０は、図４０等の半導体装置の片側の基板に形成する１つのフィン型ＭＯＳＦＥＴ（ｆｉｎＦＥＴ）を示す断面図である。図４０と同じ機能の構成は、同一符号を付して、説明を簡略化する。

図６１は、ｆｉｎＦＥＥＴの斜視図であり、また、図６１に示す面Ｓｘｙが、図６０の断面に相当する。なお、各図においては、図示の都合で、各部の形状（幅など）を各図の間で適宜変更している。

【０４３６】

図６０，図６１に示すように、本実施形態の半導体装置においては、ｎ型ＦＥＴ１１１ＮＦの構成が他の実施形態と異なる。本実施形態は、この点、および、これに関連する点を除き、実施形態１０，１１の場合と同様である。このため、本実施形態において、この実施形態１０，１１と重複する個所については、適宜、記載を省略する。なお、ｐ型ＦＥＴ２１１ＰＦについても、ｎ型ＦＥＴ１１１ＮＦと同様な構成で形成される。

【０４３７】

ｎ型ＦＥＴ１１１ＮＦは、図６０，図６１に示すように、フィン型電界効果トランジスタ（ｆｉｎＦＥＴ）である。

【０４３８】

具体的には、ｎ型ＦＥＴ１１１ＮＦは、図６０，図６１に示すように、フィン１１１Ｆと、ゲート電極１１１Ｇとを有する。

【０４３９】

ｎ型ＦＥＴ１１１ＮＦにおいて、フィン１１１Ｆは、半導体活性層であり、図６０，図６１に示すように、チャネル領域１１１Ｃを挟むように一対のソース・ドレイン領域１１１Ａ，１１１Ｂが設けられている。ここでは、フィン１１１Ｆは、ｙ方向に延在しており、チャネル領域１１１Ｃと、一対のソース・ドレイン領域１１１Ａ，１１１Ｂのそれぞれとが、ｙ方向に並ぶように設けられている。たとえば、フィン１１１Ｆは、厚みが２０～１００ｎｍであり、幅が５～２０ｎｍである。

【０４４０】

そして、ｎ型ＦＥＴ１１１ＮＦにおいて、ゲート電極１１１Ｇは、図６１に示すように、チャネル領域１１１Ｃにおいてフィン１１１Ｆに直交するように設けられている。つまり、ゲート電極１１１Ｇは、ｘ方向に延在するように設けられている。図６０に示すように、ゲート電極１１１Ｇは、フィン１１１Ｆとの間に、ゲート絶縁膜１１１Ｚが介在するように設けられている。ゲート電極１１１Ｇは、フィン１１１Ｆの上面から、たとえば、５～３０ｎｍの厚みで凸状に突き出るように設けられている。

【０４４１】

上記のように設けられたｎ型ＦＥＴ１１１ＮＦは、絶縁膜１０２を介して第１基板１０１に形成されている。このため、ｎ型ＦＥＴ１１１ＮＦは、ＳＯＩと同様に、基板と誘電体分離され、寄生容量が小さいデバイスとなっている。よって、ｆｉｎＦＥＴは、半導体基板に誘電体分離膜（ＢＯＸ層）、表面から所定の深さに形成されたＳＯＩ基板に形成できる。

【０４４２】

そして、図６０に示すように、平坦化膜１３１の表面（上面）には、実施形態１０，１

２等と同様、「トランジスタ接続配線層」として、複数の導電層１１１ＨＡ，１１１ＨＢ，１１１ＨＧが設けられている。

【０４４３】

また、実施形態１０，１１と同様、配線層１１１ＨＢとソース・ドレイン領域１１１Ｂとの接続が、平坦化膜１３１内に形成されたコンタクトＣ１１により達成されている。同様に、配線層１１１ＨＡとソース・ドレイン領域１１１Ａとの接続、および、配線層１１１ＨＧとゲート電極１１１Ｇとの接続がコンタクトＣ１１により達成されている。

【０４４４】

［Ｂ］製造方法

以下より、上記の半導体装置を製造する製造方法について説明する。

【０４４５】

図６２（Ａ）～図６３（Ｂ）は、実施形態１３において、半導体装置の製造方法の要部を示す図である。

【０４４６】

図６２および図６３は、図６０と同様な断面で半導体装置全体を示す図であり、半導体装置の製造方法における各ステップで形成される断面を順次示している。

【０４４７】

まず、図６２（Ａ）に示すように、ｎ型ＦＥＴ１１１ＮＦなどの各部を形成する。

【０４４８】

ここでは、最初に、シリコン半導体基板とＢＯＸ層とを含むＳＯＩ基板を用いて、ｎ型ＦＥＴ１１１ＮＦを形成する。つまり、ＢＯＸ層の表面（上面）側に、ｎ型ＦＥＴ１１１ＮＦを形成する。ＢＯＸ層は、図６０の絶縁膜１０２に相当する。

【０４４９】

その後、平坦化膜１３１、絶縁膜ＩＦ２、導電層１１１ＨＡ，１１１ＨＢ，１１１ＨＧを、実施形態１０と同様にして設ける。

【０４５０】

以上の製造方法は、チャネル導電型異なるｐ型ＦＥＴについても同様に適用できる。図６２（Ａ）の上部側に、ｐ型ＦＥＴ２１１ＰＦを形成した第２基板２０１を示す。

上層側のｐ型ＦＥＴ２１１ＰＦは、その２つのソース・ドレイン領域２１１Ａ，２１１Ｂを、実施形態１１と同様な方法でフルシリサイド化してＦＵＳＩ構造とすることが望ましい。

【０４５１】

ｐ型ＦＥＴ２１１ＰＦが形成された第２基板２０１の上下を反転させ、ｎ型ＦＥＴ１１１ＮＦが形成された第１基板１０１と貼り合わせる。

これにより、実施形態１０，１１と同様にトランジスタ接続配線層の直接接合が達成される。

【０４５２】

つぎに、図６２（Ｂ）に示すように、第２基板２０１のシリコン基板部を除去する。

ここでは、シリコン基板部の裏面（上面）からＢＯＸ層（絶縁膜２０２）までの間を研磨することによって、シリコン基板部を除去する。たとえば、ＣＭＰ処理によって、本ステップを実施する。これにより、ＢＯＸ層（絶縁膜２０２）の裏面（上面）が露出された状態になる。

【０４５３】

つぎに、図６３（Ａ）に示すように、ＢＯＸ層（絶縁膜２０２）を除去する。

ここでは、ＢＯＸ層の裏面（上面）から研磨することによって、ＢＯＸ層を除去する。たとえば、ＣＭＰ処理によって、本ステップを実施する。これにより、ｐ型ＦＥＴ２１１（ｐ型ｆｉｎＦＥＴ）の裏面（上面）が露出された状態になる。

【０４５４】

つぎに、図６３（Ｂ）に示すように、絶縁層３１１を形成する

ここでは、ｐ型ＦＥＴ２１１ＰＦの裏面（上面）側に、絶縁層３１１を形成し、絶縁層

３１１内にコンタクトＣ３１を設ける。コンタクトＣ３１は、ＦＵＳＩ構造の２つのソース・ドレイン領域２１１Ａ，２１１Ｂの直上に設けることが可能である。
その後、コンタクトＣ２１上に接続する配線層３２１Ｈ、配線層３２２Ｈ等を形成し、さらに必要な多層配線を行なって、当該半導体装置を完成させる。
【０４５５】
なお、図６０～図６３は、ｎ型ｆｉｎＦＥＴ（ｎ型ＦＥＴ１１１ＮＦ）とｐ型ｆｉｎＦＥＴ（ｐ型ＦＥＴ２１１ＰＦ）は共にＳＯＩ基板に形成しているが、通常の基板に対し、その深部にＳＩＭＯＸ等で絶縁膜１０２（ＢＯＸ層）を形成してもよい。
さらに、非ＳＯＩ構造としてもよい。具体的には、上方側のＦＥＴ（ここではｐ型ＦＥＴ２１１ＰＦ）のＢＯＸ層（絶縁膜２０２）は最終的には除去されるため、最初から存在しなくてもよい。但し、研磨のストッパとして機能させる場合には、ＢＯＸ層を予め形成しておくことが望ましい。一方、下方側のＦＥＴ（ここではｎ型ＦＥＴ１１１ＮＦ）はＢＯＸ層を有していない、バルク型のＦＥＴとすることができる。
【０４５６】
＜１４．実施形態１４＞
［Ａ］装置構成
以上の実施形態１～１３に示す半導体装置は、２枚の基板を重ねているが、さらに基板を重ねて積層数を３以上とすること（以下、「多層化」という）ができる。
本実施形態は、本開示技術における多層化を、装置断面では実施形態１０の場合を例に、具体的な図面を用いて開示する。なお、以下の記載および図面は、多層化が実施形態１０の応用として適用されることに限定するものでなく、実施形態１１～１３に広く適用できる。実施形態１～９は本実施形態と同様にして多層化も可能である。但し、面積縮小が可能で基板作成時に中継ビアを予め形成することが容易な実施形態１０～１３に対して多層化が行いやすい。
【０４５７】
図６４は、多層化を、２層（Ａ）の基本構造に対し、３層（Ｂ）、さらに４層以上（Ｃ）で行う場合の装置断面を概略的に示す。
図６４（Ａ）の構造は、既に実施形態１０で記述したが、その最表面の配線層は、多層配線層３１０の最下層の配線層として説明した。
本実施形態では、さらに多層化するときに、この最表面の配線層が、次に重ねて接合させる基板のトランジスタ接続配線層にとって接合相手となる。
このように、最表面の配線層上に、予めトランジスタ接続配線層まで形成しておいた基板を次々に重ねて接合させるだけで多層化が可能となる。
【０４５８】
［Ｂ．多層化のバリエーション］
なお、図６４では、２層目以降の基板は同様な構成で図示されている。但し、各層ごとにコンタクト、接続ビアおよび中継ビアの有無、さらには、配線層のパターン形状によって、トランジスタ、その他の素子（不図示）間の配線を自由に行うことができる。
また、バルクトランジスタに限らず、ＳＯＩ型、フィン型のトランジスでもよいし、これらのトランジスタのタイプを層ごとに変えて多層化してもよい。さらに、任意に組み合わせることが可能な要素としては、ＦＵＳＩ構造、チャネル導電型などがある。
【０４５９】
特に、配線層が直接接合される構成では、重ねる順番と、その順番に応じて設計されたコンタクト構造とを予め決めておけば、予め形成しておいた基板を重ねるだけ大規模で高密度な半導体装置を実現できる。
【０４６０】
［Ｃ．多層化の適用例］
この多層化は、同じタイプの回路の積層化が適している。
この意味では、メモリセル回路、さらにはマルチコアのＣＰＵ（中央演算処理ユニット）あるいはＧＰＵ（グラフィック処理ユニット）の多層化が好適である。

【０４６１】
一例として、図６５にＣＰＵの４つのコア回路の積層化を示す。
今まで述べてきた技術（特に、実施形態１０～１３）を用いると、図６５（Ａ）に示すように、通常、２次元的に配置される４つのコア回路を、縦に４層積層化することが容易である。
【０４６２】
図６５（Ｂ）～図６５（Ｄ）は、そのうち第１の積層コア回路（Ｃｏｒｅ１，２）に第２の積層コア回路（Ｃｏｒｅ３，４）を重ねる手法を示す。
本例のように、本開示技術を用いて多層基板の回路ブロックを形成し、さらに別の多層基板の回路ブロックを重ねる場合、実施形態で多層配線層３１０として説明した部分が「ローカル配線層」である。また、「ローカル配線層」同士を纏めて所望の配線接続状態を実現する多層配線層が必要になり、これが「グローバル配線層」である。
【０４６３】
グローバル配線層は、後述するＩＯ部として実現でき、ここでは図示していない。
図６５（Ｂ）および図６５（Ｃ）に示すように、各積層コア回路（回路ブロック）を、今まで説明した技術を用いて個別に形成する。
そして、図６５（Ｄ）に示すように、ローカル配線層部分を付きあわせてブロック接合を行う。
その後は特に図示しないが、さらにコア回路を重ねて、最終的には、ボンディングパッド等を含むＩＯ部を、例えば最上層に形成して半導体装置を完成させる。
【０４６４】
なお、ＩＯ部に能動回路素子（ＦＥＴ等）を含まない場合は、図６５（Ｄ）の最上層の基板表面の上に、ＩＯ部となる多層配線層３１０を形成して半導体装置を完成させてもよい。多層配線層３１０は、実施形態１等と同じ方法で形成できる。
また、コア回路の積層手法は、図６５に示すように、２つのコア回路を積層してブロックを形成した後、ブロック間接合を行う手法以外の手法でもよい。例えば、図６４に示すようにして、コア回路を、トランジスタが形成された基板面の向きを２層目以降は同じにして順次重ねて接合する手法も採用可能である。
【０４６５】
以上の多層化の適用例（コア回路の積層化）においては、以下の利益が得られる。
このコア回路の積層化においては、機能がほぼ同一で設計を同様に行うことができる同種の複数のコア回路基板、あるいは、機能が異なる複数のコア回路基板を、それぞれ別のウェハから形成する。これにより、上記の例ではＣＰＵ１～ＣＰＵ４のコア回路が形成された４枚の基板が形成される。そして、最終製品として要求されるコア回路の数や種類に応じて、所定のコア回路基板を必要な数だけ接合しながら重ねていき、最後に「グローバル配線層」を形成して最終製品として仕上げる。
このような製品製造においては、ＬＳＩの全体の設計思想に応じて、あるいは、顧客からの要求に応じて、予め形成しておいたコア回路基板を必要な種類、枚数だけ重ねて接合し、最後にＩＯ部等を形成するだけでよい。従って、設計の自由度が高く、また、高機能な汎用またはカスタムのＬＳＩを、製造の要求があってから短い納期で効率よく製造することができる。
その際、配線層間の直接接合のルールを規格化しておけば、既に説明した種々の利点がある配線層の直接接合による回路間接続を極めて容易に、かつ確実に行うことができる。
【０４６６】
［ＩＯ部のバリエーション：その１］
次に、ＩＯ部（入出力部）のバリエーションについて説明する。
ＩＯ部は、動作電圧が比較的大きいため耐圧が必要である、または、大きな電流を流す必要があるなど、ロジックやメモリセル回路とは異なる特性が要求される。このため、バルク基板側、つまり第１基板１０１のトランジスタでＩＯ部を形成することが望ましい（以下、「ＩＯ構成１」という）。

【０４６７】
但し、光を扱うため、または、強度的な要求仕様から、シリコン等の半導体基板でなく、例えばガラス等の、半導体材料とは異なる支持基板にトランジスタが形成された基板を積層化する要請がある。
この場合、上記「ＩＯ部構成１」のように、最下層の半導体基板に形成されるバルク型のトランジスタからＩＯ部を形成できず、ＩＯ部は支持基板上に積層された積層基板内のトランジスタで形成される（以下、「ＩＯ構成２」という）。
【０４６８】
まず、ＩＯ構成２の形成手法について、簡単に説明する。
例えば、実施形態１０の図４６に示すように第２基板２０１を、裏面から研削や研磨で一部除去して薄層化した後に、上下を反転させて、支持基板上に、直接あるいは絶縁膜等を介在させた状態で貼り合わせる。
その後、第１基板１０１の裏面から研削や研磨で第１基板１０１のバルク部分も第２基板２０１と同様に削除する。
その後は、多層配線層を形成するか、さらに基板積層を図６４と同様に行なって、半導体基板以外の支持基板を用いた半導体装置を完成させる。
【０４６９】
ここで、半導体材料とは異なる支持基板を必ず用いる必要がない、つまり半導体支持基板を用いてよい場合には、半導体支持基板（最下層の基板）にＩＯ部を形成する上記ＩＯ構成１が上記ＩＯ構成２よりも望ましい。
【０４７０】
図６６は、チップ縮小の観点から、ＩＯ部を最下層の基板に形成する構成の利点を説明するための図である。ここでの前提は、ＩＯ部は、信号や電圧の増幅または変換等の機能実現のためにトランジスタ素子を含むものとする。
半導体以外の材料からなる支持基板に複数の基板（ここでは２層の基板）を重ねる構成では、この２つの基板の少なくとも一方にＩＯ部の一部（トランジスタを含む回路部分）が形成される。そして、最上層の基板上には多層配線層３１０により、ＩＯ部の入出力端子を含む配線部分が形成される。ＩＯ部の配線部分においては、一般的に、入出力端子が半導体チップの周縁に沿って位置している。このため、入出力端子との接続のとりやすさから、ＩＯ部の回路部分も入出力端子の下方領域、つまり半導体チップの周縁部の積層基板内領域に形成されている。従って、図６６（Ａ）および図６６（Ｂ）の左側に示すように、半導体チップは中央の各回路機能ブロックが積層された領域の周囲に枠状にＩＯ部が配置されている。
【０４７１】
これに対し、上記ＩＯ構成１のように、ＩＯ部を最下層の半導体基板、つまり本開示技術でいう、例えば「第１基板」に形成する。そして、「第１基板」の第１電界効果トランジスタと配線層同士の直接接合で電気的に接続された第２電界効果トランジスタを含む「第２基板」が「第１基板」と貼り合わされている。各回路機能ブロックは、「第２基板」以降の積層基板に形成されている。最上層の基板上にＩＯ部の配線部分が多層配線層３１０により形成されている。
【０４７２】
このようなＩＯ構成１では、図６６（Ａ）に示すように、ＩＯ部の分だけチップ面積を縮小でき、チップコストを削減できる。
【０４７３】
［ＩＯ部のバリエーション：その２］
半導体基板以外の支持基板を用いる場合は、ＩＯ部は多層積層基板の最上部に設けることができる。
また、半導体基板に積層された場合であっても、面積縮小の要請からＩＯ部を最上部に配置することが望ましい場合がある。
【０４７４】

最下層の支持基板が半導体か否かにかかわらず、ＩＯ部の回路部分を最上層の積層基板に形成する構成を、以下、「ＩＯ構成３」という。

図６７は、チップ縮小の観点から、ＩＯ部を最上層の基板に形成する構成の利点を説明するための図である。ここでの前提は、ＩＯ部は、信号や電圧の増幅または変換等の機能実現のためにトランジスタ素子を含むものとする。

図６７（Ａ）および図６７（Ｂ）の左側の構成、すなわちＩＯ部がチップの周縁部に配置される場合は、図６６を用いて既に記述したので、ここでは省略する。

【０４７５】

ＩＯ構成３では、図６７（Ｂ）の右側に示すように、少なくともＩＯ部の回路部分を積層基板の最上層の基板に形成する。また、ＩＯ部の入出力端子を含む配線層は、図示を省略しているが、この最上層の基板上に形成される。

なお、図６７では、各回路ブロックを構成する下層側の積層基板と、ＩＯ部の回路部分を形成した最上層の基板との間に多層配線層３１０が介在する。これは、各回路ブロックとＩＯ部の回路部分との接続配線を、多層配線層３１０を用いて実現する必要があることを考慮したための構成である。そのような必要がない場合は、この中間の多層配線層３１０は省略可能である。

また、この中間の多層配線層３１０（ＩＯ部の配線部分）は最上層の基板（ＩＯ部の回路部分）の上に形成してもよい。

【０４７６】

ＩＯ構成３では、図６７（Ａ）に示すように、ＩＯ部の分だけチップ面積を縮小でき、チップコストを削減できる。

【０４７７】

［ＩＯ部のバリエーション：その３］

また、ＩＯ部において、外部との間で信号、電圧、電力の入出力を行う部分が、通常の接続パッドや端子ではなく、占有面積が比較的大きな構成とする場合がある。例えば、スパイラルコイルをアンテナとして、電磁誘導結合により信号の入出力、あるいは、電力の供給を受ける装置が存在する。

このような場合、いままでの技術では、半導体装置に、このようなスパイラルコイルアンテナ、あるいは、１重のループアンテナなど大きな面積を必要とする素子の集積化は困難である。

【０４７８】

そこで、図６８に示すＩＯ構成４では、基板が積層された構成の上に形成された多層配線層３１０のさらに最上層の配線層によって、電磁誘導コイル（スパイラルコイルアンテナ、ループアンテナ）等を形成する。

これにより、多層積層基板の、電磁誘導結合を行いやすい最表面にアンテナを含むＩＯ部が位置し、かつ半導体内部回路との接続が容易化される。

【０４７９】

また、このようなＩＯ構成４では、図６８（Ａ）に示すように、ＩＯ部の分だけチップ面積を縮小でき、チップコストを削減できる。

【０４８０】

＜１５．変形例＞

本技術の実施に際しては、上記した実施形態に限定されるものではなく、種々の変形例を採用することができる。

上記全ての実施形態１～１４に適用可能な変形例を記述する。

【０４８１】

［１５－１］変形例１

上記においては、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとのそれぞれを、Ｓｉトランジスタとして形成する場合について説明したが、これに限定されない。Ｓｉ以外のＩＶ族半導体や、ＩＩＩ－Ｖ族化合物半導体などの他の半導体をチャネル材料として用いて、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとのそれぞれを形成しても良い。

【０４８２】
具体的には、ｎ型ＭＯＳＦＥＴのチャネル領域については、ＩｎＧａＡｓ，ＧａＡｓなどの材料をチャネル材料として用いることで、電子移動度が高くなるので好適である。一方で、ｐ型ＭＯＳＦＥＴのチャネル領域については、Ｇｅなどの材料をチャネル材料として用いることで、ホール移動度が高くなるので好適である。
たとえば、下表に示すように、第１基板１０１としてＩｎＧａＡｓ基板や、ＧａＡｓ基板などのＩＩＩ－Ｖ族化合物半導体基板を用いて、ｎ型ＭＯＳＦＥＴ１１１Ｎを形成する。また、第２基板２０１としてＧｅ基板を用いて、ｐ型ＭＯＳＦＥＴ２１１Ｐを形成する（図３など参照）。
【０４８３】
【表２】

ITEM	NMOSFET	PMOSFET
Order	1st_Wafer	2nd _Wafer
Substrate1	Ⅲ－Ⅴ(GaAs系) (InGaAs)	Ge
Substrate2	Ⅲ－Ⅴ(GaAs系)	Ⅲ－Ⅴ(GaAs系)

【０４８４】
この他に、種々の形態で、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとのそれぞれを形成しても良い。
【０４８５】
図６９，図７０は、変形例１の要部を示す図である。
図６９，図７０は、断面を示している。
【０４８６】
図６９に示すように、シリコン基板１０１Ｓの面に化合物半導体層１０２～１０６を設けたものを第１基板１０１として用いて、ｎ型ＭＯＳＦＥＴ１１１Ｎを設けても良い。
【０４８７】
ここでは、シリコン基板１０１Ｓの面に、化合物半導体層１０２として、ＧａＡｓバッファ層を設ける。そして、その上面に、化合物半導体層１０３として、ＩｎＡｌＡｓグレーデッド（Ｇｒａｄｅｄ）層を設ける。そして、その上面に、化合物半導体層１０４として、ＩｎＧａＡｓチャネル層を設ける。そして、その上面に、化合物半導体層１０５として、ＩｎＡｌＡｓ層を設ける。そして、その上面に、化合物半導体層１０６として、ｎ型のＩｎＧａＡｓ層を設ける。各化合物半導体層１０２～１０６については、エピタキシャル成長法によって成膜される。ここでは、格子定数が徐々に整合するように、各材料組成比が適宜変更されて、成膜される。
【０４８８】
そして、化合物半導体層１０４の上面が露出するように、化合物半導体層１０５，１０６にトレンチを形成する。その後、そのトレンチ内においてゲート絶縁膜１１１Ｚを介して埋め込まれた部分を含むように、ゲート電極１１１Ｇを形成する。ゲート絶縁膜１１１Ｚについては、上記の各実施形態と同様に、Ｈｉｇｈ－Ｋ材料を用いて形成する。また、ゲート電極１１１Ｇについては、上記のように、金属材料を用いて形成する。この場合、化合物半導体層１０６が、一対のソース・ドレイン領域１１１Ａ，１１１Ｂとして機能する。
【０４８９】
また、図７０に示すように、シリコン基板２０１Ｓの面に化合物半導体層２０２ａ，２０３ａを設けたものを第２基板２０１として用いて、ｐ型ＭＯＳＦＥＴ２１１Ｐを設けて

も良い。
【０４９０】
ここでは、たとえば、シリコン基板２０１Ｓの上面に化合物半導体層２０２ａとして、ＳｉＧｅグレーデッド（Ｇｒａｄｅｄ）層を設ける。そして、その上面に化合物半導体層２０３ａとして、Ｇｅ層を設ける。
【０４９１】
そして、上記の実施形態の場合と同様に、素子分離層２１０で区画された領域内に、ｐ型ＭＯＳＦＥＴ２１１Ｐを設ける。
【０４９２】
この後、上記の実施形態の場合と同様に、各部を形成後、第１基板１０１と第２基板２０１とを貼り合わせる。そして、ｎ型ＭＯＳＦＥＴ１１１Ｎと、ｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させる。
【０４９３】
なお、本変形例で示した構成以外に、種々の構成を採用することもできる。
【０４９４】
たとえば、ｎ型ＭＯＳＦＥＴ１１１Ｎのチャネルについては、Ｓｉを用い、ｐ型ＭＯＳＦＥＴ２１１Ｐのチャネルについては、Ｇｅを用いて形成しても良い。
【０４９５】
また、ｎ型ＭＯＳＦＥＴ１１１Ｎのチャネルについては、III－V族の半導体を用い、ｐ型ＭＯＳＦＥＴ２１１Ｐのチャネルについては、Ｓｉを用いて形成しても良い。
【０４９６】
［１５－２］変形例２
上記においては、第１基板１０１と第２基板２０１とについて、バルクの単結晶シリコン半導体基板を用いる場合について示したが、これに限定されない。
【０４９７】
第１基板１０１と第２基板２０１として、ＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板を用いても良い。
【０４９８】
図７１は、変形例２の要部を示す図である。
図７１は、図３と同様に、断面を示している。
【０４９９】
図７１に示すように、本変形例では、第１基板１０１として、ＳＯＩ基板を用いる。具体的には、シリコン基板１０１Ｓの上面に埋め込み酸化シリコン膜１０２Ｂとシリコン層１０３Ｓとが積層されたものを、第１基板１０１として用いる。そして、第１基板１０１のシリコン層１０３Ｓにおいて素子分離層１１０で区画された領域に、ｎ型ＭＯＳＦＥＴ１１１Ｎを形成する。素子分離層１１０は、たとえば、深さが５～１０ｎｍになるように形成する。また、ｎ型ＭＯＳＦＥＴ１１１Ｎは、実施形態１と同様に形成する。そして、図７１に示すように、ストレスライナー層１２１、平坦化膜１３１、複数の層間絶縁膜１３２，１５１などの各部を、実施形態１と同様に形成する。
【０５００】
また、第２基板２０１についてもＳＯＩ基板を用いる。つまり、シリコン基板（図示無し）の面において、埋め込み酸化シリコン膜（図示無し）を介して設けられたシリコン層１０３Ｓに、ｐ型ＭＯＳＦＥＴ２１１Ｐを形成する。ｐ型ＭＯＳＦＥＴ２１１Ｐは、実施形態１と同様に、素子分離層２１０で区画された領域に形成する。そして、ストレスライナー層２２１、平坦化膜２３１、複数の層間絶縁膜２３２，２５１などの各部を、実施形態１と同様に形成する。
【０５０１】
そして、実施形態１の場合と同様にして、第１基板１０１と第２基板２０１とを貼り合わせた後に、第２基板２０１を薄膜化する。ここでは、たとえば、ＳＯＩ基板である第２基板２０１のうち、シリコン基板（図示無し）と埋め込み酸化シリコン膜（図示無し）と

を除去して、図６８に示すように、シリコン層１０３Ｓを残すように、この薄膜化を実施する。

【０５０２】

そして、実施形態１の場合と同様に、図７１に示すように、多層配線層３１０を形成することで、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続させる。

【０５０３】

［１５－３］その他（デバイス構造）

上記においては、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとのそれぞれについてキャリア移動度が向上するように、形成する基板，チャネル方向，ソース・ドレイン領域の材料，ストレスライナー層の材料が、両者の間で異なる場合について説明した。また、ゲート電極の材料が、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとの間で異なる場合について説明した。しかしながら、これらの全ての点をついて、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとの間で相違するように形成しなくても良い。

【０５０４】

また、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとの各ソース・ドレイン領域について、いわゆるレイズド・ソース・ドレイン（Ｒａｉｓｅｄ　Ｓｏｕｒｃｅ　Ｄｒａｉｎ）構造で形成しても良い。また、レイズド・ソース・ドレイン・エクステンション（Ｅｘｔｅｎｓｉｏｎ）構造で形成しても良い。

【０５０５】

上記においては、半導体装置がＣＭＯＳインバータ回路などのロジック回路素子を含む場合について説明したが、ロジック回路素子以外の半導体素子を更に含むように構成して良い。たとえば、フォトダイオードなどの光電変換素子を複数の画素ごとに設けた固体撮像装置として、半導体装置を構成しても良い。

【０５０６】

上記においては、下層側にｎ型ＭＯＳＦＥＴを設け、上層側にｐ型ＭＯＳＦＥＴを設ける場合について説明したが、これに限定されない。下層側にｐ型ＭＯＳＦＥＴを設け、上層側にｎ型ＭＯＳＦＥＴを設けても良い。

この場合には、下側の第１基板として単結晶シリコンからなる（１１０）基板を用い、その（１１０）面にｐ型ＭＯＳＦＥＴを設けることが好適である。そして、上側の第２基板として単結晶シリコンからなる（１００）基板を用い、その（１００）面にｎ型ＭＯＳＦＥＴを設けることが好適である。

また、この場合には、下側のストレスライナー層１２１は、圧縮応力を与えるように形成する。そして、上側のストレスライナー層２２１については、引張応力を与えるように形成する。

【０５０７】

また、ゲート電極に関して上記に示した構成の他に、さまざまな構成を採用しても良い。

図７２は、変形形態において、ｎ型ＭＯＳＦＥＴのゲート電極を示す断面図である。

【０５０８】

図７２に示すように、ゲート電極１１１Ｇを形成しても良い。

具体的には、一対のサイドウォールＳＷ１で挟まれたトレンチの内部において、側面と底面とを被覆するように、Ｈｉｇｈ－ｋ材料で、ゲート絶縁膜１１１Ｚを成膜する。

そして、そのゲート絶縁膜１１１Ｚを介して、そのトレンチの内部の側面と底面とを被覆するように、第１金属層１１１Ｇａを成膜する。たとえば、Ａｌを含有するＴｉＮ膜を、第１金属層１１１Ｇａとして設ける。

そして、ゲート絶縁膜１１１Ｚと第１金属層１１１Ｇａとを介して、そのトレンチの内部を埋め込むように、第２金属層１１１Ｇｂを成膜する。たとえば、ＷやＡｌなどの金属材料を用いて、第２配線層１１１Ｇｂを形成する。

ｐ型ＭＯＳＦＥＴのゲート電極については、図示を省略しているが、ｎ型ＭＯＳＦＥＴ

のゲート電極と同様に構成しても良い。ｐ型ＭＯＳＦＥＴの場合には、上記の第１配線層について、たとえば、Ａｌを含有しないＴｉＮ膜で形成する。

【０５０９】

［１５－４］その他（デバイスの機能）

上記実施形態１～１４は、主にインバータ回路を中心としたロジック回路の実現をチャネル領域に歪を与えるＣＭＯＳトランジスタで実現する場合を主要な例とした。

但し、本開示技術の適用は、このような機能のデバイスに限定されず、異なる基板にトランジスタを作り分けて性能を向上を図るデバイス一般に広く適用できる。この意味で第１基板と第２基板に作り分ける理由は、異なるチャネル導電型である必要はない。

【０５１０】

例えば、第１基板１０１に固体撮像部の受光部のアレイを形成し、裏面から入射した光を光電変換して画像信号を生成するデバイスに、本開示技術が適用できる。また、メモリセルアレイを、多層基板を用いて積層する場合に本技術を適用し得る。

その他、上記の各実施形態を、適宜、組み合わせても良い。また、公知技術を、適宜、組み合わせても良い。

【０５１１】

本技術は、下記のような構成も取ることができる。

【０５１２】

（１）

第１電界効果トランジスタが設けられている第１基板と、

第２電界効果トランジスタが設けられている第２基板と

を有し、

前記第１基板と前記第２基板は、前記第１または第２電界効果トランジスタが設けられた基板面の側が互いに貼り合わされており、

前記第１電界効果トランジスタと前記第２電界効果トランジスタとが電気的に接続されている、

半導体装置。

【０５１３】

（２）

前記第１基板は、前記第２基板に対面する面の側に第１導電型の前記第１電界効果トランジスタが設けられており、

前記第２基板は、前記第１基板に対面する面の側に第２導電型の前記第２電界効果トランジスタが設けられており、

前記第１電界効果トランジスタと前記第２電界効果トランジスタは、互いが対向するように設けられている、

（１）に記載の半導体装置。

【０５１４】

（３）

前記第１基板は、前記第１電界効果トランジスタに接続するトランジスタ接続配線層を有し、

前記第２基板は、前記第２電界効果トランジスタに接続するトランジスタ接続配線層を有し、

前記第１基板と前記第２基板の２つの前記トランジスタ接続配線層が直接接合されている、

（２）に記載の半導体装置。

【０５１５】

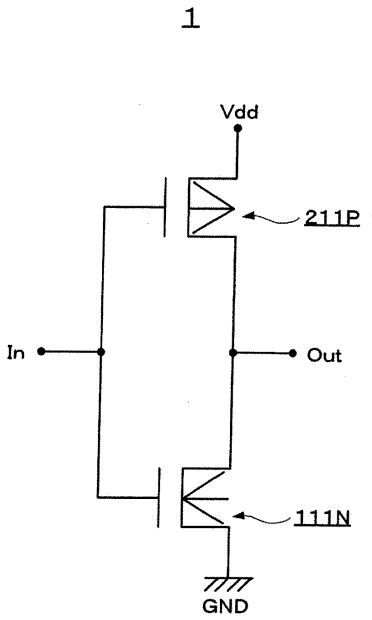
（４）

前記第２基板は、前記第１基板に対面する面に対して反対側の面の側に、配線層が設けられており、

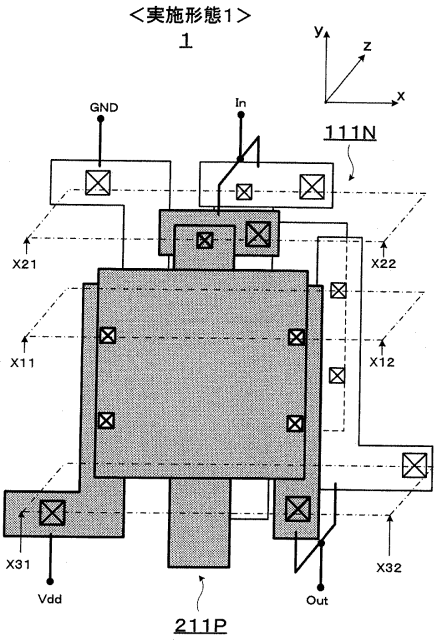
前記第１電界効果トランジスタと前記第２電界効果トランジスタは、前記配線層を介し

て、電気的に接続されている、
（２）に記載の半導体装置。
【０５１６】
（５）
前記第２基板を貫通して前記第１電界効果トランジスタに電気的に接続する接続ビアを有し、
前記第１電界効果トランジスタと前記第２電界効果トランジスタは、前記接続ビアを介して、電気的に接続されている、
（１）または（２）に記載の半導体装置。
【０５１７】
なお、上記の実施形態において、ｎ型ＭＯＳＦＥＴ１１１Ｎは、本技術の第１電界効果トランジスタに相当する。上記の実施形態において、ｐ型ＭＯＳＦＥＴ２１１Ｐは、本技術の第２電界効果トランジスタに相当する。上記の実施形態において、ストレスライナー層１２１は、本技術の第１ストレスライナー層に相当する。上記の実施形態において、ストレスライナー層２２１は、本技術の第２ストレスライナー層に相当する。
【符号の説明】
【０５１８】
１：半導体装置、１０１：第１基板、１１０：素子分離層、１１１Ｎ：ｎ型ＭＯＳＦＥＴ，１１１Ａ，１１１Ｂ：ソース・ドレイン領域、１１１Ｇ：ゲート電極、１１１ＨＡ，１１１ＨＢ，１１１ＨＧ，１１２ＨＢ，１１２ＨＧ：配線層、１１１Ｚ：ゲート絶縁膜、１１２Ａ，１１２Ｂ：ソース・ドレイン領域、１１２Ｇ：ゲート電極、１２１：ストレスライナー層、１３１：平坦化膜、１３２：層間絶縁膜、１５１：層間絶縁膜、２０１：第２基板、２１０：素子分離層、２１１Ｐ：ｐ型ＭＯＳＦＥＴ、２１０Ｈ，２１１ＨＡ，２１１ＨＢ，２１１ＨＧ，２１２ＨＢ，２１２ＨＧ：配線層、２１１Ａ，２１１Ｂ：ソース・ドレイン領域、２１１Ｇ：ゲート電極、２１１Ｚ：ゲート絶縁膜、２１２Ａ，２１２Ｂ：ソース・ドレイン領域、２１２Ｇ：ゲート電極、２２１：ストレスライナー層、２３１：平坦化膜、２３２：層間絶縁膜、２５１：層間絶縁膜、３１０：多層配線層、３１１～３１６：絶縁層、３２１Ｈ～３２４Ｈ，３４１Ｈ～３４４Ｈ，３６１Ｈ～３６４Ｈ：配線層、３３１Ｃ～３３４Ｃ，３５１Ｃ～３５４Ｃ：コンタクト、５０１：金属膜、Ｃ１１，Ｃ１２，Ｃ２１，Ｃ２２，Ｃ２１２：コンタクト、ＳＷ１，ＳＷ２：サイドウォール、Ｖ１２，Ｖ２２，Ｖ２１２：孔、Ｚ１，Ｚ２：絶縁膜

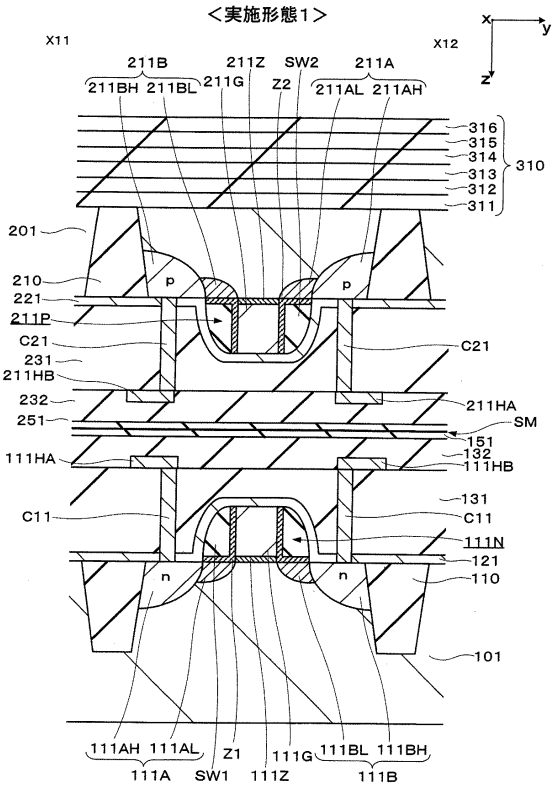
【図１】


1
Vdd
211P
In
Out
111N
GND

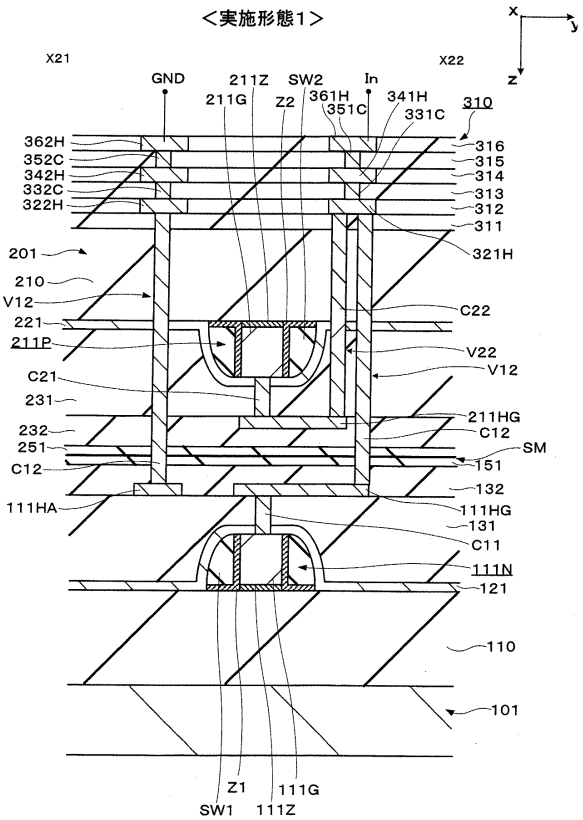
【図２】


＜実施形態1＞
1
y
z
x
GND
In
111N
X21
X22
X11
X12
X31
X32
Vdd
Out
211P

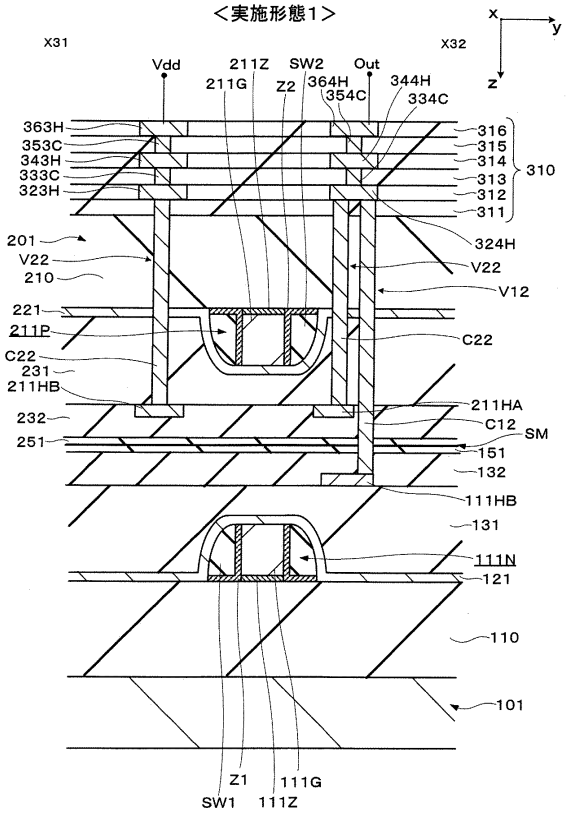
【図３】


＜実施形態1＞
X11
X12
x
y
z
211B
211Z
SW2
211A
211BH
211BL
211G
Z2
211AL
211AH
316
315
314
313
312
311
310
201
210
221
211P
C21
231
211HB
232
251
111HA
C11
p
p
C21
211HA
SM
151
132
111HB
131
C11
111N
121
110
n
n
101
111AH
111AL
Z1
111G
111BL
111BH
111A
SW1
111Z
111B

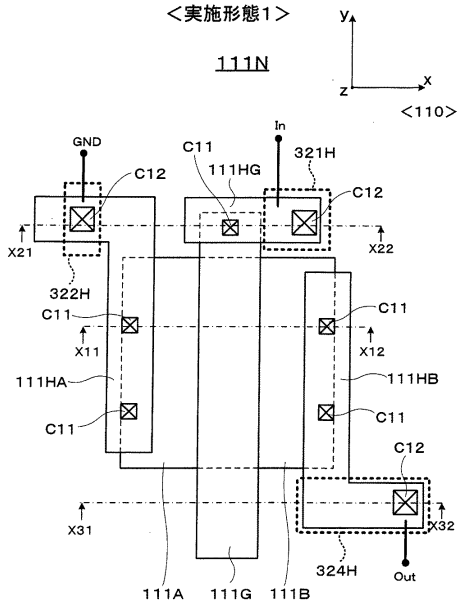
【図４】


＜実施形態1＞
X21
X22
x
y
z
GND
211Z
SW2
In
211G
Z2
361H
351C
341H
331C
310
362H
352C
342H
332C
322H
316
315
314
313
312
311
321H
201
210
V12
221
211P
C21
231
232
251
C12
111HA
C22
V22
V12
211HG
C12
SM
151
132
111HG
131
C11
111N
121
110
101
Z1
111G
SW1
111Z

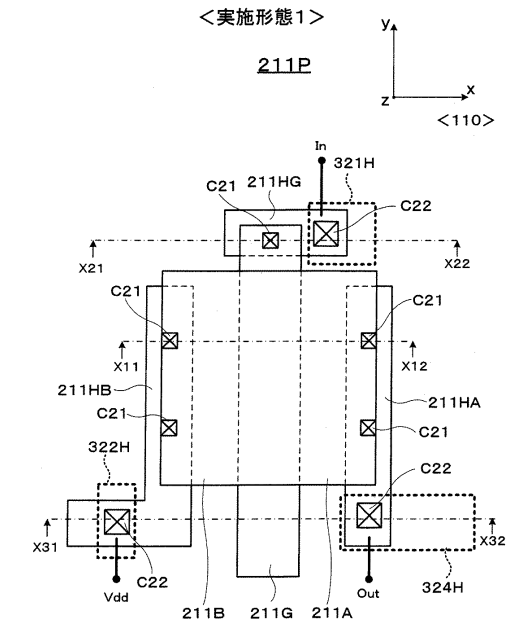
【図５】


<実施形態１>
X31
X32
x
y
z
Vdd
211Z
SW2
Out
211G
Z2
364H
344H
354C
334C
363H
353C
343H
333C
323H
316
315
314
313
312
311
310
324H
201
V22
210
V22
V12
221
211P
C22
C22
231
211HB
211HA
232
C12
SM
251
151
132
111HB
131
111N
121
110
101
Z1
111G
SW1
111Z

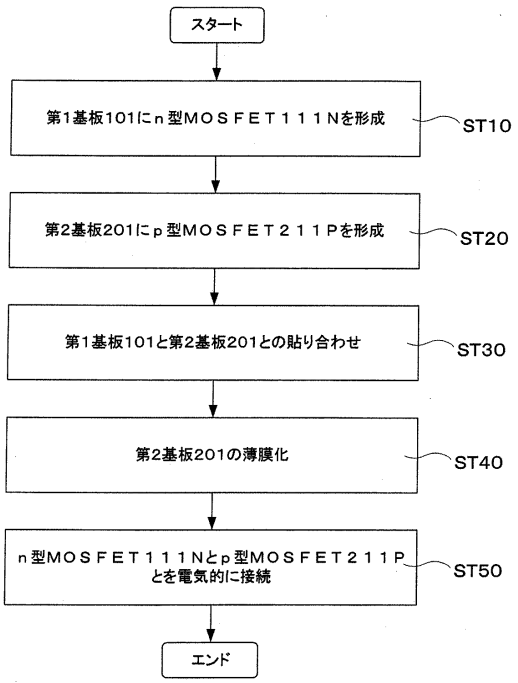
【図６】


<実施形態１>
111N
y
x
z
<110>
GND
In
C11
321H
C12
111HG
C12
X21
X22
322H
C11
C11
X11
X12
111HA
111HB
C11
C11
C12
X31
X32
111A
111G
111B
324H
Out

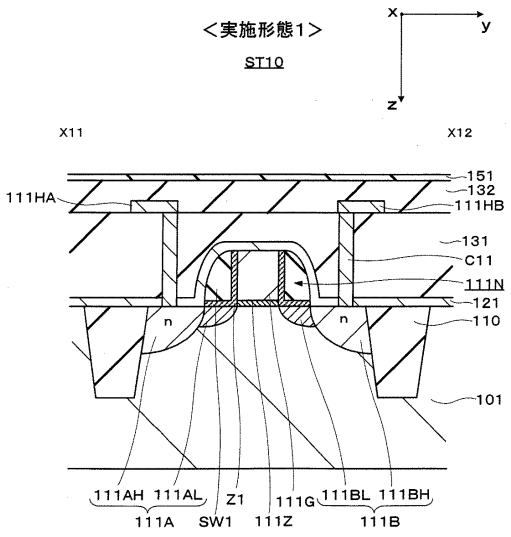
【図７】


<実施形態１>
211P
y
x
z
<110>
In
321H
C21
211HG
C22
X21
X22
C21
C21
X11
X12
211HB
211HA
C21
C21
322H
C22
X31
X32
C22
Vdd
Out
324H
211B
211G
211A

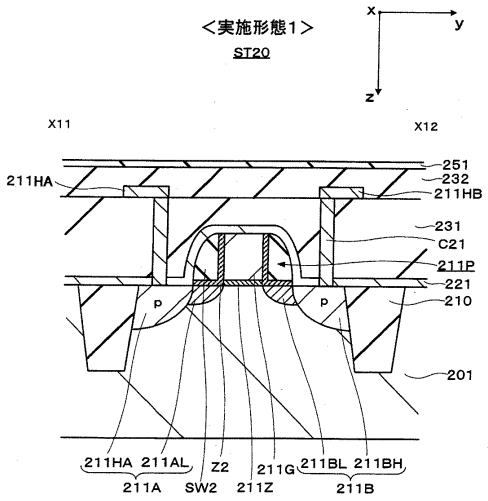
【図８】


スタート
第1基板101にｎ型ＭＯＳＦＥＴ１１１Ｎを形成
ST10
第2基板201にｐ型ＭＯＳＦＥＴ２１１Ｐを形成
ST20
第1基板101と第2基板201との貼り合わせ
ST30
第2基板201の薄膜化
ST40
ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐとを電気的に接続
ST50
エンド

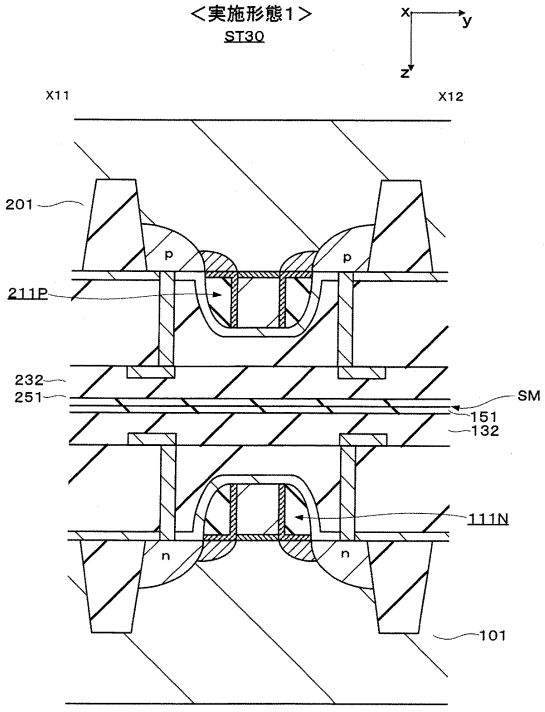
【図９】



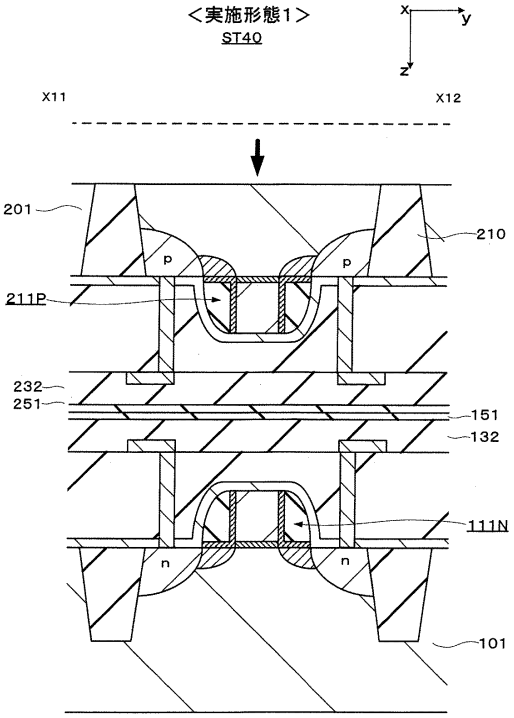
【図１０】



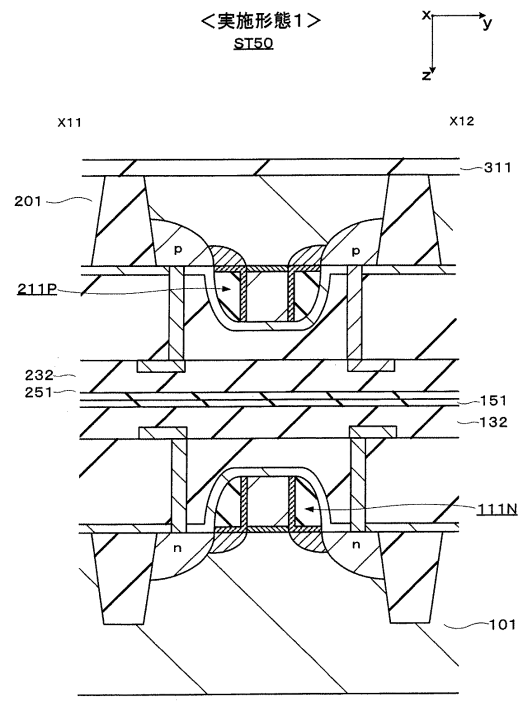
【図１１】



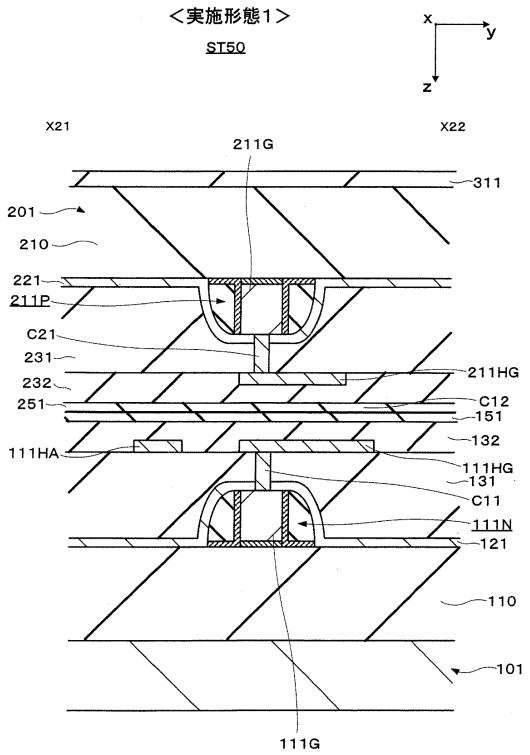
【図１２】



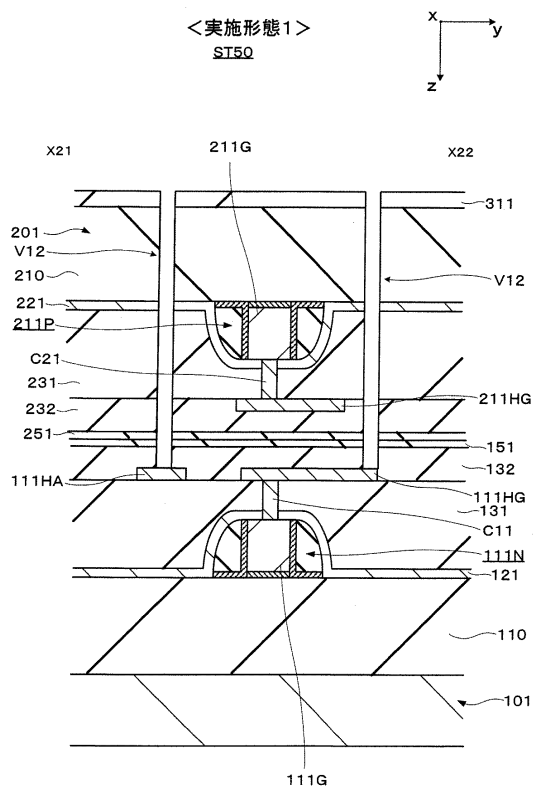
【図１３】



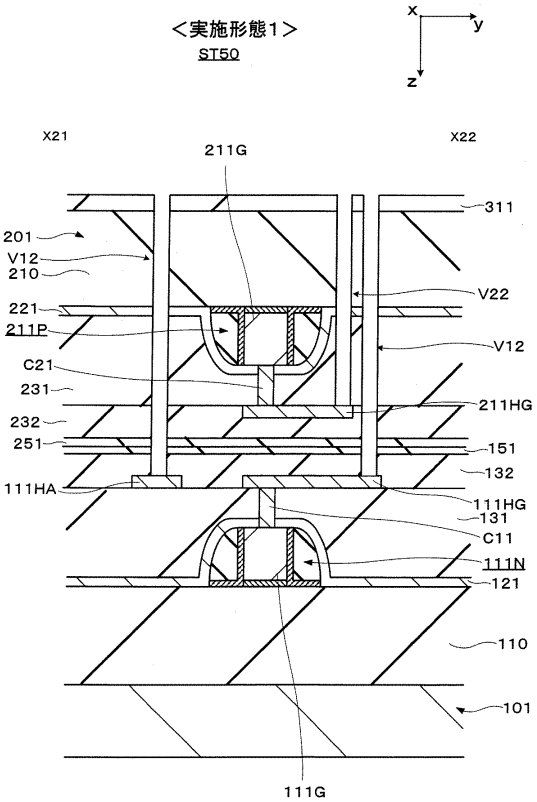
【図１４】



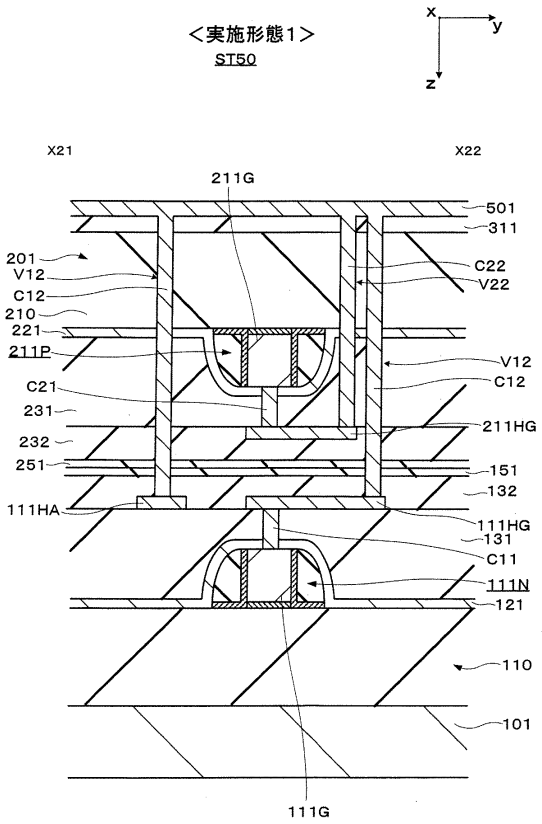
【図１５】



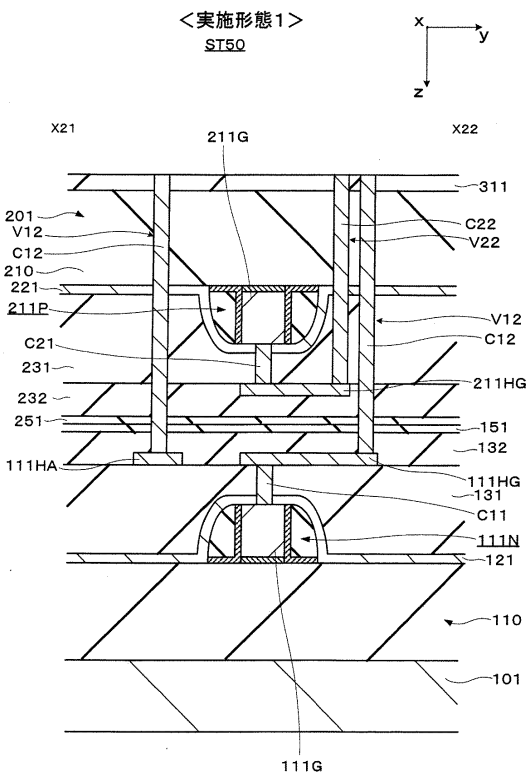
【図１６】



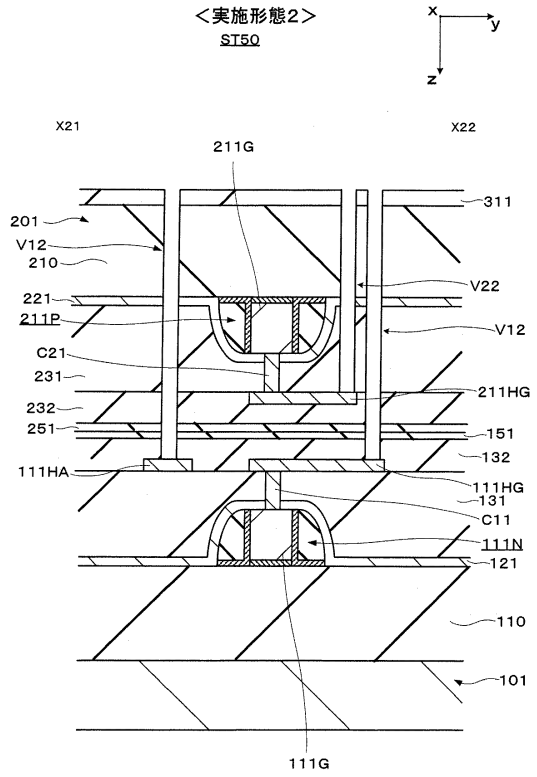
【図１７】



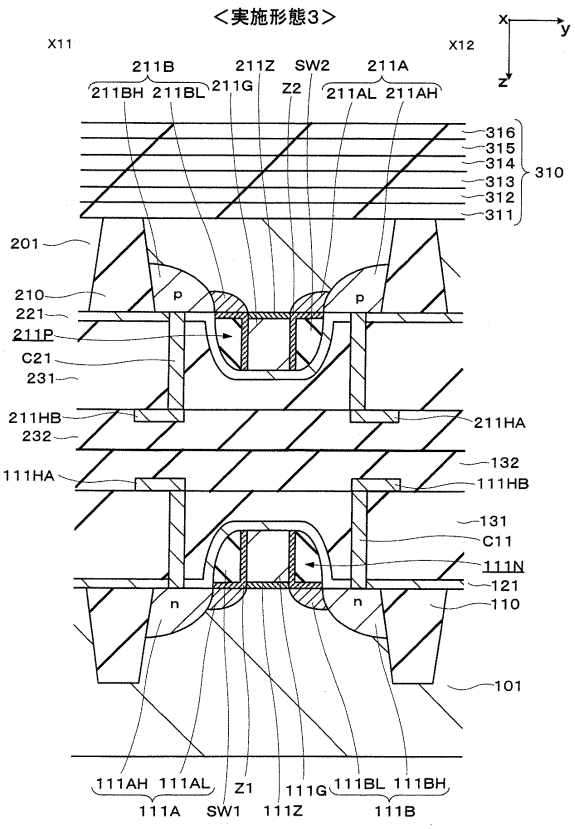
【図１８】



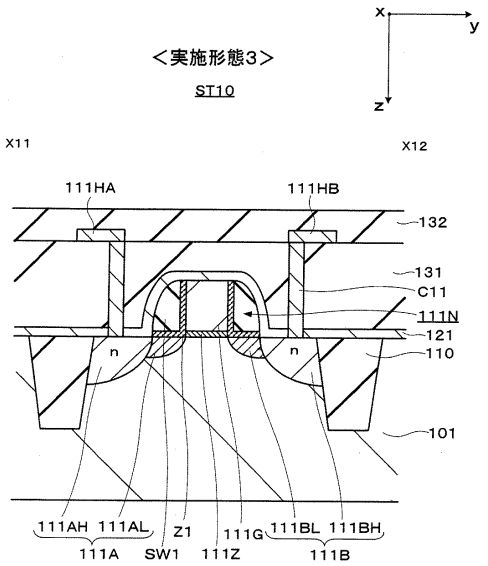
【図１９】



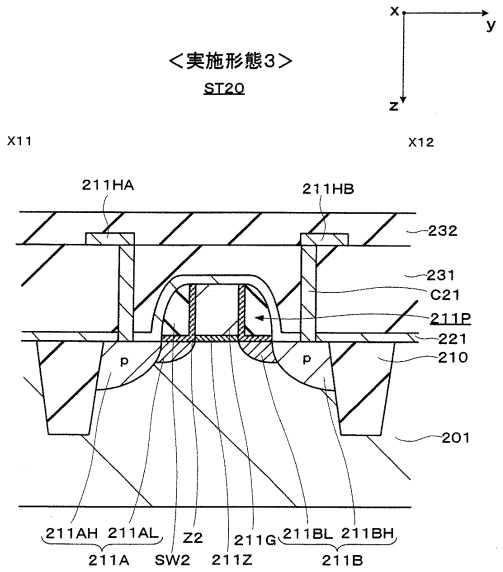
【図２０】



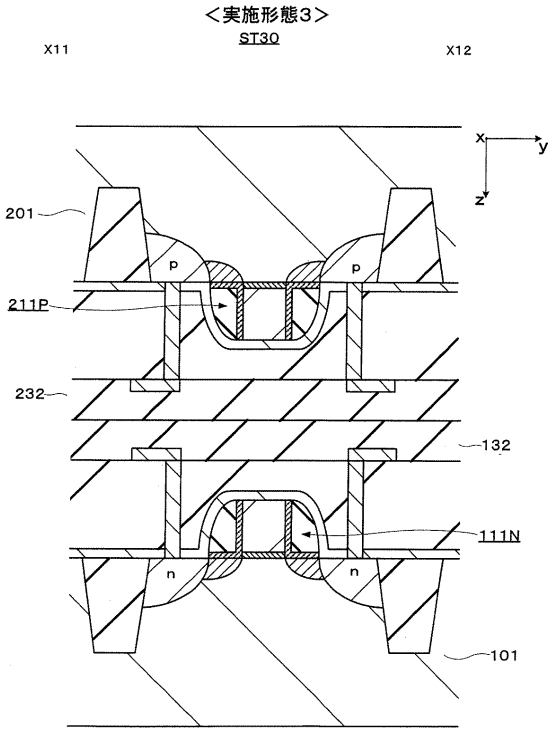
【図２１】



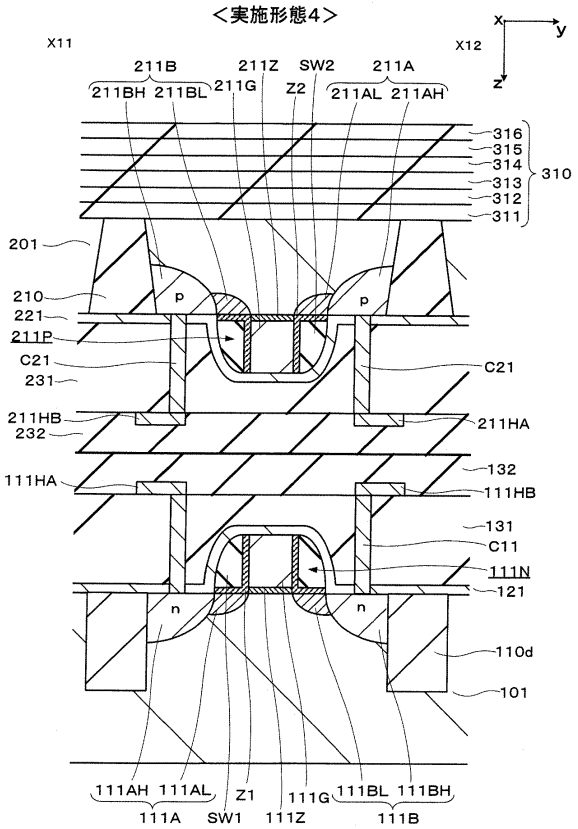
【図２２】



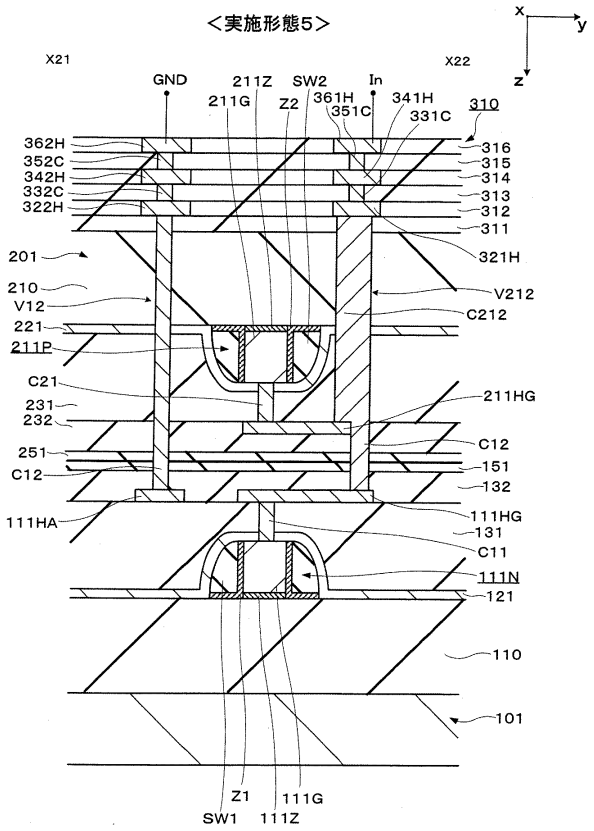
【図２３】



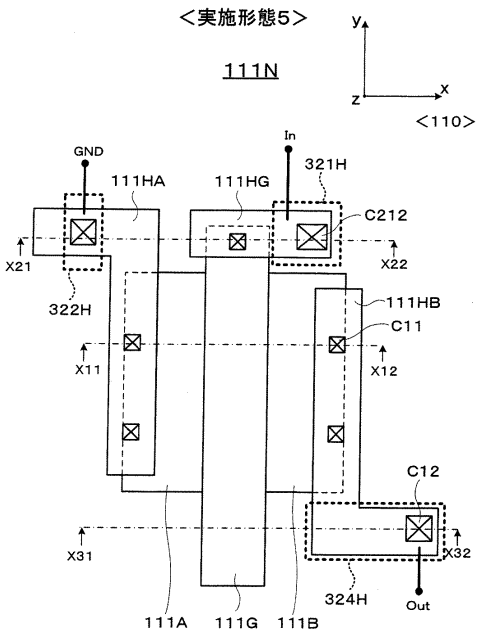
【図２４】



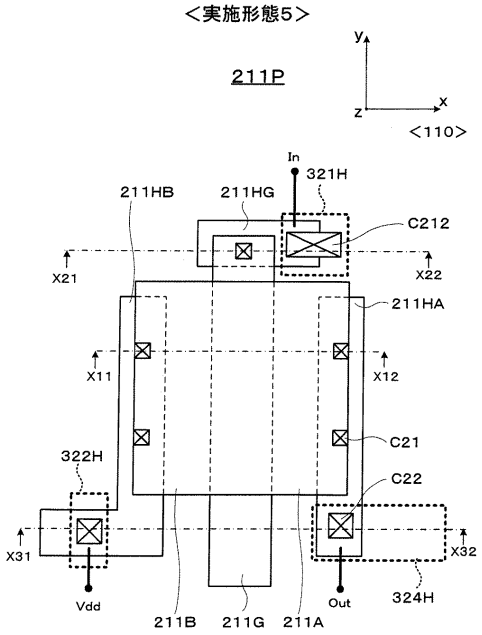
【図２５】



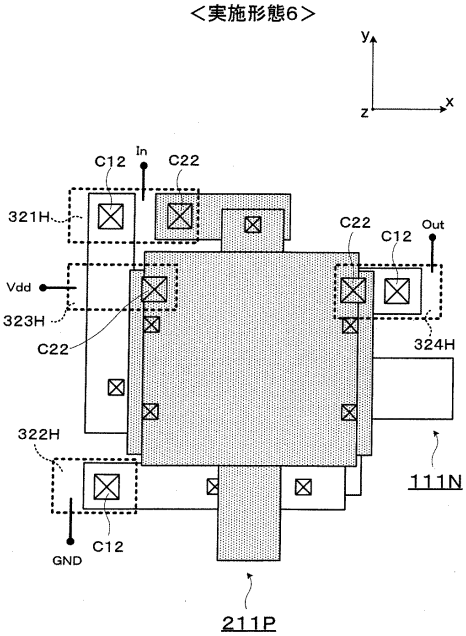
【図２６】



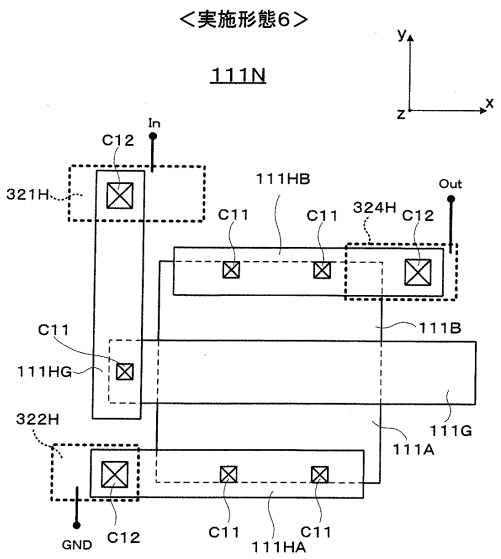
【図２７】



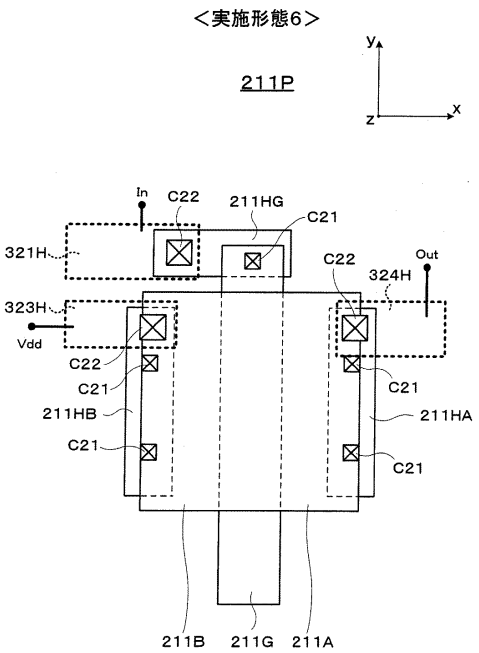
【図２８】



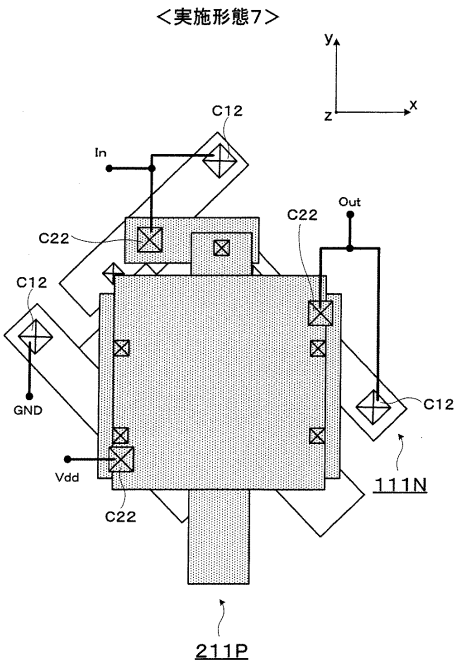
【図２９】



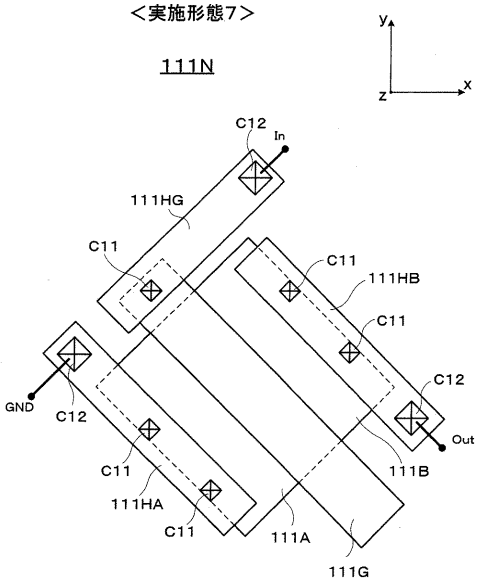
【図３０】



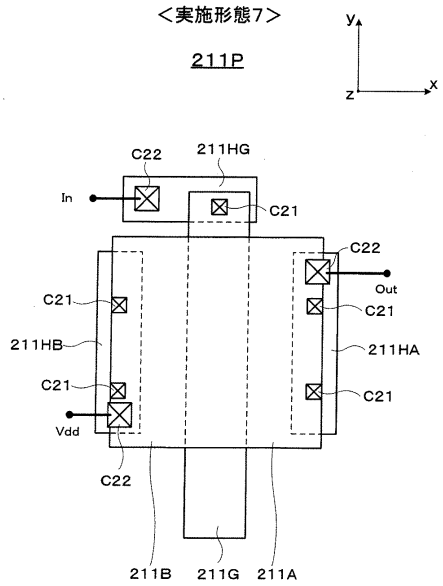
【図３１】



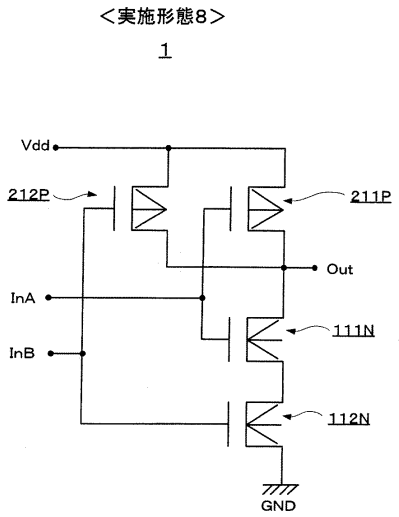
【図３２】



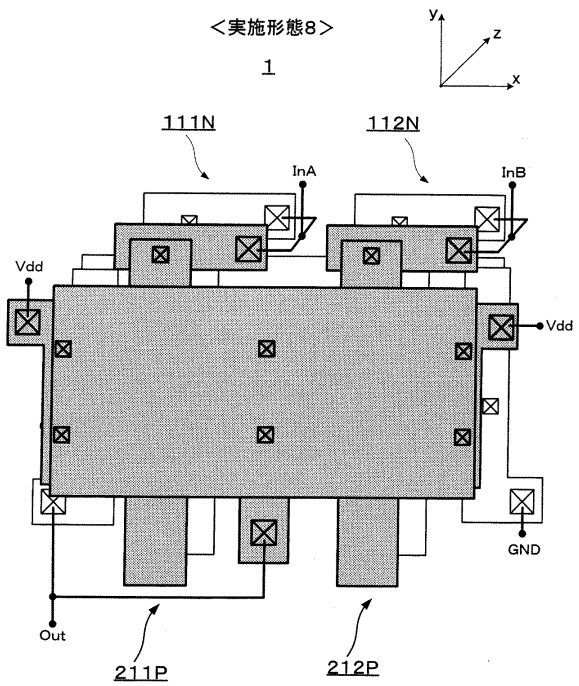
【図３３】



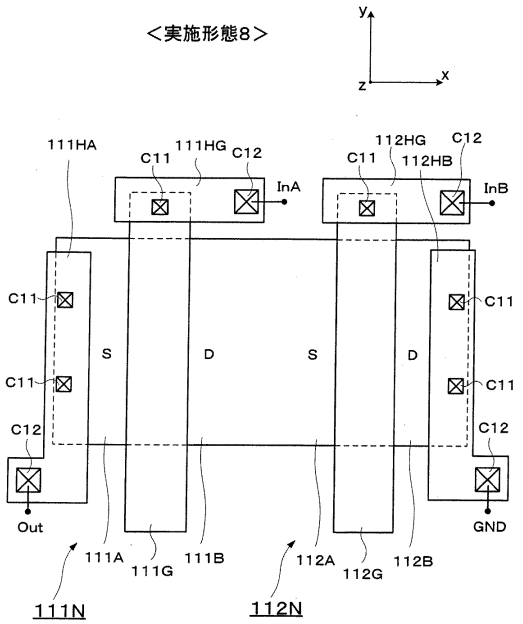
【図３４】



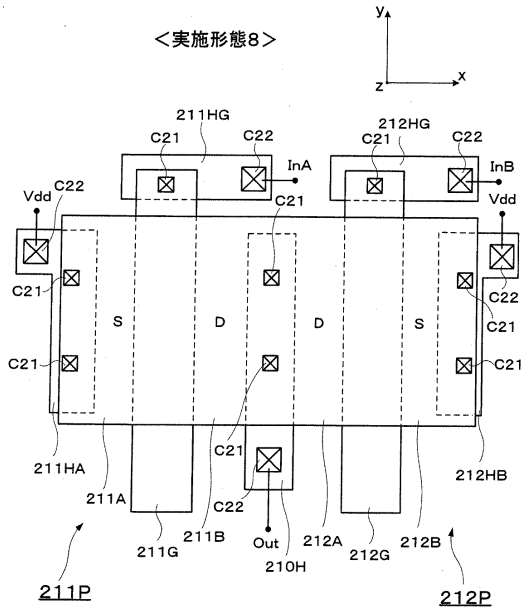
【図３５】



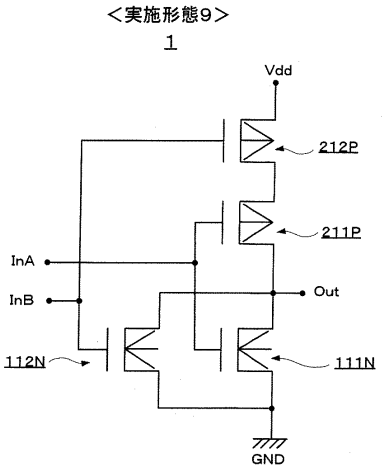
【図３６】



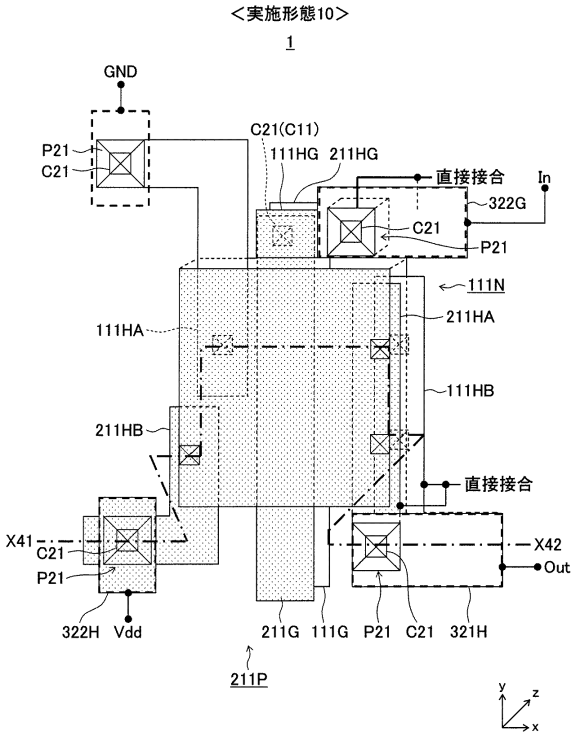
【図３７】



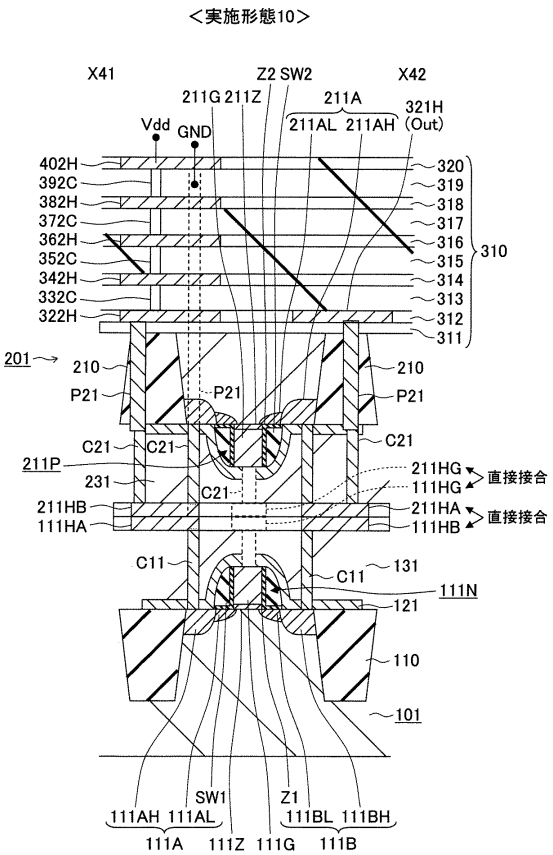
【図３８】



【図３９】



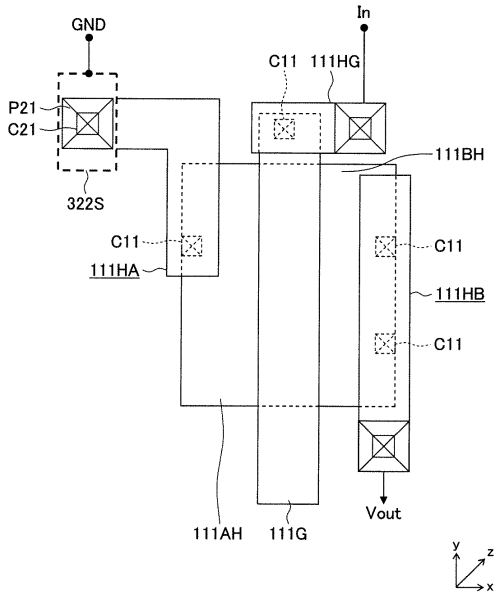
【図４０】



【図４１】

<実施形態10>

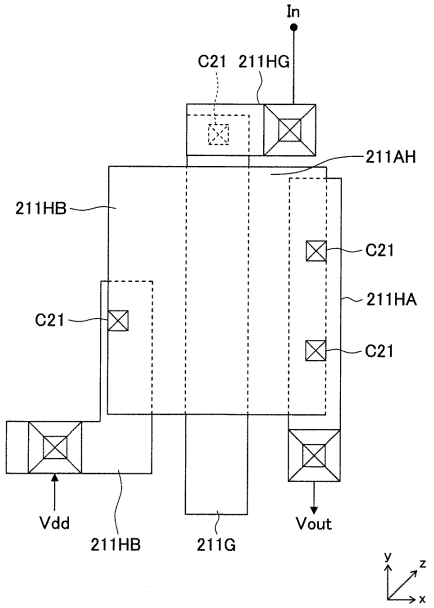
111N



【図４２】

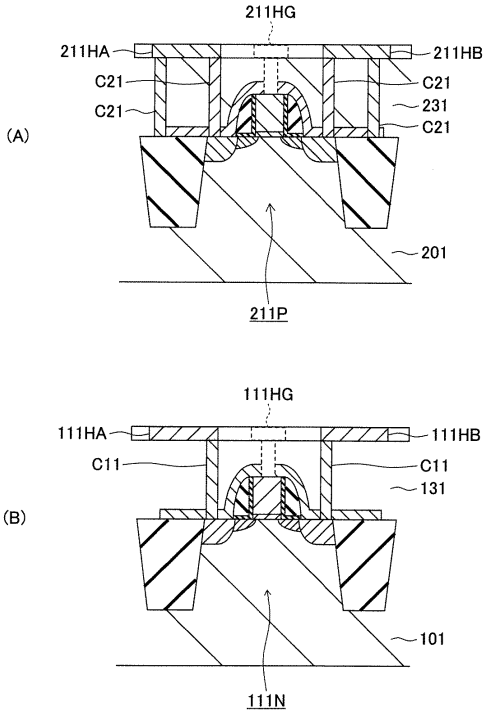
<実施形態10>

211P



【図４３】

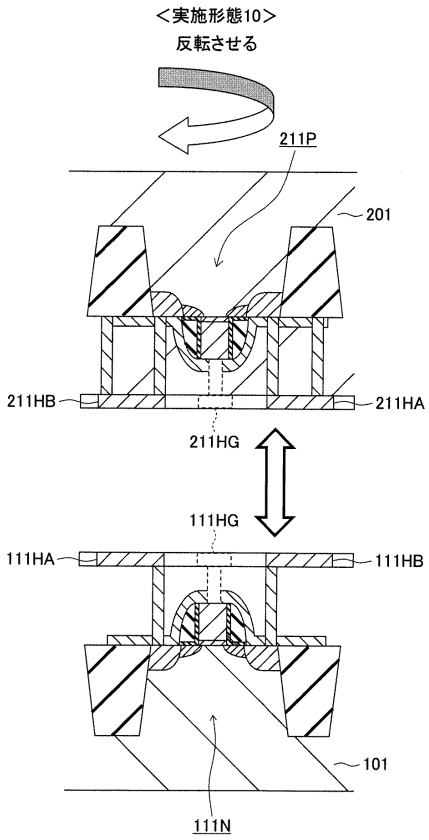
<実施形態10>



【図４４】

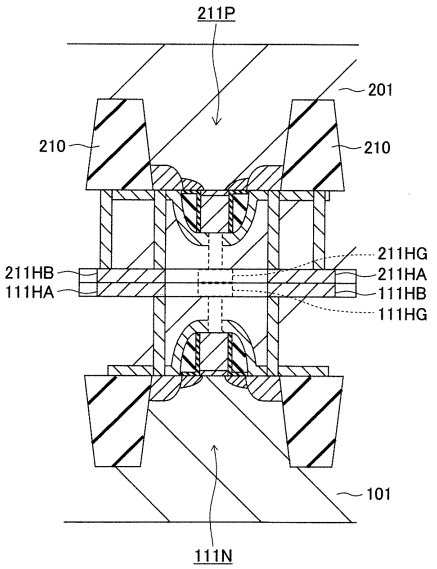
<実施形態10>

反転させる



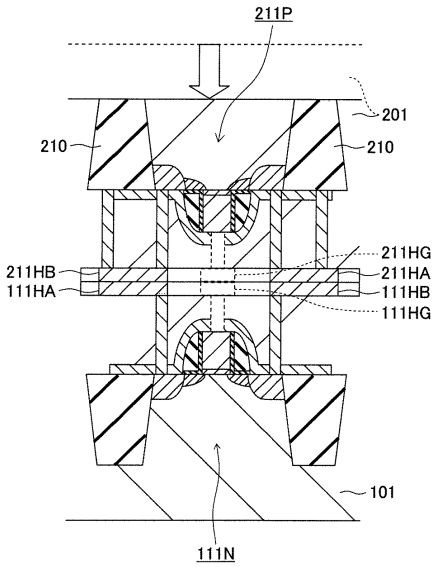
【図４５】

<実施形態10>



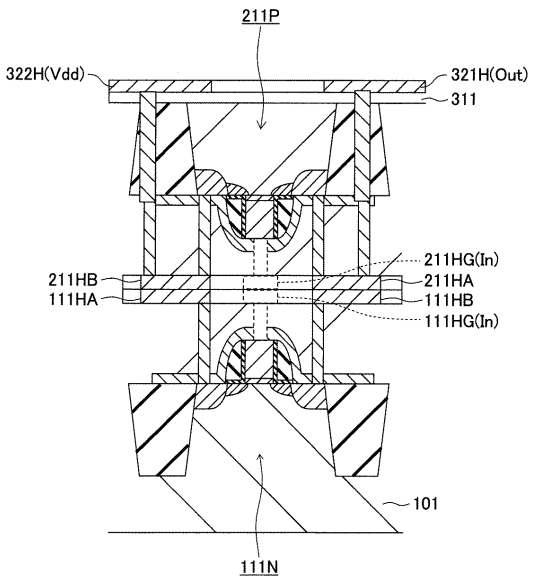
【図４６】

<実施形態10>



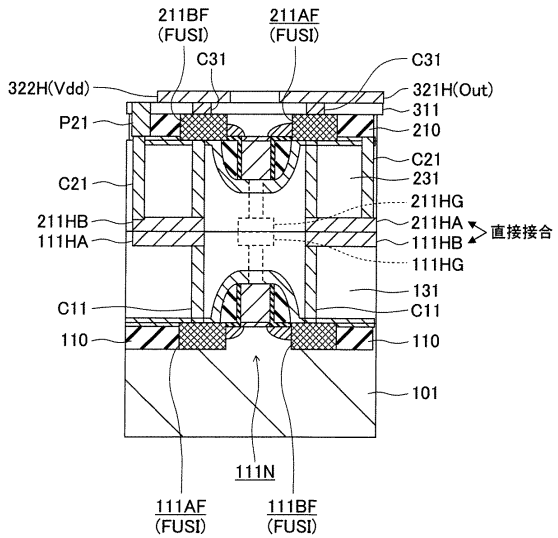
【図４７】

<実施形態10>



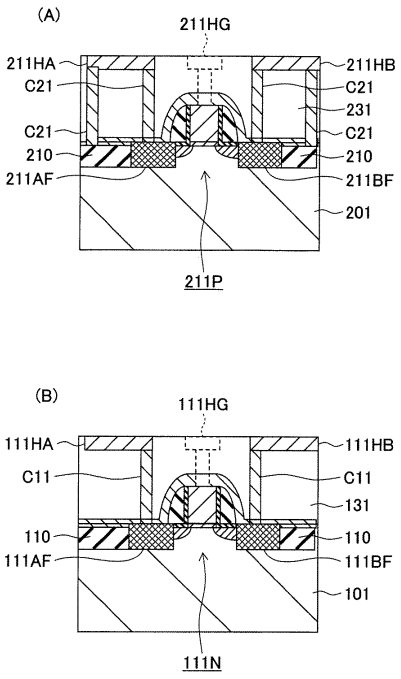
【図４８】

<実施形態11>



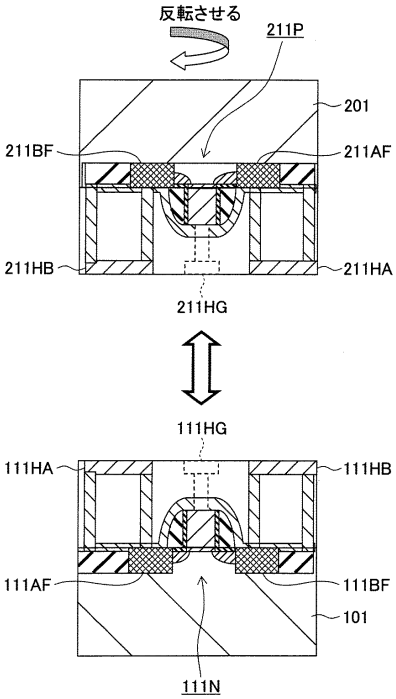
【図４９】

<実施形態11>



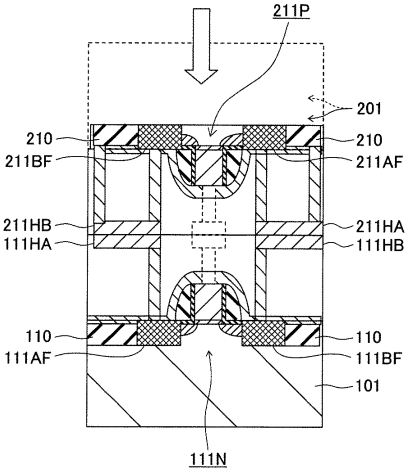
【図５０】

<実施形態11>



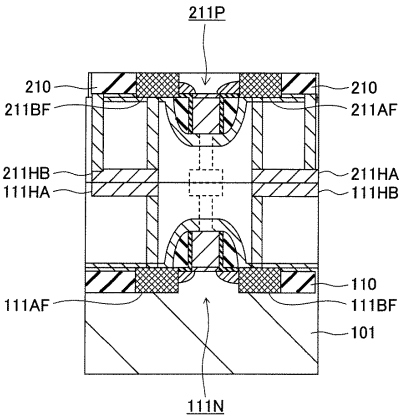
【図５１】

<実施形態11>

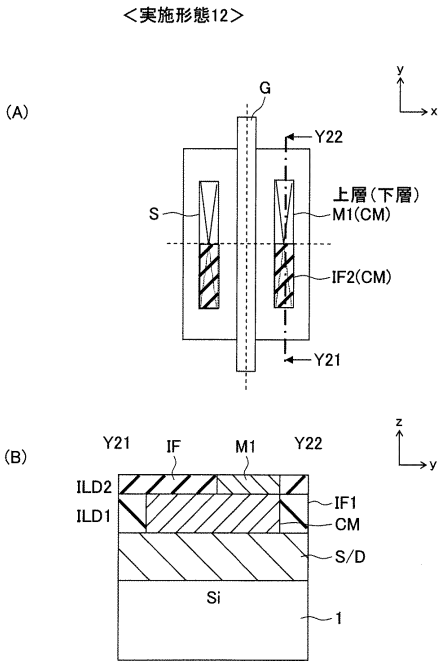


【図５２】

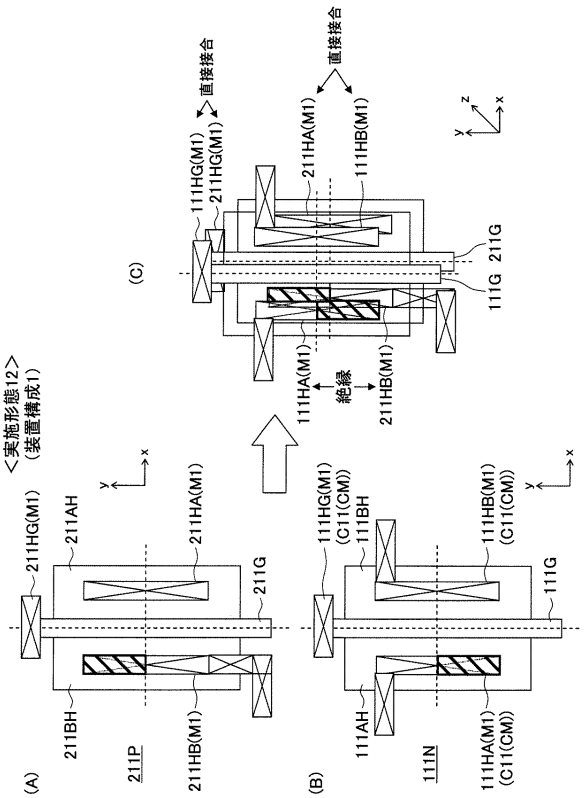
<実施形態11>



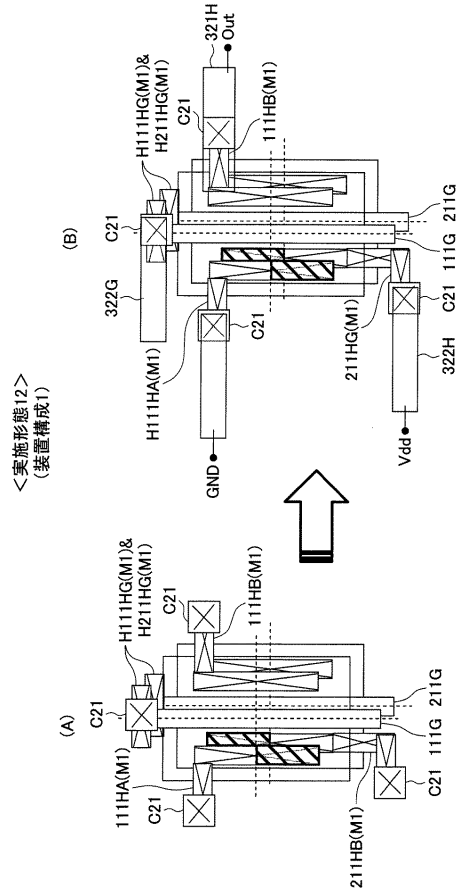
【図５３】



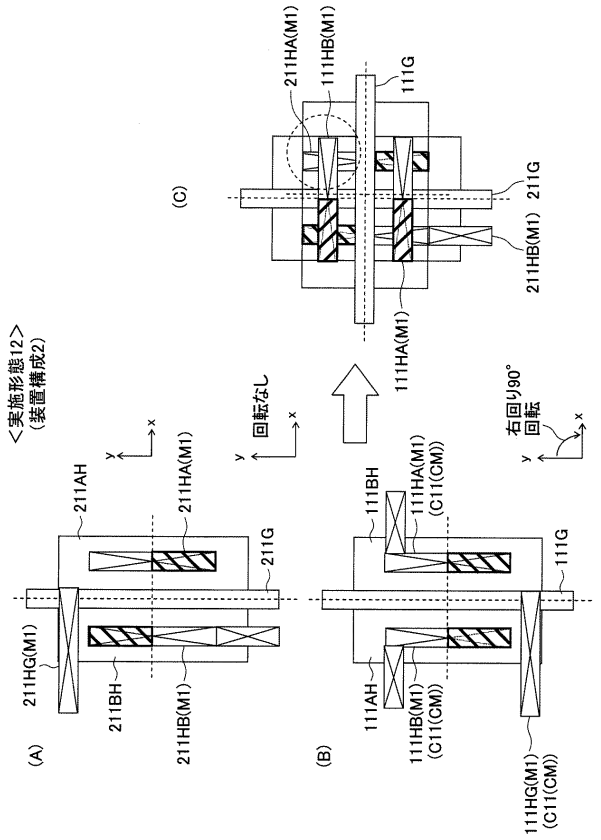
【図５４】



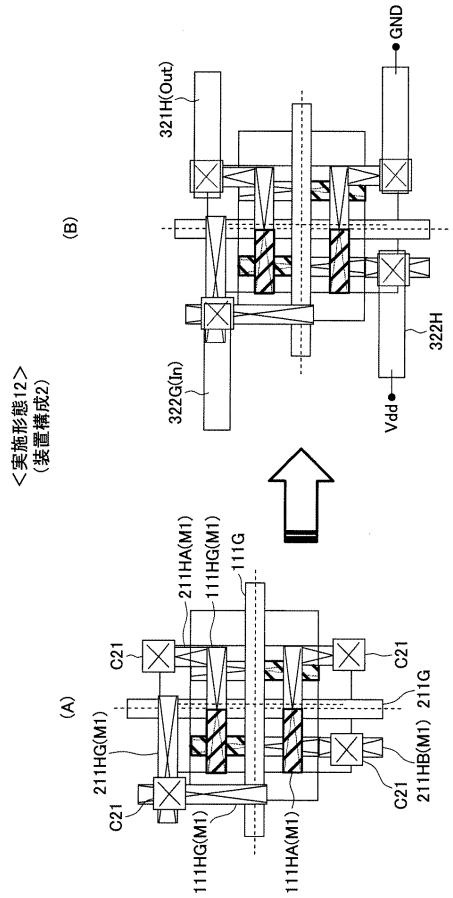
【図５５】



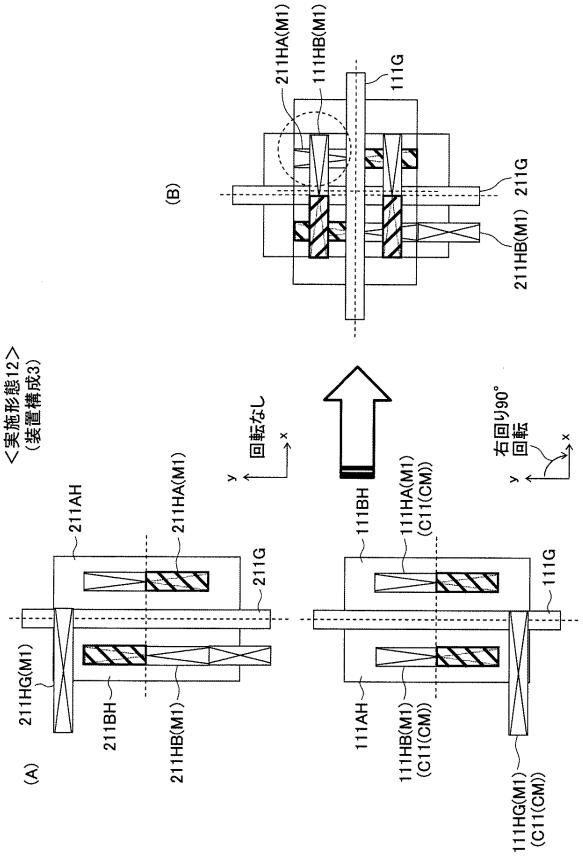
【図５６】



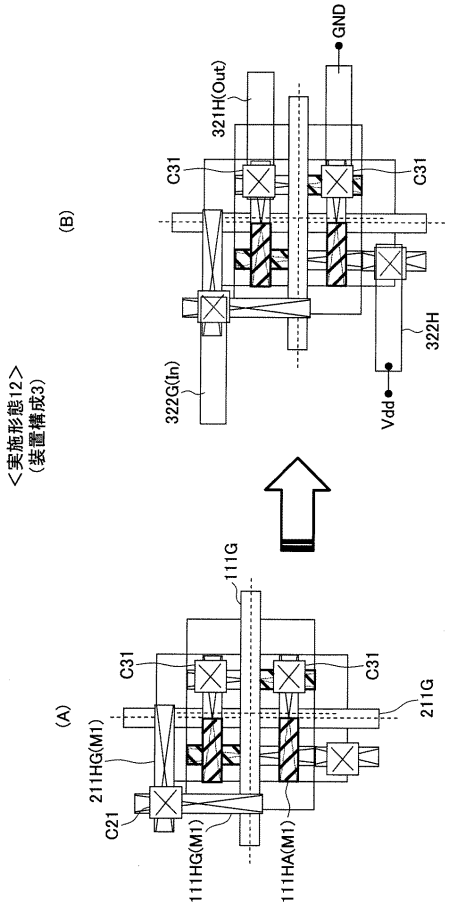
【図５７】



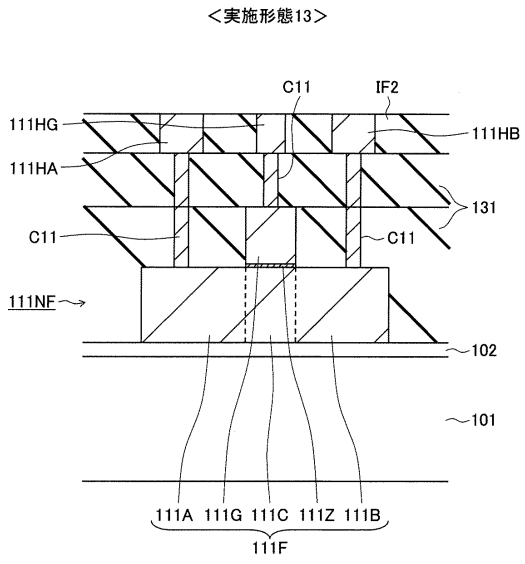
【図５８】



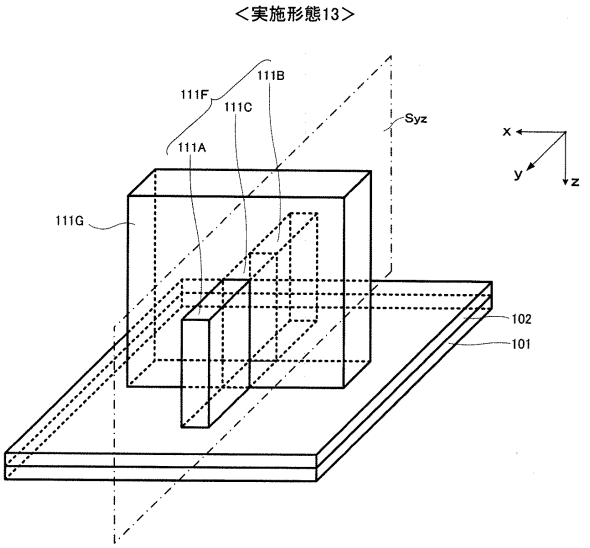
【図５９】



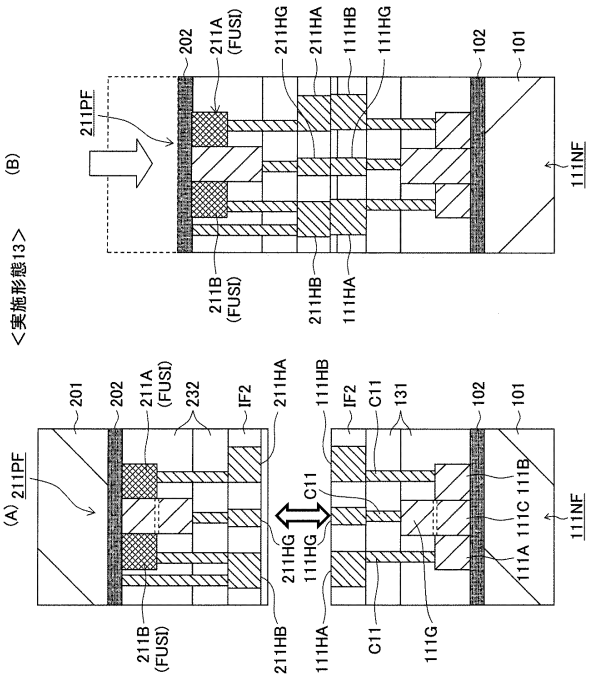
【図６０】



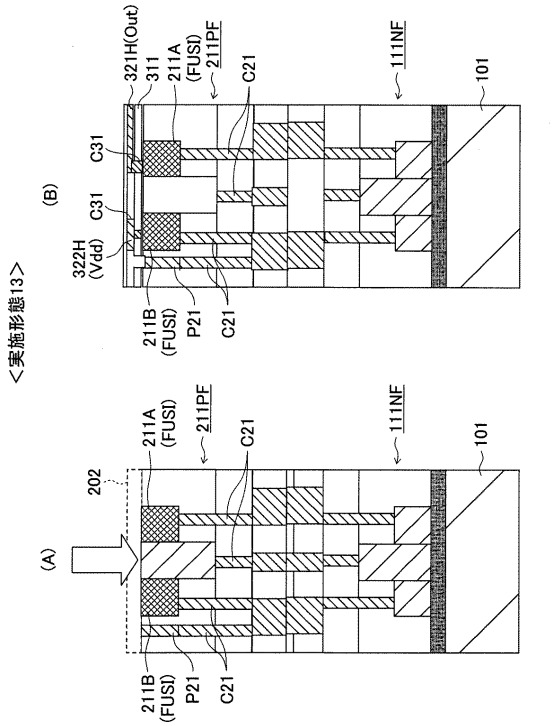
【図６１】



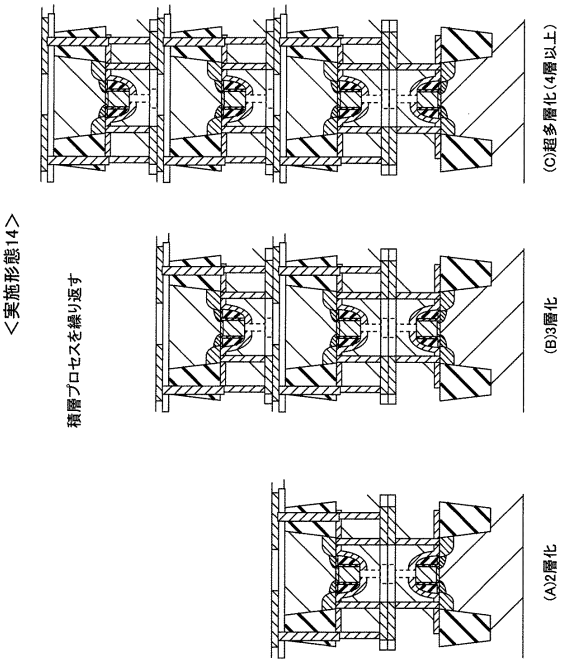
【図６２】



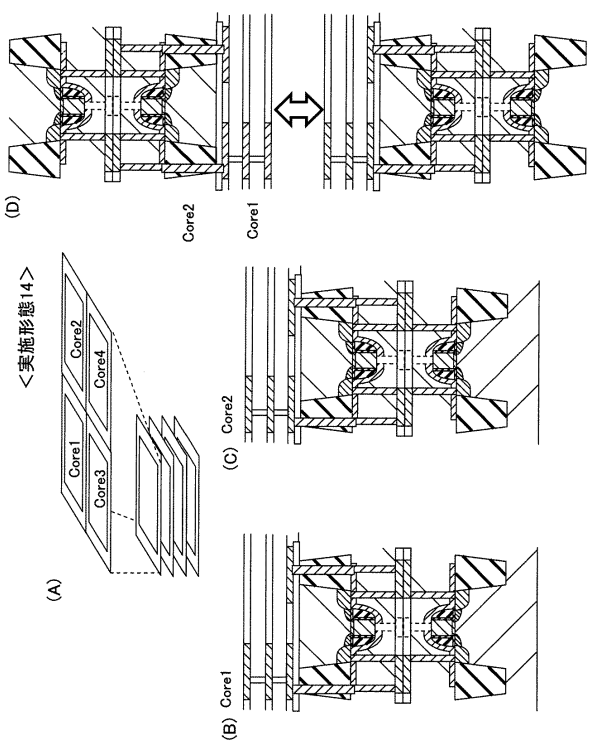
【図６３】



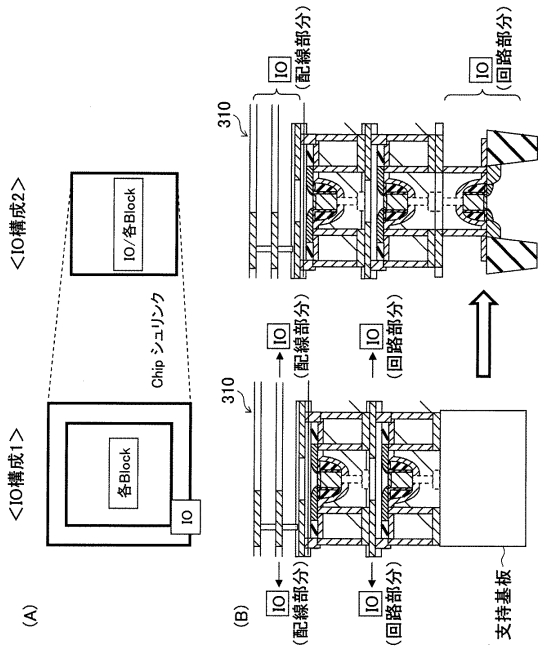
【図６４】



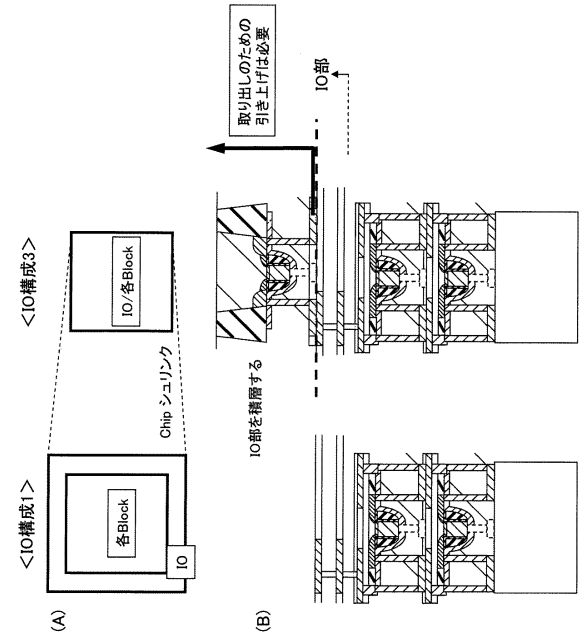
【図６５】



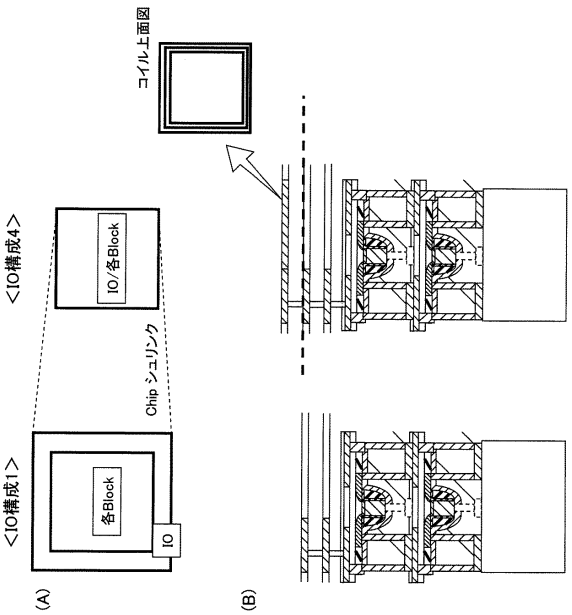
【図６６】



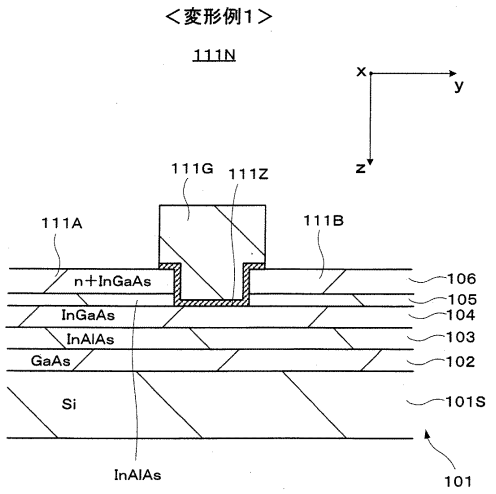
【図６７】



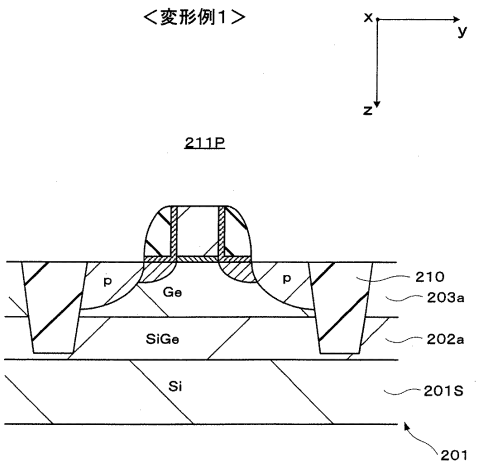
【図６８】



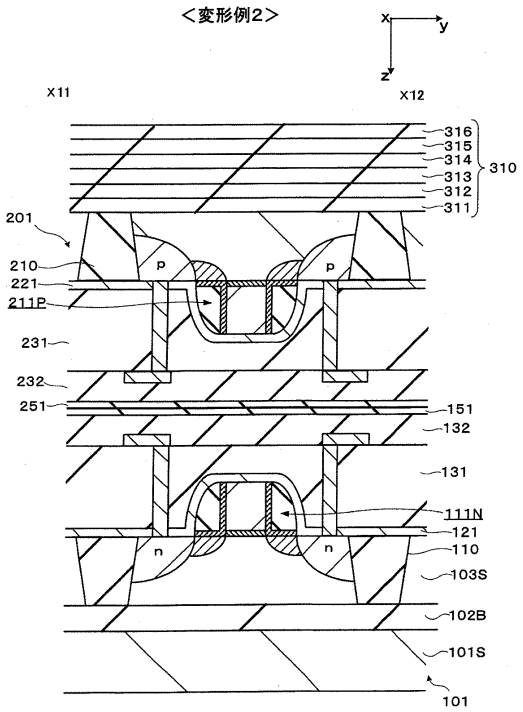
【図６９】



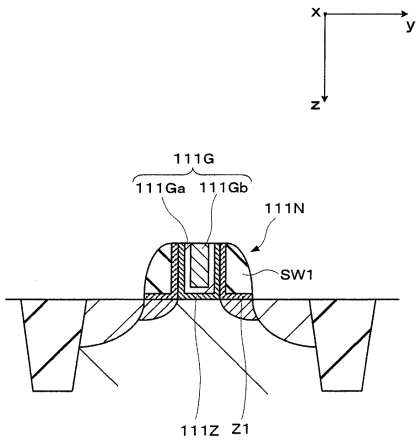
【図７０】



【図７１】



【図７２】



フロントページの続き

(51)Int.Cl.			FI		
H01L	***21/768***	***(2006.01)***	H01L	21/90	A
H01L	***21/28***	***(2006.01)***	H01L	21/28	301R
H01L	***29/423***	***(2006.01)***	H01L	29/58	G
H01L	***29/49***	***(2006.01)***	H01L	21/90	M
H01L	***23/532***	***(2006.01)***	H01L	27/00	301B
H01L	***27/00***	***(2006.01)***	H01L	27/08	321F
H01L	***27/08***	***(2006.01)***	H01L	27/00	301C
H01L	***21/338***	***(2006.01)***	H01L	27/08	321C
H01L	***29/778***	***(2006.01)***	H01L	27/08	331E
H01L	***29/812***	***(2006.01)***	H01L	29/80	H

(56)参考文献 特開２０１０－２４５２６２（ＪＰ，Ａ）
特開２００５－２６８６６２（ＪＰ，Ａ）
特開平０４－１９６２６４（ＪＰ，Ａ）
特開２０１１－１５９８８９（ＪＰ，Ａ）
米国特許第０７０６４０１８（ＵＳ，Ｂ１）
特開２００５－２５１８７３（ＪＰ，Ａ）
特開２００９－０９４４９４（ＪＰ，Ａ）
特開２０１０－０２１２２９（ＪＰ，Ａ）
特開２００９－１４１０４０（ＪＰ，Ａ）
特開平０８－１８６２４９（ＪＰ，Ａ）
特開２００９－２６７１８０（ＪＰ，Ａ）
特開昭５９－２１９９５４（ＪＰ，Ａ）
特開２００５－３２８０２６（ＪＰ，Ａ）
特開昭６３－１２６２６２（ＪＰ，Ａ）
特開２０１０－２４５５０６（ＪＰ，Ａ）
特開２０１０－１５３７９９（ＪＰ，Ａ）
特開２００１－３３９０５７（ＪＰ，Ａ）
特開平０１－２１５０５６（ＪＰ，Ａ）
H.-C.Wen et al, Gate First Metal-Alminium-Nitride PMOS Electrodes for 32nm Low Standby Power Applications, 2007 Symposium on VLSI Technology Digest of Technical Papers, ２００７年 ６月１２日, p.160-161

(58)調査した分野(Int.Cl., ＤＢ名)

ＨＯ１Ｌ ２１／８２３８
ＨＯ１Ｌ ２１／２８
ＨＯ１Ｌ ２１／３３６
ＨＯ１Ｌ ２１／３３８
ＨＯ１Ｌ ２１／７６８
ＨＯ１Ｌ ２３／５３２
ＨＯ１Ｌ ２７／００
ＨＯ１Ｌ ２７／０８
ＨＯ１Ｌ ２７／０９２
ＨＯ１Ｌ ２９／４２３
ＨＯ１Ｌ ２９／４９
ＨＯ１Ｌ ２９／７７８
ＨＯ１Ｌ ２９／７８

H01L　29／786
H01L　29／812