



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I640987 B

(45)公告日：中華民國 107 (2018) 年 11 月 11 日

(21)申請案號：106131135

(22)申請日：中華民國 106 (2017) 年 09 月 12 日

(51)Int. Cl. : G11C11/409 (2006.01)

G11C7/06 (2006.01)

(30)優先權：2017/03/22 日本

特願 2017-056070

(71)申請人：日商東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)
日本(72)發明人：高谷聰 TAKAYA, SATOSHI (JP) ; 野口紘希 NOGUCHI, HIROKI (JP) ; 藤田忍
FUJITA, SHINOBU (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 533416

CN 101061550A

US 6611448B2

US 7236415B2

US 7433250B2

審查人員：劉耀允

申請專利範圍項數：18 項 圖式數：10 共 67 頁

(54)名稱

記憶體裝置及記憶體系統

MEMORY DEVICE AND MEMORY SYSTEM

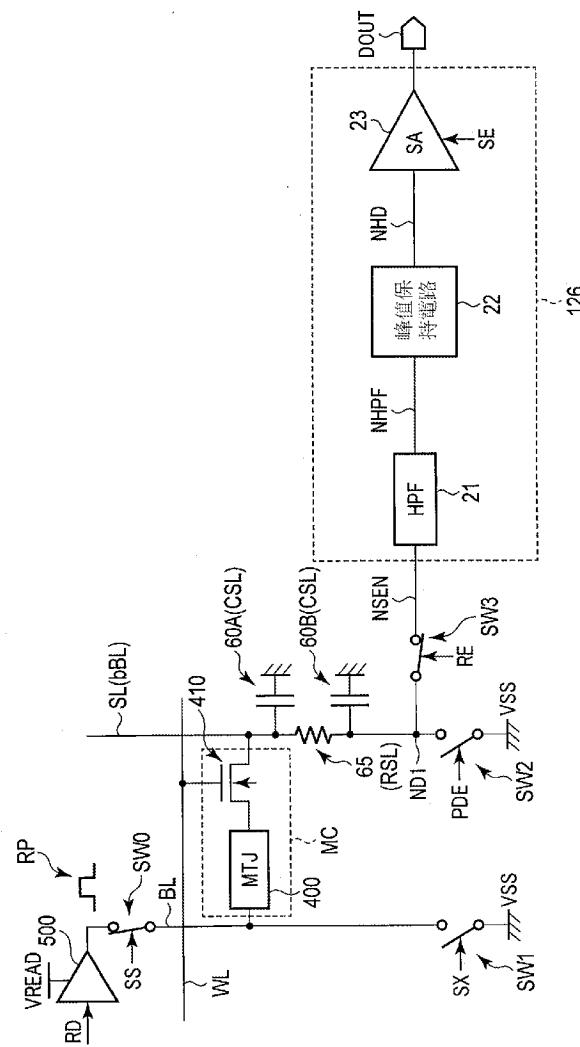
(57)摘要

根據一實施例，一種記憶體裝置包含：一記憶體單元；一讀取驅動器，其經組態以在針對該記憶體單元之一讀取操作時將一讀取脈衝供應至該記憶體單元；一濾波器電路，其經組態以自第一信號輸出一第一頻域中之一第二信號，該第一信號由該讀取脈衝自該記憶體單元輸出；一保持電路，其經組態以保持該第二信號之一峰值；及一感測放大器電路，其經組態以基於該峰值來自該記憶體單元讀取資料。

According to one embodiment, a memory device includes: a memory cell; a read driver configured to supply a read pulse to the memory cell at the time of a read operation for the memory cell; a filter circuit configured to output a second signal in a first frequency domain from a first signal, the first signal being outputted from the memory cell by the read pulse; a hold circuit configured to hold a peak value of the second signal; and a sense amplifier circuit configured to read data from the memory cell based on the peak value.

指定代表圖：

符號簡單說明：



C2081521A.pdf

- 21 高通濾波器電路
- 22 峰值保持電路
- 23 感測放大器
- 電路 60A 電容
- 60B 電容 65 電阻
- 126 讀取電路
- 400 可變電阻元件/磁阻效應元件/磁性穿遂接面(MTJ)元件
- 410 單元電晶體
- 500 讀取驅動器
- BL 位元線 bBL
- 位元線 CSL 電容值
- DOUT 輸出信號/輸出資料/資料輸出端子
- MC 記憶體單元
- ND1 節點 NHD 節點
- NHPF 節點
- NSEN 節點 PDE 預放電啟用信號/控制信號
- RD 控制信號
- RE 控制信號/讀取啟用信號 RP
- 讀取脈衝 RSL 電阻值
- SE 感測啟用信號 SL 源極線
- SS 控制信號
- SW0 開關元件
- SW1 開關元件
- SW2 開關元件
- SW3 開關元件 SX
- 控制信號 VREAD 電壓
- VSS 接地電壓/接地端子
- WL 字線



I640987

【發明摘要】

【中文發明名稱】

記憶體裝置及記憶體系統

【英文發明名稱】

MEMORY DEVICE AND MEMORY SYSTEM

【中文】

根據一實施例，一種記憶體裝置包含：一記憶體單元；一讀取驅動器，其經組態以在針對該記憶體單元之一讀取操作時將一讀取脈衝供應至該記憶體單元；一濾波器電路，其經組態以自一第一信號輸出一第一頻域中之一第二信號，該第一信號由該讀取脈衝自該記憶體單元輸出；一保持電路，其經組態以保持該第二信號之一峰值；及一感測放大器電路，其經組態以基於該峰值來自該記憶體單元讀取資料。

【英文】

According to one embodiment, a memory device includes: a memory cell; a read driver configured to supply a read pulse to the memory cell at the time of a read operation for the memory cell; a filter circuit configured to output a second signal in a first frequency domain from a first signal, the first signal being outputted from the memory cell by the read pulse; a hold circuit configured to hold a peak value of the second signal; and a sense amplifier circuit configured to read data from the memory cell based on the peak value.

【指定代表圖】

圖5

【發明申請專利範圍】

【第1項】

一種記憶體裝置，其包括：

一記憶體單元；

一讀取驅動器，其經組態以在針對該記憶體單元之一讀取操作時將一讀取脈衝供應至該記憶體單元；

一濾波器電路，其經組態以自第一信號輸出第一頻域中之一第二信號，該第一信號由該讀取脈衝自該記憶體單元輸出；

一保持電路，其經組態以保持該第二信號之一峰值；及

一感測放大器電路，其經組態以基於該峰值來自該記憶體單元讀取資料。

【第2項】

如請求項1之裝置，其中

該濾波器電路包括一高通濾波器電路，及

該第一頻域高於該第一信號中之該濾波器電路之一截止頻率。

【第3項】

如請求項2之裝置，其中該濾波器電路包含

一第一電容元件，其具有電連接至該記憶體單元之一第一端子及電連接至該保持電路之一第二端子，及

一電阻元件，其具有電連接至該第二端子之一第三端子及電連接至一第一電壓端子之一第四端子。

【第4項】

如請求項1之裝置，其中

該濾波器電路包括一主動高通濾波器電路，及
該第二信號係具有高於該第一信號中之該濾波器電路之一截止頻率
之該第一頻域的一信號且藉由放大該第一信號之一信號位準來獲得。

【第5項】

如請求項4之裝置，其中該濾波器電路包含
一電容元件，其具有電連接至該記憶體單元之一第一端子、及一第
二端子，

一第一電阻元件，其具有電連接至該第二端子之一第三端子、及一
第四端子，

一運算放大器，其具有電連接至該第四端子之一第一輸入端子、電
連接至一第二電壓端子之一第二輸入端子及連接至該保持電路之一輸出端
子，及

一第二電阻元件，其具有電連接至該第一輸入端子之一第五端子及
電連接至該輸出端子之一第六端子。

【第6項】

如請求項1之裝置，其中

該保持電路包含

一運算放大器，其具有電連接至該濾波器電路之一第一輸出端子
之一第一輸入端子、電連接至一第一節點之一第二輸入端子、及一
第二輸出端子，

一電容元件，其具有電連接至該第一節點之一第一端子及電連接
至一第一電壓端子之一第二端子，

一開關元件，其具有電連接至該第一節點之一第三端子及電連接

至一第二電壓端子之一第四端子，及

一電晶體，其具有電連接至該運算放大器之該第二輸出端子之一閘極、電連接至該第一節點之一第五端子及電連接至一第三電壓端子之一第六端子。

【第7項】

如請求項1之裝置，其中

該保持電路基於該峰值來輸出一DC信號，及

該感測放大器電路使用該DC信號來讀取該資料。

【第8項】

如請求項1之裝置，其中該記憶體單元包含一可變電阻元件。

【第9項】

如請求項1之裝置，其中該記憶體單元包含一磁阻效應元件。

【第10項】

一種記憶體系統，其包括：

一記憶體裝置，其經組態以儲存資料；及

一處理器，其經組態以將一命令傳輸至該記憶體裝置以讀取該資料，

其中該記憶體裝置包含

一記憶體單元；

一讀取驅動器，其經組態以在針對該記憶體單元之一讀取操作時基於該命令來將一讀取脈衝供應至該記憶體單元；

一濾波器電路，其經組態以自一第一信號輸出一第一頻域中之一第二信號，該第一信號由該讀取脈衝自該記憶體單元輸出；

一保持電路，其經組態以保持該第二信號之一峰值；及
 一感測放大器電路，其經組態以基於該峰值來自該記憶體單元讀取資料。

【第11項】

如請求項10之系統，其中
 該濾波器電路包括一高通濾波器電路，及
 該第一頻域高於該第一信號中之該濾波器電路之一截止頻率。

【第12項】

如請求項11之系統，其中該濾波器電路包含
 一第一電容元件，其具有電連接至該記憶體單元之一第一端子及電連接至該保持電路之一第二端子，及
 一電阻元件，其具有電連接至該第二端子之一第三端子及電連接至一第一電壓端子之一第四端子。

【第13項】

如請求項10之系統，其中
 該濾波器電路包括一主動高通濾波器電路，及
 該第二信號係具有高於該第一信號中之該濾波器電路之一截止頻率之該第一頻域的一信號且藉由放大該第一信號之一信號位準來獲得。

【第14項】

如請求項13之系統，其中該濾波器電路包含
 一電容元件，其具有電連接至該記憶體單元之一第一端子、及一二端子，
 一第一電阻元件，其具有電連接至該第二端子之一第三端子、及一

第四端子，

一運算放大器，其具有電連接至該第四端子之一第一輸入端子、電連接至一第二電壓端子之一第二輸入端子及電連接至該保持電路之一輸出端子，及

一第二電阻元件，其具有電連接至該第一輸入端子之一第五端子及電連接至該輸出端子之一第六端子。

【第15項】

如請求項10之系統，其中

該保持電路包含

一運算放大器，其具有電連接至該濾波器電路之一第一輸出端子之一第一輸入端子、電連接至一第一節點之一第二輸入端子、及一第二輸出端子，

一電容元件，其具有連接至該第一節點之一第一端子及連接至一第一電壓端子之一第二端子，

一開關元件，其具有電連接至該第一節點之一第三端子及電連接至一第二電壓端子之一第四端子，及

一電晶體，其具有電連接至該運算放大器之該第二輸出端子之一閘極、電連接至該第一節點之一第五端子及電連接至一第三電壓端子之一第六端子。

【第16項】

如請求項10之系統，其中

該保持電路基於該峰值來輸出一DC信號，及

該感測放大器電路使用該DC信號來讀取該資料。

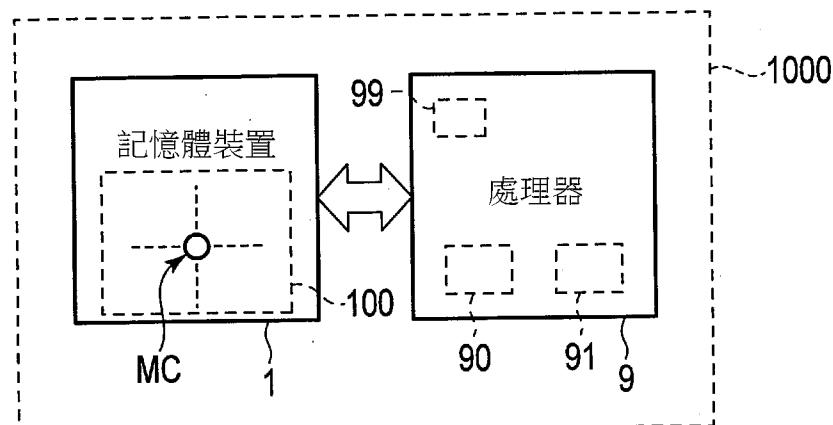
【第17項】

如請求項10之系統，其中該記憶體單元包含一可變電阻元件。

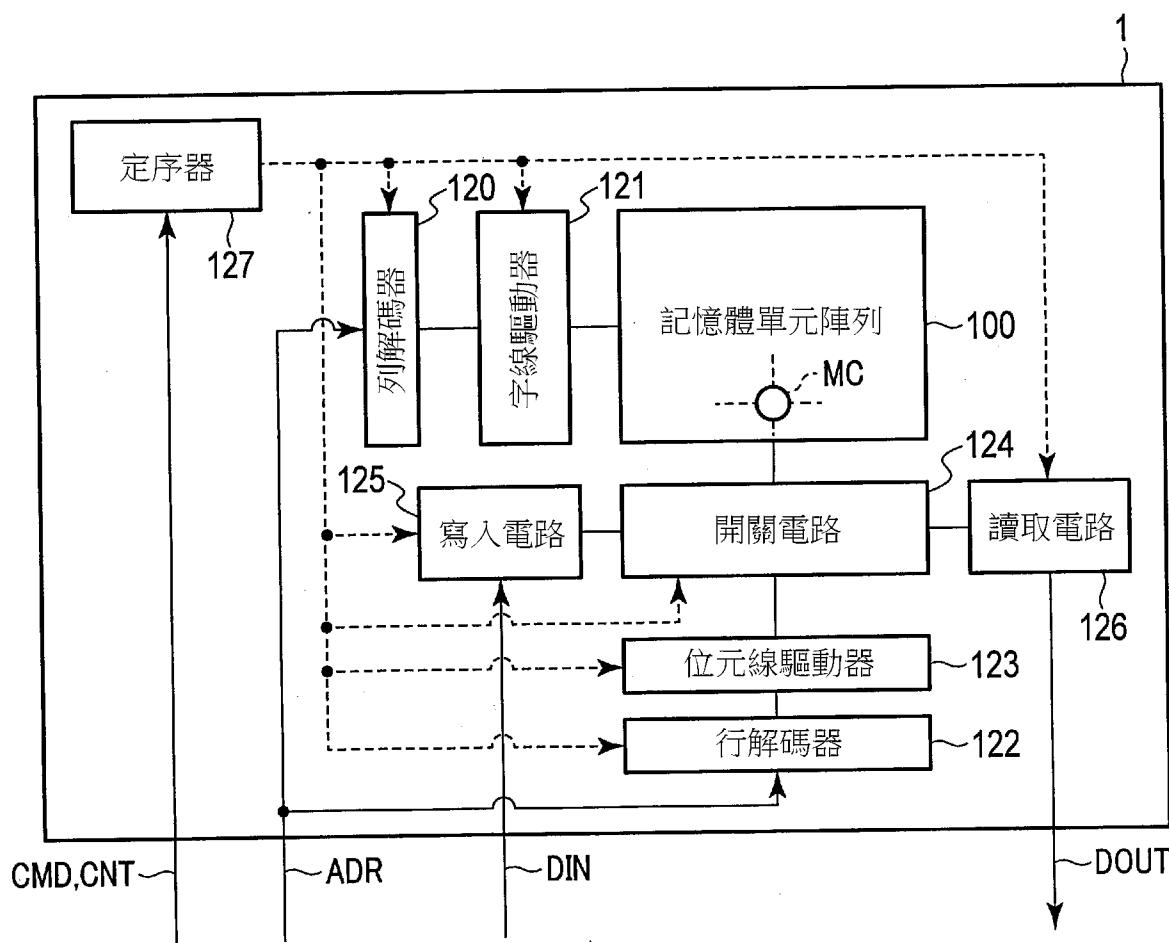
【第18項】

如請求項10之系統，其中該記憶體單元包含一磁阻效應元件。

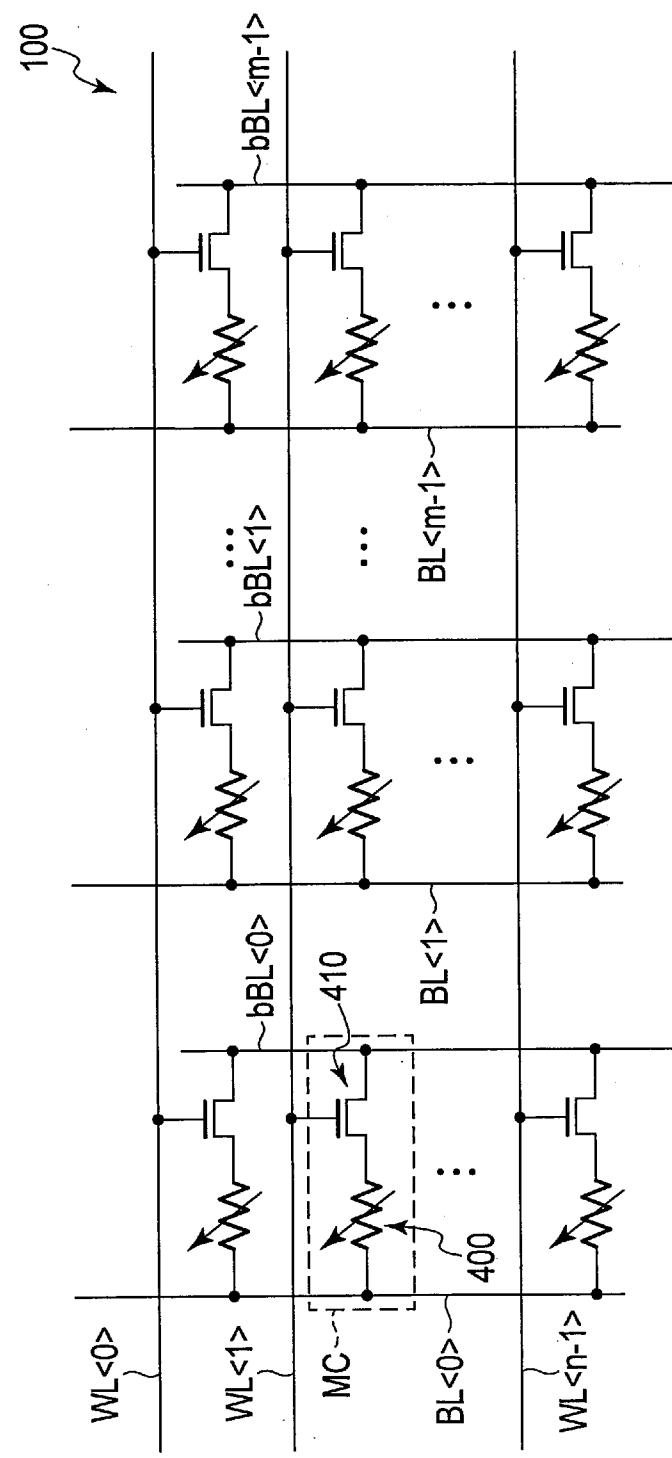
【發明圖式】



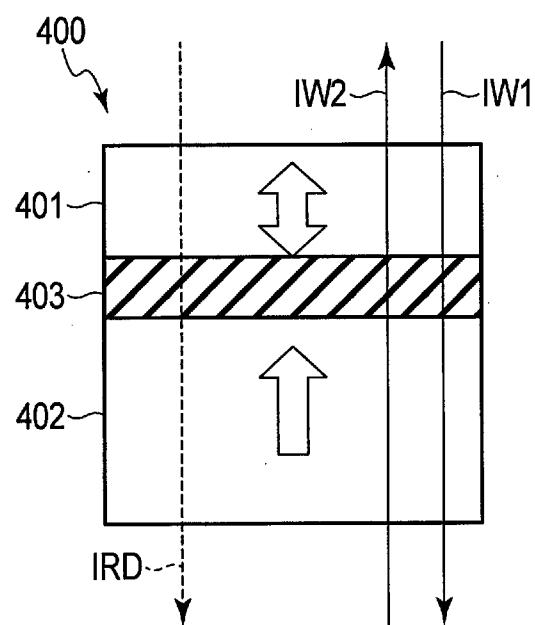
【圖1】



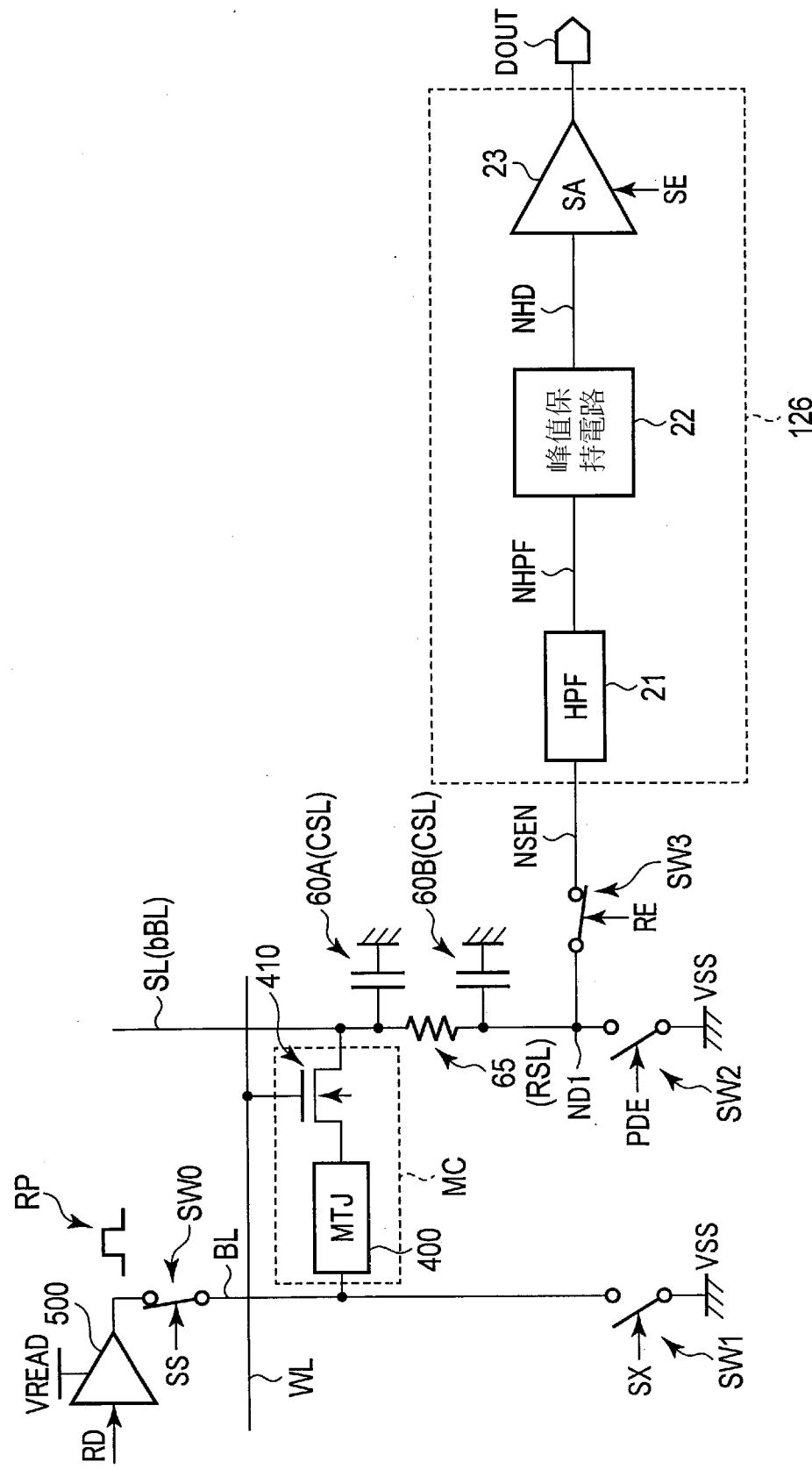
【圖2】



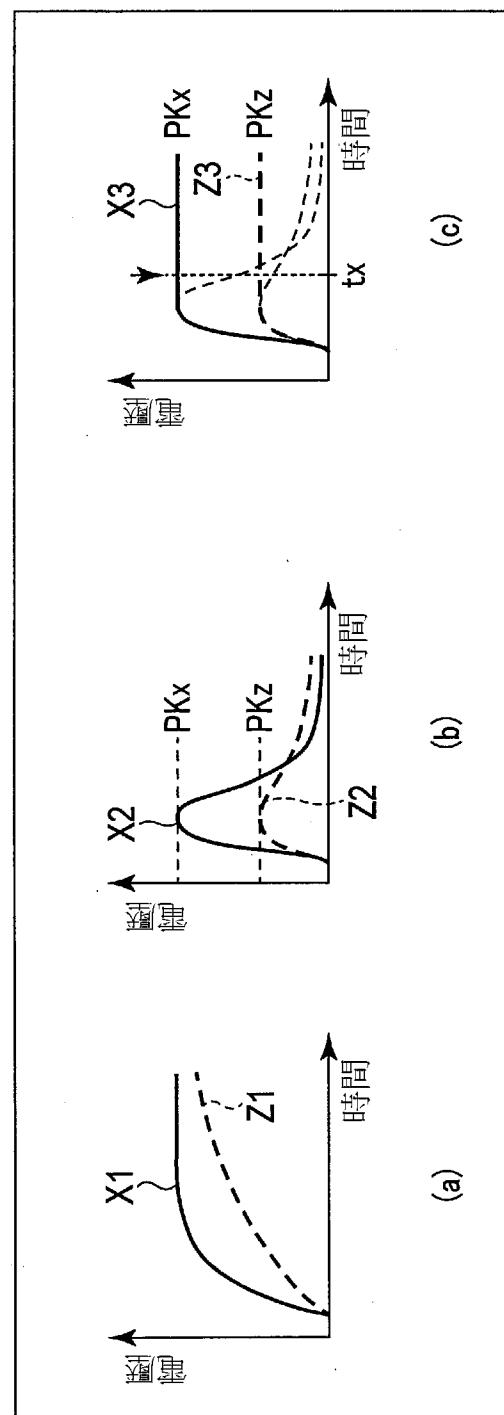
【圖3】



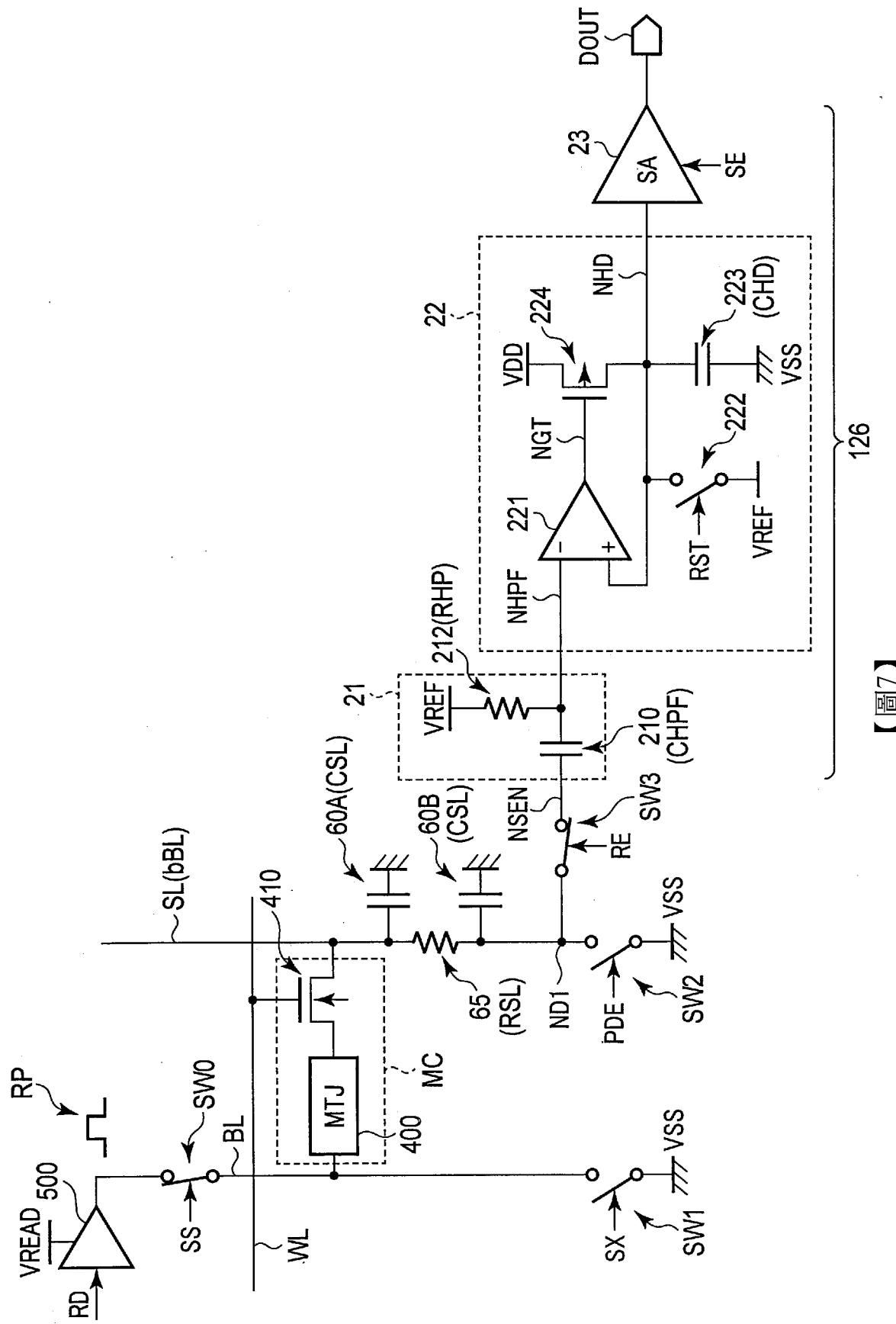
【圖4】

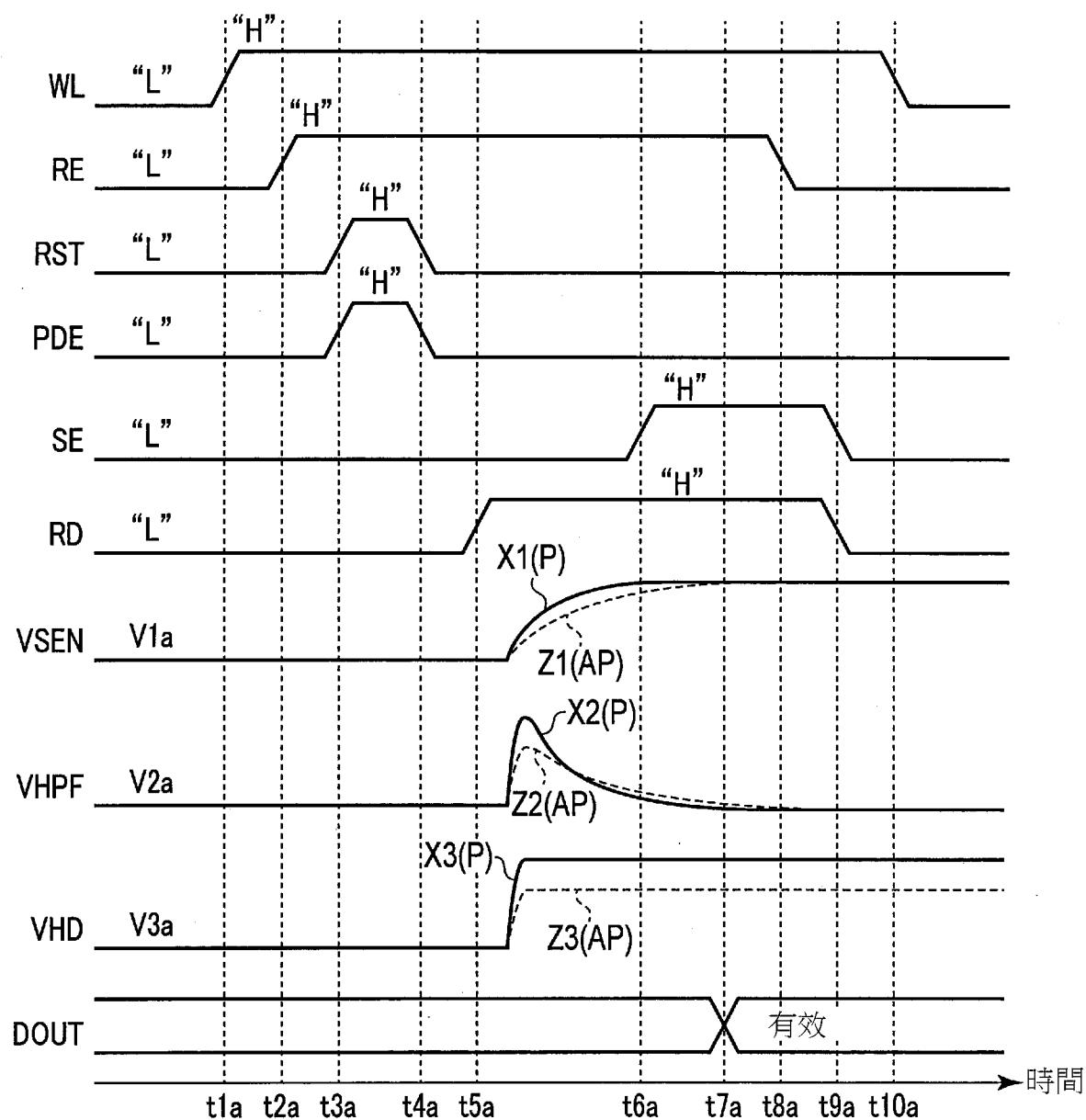


【圖5】

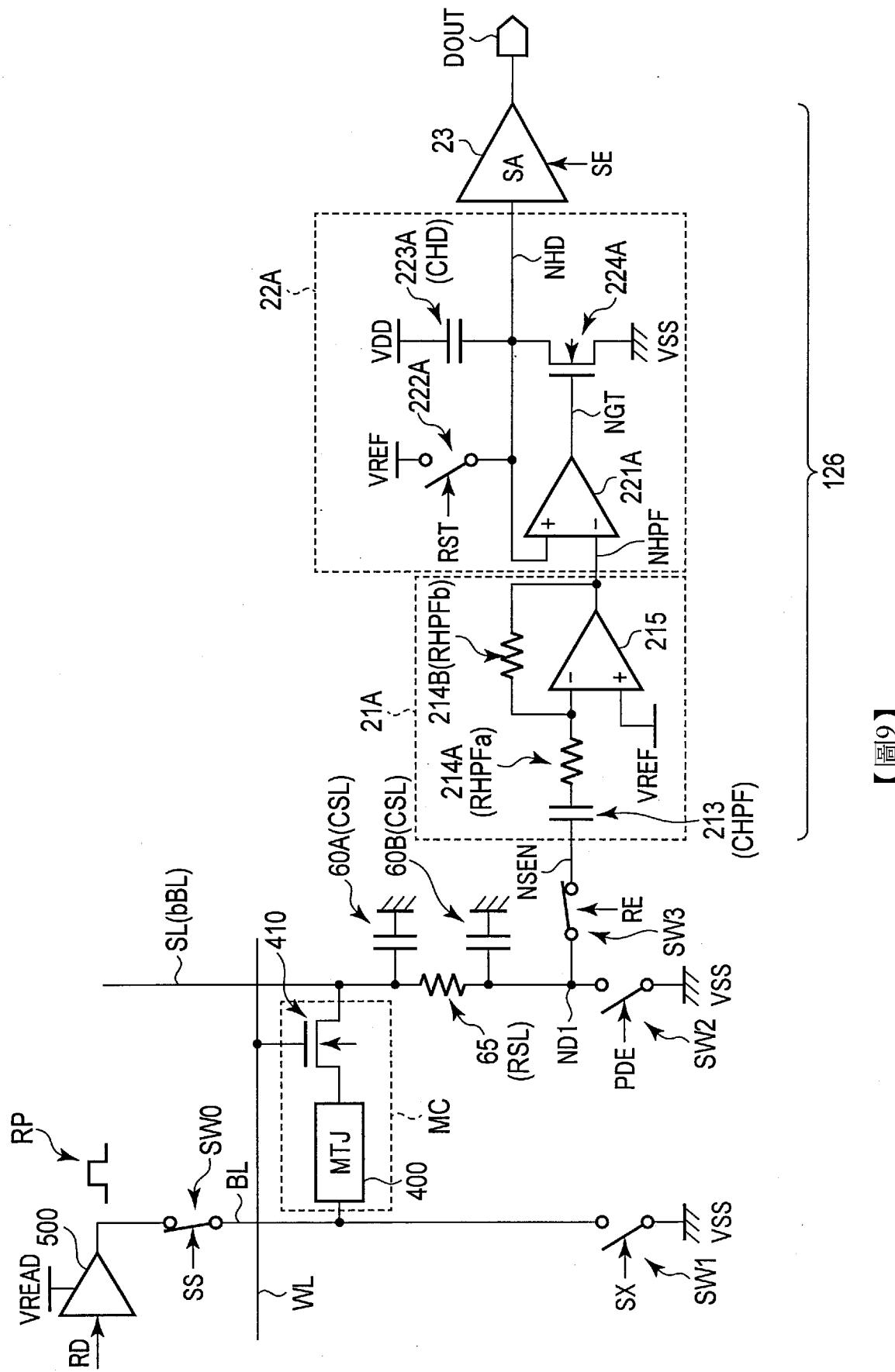


【圖6】

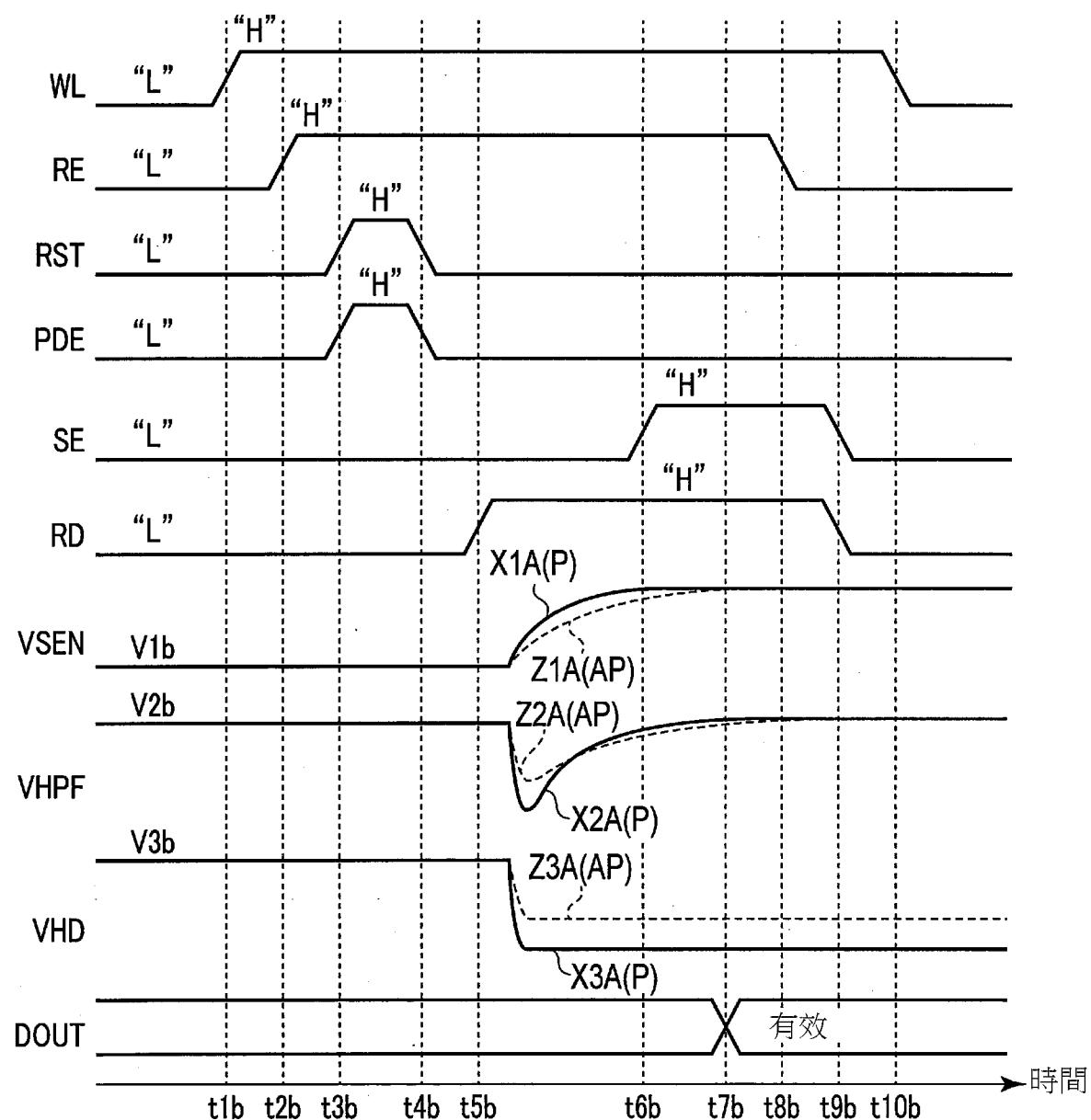




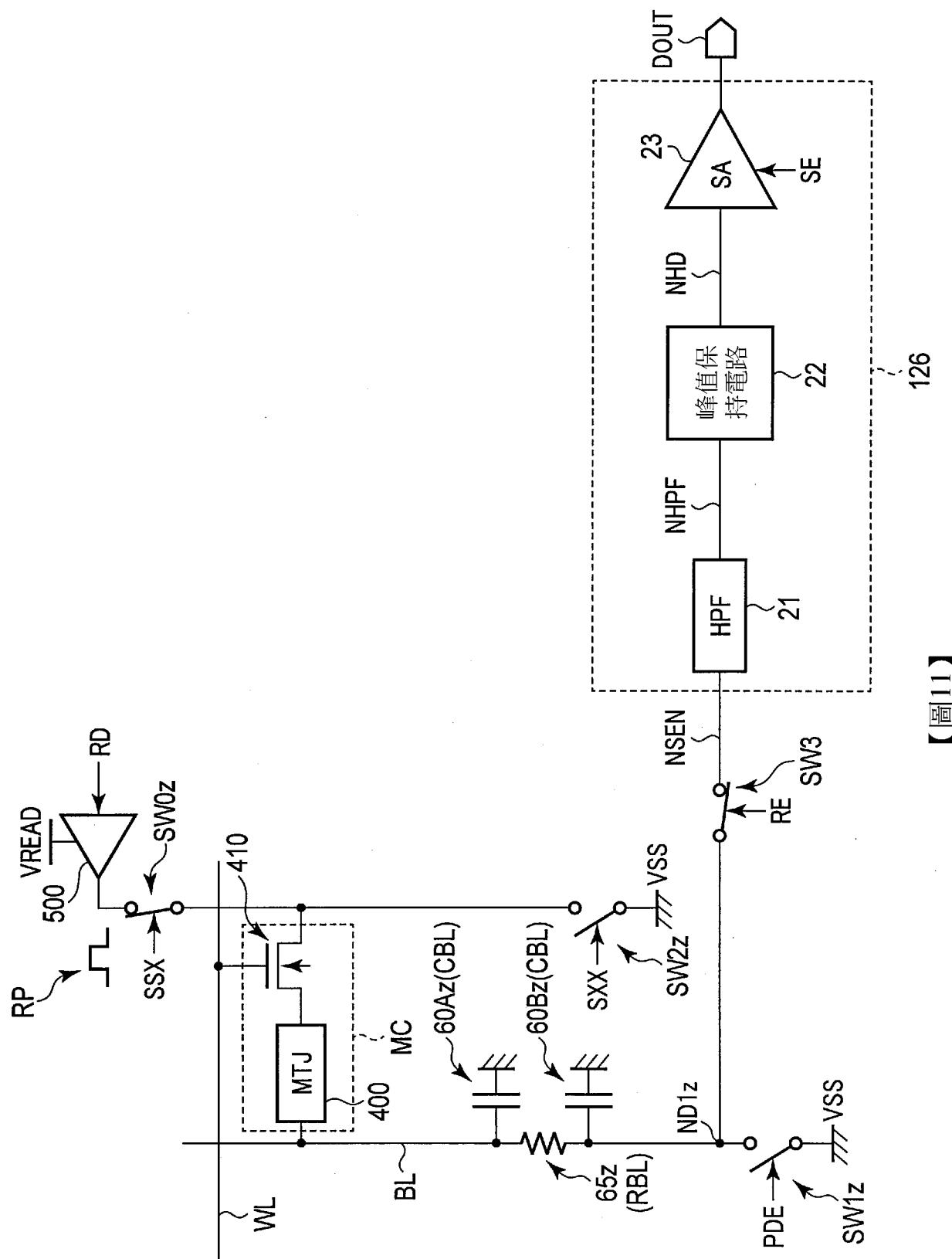
【圖8】



【圖9】



【圖10】



【圖11】

126



公告本

申請日：106/09/12

IPC 分類：**G11C 11/409** (2006.01)**G11C 7/06** (2006.01)

【發明摘要】

【中文發明名稱】

記憶體裝置及記憶體系統

【英文發明名稱】

MEMORY DEVICE AND MEMORY SYSTEM

【中文】

根據一實施例，一種記憶體裝置包含：一記憶體單元；一讀取驅動器，其經組態以在針對該記憶體單元之一讀取操作時將一讀取脈衝供應至該記憶體單元；一濾波器電路，其經組態以自一第一信號輸出一第一頻域中之一第二信號，該第一信號由該讀取脈衝自該記憶體單元輸出；一保持電路，其經組態以保持該第二信號之一峰值；及一感測放大器電路，其經組態以基於該峰值來自該記憶體單元讀取資料。

【英文】

According to one embodiment, a memory device includes: a memory cell; a read driver configured to supply a read pulse to the memory cell at the time of a read operation for the memory cell; a filter circuit configured to output a second signal in a first frequency domain from a first signal, the first signal being outputted from the memory cell by the read pulse; a hold circuit configured to hold a peak value of the second signal; and a sense amplifier circuit configured to read data from the memory cell based on the peak value.

【指定代表圖】

圖5

【代表圖之符號簡單說明】

21	高通濾波器電路
22	峰值保持電路
23	感測放大器電路
60A	電容
60B	電容
65	電阻
126	讀取電路
400	可變電阻元件/磁阻效應元件/磁性穿遂接面(MTJ)元件
410	單元電晶體
500	讀取驅動器
BL	位元線
bBL	位元線
CSL	電容值
DOUT	輸出信號/輸出資料/資料輸出端子
MC	記憶體單元
ND1	節點
NHD	節點
NHPF	節點
NSEN	節點
PDE	預放電啟用信號/控制信號
RD	控制信號
RE	控制信號/讀取啟用信號

RP	讀取脈衝
RSL	電阻值
SE	控制信號/感測啟用信號
SL	源極線
SS	控制信號
SW0	開關元件
SW1	開關元件
SW2	開關元件
SW3	開關元件
SX	控制信號
VREAD	電壓
VSS	接地電壓/接地端子
WL	字線

【發明說明書】

【中文發明名稱】

記憶體裝置及記憶體系統

【英文發明名稱】

MEMORY DEVICE AND MEMORY SYSTEM

【技術領域】

本文所描述之實施例大體上係關於一種記憶體裝置及一種記憶體系統。

【先前技術】

近年來，提出使一主記憶體及快取記憶體使用一電阻變化型記憶體作為替代一揮發性記憶體(例如一DRAM或SRAM)之一記憶體裝置。

關於電阻變化型記憶體之讀取操作，需要執行一高速操作且減少一讀出錯誤。

【發明內容】

一般而言，根據一實施例，一種記憶體裝置包含：一記憶體單元；一讀取驅動器，其經組態以在針對該記憶體單元之一讀取操作時將一讀取脈衝供應至該記憶體單元；一濾波器電路，其經組態以自一第一信號輸出一第一頻域中之一第二信號，該第一信號由該讀取脈衝自該記憶體單元輸出；一保持電路，其經組態以保持該第二信號之一峰值；及一感測放大器電路，其經組態以基於該峰值來自該記憶體單元讀取資料。

【圖式簡單說明】

圖1係展示根據一實施例之包含一記憶體裝置之一記憶體系統之組態之一實例的一方塊圖；

圖2係展示根據實施例之記憶體裝置之組態之一實例的一方塊圖；

圖3係展示根據實施例之記憶體裝置之組態之一實例的一等效電路圖；

圖4係展示根據實施例之記憶體裝置之記憶體元件之一實例的一視圖；

圖5係展示根據實施例之記憶體裝置之基本組態之一實例的一電路圖；

圖6(a)至(c)係用於闡釋根據實施例之記憶體裝置之基本組態的一視圖；

圖7係展示根據第一實施例之一記憶體裝置之組態之一實例的一電路圖；

圖8係展示根據第一實施例之記憶體裝置之操作之一實例的一時序圖；

圖9係展示根據第二實施例之一記憶體裝置之組態之一實例的一電路圖；

圖10係展示根據第二實施例之記憶體裝置之操作之一實例的一時序圖；及

圖11係展示根據實施例之記憶體裝置之一修改方案的一電路圖。

【實施方式】

[實施例]

將參考圖1、圖2、圖3、圖4、圖5、圖6、圖7、圖8、圖9、圖10及圖11來描述根據各實施例之一記憶體裝置。

在以下描述中，相同元件符號指示具有相同功能及組態之元件。在

以下實施例中，當無需區分由具有數字/字母作為區分後綴之元件符號指示之組成元件(例如字線WL、位元線BL、各種電壓及信號及其類似者)時，使用藉由省略此等數字/字母後綴來獲得之元件符號。

[A] 基本形式

將參考圖1、圖2、圖3、圖4、圖5及圖6來描述根據一實施例之一記憶體裝置之基本形式。

(1) 組態

將參考圖1、圖2、圖3、圖4及圖5來闡釋根據實施例之記憶體裝置之基本形式。

<總體組態>

圖1係用於闡釋根據此實施例之記憶體裝置之組態之一實例的一示意圖。

如圖1中所展示，將根據此實施例之一記憶體裝置1設置於一記憶體系統中。

記憶體系統包含記憶體裝置1及一處理器9。

處理器9執行計算處理。

例如，處理器9包含一記憶體控制器90、一CPU (計算電路) 91及一內部記憶體99。

記憶體控制器90引起記憶體裝置1執行各種指令(請求)。例如，回應於來自處理器9之請求，記憶體控制器90指示記憶體裝置1寫入資料。回應於來自處理器9之一請求，記憶體控制器90指示記憶體裝置1自記憶體裝置1讀取資料。

CPU 91執行各種計算程序。例如，CPU 91將給定計算處理之結果或

一程式之部分作為待寫入記憶體裝置1中之資料轉移至記憶體控制器90。

CPU 91使用自記憶體裝置1讀取之資料來執行計算處理。

內部記憶體99保存諸如記憶體裝置1之管理表及存取歷史之各種資訊。內部記憶體99可暫時保存在記憶體控制器90與記憶體裝置1之間轉移的資料。內部記憶體99可暫時保存資料及待用於計算處理之一程式、計算處理之結果及其類似者。

記憶體裝置1包含用於保存資料之一記憶體區域。該記憶體區域包含一記憶體單元陣列100。複數個記憶體單元MC設置於記憶體單元陣列100中。

記憶體裝置1基於來自處理器9(記憶體控制器90)之指令來執行諸如一資料寫入操作及一資料讀取操作之各種操作。

<記憶體裝置之內部組態>

將參考圖2來描述根據此實施例之記憶體裝置之內部組態。

記憶體裝置1自處理器9接收一命令CMD、一位址ADR、輸入資料DIN及各種控制信號CNT。記憶體裝置1將輸出資料DOUT發送至記憶體控制器90或處理器9。

記憶體1包含至少記憶體單元陣列100、一列解碼器120、一字線驅動器(列控制電路)121、一行解碼器122、一位元線驅動器(行控制電路)123、一開關電路124、一寫入電路(寫入控制電路)125、一讀取電路(讀取控制電路)126及一定序器127。

記憶體單元陣列100包含複數個記憶體單元MC。

列解碼器120解碼包含於位址ADR中之一列位址。

字線驅動器121基於列位址之解碼結果來選擇記憶體單元陣列100之

一列(例如一字線)。字線驅動器121可將一預定電壓供應至字線。

行解碼器122解碼包含於位址ADR中之一行位址。

位元線驅動器123基於行位址之解碼結果來選擇記憶體單元陣列100之一行(例如一位元線)。位元線驅動器123經由開關電路124來連接至記憶體單元陣列100。位元線驅動器123可將一預定電壓供應至位元線。

開關電路124將寫入電路125及讀取電路126之一者連接至記憶體單元陣列100及位元線驅動器123。此引起MRAM 1執行對應於命令之一操作。

在一寫入操作時，寫入電路125將用於寫入資料之各種電壓及電流供應至基於位址ADR所選擇之單元。例如，將資料DIN供應至開關電路124作為待寫入記憶體單元陣列100中之資料。此引起寫入電路125將資料DIN寫入記憶體單元MC中。寫入電路125包含(例如)一寫入驅動器/接受器。

在一讀取操作時，讀取電路126將用於讀取資料之各種電壓或電流供應至基於位址ADR所選擇之記憶體單元(選定單元)。此讀取儲存於記憶體單元MC中之資料。

讀取電路126將自記憶體單元陣列100讀取之資料作為輸出資料DO_{UT}輸出至電阻變化型記憶體1之外部。

讀取電路126包含(例如)一讀取驅動器及一感測放大器電路。稍後將詳細描述讀取電路126。

定序器127接收命令CMD及各種控制信號CNT。定序器127基於命令CMD及控制信號CNT來控制記憶體裝置1中之各自電路120至126之操作。根據記憶體裝置1中之操作狀態，定序器127可將控制信號CNT傳輸至記憶體控制器90。

例如，定序器127將關於寫入操作及讀取操作之各種資訊保存為設定資訊。

應注意，各種信號可經由與記憶體裝置1之晶片(封裝)分開設置之一介面電路來供應至記憶體裝置1中之一預定電路，或自記憶體裝置1中之一輸入/輸出電路(圖中未展示)供應至各自電路120至127。

例如，根據此實施例之記憶體裝置1係一電阻變化型記憶體。電阻變化型記憶體1使用一可變電阻元件(電阻變化型記憶體元件)作為記憶體單元MC中之一記憶體元件。

<記憶體單元陣列之內部組態>

圖3係展示根據此實施例之電阻變化型記憶體之記憶體單元陣列之內部組態之一實例的一等效電路圖。

如圖3中所展示，複數個(n個)字線WL (WL<0>、WL<1>、...、WL<n-1>)設置於記憶體單元陣列100中。複數個(m個)位元線BL (BL<0>、BL<1>、...、BL<m-1>)及複數個(m個)位元線bBL (bBL<0>、bBL<1>、...、bBL<m-1>)設置於記憶體單元陣列100中。一個位元線BL及一個位元線bBL形成一對位元線。為澄清描述起見，位元線bBL在下文中可指稱一源極線。

複數個記憶體單元MC在記憶體單元陣列100中配置成一矩陣。

排列於x方向(列方向)上之複數個記憶體單元MC連接至共同字線WL。字線WL連接至字線驅動器121。字線驅動器121基於列位址來控制字線WL之電位。藉此，選擇及啟動由列位址指示之字線WL (列)。

排列於y方向(行方向)上之複數個記憶體單元MC共同連接至屬於一對位元線之兩個位元線BL及bBL。位元線BL及bBL經由開關電路124來連

接至位元線驅動器123。

開關電路124將對應於行位址之位元線BL及bBL連接至位元線驅動器123。位元線驅動器123控制位元線BL及bBL之電位。藉此，選擇及啟動由行位址指示之位元線BL及bBL(行)。

開關電路124根據對記憶體單元MC所請求之一操作來將選定位元線BL及bBL連接至寫入電路125或讀取電路126。

例如，各記憶體單元MC包含一可變電阻元件400及一單元電晶體410。可變電阻元件400充當一記憶體元件。單元電晶體410充當記憶體單元MC之選擇元件。

可變電阻元件400之一端連接至位元線BL。可變電阻元件400之另一端連接至單元電晶體410之一端(源極/汲極之一者)。單元電晶體410之另一端(源極/汲極之另一者)連接至位元線bBL。字線WL連接至單元電晶體410之閘極。

各記憶體單元MC可包含兩個或兩個以上可變電阻元件400且包含兩個或兩個以上單元電晶體410。

記憶體單元陣列100可具有一階層式位元線結構。在此情況中，將複數個全域位元線設置於記憶體單元陣列100中。各位元線BL經由一對應開關元件來連接至一全域位元線。各位元線bBL經由一對應開關元件來連接至另一全域位元線。全域位元線經由開關電路124來連接至寫入電路125及讀取電路126。

當將一給定量值之一電壓或電流供應至可變電阻元件400時，可變電阻元件400之電阻狀態改變。此允許可變電阻元件400呈現複數個電阻狀態(電阻值)。一或多個位元之資料與可由可變電阻元件400呈現之複數個

電阻狀態相關聯。依此方式，可變電阻元件400用作為一記憶體元件。

可變電阻元件400之電阻狀態是否因供應一電壓或電流而改變取決於可變電阻元件400之類型或特性。

在此實施例中，電阻變化型記憶體1係(例如)一MRAM (磁阻隨機存取記憶體)。在MRAM 1中，一磁阻效應元件用作為可變電阻元件(記憶體元件) 400。

<記憶體元件之基本操作>

將參考圖4來描述作為一記憶體元件之磁阻效應元件之操作原理。

如圖4中所展示，磁阻效應元件400包含至少兩個磁性層401及402及一非磁性層403。

兩個磁性層401及402之各者具有磁化。磁性層401之磁化方向係可變的。磁性層402之磁化方向係不可變的(固定狀態)。

在此實施例中，其中磁化方向可變之磁性層401在下文中將指稱儲存層401，且其中磁化方向不可變之磁性層402在下文中將指稱參考層402。

應注意，在此實施例中，參考層之磁化方向係可變之事實意謂：若供應用於改變儲存層之磁化方向之一電流或電壓，則參考層之磁化方向保持不因供應電流或電壓而改變。

非磁性層403設置於兩個磁性層401與402之間。非磁性層403充當穿遂障壁層403。例如，穿遂障壁層403係含有氧化鎂之一絕緣層。

例如，兩個磁性層401及402及穿遂障壁層403形成一磁性穿遂接面。在此實施例中，包含磁性穿遂接面之磁阻效應元件400在下文中將指稱MTJ元件400。

例如，磁性層401及402具有垂直磁各向異性。磁性層401及402之磁

化方向(易磁化軸)實質上垂直於其層表面。磁性層401及402之磁化方向實質上平行於複數個層401、402及403之堆疊方向。使用磁性層及其類似者之界面磁各向異性來產生磁性層401及402之垂直磁各向異性。使用磁性層之垂直磁各向異性之MTJ元件被稱為一垂直磁化型MTJ元件。

MTJ元件(磁阻效應元件) 400之電阻狀態根據儲存層401之磁化方向與參考層402之磁化方向之間的相對關係(磁化對準)來改變。

若儲存層401之磁化方向相同於參考層402之磁化方向，則MTJ元件400具有第一電阻狀態(第一磁化對準狀態)。

若儲存層401之磁化方向與參考層402之磁化方向相反，則MTJ元件400具有第二電阻狀態(第二磁化對準狀態)。具有第二電阻狀態之MTJ元件400之一電阻值 R_{ap} 高於具有第一電阻狀態之MTJ元件400之一電阻值 R_p 。

如上文所描述，MTJ元件400可根據兩個磁性層401及402之磁化對準來呈現低電阻狀態及高電阻狀態之一者。

例如，MTJ元件400保存1位元資料(「0」資料及「1」資料)。在此情況中，當將MTJ元件400之電阻狀態設定為第一電阻狀態時，將記憶體單元MC設定為第一資料保存狀態(例如「0」資料保存狀態)。當將MTJ元件400之電阻狀態設定為第二電阻狀態時，將記憶體單元MC設定為第二資料保存狀態(例如「1」資料保存狀態)。

在此實施例中，其中MTJ元件400中之儲存層401之磁化方向相同於參考層402之磁化方向的磁化對準狀態在下文中將指稱一平行狀態(或P狀態)。其中MTJ元件400中之儲存層401之磁化方向與參考層402之磁化方向相反的磁化對準狀態在下文中將指稱一反平行狀態(或AP狀態)。

例如，使用一自旋轉移磁化切換方法來將資料寫入MTJ元件400中。自旋轉移磁化切換方法係藉由一寫入電流IW1或IW2在MTJ元件400中流動時所產生之自旋力矩來控制儲存層401之磁化方向的一寫入方法。

若MTJ元件400之磁化對準狀態自AP狀態改變為P狀態，則將自儲存層401流動至參考層402之寫入電流IW1供應至MTJ元件400。

在此情況中，將在相同於參考層402之磁化方向之方向上具有一自旋之電子之自旋力矩施加於儲存層401之磁化。

若儲存層401之磁化方向與參考層402之磁化方向相反，則藉由所施加之自旋力矩來將儲存層401之磁化方向設定為相同於參考層402之磁化方向之方向。

因此，將MTJ元件400設定為P狀態。依此方式，將「0」資料寫入記憶體單元MC中。

應注意，若將寫入電流IW1供應至呈P狀態之MTJ元件400，則儲存層401之磁化方向保持不變。因此，使MTJ元件400維持P狀態。

若MTJ元件400之磁化對準狀態自P狀態改變為AP狀態，則將自參考層402流動至儲存層401之寫入電流IW2供應至MTJ元件400。

在此情況中，將在與參考層402之磁化方向相反之一方向上具有一自旋之電子之自旋力矩施加於儲存層401之磁化。

若儲存層401之磁化方向相同於參考層402之磁化方向，則藉由所施加之自旋力矩來將儲存層401之磁化方向設定為與參考層402之磁化方向相反之方向。

因此，將MTJ元件400設定為AP狀態。依此方式，將「1」資料寫入記憶體單元MC中。

應注意，若將寫入電流IW2供應至呈AP狀態之MTJ元件400，則儲存層401之磁化方向保持不變。因此，使MTJ元件400維持AP狀態。

當自MTJ元件400讀取資料(判定MTJ元件400之電阻狀態)時，一讀取電流IRD在MTJ元件400中流動。讀取電流IRD之電流值小於儲存層401之磁化切換臨限值。

基於一感測結果(諸如讀取電流IRD之電流值、由讀取電流IRD引起之一給定節點之電位之一波動或藉由讀取電流IRD之電荷累積量)來執行一資料讀取操作。

例如，自呈高電阻狀態(AP狀態)之MTJ元件400輸出之讀取電流IRD之電流值小於自呈低電阻狀態(P狀態)之MTJ元件400輸出之讀取電流IRD之電流值。

基於電流IRD之一波動連同MTJ元件400之電阻狀態之一差異來判定保存於MTJ元件400中之資料。

<讀取電路之組態之實例>

圖5係用於闡釋根據此實施例之MRAM中之讀取電路之基本組態的一電路圖。

圖5除展示讀取電路126之外，亦適當展示資料讀取時所使用之其他電路。為簡單起見，圖5展示一記憶體單元(在下文中指稱一選定單元)作為自記憶體單元陣列100中之複數個記憶體單元MC提取之一操作目標。

如圖5中所展示，在資料讀取時，經由一開關元件SW0來將一讀取驅動器500連接至位元線BL。將一電壓VREAD供應至讀取驅動器500作為一驅動電壓(電源供應電壓)。

在資料讀取時，讀取驅動器500根據一控制信號RD來將一讀取脈衝

RP供應至位元線BL。根據應用於一讀取操作之一資料讀取方法，讀取脈衝RP可為一電流脈衝或一電壓脈衝。讀取脈衝RP係(例如)一方波(矩形電壓脈衝或電流脈衝)。

應注意，讀取驅動器500可為位元線驅動器123之一組件或讀取電路126之一組件。

開關元件SW0控制位元線BL與讀取驅動器500之間的電連接。一控制信號SS用於控制開關元件SW0之接通/切斷。在讀取操作時，基於一選定位址來將開關元件SW0設定為一接通狀態。

例如，一開關元件SW1連接至位元線BL。一開關元件SW2連接至一源極線SL。開關元件SW1或SW2控制位元線BL或源極線SL與被施加一接地電壓VSS之一端子(互連件)之間的連接。被施加接地電壓VSS之端子在下文中將指稱一接地端子VSS。

一控制信號SX用於控制開關元件SW1之接通/切斷。一控制信號(在下文中亦指稱(例如)一預放電啟用信號) PDE用於控制開關元件SW2之接通/切斷。

分別根據位元線BL及源極線SL之充電/放電之控制來將開關元件SW1及SW2設定為一接通或切斷狀態。

應注意，開關元件SW0、SW1及SW2可為讀取電路126之組件或開關電路124之組件。

例如，電容60A及60B及一電阻65連接至源極線SL。

電容60A及60B之各者之一端連接至源極線SL。電容60A及60B之各者之另一端連接至接地端子VSS。電容60A具有一電容值CSL。電容60B具有電容值CSL。

電阻65之一端連接至電容60A之一端。電阻65之另一端連接至電容60B之另一端。電阻65具有一電阻值RSL。例如，電容60A及60B係包含於源極線SL中之電容組件(寄生電容)。電阻65係包含於源極線SL中之一電阻組件(寄生電阻)。應注意，圖5僅展示源極線SL之寄生組件，但位元線BL亦包含一電阻組件及電容組件。

例如，使由來自選定單元之一輸出(電壓或電流)產生之電荷累積於電容60A及60B中。將源極線SL之電荷波形供應至讀取電路126作為選定單元之輸出信號。

一開關元件SW3連接於讀取電路126與源極線SL之間。開關元件SW3之一端連接至源極線SL之一節點ND1。開關元件SW3之另一端連接至讀取電路126之輸入端子(一節點NSEN)。一控制信號(在下文中亦指稱(例如)一讀取啟用信號) RE用於控制開關元件SW3之接通/切斷。讀取電路126與源極線SL之間的電連接由開關元件SW3之接通/切斷控制。

開關元件SW3可為讀取電路126之一組件或開關電路124之一組件。

讀取電路126經由開關元件SW3來連接至源極線SL。

在根據此實施例之MRAM中，讀取電路126包含一濾波器電路21、一保持電路(取樣電路) 22及一感測放大器電路23。

濾波器電路21之輸入端子經由節點NSEN及開關元件SW3來連接至源極線SL之節點ND1。濾波器電路21之輸出端子經由一節點NHPF來連接至峰值保持電路22之輸入端子。

保持電路22之輸出端子經由一節點NHD來連接至感測放大器電路23之輸入端子。

感測放大器電路23之輸出端子連接至用於輸出資料DOUT之一端

子。資料DOUT之輸出端子在下文中將亦指稱一資料輸出端子DOUT。

將一控制信號(在下文中亦指稱(例如)一感測啟用信號) SE供應至感測放大器電路23之控制端子。控制信號SE用於控制感測放大器電路23之操作。

濾波器電路21自輸出至源極線SL之選定單元MC之輸出信號提取一給定頻率分量之一信號(或自選定單元MC之輸出信號產生之一信號)。

例如，濾波器電路21充當一高通濾波器。在此情況中，濾波器電路21使所供應之信號之一高頻分量通過。將已通過濾波器電路21之信號供應至一後續級之一電路(在此實例中為保持電路22)。

充當一高通濾波器之濾波器電路21在下文中將亦指稱高通濾波器電路21。記憶體單元MC之輸出信號及記憶體單元MC之輸出信號在其上反映之互連件(節點)上之一信號在下文中將亦指稱單元信號。

保持電路22取樣濾波器電路21之輸出信號且保持一取樣值。保持電路22在信號之一取樣時期期間偵測濾波器電路21之輸出信號之最大值(或最小值)，且保持所偵測之值(取樣值)。保持電路22將所偵測之最大值(或最小值)輸出至感測放大器電路23。

在此實施例中，保持電路22在下文中將亦指稱峰值保持電路22。

感測放大器電路23基於保持電路22之輸出信號來判定選定單元MC中之資料。將感測放大器電路23之輸出信號輸出為選定單元MC中之資料。

應注意，根據應用於MRAM 1之一讀取方法(例如選自一DC方法、一參考單元方法、一自參考方法及其類似者之至少一方法)來適當改變感測放大器電路23之內部組態。

例如，在採用DC方法之一讀取操作中，感測放大器電路23比較保持

電路22之輸出電壓與一給定參考電壓(DC電壓)。在此情況中，將來自保持電路22之輸出供應至感測放大器電路23之一輸入端子，且將DC電壓供應至感測放大器電路23之另一輸入端子。

例如，在採用參考單元方法之一讀取操作中，感測放大器電路23比較保持電路22之輸出電壓與參考單元之輸出電壓。在此情況中，將來自保持電路22之輸出供應至感測放大器電路23之一輸入端子，且將參考單元之輸出電壓供應至感測放大器電路23之另一輸入端子。

例如，在採用自參考方法之一讀取操作中，感測放大器電路23比較將給定參考資料寫入選定單元中之前的保持電路22之輸出電壓與將給定參考資料寫入選定單元中之後的保持電路22之輸出電壓。例如，在將採用自參考方法之讀取操作應用於其之MRAM之感測放大器電路23中，在寫入參考資料之前保持保持電路22之輸出電壓之一電容元件連接至感測放大器電路23之一輸入端子，且在寫入參考資料之後保持保持電路22之輸出電壓之一電容元件連接至感測放大器電路23之另一輸入端子。

(2) 操作及效應

將參考圖6來描述根據此實施例之電阻變化型記憶體之操作及效應。

在電阻變化型記憶體之讀取操作時，讀取驅動器將讀取脈衝供應至位元線(或源極線)。讀取脈衝係接近於一方波之一電壓脈衝(或電流脈衝)。

當考量讀取脈衝之頻域時，讀取脈衝包含諸多頻率分量。

讀取脈衝受記憶體元件之電阻值及由自讀取驅動器經由選定單元而至感測放大器電路之路徑中之位元線/源極線之寄生組件(寄生電阻及寄生電容)產生之一阻抗影響。

讀取脈衝之高頻域側上之分量趨向於歸因於讀取驅動器與感測放大器電路之間的阻抗之影響而衰減。讀取脈衝之衰減使讀取脈衝之電壓波形成為其中方波之轉角係鈍角之一形狀(其中一給定角形成於各轉角處之一形狀或其中各轉角被修圓之一形狀)。

在讀取脈衝之傳播期間衰減之一頻率分量及其衰減因數趨向於取決於包含於讀取脈衝之信號路徑上之阻抗中之記憶體元件之電阻值而大幅改變。

因此，在電阻變化型記憶體之讀取操作時，若可基於單元信號之所提取之高頻分量來判定呈低電阻狀態之記憶體元件中之讀取脈衝之高頻分量之量值與呈高電阻狀態之記憶體元件中之讀取脈衝之高頻分量之量值之間的差異，則電阻變化型記憶體可執行一高準確度讀取操作。

如上文所描述，在根據此實施例之電阻變化型記憶體(例如一MRAM)中，讀取電路126包含高通濾波器電路21及峰值保持電路22。高通濾波器電路21及峰值保持電路22連接於讀取驅動器500與感測放大器電路23之間。

在此實施例中，高通濾波器電路21自選定單元提取信號之一高頻分量。

峰值保持電路22偵測來自高通濾波器電路21之輸出信號之峰值(單元信號之高頻分量)，且保持峰值。峰值保持電路22將所保持之峰值輸出至感測放大器電路23作為一輸出信號。因此，將包含於單元信號中之高頻分量轉換為一DC信號。

感測放大器電路23使用來自峰值保持電路22之信號來判定選定單元中之資料。

圖6係展示根據此實施例之電阻變化型記憶體之讀取操作時之來自讀取電路中之信號路徑上之記憶體單元之信號之狀態的一視圖。

圖6之(a)、(b)及(c)之各者展示讀取電路126之各節點中之電壓值之一時間變化。在圖6之(a)、(b)及(c)中，各圖之橫座標表示時間且各圖之總座標表示電壓值。

在圖6中，(a)展示將信號自選定單元輸入至其之節點NSEN之電位VSEN之一時間變化。在圖6中，(b)展示高通濾波器電路21與峰值保持電路22之間的節點NHPF之電位(高通濾波器電路21之輸出信號) VHPF之一時間變化。在圖6中，(c)展示峰值保持電路22與感測放大器電路23之間的節點NHD之電位(峰值保持電路22之輸出信號) VHD之一時間變化。

在圖6之(a)、(b)及(c)中，線(波形) X1、X2及X3分別表示MTJ元件400之磁化對準狀態係P狀態時之各自節點之電位之時間變化。線(波形) Z1、Z2及Z3分別表示MTJ元件400之磁化對準狀態係AP狀態時之各自節點之電位之時間變化。

在根據此實施例之MRAM之讀取操作時，自讀取驅動器500供應之讀取脈衝RP引起選定單元MC將對應於MTJ元件之電阻狀態之一輸出信號(電流或電位)輸出至源極線SL。根據MTJ元件之電阻狀態，選定單元輸出對應於呈P狀態之MTJ元件之電阻值Rp的一波形信號或對應於呈AP狀態之MTJ元件之電阻值Rap的一波形信號。

如圖6之(a)中所展示，將單元信號(來自選定單元MC之輸出信號或源極線SL之電荷電位)供應至節點NSEN。

如由圖6之(a)中之線X1及Z1所指示，節點NSEN之電位根據選定單元MC中之MTJ元件400之磁化對準狀態(電阻狀態)來改變。

單元信號由呈P狀態之MTJ元件400供應時之節點NSEN之電位(線X1)高於單元信號由呈AP狀態之MTJ元件400供應時之節點NSEN之電位(線Z1)。

由呈P狀態之MTJ元件400之單元信號引起之節點NSEN之電位之時間變化比由呈AP狀態之MTJ元件400之單元信號引起之節點NSEN之電位之時間變化劇烈。

應注意，在一電荷累積型讀取方法中，若將選定單元MC之輸出信號供應至讀取電路126，則將累積於源極線SL(或位元線BL)之電容60A及60B中之電荷供應至節點NSEN。將對應於累積於源極線SL之電容60A及60B中之電荷量的一電位反映於節點NSEN之電位上。

在根據此實施例之電阻變化型記憶體之讀取電路中，高通濾波器電路21在施加讀取脈衝時提取單元信號之高頻分量(例如位元線BL及源極線SL之電荷波形)。

當節點NSEN之電位VSEN通過高通濾波器電路21時，僅包含於單元信號中之一高頻分量通過。此引起高通濾波器電路21輸出高於一給定頻率之一高頻域中之一信號(電壓)。

如圖6之(b)中所展示，在電荷累積型讀取方法中，節點NHPF之電位(高通濾波器電路之輸出波形)VHPF具有其中線(波形)X2及Z2之給定部分(例如中心部分)較高之一山形(凸形)波形。

例如，節點NHPF之電位VHPF在時間ta處具有包含於單元信號中之高頻分量之電位之峰值PK_x及PK_z。

對應於呈P狀態之MTJ元件400之節點NHPF之電位(峰值)PK_x高於對應於呈AP狀態之MTJ元件400之節點NHPF之電位(峰值)PK_z。

基於節點NSEN中之高頻分量之電位之量值來判定節點NHPF之電位VHPF之峰值PKx及PKz。將MTJ元件400之電阻值、位元線/源極線之寄生電阻及位元線/源極線之寄生電容之量值反映於單元信號之高頻分量之電位上。

不管MTJ元件之磁化對準狀態是否為P狀態或AP狀態，位元線/源極線之寄生電阻及寄生電容之量值係實質上恆定的。

因此，峰值PKx及PKz之量值取決於MTJ元件400之電阻值(磁化對準狀態)來改變。

峰值保持電路22在節點NHPF中偵測(取樣)包含於來自選定單元之信號中之高頻分量之峰值(例如最大電位) PKx及PKz，且保持峰值PKx及PKz。

如圖6之(c)中所展示，峰值保持電路22將呈其中維持所保持之峰值PKx或PKz之一狀態之信號作為輸出信號VHD輸出至感測放大器電路23。

就此組態而言，在根據此實施例之MRAM中，讀取電路126可將包含於來自選定單元MC之信號中之高頻分量之峰值轉換為一DC信號。

當圖6之(a)及(c)彼此比較時，波形X3與Z3之間的電位差大於波形X1與Z1之間的電位差。

單元信號之高頻分量之DC轉換允許此實施例之MRAM使一讀取邊限較大。

將DC轉換之後之單元信號中之高頻分量之值輸入至感測放大器電路23。

感測放大器電路23在時間tx處感測節點NHD之電位VHD。

感測放大器電路23使用所感測之電位VHD來判定選定單元中之資

料。感測放大器電路23基於一判定結果來輸出一信號。

將來自感測放大器電路23之輸出信號DOUT轉移至記憶體控制器90(及處理器9)作為自選定單元MC讀取之資料DOUT。

若電阻變化型記憶體用作為DRAM或SRAM之一替代，則需要執行一高速讀取操作。

在一般電阻變化型記憶體中，記憶體元件之電阻值之一變動會增加讀取錯誤且減小讀取操作之速度。

例如，基於MTJ元件之特性，MRAM具有MTJ元件之高電阻狀態與MTJ元件之低電阻狀態之間的一低電阻比(MR比)。製造變動連同元件之小型化會使MRAM難以在維持一高速操作時確保一足夠操作邊限。

根據應用於電阻變化型記憶體之讀取操作之讀取方法，難以控制信號之感測時序，且讀取邊限可歸因於感測時序之一移位而減小。

充當根據此實施例之記憶體裝置之電阻變化型記憶體自來自選定單元之信號提取一高頻分量，且使用所提取之高頻分量之峰值來將來自選定單元之信號轉換為一DC信號。

當將單元信號之高頻分量轉換為一DC值時，根據此實施例之電阻變化型記憶體可增加包含呈P狀態之MTJ元件之記憶體單元之輸出信號與包含呈AP狀態之MTJ元件之記憶體單元之輸出信號之間的差異。根據此實施例之電阻變化型記憶體可使供應至感測放大器電路之一信號具有一恆定值(具有一小波動之一值)。

此允許根據此實施例之電阻變化型記憶體消除讀取電路中之來自選定單元之信號之感測邊限與感測時序之間的相依性。

因此，根據此實施例之電阻變化型記憶體可減小讀取操作之錯誤

率。

在根據此實施例之電阻變化型記憶體中，直至在保持峰值PK_x及PK_z之後使電位飽和之一時期短於直至在通過高通濾波器電路21之前使位元線BL及源極線SL之電位之波動飽和之一時期。

因此，根據此實施例之電阻變化型記憶體可在一較早階段(時間)處設定信號之感測時序，同時維持高感測邊限。

因此，根據此實施例之電阻變化型記憶體可提高讀取操作之速度，即使經由濾波器電路21及保持電路22來將單元信號供應至感測放大器電路23。

如上文所描述，根據此實施例之電阻變化型記憶體可擴展讀取邊限且減小錯誤率。根據此實施例之電阻變化型記憶體亦可提高讀取操作之速度。

因此，根據此實施例之記憶體裝置可改良操作特性。

(B) 第一實施例

將參考圖7及圖8來描述根據第一實施例之一記憶體裝置。

(1) 組態實例

將參考圖7來描述根據此實施例之記憶體裝置之組態之一實例。

圖7係用於闡釋根據此實施例之記憶體裝置(例如一電阻變化型記憶體，諸如一MRAM)中之一讀取電路之內部組態的一示意性電路圖。

如圖7中所展示，一高通濾波器電路21設置於節點NSEN與NHPF之間。高通濾波器電路21之輸入端子連接至節點NSEN。高通濾波器電路21之輸出端子連接至節點NHPF。

高通濾波器電路21包含一電容元件210及一電阻元件212。

電容元件210之一端子(一端)連接至一開關元件SW3。電容元件210之另一端子(另一端)連接至電阻元件212之一端子。電容元件210與信號路徑串聯插入於節點NSEN與NHPF之間。

電阻元件212之一端子連接至節點NHPF。電阻元件212之另一端子連接至被施加一電壓VREF之一端子(互連件)。將電阻元件212之一端子之電位設定為一固定電位(電壓VREF)。被施加電壓VREF之端子在下文中將指稱一電壓端子VREF。

電容元件210之一端子充當高通濾波器電路21之輸入端子。電容元件210及電阻元件212之連接節點充當高通濾波器電路21之輸出端子。

電容元件210具有一電容值CHPF。電阻元件212具有一電阻值RHPF。

由基於電容元件210之電容值CHPF及電阻元件212之電阻值RHPF之一截止頻率 f_c 設定通過高通濾波器電路21之一信號(一選定單元之輸出信號或一源極線之電荷電位)之頻帶。高通濾波器電路21中之截止頻率 f_c 由以下方程式(Eq1)給出：

$$f_c = 1/(2\pi \times R_{H.P.F} \times C_{H.P.F}) \cdots (\text{Eq1})$$

例如，將電阻值RHPF設定為 $10 \text{ k}\Omega$ ，且將電容值CHPF設定為 100 fF 。在此情況中，基於方程式(Eq1)來將截止頻率 f_c 設定為約 160 MHz 。

高於一單元信號中之截止頻率 f_c 之一頻率分量(例如一電壓脈衝)通過高通濾波器電路21。等於或低於單元信號中之截止頻率 f_c 之一頻率分量由高通濾波器電路21截止。

依此方式，高通濾波器電路21可提取單元信號之一高頻分量。高通濾波器電路21輸出高於截止頻率 f_c 之一頻域中之一信號。

一峰值保持電路22設置於節點NHPF與一節點NHD之間。峰值保持電路22之輸入端子連接至節點NHPF。峰值保持電路22之輸出端子連接至節點NHD。

峰值保持電路22包含一運算放大電路(比較器) 221、一開關元件222、一電容元件223及一電晶體224。

運算放大電路221之一輸入端子(反相輸入端子)連接至節點NHPF (高通濾波器電路21之輸出端子)。運算放大電路221之另一輸入端子(非反相輸入端子)連接至節點NHD。運算放大電路221之輸出端子連接至一節點NGT。

運算放大電路221執行供應至非反相輸入端子之一信號(電壓)與供應至反相輸入端子之一信號之間的比較(例如差動放大)。在此實施例中，將濾波器電路21之輸出端子NHPF之一電壓VHPF供應至運算放大電路221之反相輸入端子。將節點NHD之一電壓VHD供應至運算放大電路221之非反相輸入端子。例如，運算放大電路221之輸出信號具有基於電壓VHD與VHPF之間的差值($VHD - VHPF$)之一值。例如，差值($VHD - VHPF$)可乘以設定於運算放大電路221中之一放大因數(Az)。

開關元件222之一端子連接至節點(電路221之另一輸入端子) NHD。開關元件222之另一端子連接至電壓端子VREF。

將一控制信號RST供應至開關元件222之控制端子。控制信號RST用於控制開關元件222之接通/切斷。

開關元件222可重設節點NHD之電位狀態。呈接通狀態之開關元件222將節點NHD連接至電壓端子VREF。此將節點NHD設定為一重設狀態。將呈重設狀態之節點NHD之電位設定為約參考電壓VREF。一特定固

定電位(例如0.4 V至0.8 V)或一接地電壓VSS可用作為參考電壓VREF。

例如，在一讀取操作開始時(或在讀取操作結束時)，開關元件222將節點NHD之電位設定為重設狀態。

電容元件223之一端連接至節點(電路221之另一輸入端子) NHD。電容元件223之另一端連接至一接地端子VSS。

電容元件223具有一電容值CHD。根據由電容元件223保持之一電位來設定節點NHD之電位。

電晶體224之閘極連接至節點(電路221之輸出端子) NGT。電晶體224之電流路徑之一端(源極/汲極之一者)連接至被施加一電壓VDD之一端子(互連件)。電晶體224之電流路徑之另一端(源極/汲極之另一者)連接至節點NHD。被施加電壓VDD之端子在下文中將指稱一電壓端子VDD。

電晶體224根據運算放大電路221之輸出信號(節點NGT之電位)來操作。

在此實施例中，電晶體224充當一p型場效電晶體。電晶體224充當一電流源。

若節點NGT之電位處於「L」位準，則接通電晶體224。若接通電晶體224，則節點NHD經由呈接通狀態之電晶體224來連接至電壓端子VDD。若節點NGT之電位處於「H」位準，則切斷電晶體224。若切斷電晶體224，則節點NHD因電晶體224呈切斷狀態而與電壓端子VDD電隔離。

電晶體224藉由對應於節點NGT之電位之一驅動力來將一電流輸出至節點NHD。

電流源(電晶體) 224與電容元件223串聯連接於電壓端子VDD與接地

端子VSS之間。

峰值保持電路22將單元信號之高頻分量之電壓轉換為基於自高通濾波器電路21供應之電壓(高頻電壓)之峰值的一DC電壓。

假定一給定時期(在下文中亦指稱一取樣時期)期間之給定時間處之節點NHD之電壓VHD由電容元件223保持。

電流源(電晶體) 224將對應於運算放大電路221之一輸出電位VGT之量值的一電流供應至電容元件223。

運算放大電路221比較節點NHD之電壓VHD與已通過高通濾波器電路21之電壓VHPF。

在取樣時期期間，若電壓VHPF高於所保持之電壓VHD，則運算放大電路221之輸出電壓VGT減小。例如，運算放大電路221將具有一負電壓值之電壓VGT輸出至p型電晶體224之閘極。因此，p型電晶體224之輸出電流增大。

若滿足 $VHPF > VHD$ 之一關係(節點NHD之電位未達到單元信號之高頻分量之峰值)，則充當一電流源之電晶體224之操作用於增大流入至電容元件223中之電流。因此，對電容元件223充電。因此，電壓VHD之值增大。

在取樣時期期間，若電壓VHPF等於或低於所保持之電壓VHD，則運算放大電路221之輸出電壓VGT升高。例如，運算放大電路221將具有一正電壓值(或0 V)之電壓VGT輸出至p型電晶體224之閘極。因此，p型電晶體224之輸出電流減小。

因此，若滿足 $VHPF \leq VHD$ 之一關係(節點NHD之電位已達到單元信號之高頻分量之峰值)，則電流源(電晶體) 224之操作用於減小流入至電容

元件223中之電流。因此，抑制電容元件223之充電。因此，電壓VHD之值保持不變。

使用運算放大電路221及電流源224之操作來獲得節點NHPF之電位之最大值(峰值)作為電壓VHD。

峰值保持電路22將設定(固定)為所獲得之峰值之一電壓輸出至一感測放大器電路23。此將單元信號改變為基於包含於單元信號中之高頻分量之峰值的一DC信號。

如上文所描述，峰值保持電路22可將基於單元信號之高頻分量(具有高於一截止頻率之一頻域之一信號)之峰值的一DC電壓供應至感測放大器電路23。

感測放大器電路23設置於節點NHD與一資料輸出端子DOUT之間。感測放大器電路23之一輸入端子連接至節點NHD。

感測放大器電路23使用節點NHD之電壓VHD來判定一選定單元MC中之資料。感測放大器電路23比較電壓VHD與一參考值以判定資料。

例如，若DC方法應用於MRAM之讀取操作，則感測放大器電路23在採用DC方法之讀取操作中比較電壓VHD與參考電壓。

例如，若參考單元方法應用於MRAM之讀取操作，則感測放大器電路23在採用參考單元方法之讀取操作中比較電壓VHD與來自一參考單元之一電位。

例如，若自參考讀取方法應用於MRAM之讀取操作，則感測放大器電路23在採用自參考讀取方法之讀取操作中比較藉由將參考資料(例如「0」資料)寫入選定單元中之前的第一讀取所獲得之節點NHD之電位與藉由將參考資料寫入選定單元中之後的第二讀取所獲得之節點NHD之電

位。

感測放大器電路23接收由峰值保持電路22保持之峰值電位VHD。

保持峰值之後之峰值保持電路22之輸出信號VHD被視為一DC信號(DC電壓)。由於將DC信號輸入至感測放大器電路23，所以感測放大器電路23可在任意時點處感測及鎖存轉換為DC信號之單元信號。

(2) 操作實例

將參考圖8來描述根據此實施例之MRAM之操作之一實例。

圖8係用於闡釋根據此實施例之MRAM之讀取操作之一操作實例的一時序圖。除圖8之外，亦適當使用圖1、圖2、圖3、圖4、圖5、圖6及圖7來闡釋根據此實施例之MRAM之讀取操作。

若一處理器9請求給定資料，則一記憶體控制器90將一讀取命令及各種控制信號傳輸至一MRAM 1。

MRAM 1基於命令及控制信號來開始自一選定位址ADR讀取資料。

在時間t1a處，一字線驅動器121將一選定字線WL之電位自「L」位準改變為「H」位準。

「H」位準處之一電壓(一單元電晶體410之接通電壓)接通選定單元MC之單元電晶體410。此啟動選定單元。

應注意，在開始讀取操作時，將節點NSEN之初始電位設定為一電壓值V1a。將節點NHPF之初始電位設定為一電壓值V2a。將節點NHD之初始電位設定為一電壓值V3a (例如參考電壓VREF或接地電壓VSS)。

在時間t2a處，一讀取電路126將一控制信號RE之信號位準自「L」位準改變為「H」位準。此將開關元件SW3設定為接通狀態。感測放大器電路23經由呈接通狀態之開關元件SW3來電連接至一源極線SL。

在時間t3a處，讀取電路126將一控制信號RST之信號位準自「L」位準改變為「H」位準。「H」位準處之信號RST接通一開關元件222。

此經由呈接通狀態之開關元件222來將節點NHD連接至接地端子VSS。使節點NHD放電。將節點NHD之電位設定為重設狀態(電壓VREF或VSS)。

在相同於節點NHD之重設之時間處，讀取電路126將一控制信號PDE之信號位準自「L」位準改變為「H」位準。「H」位準處之信號PDE將一開關元件SW2設定為接通狀態。

此經由呈接通狀態之開關元件222來將源極線SL連接至接地端子VSS。使源極線SL放電。將源極線SL之電位設定為重設狀態。

在時間t4a處，讀取電路126將控制信號RST之信號位準自「H」位準改變為「L」位準。讀取電路126將控制信號PDE之信號位準自「H」位準改變為「L」位準。此使節點NHD及源極線SL與接地端子VSS電隔離。

在時間t5a處，讀取電路126將一控制信號RD之信號位準自「L」位準改變為「H」位準。此啟動一讀取驅動器500。「H」位準處之信號將一開關元件SW0設定為接通狀態。

讀取驅動器500經由呈接通狀態之開關元件SW0來將一讀取脈衝RP輸出至一位元線BL。

自讀取驅動器500供應至位元線BL之讀取脈衝(電壓或電流) RP引起一單元電流流入至選定單元MC中。例如，使自單元電流產生之電荷累積於源極線SL之電容60A及60B中。

如上文所描述，施加讀取電壓時之一節點NSEN之一電荷波形(選定單元之輸出信號) VSEN在一MTJ元件400呈低電阻狀態(P狀態)(圖8中之

一波形X1)之一情況與MTJ元件400呈高電阻狀態(AP狀態)(圖8中之一波形Z1)之一情況之間係不同的。

將電壓VSEN供應至高通濾波器電路21。

高通濾波器電路21使具有高於截止頻率fc之一頻率之供應電壓VSEN之一高頻分量通過。

此將單元信號之高頻分量(高於截止頻率之一頻域)之電位反映於節點NHPF之電壓(電位)VHPF上，如由圖8中所展示之波形X2及Z2所表示。

將節點NHPF之電位VHPF供應至峰值保持電路22。

峰值保持電路22藉由運算放大電路221及電流源224之上述操作來偵測電位VHPF之峰值(高頻分量之最大值)，且保持所偵測之峰值。

峰值保持電路22將所保持之峰值輸出至節點NHD。此將節點NHD之電位VHD設定為峰值，如由圖8中所展示之波形X3及Z3所表示。依此方式，單元信號被轉換為基於高頻分量之電位之峰值的一DC電壓且輸出至節點NHD。

應注意，如上文所描述，節點NHPF及NHD之各者之電位在MTJ元件呈P狀態之一情況與MTJ元件呈AP狀態之一情況之間係不同的。因此，亦在自峰值保持電路22輸出之信號中，對應於來自呈P狀態之MTJ元件之輸出信號的峰值不同於對應於來自呈AP狀態之MTJ元件之輸出信號的峰值。

在時間t6a處，讀取電路126將一控制信號SE之信號位準自「L」位準改變為「H」位準。此啟動感測放大器電路23。

感測放大器電路23在將信號SE設定為「H」位準時感測及鎖存來自峰值保持電路22之輸出信號(節點NHD之電位)VHD。

感測放大器電路23比較所感測之值與參考值(例如DC電壓、參考單元之輸出電位或藉由用於選定單元之第一讀取所獲得之電位)。

將基於一比較結果之一值(電位)設定為感測放大器電路23之輸出信號。

在時間t7a處，將MRAM 1之資料輸出端子DOUT之信號設定為一啟用狀態。將感測放大器電路23之輸出信號輸出至MRAM 1之外部作為自選定單元讀取之資料DOUT。

在時間t8a處，讀取電路126將控制信號RE之信號位準自「H」位準改變為「L」位準。藉由「L」位準處之信號RE來將開關元件SW3設定為切斷狀態。讀取電路126因開關元件SW3呈切斷狀態而與源極線SL電隔離。

在時間t9a處，讀取電路126將控制信號SE及RD之信號位準自「H」位準改變為「L」位準。

「L」位準處之信號SE停用感測放大器電路23。

「L」位準處之信號RD停用讀取驅動器500。停止將讀取脈衝RP自讀取驅動器500供應至位元線BL。

例如，將一控制信號SS之信號位準設定為「L」位準。將開關元件SW0設定為切斷狀態。此使讀取驅動器500與位元線BL電隔離。

在時間t10a處，字線驅動器121將選定字線WL之電位自「H」位準改變為「L」位準。將單元電晶體410設定為切斷狀態。此停用選定單元。

將資料DOUT自MRAM 1轉移至記憶體控制器90。來自MRAM 1之資料由一CPU 91用於計算處理。

如上文所描述，完成根據此實施例之MRAM之讀取操作。

應注意，一定序器127可控制各自信號RE、RST、PDE、SE及RD之信號位準。

(3) 總結

在作為根據此實施例之記憶體裝置之電阻變化型記憶體中，讀取電路之高通濾波器電路具有由電容元件及電阻元件設定之截止頻率。

高通濾波器電路使來自選定單元之輸出信號(或將輸出信號反映於其上之電量)之高於截止頻率之一頻率分量通過。

在根據此實施例之電阻變化型記憶體中，峰值保持電路偵測來自選定單元之輸出信號之高頻分量之峰值，且基於所偵測之峰值來產生對應於來自選定單元之輸出信號之一DC信號。

在根據此實施例之電阻變化型記憶體中，感測放大器電路使用DC信號來判定選定單元中之資料。感測放大器電路基於一判定結果來輸出資料。

如上文所描述，根據此實施例之記憶體裝置可藉由相對簡單電路來提高讀取準確度及讀取速度。

因此，根據此實施例之記憶體裝置可改良操作特性。

[C] 第二實施例

將參考圖9及圖10來描述根據第二實施例之一記憶體裝置。

(1) 組態實例

將參考圖9來描述作為根據此實施例之記憶體裝置之一電阻變化型記憶體(例如一MRAM)之組態之一實例。

圖9係用於闡釋根據此實施例之MRAM中之一讀取電路之內部組態的一示意性電路圖。

在此實施例中，一主動濾波器用作為讀取電路中之一高通濾波器電路。此允許此實施例之MRAM擴展一讀取邊限。

如圖9中所展示，在根據此實施例之MRAM之讀取電路中，一主動高通濾波器電路21A包含一電容元件213、電阻元件214A及214B及一運算放大電路215。

電容元件213之一端子連接至一開關元件SW3。電容元件213之另一端子連接至電阻元件214A之一端。

電阻元件214A之另一端子連接至運算放大電路215之一輸入端子(反相輸入端子)(inverting input terminal)。

電阻元件214B之一輸入端子連接至運算放大電路215之一輸入端子。電阻元件214B之另一端子連接至運算放大電路215之輸出端子。

運算放大電路215之一輸入端子連接至電阻元件214A之另一端子及電阻元件214B之一端子。運算放大電路215之另一輸入端子(非反相輸入端子)連接至一電壓端子VREF。

運算放大電路215之輸出端子連接至電阻元件214B之另一端及一節點NHPF。

電容元件213之一端子充當主動高通濾波器電路21A之輸入端子。

電阻元件214B與運算放大電路215並聯連接於運算放大電路215之一輸入端子與輸出端子之間。

電容元件213具有一電容值CHPF。電阻元件214A具有一電阻值RHPFa。電阻元件214B具有一電阻值RHPFb。

主動高通濾波器電路21A中之一截止頻率fc由以下方程式(Eq2)給出：

$$f_c = 1/(2\pi \times R_{HPF} \times C_{HPF}) \dots (\text{Eq2})$$

依此方式，主動高通濾波器電路21A可提取一單元信號之一高頻分量。主動高通濾波器電路21A輸出高於截止頻率 f_c 之一高頻域中之一信號。

通過主動高通濾波器電路21A之一信號分量(在此實例中為一節點NSEN中之一信號)被放大基於電路21A中之兩個電阻元件214A與214B之間的電阻比之一放大率Amp。放大率Amp由以下方程式(Eq3)給出：

$$Amp = -R_{HPFb}/R_{HPFa} \dots (\text{Eq3})$$

依此方式，主動濾波器用於單元信號通過其之高通濾波器電路21A。

就此組態而言，在根據此實施例之MRAM中，一讀取電路126可放大通過高通濾波器電路21A之一高頻分量之一信號。

因此，在此實施例中，讀取電路126可增加在一MTJ元件400呈高電阻狀態時通過濾波器電路21A之後的信號之峰值與在MTJ元件400呈低電阻狀態時通過濾波器電路21A之後的峰值之間的差異。

由於運算放大電路215用於濾波器電路21A，所以濾波器電路21A之輸出信號之極性與輸入至濾波器電路21A中之信號之極性相反。

一峰值保持電路22A之內部組態經設定以應對極性之反向。

峰值保持電路22A包含一運算放大電路(比較器) 221A、一開關元件222A、一電容元件223A及一電晶體224A。

運算放大電路221A之一輸入端子(反相輸入端子)連接至節點NHPF(高通濾波器電路21A之輸出端子)。運算放大電路221A之另一輸入端子(非反相輸入端子)連接至一節點NHD。運算放大電路221A之輸出端子連接至一節點NGT。

運算放大電路221A比較節點NHPF之一電位VHPF與節點NHD之一電位VHD。運算放大電路221A將基於輸入電壓VHD及VHPF之比較結果(例如一差值「VHD-VHPF」)之一值輸出至節點NGT。

開關元件222A之一端子連接至節點(電路221A之另一輸入端子)NHD。開關元件222A之另一端子連接至電壓端子VREF。將一控制信號RST供應至開關元件222A之控制端子。控制信號RST用於控制開關元件222A之接通/切斷。

開關元件222A可基於控制信號RST來重設節點NHD之電位狀態。在此實施例中，將呈重設狀態之節點NHD之電位設定為約電壓VREF。

電容元件223A之一端子連接至節點(電路221A之另一輸入端子)NHD。電容元件223A之另一端子連接至一電壓端子VDD。

電容元件223A具有一電容值CHD。根據由電容元件223A保持之電位來設定節點NHD之電位。

電晶體224A之閘極連接至節點(電路221A之輸出端子)NGT。電晶體224A之電流路徑之一端子連接至節點NHD。電晶體224A之電流路徑之另一端子連接至一接地端子VSS。

根據運算放大電路221A之輸出信號(節點NGT之電位)來驅動電晶體224A。

電晶體224A充當一電流源。

在此實施例中，電晶體224A充當一n型場效電晶體。充當一電流源之電晶體224A將一電流自節點NHD汲取至接地端子VSS。

如上文所描述，來自主動高通濾波器電路21A之輸出信號VHPF之極性與單元信號之極性相反。

因此，在此實施例中，峰值保持電路22A經組態以保持節點NHPF之電位VHPF之最小值。

在根據此實施例之MRAM之讀取電路126中，電壓端子VDD、VREF及VSS至峰值保持電路22A之組件之連接與電壓端子至根據第一實施例之峰值保持電路22之組件之連接相反。在峰值保持電路22A中，n型場效電晶體224A用作為電路22A中之一電流源。

應注意，根據此實施例之峰值保持電路22A之操作(功能及動作)實質上相同於根據第一實施例之峰值保持電路22之操作。

在一取樣時期期間，若至峰值保持電路22A之輸入信號(高通濾波器電路之輸出信號) VHPF低於保持狀態中之電壓VHD，則運算放大電路221A之輸出電壓VGT升高。例如，在此情況中，運算放大電路221A將具有一正電壓值之電壓VGT輸出至n型電晶體224A之閘極。

若滿足 $VHPF < VHD$ 之一關係(保持電壓VHD未達到最小值)，則充當一電流源之電晶體224A操作以增大自電容元件223A流動至節點NHD及接地端子VSS之電流。因此，使電容元件223A放電。因此，節點NHD之電壓VHD減小。

在取樣時期期間，若至峰值保持電路22A之輸入信號VHPF等於或高於保持狀態中之電壓VHD，則運算放大電路221A之輸出電位VGT降低。例如，在此情況中，運算放大電路221A將具有一負電壓值(或0 V)之電壓VGT輸出至n型電晶體224A之閘極。

因此，若滿足 $VHPF \geq VHD$ 之一關係(保持電壓VHD已達到最小值)，則電晶體224A操作以減小自電容元件223A流動至節點NHD之電流。因此，抑制電容元件223A之放電。因此，節點NHD之電位VHD實質上保持

不變。

可使用峰值保持電路22A之操作來獲取電壓VHPF之最小電位作為電壓VHD。

將藉由峰值保持電路22A之操作所保持之電壓VHD供應至感測放大器電路23作為一DC信號。

應注意，在此實施例中，當使上述信號之極性反向時，基於來自包含呈AP狀態之MTJ元件之選定單元之單元信號的電壓VHD之電壓值高於基於來自包含呈P狀態之MTJ元件之選定單元之單元信號的電壓VHD之電壓值。

(2) 操作實例

將參考圖10來描述根據此實施例之MRAM之操作之一實例。

圖10係用於闡釋根據此實施例之MRAM之操作之一實例的一時序圖。

如圖10中所展示，在自時間t1b至時間t4b之一時期期間，依實質上相同於在圖8中之自時間t1a至時間t4a之一時期期間控制各自信號之方式的方式控制各自信號WL、RE、RST及PDE之信號位準。

例如，在此實施例中，在一讀取操作時，將節點NSEN之初始電位設定為一電壓值V1b (例如接地端子VSS)。將節點NHPF之初始電位設定為一電壓值V2b。將節點NHD之初始電位設定為電壓值V1b (例如電壓值VREF)。

關於節點之電位VSEN、VHPF及VHD，線(波形) X1A、X2A及X3A對應於MTJ元件400之磁化對準狀態係P狀態之一情況。關於節點之電位VSEN、VHPF及VHD，線(波形) Z1A、Z2A及Z3A對應於MTJ元件400之

磁化對準狀態係AP狀態之一情況。

在時間t5b處，讀取電路126將一控制信號RD之信號位準自「L」位準改變為「H」位準。將「H」位準處之一信號SS供應至一開關元件SW0。

此引起讀取驅動器500經由呈接通狀態之開關元件SW0來將一讀取脈衝RP供應至一位元線BL。

在讀取電路126中，節點NSEN、NHPF及NHD之電位VNSEN、VNHPF及VNHD根據來自選定單元之輸出信號來波動，如由圖10中所展示之波形X1A、X2A、X3A、Z1A、Z2A及Z3A所表示。

在此實施例中，由來自選定單元之輸出對節點NSEN充電。節點NSEN之電位根據選定單元中之MTJ元件之電阻狀態來自初始狀態中之電位V1b依一趨勢升高。關於已通過主動高通濾波器電路21A之信號電壓，節點NHPF及NHD之電位VHPF及VHD根據選定單元中之MTJ元件之電阻狀態來分別自初始狀態中之電位V2b及V3b依一趨勢降低。

主動高通濾波器電路21A放大節點NSEN中之電壓(單元信號) VSEN之高頻分量且將高頻分量之放大信號輸出至峰值保持電路22A。

在峰值保持電路22A中，電容元件223A之放電由運算放大電路221A及電流源224A之操作根據電壓VHPF與VHD之間的上述量值關係來控制。此引起峰值保持電路22A取樣節點NHPF之電壓VHPF之最小值。

峰值保持電路22A將具有取樣峰值(最小值)之一信號輸出至節點NHD。

此將基於單元信號之高頻分量的一DC信號供應至感測放大器電路23。

在時間t6b處，讀取電路126將一控制信號SE之信號位準自「L」位準改變為「H」位準。

此引起感測放大器電路23感測及鎖存節點NHD之電位。感測放大器電路23比較所供應之信號(峰值保持電路之輸出信號)與一參考值。因此，判定選定單元中之資料。

如圖10中所展示，在時間t6b處，基於來自包含呈AP狀態之MTJ元件之選定單元之單元信號的電壓(波形X3A) VHD之電壓值高於基於來自包含呈P狀態之MTJ元件之選定單元之單元信號的電壓(波形Z3A) VHD之電壓值。

此後，在自時間t7b至時間t10b之一時期期間，依實質上相同於在圖8中之自時間t7a至時間t10a之一時期期間控制信號之方式的方式控制信號WL、RE、RST及PDE之信號位準。

在時間t7b處，將資料DOUT設定為一啟用狀態且輸出至一記憶體控制器90 (處理器9)。

在時間t8b處，讀取電路126因控制信號RE處於「L」位準而與源極線SL電隔離。

在自時間t9b至時間t10b之一時期期間，「L」位準處之控制信號SE及RD分別停用感測放大器電路23及讀取驅動器500。

在時間t10b處，將一選定字線WL之電位設定為「L」位準，且停用選定單元。

因此，完成根據此實施例之MRAM之讀取操作。

(3) 總結

在根據此實施例之記憶體裝置中，主動高通濾波器電路用作為讀取

電路之濾波器電路。

就此組態而言，根據此實施例之記憶體裝置可增加來自包含呈低電阻狀態之記憶體元件之記憶體單元的信號(電壓值)與來自包含呈高電阻狀態之記憶體元件之記憶體單元的信號之間的差異。

因此，根據此實施例之記憶體裝置可增大一讀取邊限。

因此，根據此實施例之記憶體裝置可進一步改良上述其他實施例之效應。

[D] 修改方案

將參考圖11來描述根據實施例之記憶體裝置之一修改方案。

圖11係用於闡釋根據實施例之記憶體裝置(電阻變化型記憶體)之修改方案的一電路圖。

如圖11中所展示，在根據修改方案之充當一電阻變化型記憶體之一MRAM之讀取電路126中，高通濾波器電路21、峰值保持電路22及感測放大器電路23可設置於位元線BL之側上。

高通濾波器電路21連接至位元線BL之一節點ND1z。

峰值保持電路22連接至高通濾波器電路21之輸出端子(節點) NHPF。

感測放大器電路23連接至峰值保持電路22之輸出端子(節點) NHD。

一開關元件SW1z連接至位元線BL。控制信號PDE連接至開關元件SW1z之控制端子。控制信號PDE用於控制開關元件SW1z之接通/切斷。

一開關元件SW2z連接至源極線SL。一控制信號SXX連接至開關元件SW2z之控制端子。控制信號SXX用於控制開關元件SW2z之接通/切斷。

例如，讀取驅動器500經由一開關元件SW0z來連接至源極線SL。一控制信號SSX連接至開關元件SW0z之控制端子。控制信號SSX用於控制

開關元件SW0z之接通/切斷。

位元線BL包含電容(例如寄生電容) 60Az及60Bz及一電阻(例如一寄生電阻) 65z。電容60Az及60Bz各具有一電容值CBL。電阻65z具有一電阻值RBL。

若讀取電路126連接至位元線BL，則讀取電路126基於位元線BL之一電位波動(位元線之充電或放電之量值)來判定選定單元中之資料，且讀取資料。

位元線BL之電位改變達對應於選定單元中之MTJ元件之電阻值的波動量。例如，選定單元包含呈P狀態之MTJ元件時之位元線之電位之波動量大於選定單元包含呈AP狀態之MTJ元件時之位元線之電位之波動量。

高通濾波器電路21基於截止頻率fc來使位元線BL之電位之一高頻分量通過。

峰值保持電路22偵測來自高通濾波器電路21之高頻分量之電位之峰值(取樣時期期間之最大值或最小值)，且保持所偵測之值。

峰值保持電路22基於所保持之峰值來輸出一DC電壓。

感測放大器電路23使用來自峰值保持電路22之輸出信號來判定選定單元中之資料。

將感測放大器電路23之判定結果作為來自MRAM 1之選定單元中之資料輸出至記憶體控制器90 (或處理器9)。

根據上述實施例之各者之MRAM中之濾波器電路及峰值保持電路之內部組態及操作可適當應用於根據修改方案之MRAM 1。

即使MRAM具有其中將讀取電路126中之各自電路21、22及23連接至位元線BL之電路組態(如同此修改方案)，根據此修改方案之MRAM可

獲得相同於上述實施例之各者中之效應的效應。

[E] 其他

在根據此實施例之充當一記憶體裝置之一MRAM中，一平行磁化型MTJ元件可用作為一MTJ元件400。在平行磁化型MTJ元件中，磁性層401及402之磁化方向實質上平行於其層表面。在平行磁化型MTJ元件中，關於磁性層401及402之磁各向異性，使用磁性層之形狀磁各向異性來使磁性層401及402之磁化方向實質上平行於其層表面。

根據此實施例之充當記憶體裝置之MRAM可安裝於一處理器9中。根據此實施例之MRAM可用作為一記憶體控制器90中之一記憶體或一CPU 91中之一記憶體。

實施例已闡釋其中將MRAM用作為記憶體裝置之實例。然而，除MRAM之外之一磁性記憶體(使用一磁阻效應元件(例如一MTJ元件)之一記憶體裝置)可用作為根據此實施例之記憶體裝置。

根據此實施例之記憶體裝置可為除MRAM (磁性記憶體)之外之一記憶體裝置。例如，選自ReRAM、PCRAM、離子記憶體、DRAM、SRAM 及快閃記憶體之一記憶體裝置可應用於根據此實施例之記憶體裝置。

儘管已描述特定實施例，但此等實施例僅供例示且不意欲限制本發明之範疇。其實，本文所描述之新穎實施例可依各種形式體現；此外，可在不背離本發明之精神的情況下對本文所描述之實施例作出各種省略、替代及形式改變。隨附申請專利範圍及其等效物意欲覆蓋落於本發明之範疇及精神內之此等形式或修改。

相關申請案之交叉參考

本申請案係基於且主張2017年3月22日申請之日本專利申請案第

2017-056070號之優先權利，該日本專利申請案之全部內容以引用的方式併入本文中。

【符號說明】

1	記憶體裝置/磁阻隨機存取記憶體(MRAM)/電阻變化型記憶體
9	處理器
21	高通濾波器電路
21A	主動高通濾波器電路
22	峰值保持電路
22A	峰值保持電路
23	感測放大器電路
60A	電容
60Az	電容
60B	電容
60Bz	電容
65	電阻
65z	電阻
90	記憶體控制器
91	CPU
99	內部記憶體
100	記憶體單元陣列
120	列解碼器
121	字線驅動器

122	行解碼器
123	位元線驅動器
124	開關電路
125	寫入電路
126	讀取電路
127	定序器
210	電容元件
212	電阻元件
213	電容元件
214A	電阻元件
214B	電阻元件
215	運算放大電路
221	運算放大電路
221A	運算放大電路
222	開關元件
222A	開關元件
223	電容元件
223A	電容元件
224	電晶體/電流源
224A	電晶體/電流源
400	可變電阻元件/磁阻效應元件/磁性穿遂接面(MTJ)元件
401	磁性層/儲存層
402	磁性層/參考層

403	非磁性層/穿遂障壁層
410	單元電晶體
500	讀取驅動器
ADR	位址
BL	位元線
BL<0>至BL<m-1>	位元線
bBL	位元線
bBL<0>至bBL<m-1>	位元線
CBL	電容值
CHD	電容值
CHPF	電容值
CMD	命令
CNT	控制信號
CSL	電容值
DIN	輸入資料
DOUT	輸出資料/資料輸出端子/輸出信號
IRD	讀取電流
IW1	寫入電流
IW2	寫入電流
MC	記憶體單元
ND1	節點
ND1z	節點
NGT	節點

NHD	節點
NHPF	節點
NSEN	節點
PDE	預放電啟用信號/控制信號
PKx	峰值
PKz	峰值
RBL	電阻值
RD	控制信號
RE	控制信號/讀取啟用信號
RHPF	電阻值
RHPFa	電阻值
RHPFb	電阻值
RP	讀取脈衝
RSL	電阻值
RST	控制信號
SE	控制信號/感測啟用信號
SL	源極線
SS	控制信號
SSX	控制信號
SW0	開關元件
SW0z	開關元件
SW1	開關元件
SW1z	開關元件

SW2	開關元件
SW2z	開關元件
SW3	開關元件
SX	控制信號
SXX	控制信號
VDD	電壓/電壓端子
VGT	輸出電位/輸出電壓
VHD	電位/電壓
VHPF	電位/電壓
VREAD	電壓
VREF	電壓/電壓端子
VSEN	電位/電荷波形
VSS	接地電壓/接地端子
V1a	電壓值
V2a	電壓值
V3a	電壓值
V1b	電壓值
V2b	電壓值/電位
V3b	電壓值/電位
WL	字線
WL<0>至WL<n-1>	字線
X1	線/波形
X1A	線/波形

X2	線/波形
X2A	線/波形
X3	線/波形
X3A	線/波形
Z1	線/波形
Z1A	線/波形
Z2	線/波形
Z2A	線/波形
Z3	線/波形
Z3A	線/波形