(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2009-509449
(P2009-509449A)
(43)公表日　平成21年3月5日(2009.3.5)

(51)Int.Cl.	F I		テーマコード（参考）
H03K 19/096 (2006.01)	H03K 19/096	C	5J056

審査請求 有　予備審査請求 未請求　（全 20 頁）

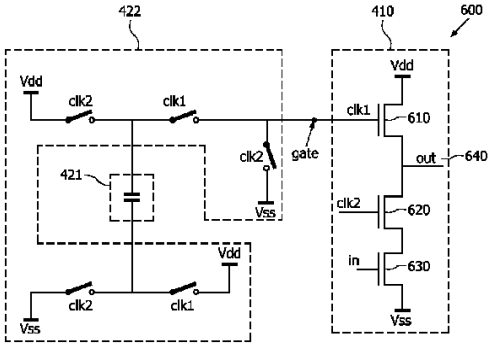
(21)出願番号	特願2008-531840 (P2008-531840)
(86)(22)出願日	平成18年9月14日 (2006.9.14)
(85)翻訳文提出日	平成20年4月2日 (2008.4.2)
(86)国際出願番号	PCT/IB2006/053281
(87)国際公開番号	WO2007/034384
(87)国際公開日	平成19年3月29日 (2007.3.29)
(31)優先権主張番号	05108653.6
(32)優先日	平成17年9月20日 (2005.9.20)
(33)優先権主張国	欧州特許庁 (EP)

(71)出願人　507219491
エヌエックスピー　ビー　ヴィ
オランダ国　５６５６エイジー　アインドーフェン　ハイ　テク　キャンパス　６０
(74)代理人　100147485
弁理士　杉村　憲司
(74)代理人　100134005
弁理士　澤田　達也
(74)代理人　100147692
弁理士　下地　健一
(72)発明者　フィクトル　エム　ヘー　ファン　アヒト
オランダ国　５６５６　アーアー　アインドーフェン　プロフ　ホルストラーン　６

最終頁に続く

(54)【発明の名称】単一しきい値・単一導電型論理回路

(57)【要約】
論理アセンブリ(400)が、単一しきい値・単一導電型の回路素子から構成され、各々が主電流経路及び制御端子を有する少なくとも一組のスイッチを有する論理回路(410)を具えている。上記主電流経路は、第１及び第２導電端子が電源ラインに結合された直列配置を形成する。上記主電流経路は、論理アセンブリ(400)の出力を形成する共通ノードに結合されている。これらのスイッチの制御端子は、互いにオーバーラップしないクロック信号をこれらの制御端子に供給するクロック回路に結合されている。上記論理アセンブリはさらに、論理アセンブリ(400)の出力を昇圧させるための出力ブースト回路(420)を具え、この出力ブースト回路は、論理アセンブリ(400)の出力への追加的電荷の供給を可能にする容量手段(421)を含む。上記出力ブースト回路はさらに、上記容量手段の第１端への電荷の追加的供給を可能にして、上記容量手段の第２端に昇圧された電圧を生じさせるブートストラップ回路(422)を含む。



【特許請求の範囲】
【請求項１】
単一しきい値・単一導電型の回路素子から構成される論理アセンブリにおいて、
各々が主電流経路及び制御端子を有する少なくとも一組のスイッチを有する論理回路であって、前記主電流経路が、電源ラインに結合された第１導電端子及び第２導電端子を有する直列配置を形成し、前記主電流経路が、前記論理アセンブリの出力を形成する共通ノードに接続され、前記スイッチの制御端子が、互いにオーバーラップしないクロック信号を当該制御端子に供給するクロック回路に結合されている論理回路と；
前記論理アセンブリの出力を昇圧させるための出力ブースト回路であって、前記論理アセンブリの出力への追加的電荷の供給を可能にする容量手段と、前記容量手段の第１端への電荷の追加的供給を可能にして、前記容量手段の第２端に昇圧された電圧を生じさせるブートストラップ回路と
を具えていることを特徴とする論理アセンブリ。
【請求項２】
前記出力ブースト回路が、前記論理回路の前記一組のスイッチの制御端子の１つに結合されていることを特徴とする請求項１に記載の論理アセンブリ。
【請求項３】
前記出力ブースト回路が、前記論理回路の出力に結合されていることを特徴とする請求項１に記載の論理アセンブリ。
【請求項４】
前記スイッチが、トランジスタを含むあらゆるスイッチであることを特徴とする請求項１に記載の論理アセンブリ。
【請求項５】
前記一組のスイッチの前記第１導電端子及び前記第２端子の少なくとも一方が、論理ゲートに給電するための電力ラインに直接結合されていることを特徴とする請求項１に記載の論理アセンブリ。
【請求項６】
前記一組のスイッチの前記第１導電端子及び前記第２導電端子の一方または両方が、１つ以上の論理素子を通して、論理ゲートに給電するための電源ラインに結合されていることを特徴とする請求項１に記載の論理アセンブリ。
【請求項７】
前記ブートストラップ回路が、カスケード接続された複数の前記論理アセンブリの同期用の複数のクロック信号を受信することを特徴とする請求項１に記載の論理アセンブリ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は論理アセンブリに関するものであり、特に、本発明は単一しきい値（スレッショルド）単一導電型回路素子を有する論理アセンブリに関するものである。
【背景技術】
【０００２】
相補型（コンプリメンタリ）金属酸化膜半導体（ＣＭＯＳ）論理回路は、その多くの利点、例えば高い入力インピーダンス、低い出力インピーダンス、無視できる静的電力消費、及びレール（電源ライン）電圧－レール電圧の出力スイング（振れ幅）により、論理ブロックを実現するために広く一般に用いられている。図１に、従来のＣＭＯＳ技術を用いたインバータ論理構造を示す。図１に示し、その名が意味するように、ＣＭＯＳ論理回路はＮ導電型（ＮＭＯＳ）トランジスタ並びにＰ導電型（ＰＭＯＳ）トランジスタを共に用いる。多くの応用では、単一導電型のトランジスタのみを論理回路、例えばポリマーまたはプラスチック電子回路、及びハードディスク的な固体メモリーの応用に適用することが望ましい。
【０００３】

単一導電型の論理回路は、製造中のマスクのカウント数及びリソグラフィープロセスを低減することにより、チップの生産／製造コストに関して有利である。一般に、単一導電型論理回路はデプレッション（空乏）型トランジスタを負荷デバイスとして用いる。図２に、デプレッション型トランジスタを用いた単一導電型インバータを示す。この例では、通常のＣＭＯＳにおけるＰＭＯＳトランジスタを、負のしきい値電圧を有するデプレッション型ＮＭＯＳトランジスタに置き換えることによって、単一導電型論理インバータを実現している。デプレッション型トランジスタのゲートはそのソースに接続され、このことはトランジスタを電流源として動作させる。この種のＮＭＯＳのみの論理回路はトランジスタのサイジング（寸法決め）に強く依存する。さらに、図２に示す回路はレール電圧－レール電圧の出力を提供しない。これに加えて、この回路は静的電力消費が大きい。これに加えて、この回路は製造コストの利点をもたらさない、というのは、デプレッション型またはエンハンス型トランジスタをチップ上に製造することは、より多数回のマスキング及びリソグラフィープロセスを必要するからである。

【０００４】

図３に示すように、デプレッション／エンハンス型トランジスタをダイオードモードに接続したトランジスタに置き換えることは、デプレッション／エンハンス型の製造コストに関する問題を解決することができる。ダイオード接続したトランジスタは、通常のトランジスタの場合と同じしきい値を有し、従って単一しきい値・単一導電型の論理回路を提供する。ダイオード接続されたトランジスタは、単一しきい値・単一導電型の論理回路を実現するための同様の特性を有する、チップ上に製造された複数のトランジスタを持つことを可能にし、従って、製造プロセス中のマスキング・ステップの数を低減し、よってコストを低減する。

【０００５】

この回路でも、レール電圧－レール電圧の出力がまだ課題として残る。図３より明らかなように、インバータの出力は$V_{dd}-V_T$の最大値に達し、ここにV_Tはトランジスタのしきい値である。通常の産業規格及び技術的要求によれば、しきい値はV_{dd}の約1/4に粗く選定される。トランジスタがスイッチオフされている際のサブスレッショルド漏洩電流を最小化するために、しきい値はV_{dd}の約1/4である必要がある。このことは、出力が達し得る最大値は約$3/4V_{dd}$に過ぎないことを意味し、この値は、図３の出力に結合された次の論理ゲート内のトランジスタを完全に開（導通）状態にするには不十分である。この比較的小さい出力範囲は、この種類の回路のカスケード（縦続）接続を制限し、このことは大きな欠点である。

【０００６】

従って、電力消費を低減しレール電圧－レール電圧の出力を提供する単一しきい値・単一導電型論理回路の必要性が存在する。

【発明の開示】

【発明が解決しようとする課題】

【０００７】

本発明の目的はとりわけ、電力消費を低減しレール電圧－レール電圧の出力を提供する単一しきい値・単一導電型論理回路を提供することにある。

【課題を解決するための手段】

【０００８】

この目的のために、本発明は、単一しきい値・単一導電型の回路素子から構成される論理アセンブリを提供し、この論理アセンブリは：

各々が主電流経路及び制御端子を有する少なくとも一組のスイッチを有する論理回路であって、前記主電流経路は、電源ラインに結合された第１及び第２導電端子を有する直列配置を形成し、前記主電流経路は、論理アセンブリ４００の出力を形成する共通ノードに結合され、前記スイッチの制御端子は、互いにオーバーラップ（重複）しないクロック信号を当該制御端子に供給するクロック回路に結合されている論理回路と；

前記論理アセンブリ４００の出力を昇圧させる出力ブースト（昇圧）回路であって、前

記論理アセンブリの出力に追加的電荷を供給することを可能にする容量手段と、この容量手段の第１端への電荷の追加的供給を可能にして、上記容量手段の第２端に昇圧された電圧を生じさせるブートストラップ（立ち上げ）回路とを具えた出力ブースト回路と
を具えている。

【０００９】

本発明のこの態様は、単一しきい値・単一導電型論理素子のみを使用する論理アセンブリにおけるレール電圧－レール電圧の出力を可能にする。この回路は、容量手段を用いて出力を昇圧させて、レール電圧－レール電圧の出力を達成する。さらに、この回路にブートストラップ回路を設けて、上記キャパシタ（容量手段）が充電／放電されて、前記論理アセンブリの出力を昇圧させるための追加的電荷の供給を可能にすることを保証する。単一しきい値・単一導電型素子を用いることはマスキング・ステップの数、及びこれと共に、論理アセンブリの製造コストを低減する。

【００１０】

本発明のさらに他の態様によれば、前記出力ブースト回路が、前記論理回路の前記一組のスイッチの制御端子の１つに結合されている。この好適例では、前記出力ブースト回路が、論理素子を制御して高い電圧出力を供給するための十分な電荷を供給することによって、出力を昇圧することを可能にする。さらに他の態様によれば、前記出力ブースト回路が前記論理回路の出力に結合されている。この好適例では、前記出力ブースト回路が、前記容量手段を直接通して出力の昇圧を可能にする。また、さらに他の態様によれば、前記一組のスイッチの前記第１及び第２導電端子の少なくとも一方が、論理ゲートに給電するための電源ラインに直接結合されている。別な態様によれば、前記一組のスイッチの前記第１及び第２導電端子の一方または両方が、１つ以上の論理素子を通して論理回路に給電するための電源ラインに結合されている。この態様は、設計のフレキシビリティ（柔軟性）、及び特定用途または特定精度に応じた設計を選定する選択肢を提供する。

【００１１】

さらに別な態様によれば、前記スイッチはトランジスタを含むあらゆるスイッチとすることができる。さらに別な態様によれば、複数の前記論理アセンブリをカスケード接続するための同期アーキテクチャを設ける。この態様は、複雑なカスケード型論理回路の構成を可能にする。この論理回路は、シフトレジスタ、カウンタ、または他のカスケード型論理回路とすることができる。

【００１２】

本発明のこれら及び他の態様は、以下に図面を参照しながら詳細に説明する。

【発明を実施するための最良の形態】

【００１３】

ここで図４を参照しながら説明し、図４に、本発明による単一しきい値・単一導電型論理アセンブリ４００を示す。論理アセンブリ４００は、論理回路４１０に結合された論理アセンブリ４００の出力を駆動する出力駆動回路４２０を有する。論理回路４１０は、各々が主電流経路及び制御端子を有する少なくとも一組のスイッチを具えている。この主電流経路は、主電流経路の第１及び第２導電端子を有する直列配置を形成する。これらの導電端子は直接、あるいは論理素子を通して電源ラインに結合されている。これら一組のスイッチの共通端子が論理アセンブリ４００の出力を提供する。これらのスイッチのそれぞれの制御端子は、互いにオーバーラップ（重複）しないクロック信号をこれらの制御端子に供給するクロック回路に結合されている。駆動回路４２０は論理回路４１０に結合され、論理アセンブリ４００の出力への電荷の追加的供給を可能にすることによって、論理アセンブリ４００の出力を駆動するように構成されている。駆動回路４２０は、容量手段４２１、及びこの容量手段４２１の第１端への電荷の追加的供給を可能して容量手段４２１の第２端に電圧の増加を生じさせるブートストラップ回路４２２を具え、従って、論理回路４１０への電荷の供給の増加を生じさせ、このことは論理アセンブリ４００のレール電圧－レール電圧の出力を生じさせる。追加的回路をトランジスタの導電端子組に加えて、異なる論理ゲートを実現することができる。以下の説明では、インバータ、ＮＡＮＤまた

はＮＯＲゲートの構成を詳細に説明する。同じ概念に基づいて、他の論理ゲート、例えばＡＮＤ、ＯＲ等を構成することができることは当業者にとって明らかである。

【００１４】

ここで図５を参照しながら説明する。図５は、図４の論理回路ブロック４１０に含めることのできる、本発明によるインバータ５００の可能な実施例の１つである。この回路では、ＮＭＯＳトランジスタのみを用いてインバータ５００を実現している。各トランジスタは、同じ特性（しきい値電圧等）を有する同様のトランジスタである。本発明によれば、インバータは直列結合されたトランジスタ５１０、５２０及び５３０を設けられ、トランジスタ５１０、５２０は互いにオーバーラップしないクロックclk1及びclk2を、それぞれの制御端子で受信する。図に示すように、インバータの出力５４０は共通端子によって形成され、この共通端子に、直列接続されたトランジスタ５１０、５２０の電流経路が結合されている。この構成では、インバータ５００の出力５４０に供給される最大電圧は$V_{dd}-V_T$になる。レール電圧－レール電圧の出力を保証するために、容量手段（図示せず）をインバータに結合する。この容量手段の一方の端から他方の端への電圧の供給を可能にするためにブートストラップ回路も設けている。同様に、図５(ａ)及び図５(ｂ)に、図４の論理回路４１０に含めることのできるＮＡＮＤ論理回路５０１及びＮＯＲ論理回路５０２をそれぞれ示す。同じ指針で、他の論理ゲート、例えばＡＮＤ、ＯＲも構成することができる。これらの回路の動作、及びブートストラップ回路及び容量手段の役割は、次の説明において一層明らかになる。

【００１５】

ここで図６及び図６(ａ)を参照し、図６及び図６(ａ)はそれぞれ、図５に示すブートストラップ回路４２２、容量手段４２１、論理回路４１０を有するインバータ６００、及びこれに関連するタイミング図を示す。回路の動作は次のように理解することができる。インバータの特性によれば、ロー（低）入力に対し出力はハイ（高）が期待され、及びその逆が期待される。互いにオーバーラップしないクロック信号clk1がハイであり、clk2がローであり、入力inがローである場合を考える。この場合には、トランジスタ６１０はイネーブル（導通）状態にされ、トランジスタ６２０はディスエーブル（遮断）状態にされる（図６(ａ)に示すタイミング図参照）。これにより出力６４０が$V_{dd}-V_T$に充電される。さらに、この時点では、ブートストラップ回路４２２が容量手段４２１の一方の端子をトランジスタ６１０の制御端子に結合し、容量手段４２１の他方の端子をV_{dd}に結合し、これによりトランジスタ６１０の制御端子に追加的電荷が供給される（図６(ａ)に示すゲートについてのタイミング図参照）。結果的に、トランジスタ６１０は完全にイネーブル状態にされ、これにより出力６４０はレール電圧－レール電圧の出力電圧を供給する。clk1がローでありclk2がハイであるクロックサイクルの後半には、容量手段４２１はV_{ss}及びV_{dd}に結合され、これにより充電される。この場合には、クロック信号clk1はローでありclk2はハイであり、従ってトランジスタ６１０はディスエーブル状態にされ、インバータの出力６４０は浮動（フローティング）状態にされる。固有の寄生容量が浮動のインバータ出力６４０をハイレベルに保つことは、当業者にとって明らかである。結果的に、タイミング図（図６(ａ)）に示すように、電源電圧V_{dd}に等しいインバータ出力６４０が供給される。

【００１６】

さらに、入力信号がハイである場合を考える。最初のクロック位相では、クロック信号clk1はローでありclk2はハイである。この場合には、トランジスタ６１０はディスエーブル状態にされ、トランジスタ６２０はハイであり、入力inがトランジスタ６３０をイネーブル状態にする。従って、インバータの出力６４０はローの出力電圧を供給し、このことが望まれる。この場合には、容量手段４２１はV_{ss}及びV_{dd}に接続され、これにより充電される。しかし、次のクロック位相では、互いにオーバーラップしないクロック信号がclk1：ハイ、clk2：ローの値を持つ。このクロック信号の組合せはトランジスタ６１０をイネーブル状態にし、トランジスタ６２０をディスエーブル状態にし、そして入力はハイである（タイミング図参照）。このことは出力を$V_{dd}-V_T$まで充電する。さらに、この時

点では、ブートストラップ回路４２２は容量手段４２１をトランジスタ６１０の制御端子に結合し、V_{dd}が追加的電荷をトランジスタ６１０の制御端子に供給して（図６(ａ)に示すゲートについてのタイミング図参照）トランジスタ６１０を完全に開状態にし、従って出力をハイの電圧に上昇させ、このことはインバータの特性によれば望ましくなく、従ってインバータの不正な出力６４０を供給する。所定クロックに対する有効な出力のためにカスケード回路を同期させることはごく一般的であり、利用可能な何らかの同期技術によって達成されることは当業者にとって明らかであるが、明瞭にする目的で、次の説明では可能な同期技術の１つを説明する。さらに、図６に表す概念は、ＮＡＮＤ、ＮＯＲ（それぞれ図５(ａ)、図５(ｂ)に示す）、あるいは他の論理ゲートについての実施例を実現するために拡張することができることも、当業者にとって明らかである。

【００１７】

ここで図７を参照しながら説明し、図７に、本発明によるインバータ７００の他の実施例を示す。本実施例では、容量手段４２１は第１端を論理回路４１０に結合され、他方の端をブートストラップ回路４２２に結合されている。互いにオーバーラップしないクロック信号clk1及びclk2がそれぞれハイ及びローである状態を考える。このことはトランジスタ７１０をイネーブル状態にし、トランジスタ７２０をディスエーブル状態にする。さらに、トランジスタ７３０の制御端子の入力における信号がローであるものとする（図７(ａ)に示すタイミング図参照）。このことは出力７４０を$V_{dd}-V_T$まで充電する。さらに、この時点では、ブートストラップ回路４２２は容量手段４２１の一方の端をV_{ss}に結合し、インバータの出力７４０を値$V_{dd}-V_T$に充電して維持する。clk1がローでありclk2がハイであるサイクルの後半には、トランジスタ７１０はディスエーブル状態にされ、容量手段４２１の一方の端はV_{dd}に接続されて追加的電荷をインバータの出力７４０に注入し、これにより所望のハイ電圧の出力を供給する。

【００１８】

ここで、入力に供給される入力信号がハイである状態を考える。さらに、クロック信号clk1がローでありclk2がハイである最初のクロック位相を考える。この場合には、トランジスタ７１０はディスエーブル状態にされ、トランジスタ７２０及びハイの入力がトランジスタ７３０をイネーブル状態にする。結果的に、インバータの出力７４０の電圧はロー（V_{ss}）になり、このことが望まれる。この場合には、容量手段４２１はV_{ss}及びV_{dd}に結合され、これにより充電される。しかし、次のクロック位相では、互いにオーバーラップしないクロック信号clk1（ハイ）及びclk2（ロー）がトランジスタ７１０をイネーブル状態にし、トランジスタ７２０をディスエーブル状態にする。トランジスタ７３０の制御端子における入力はハイのままであるので（図７(ａ)のタイミング図参照）、出力７４０は$V_{dd}-V_T$まで充電される。さらに、この時点では、ブートストラップ回路４２２は容量手段４２１の一方の側を電源電圧V_{ss}に結合し、このことは出力７４０をハイに維持し、従ってインバータの不正な出力を供給する。

【００１９】

なお、有効な出力は、クロック信号clk2がハイである位相中のみに供給される。前述したように、出力信号をさらに処理する回路は、クロック信号clk2がハイでありclk1がローであるクロック位相中のみに出力信号が受信されるように同期させることができる。

【００２０】

以下では、明瞭にするために、容量手段及びブートストラップ回路が論理回路の出力側にある実施例を説明する。しかし、（図６に記載のように）容量手段及びブートストラップ回路が入力側にある実施例も可能であり、本発明の範囲内であることは当業者にとって明らかである。

【００２１】

ここで図７(ｂ)を参照しながら説明し、図７(ｂ)は、ほぼ安定した出力信号を有利に提供するインバータ７０１の他の可能な実施例を示す。本実施例では、図７のインバータ７００に、図７(ｂ)に示すように反転入力！(入力)を受信する追加的なトランジスタ７１１を設ける。関連するタイミング図（図７(ｃ)に示す）を参照すれば、入力inの変化に出力

が瞬時に反応しないことがわかる。本実施例では、入力の立下りエッジをclk1の立下りエッジに同期させ、入力の立上りエッジをclk2の立下りエッジに同期させることが、常に有効な出力を供給する論理回路を生じさせる。

【００２２】

ここで図８を参照しながら説明し、図８に、ＮＡＮＤ論理回路８００の可能な実施例を示す。図８では、追加的なトランジスタ８１０が図７に示すインバータ７００に直列に設けられ、入力トランジスタ７３０及び８１０がＮＡＮＤゲートの入力として働く。

【００２３】

ここで図８(ａ)を参照しながら説明し、図８(ａ)は、一組のトランジスタ８１１及び８１２を図８のＮＡＮＤゲートに結合することによって実現することのできるＮＡＮＤ論理回路８０１の他の可能な実施例を示す。これに加えて、図８(ｂ)に、本実施例に関連するタイミング図を示す。トランジスタ８１１及び８１２の制御端子は反転入力に結合されている。この回路のすべての論理状態を図８(ｂ)のタイミング図に示す。

【００２４】

ここで図９を参照しながら説明し、図９に、ＮＯＲゲート９００の１つの可能な実施例を示す。追加的なトランジスタ９１０を、図７に示すインバータ７００のトランジスタ７３０に並列に配置する。入力トランジスタ７３０及び９１０の制御端子がＮＯＲゲートの入力として働く。

【００２５】

ここで、図９(ａ)及び図９(ｂ)を参照しながら説明し、図９(ａ)及び図９(ｂ)にそれぞれ、ＮＯＲ論理回路９０１の他の可能な実施例及び関連するタイミング図を示し、この実施例は、図９のＮＯＲゲート９００に一組のトランジスタ９１１及び９１２を結合することによって実現することができる。トランジスタ９１１及び９１２の制御端子は反転入力に結合されている。この回路のすべての論理状態を図９(ｂ)に示すタイミング図に表す。

【００２６】

同様に、他の論理ゲートＡＮＤ、ＯＲ等を構成することができる。また、図６を参照して説明したブートストラップ手段及び容量手段を有する論理ゲートも構成することができる。

【００２７】

次の説明では、カスケード型論理回路の同期を可能にする同期アーキテクチャ及び論理回路を説明する。同期は、２つ、３つ、４つまたはより多数のクロックを用いて達成することができる。６つのクロックを用いて同期技術を説明する。

【００２８】

ここで図１０(ａ)、１０(ｂ)及び１０(ｃ)を参照しながら説明し、これらの図はそれぞれ、６つのクロック信号を用いて同期を可能にするインバータ、ＮＡＮＤ、及びＮＯＲ論理ゲートの実施例を示す。これらの図では、図４中の各部分に対応する部分は同じ参照番号を付す。これらの実施例では、容量手段４２１は、トランジスタ１０５１及び１０５２の導電端子どうしを短絡させることによって実現する。ブートストラップ回路４２２には、クロック信号を制御端子で受信する追加的なトランジスタ１０６１及び１０６２を設ける。明瞭さのために、以下の説明では図１０(ａ)を詳細に説明する。

【００２９】

ここで図１０(ａ)を参照しながら説明し、図１０(ａ)に、同期を可能にするインバータ１０００の実施例を示す。ブロック４１０は、図５で説明した基本的なダイナミック・ロジック（論理）インバータを形成し、クロック信号clkA及びclkBを受信する。容量手段４２１は、トランジスタ１０５１及び１０５２を用い、それらの導電端子どうしを短絡させることによって実現されるが、容量手段は単一のトランジスタを用いて実現することもできる。導電端子どうしを短絡させたトランジスタ１０５１及び１０５２は互いに逆並列に接続されて、インバータの出力１０４０の立上りエッジ及び立下りエッジの両方における容量性の挙動を改善する。随意的に、トランジスタ１０５１及び１０５２のサイズを変更して容量効果を改善することもできる。ブートストラップブロック４２２は、トランジス

タ１０６１、１０６２、１０６３及び１０６４が設けられている。追加的なトランジスタ１０６１及び１０６２を設けて、クロックclkEまたはclkDがハイである際に出力をV_{dd}以上に保つ。インバータの動作は、クロックclkD及びclkEがハイのレベルにある際にこれらの追加的なトランジスタ１０６１及び１０６２がインバータの出力をハイに保つこと以外は図７について前述したものと同じである。技術の詳細次第では、サイジング（寸法決め）を変更し、漏洩または絶縁破壊（ブレークダウン）を回避するための特別なカスコード・トランジスタを加えて、容量性フィードバックを入力に加えるか他の変更を行うことが必要になり得る。図１０(ａ)の説明は、図１０(ｂ)のＮＡＮＤ論理回路及び図１０(ｃ)のＮＯＲ論理回路にも同様に当てはまる。

【００３０】

複数の論理回路をカスケード接続することは、次の説明より明らかになる。

この目的のために、ここで図１１を参照しながら説明し、図１１に、本発明の論理回路を同期させるために用いることのできる全体的な同期アーキテクチャ１１００を示す。本発明の論理回路全体は、互いに部分的にオーバーラップする６つのクロック信号、即ち、clkA、clkB、clkC、clkD、clkE及びclkFを用いて同期させることができる。図１２に、クロック信号の特性を示す。この同期アーキテクチャ１１００の例では、本発明による論理アセンブリが７つ連続したものを示し、各論理アセンブリは少なくとも４つのクロック信号を受信する。同期アーキテクチャ１１００はさらに、クロック信号clkA、clkB、clkC、clkD、clkE及びclkFを発生するクロック信号発生器１１１０を有する。第１クロック信号clkAは、クロックサイクルの最初の60°中にハイのレベルを有し、第２クロック信号clkBは、clkAに対して60°だけ位相シフトされ、第３クロック信号clkCは第１クロック信号clkAに対して120°だけ位相シフトされている、等である。図１１に示すように、各論理アセンブリは順に入れ替わるクロック信号の組に接続され、これにより、各論理アセンブリが受信するクロック信号clk1、clk2、clk3、clk4は、その手前の論理アセンブリが受信するクロック信号clk1、clk2、clk3、clk4に対してそれぞれ60°進んだ位相である。本発明は60°以外の位相差で実施することができることは当業者にとって明らかである。なお、第１アセンブリと第７論理アセンブリとは接続が同じであり、同様に、第２と第８、第３と第９、等はクロック信号接続が同じである。選択したクロック信号パターンの性質、及びクロック信号の入れ替わりの接続が、縦続接続中の手前の論理アセンブリの出力が有効な出力である際のみに、論理アセンブリの入力がクロック信号に合わせてイネーブル状態に（許可）されることを保証する。

【００３１】

この例では、左から１番目の論理アセンブリがクロック信号clkA、clkC、clkD及びclkEに接続され、次の論理アセンブリがclkB、clkD、clkE及びclkFに接続され、等である。従って、１番目の論理アセンブリはクロック信号clkBがハイである際に有効な出力を供給し、次の論理アセンブリは、クロック信号clkBがハイである際のみに入力をサンプリングし、これにより、次の論理アセンブリ用の有効な入力を保証する。同様に、後続の論理アセンブリはその入力信号を正しい瞬時にサンプリングする。この同期のプロセスを図１３に例示する。

【００３２】

図１３に、シフトレジスタを形成する同期したインバータ列を示す。なお、所定のインバータにおいて、上部及び下部のトランジスタが入れ替わりのクロック信号を受信し、すべての上部トランジスタが巡回的に（記号が）連続するクロック信号を受信し、同様に、すべての下部トランジスタが巡回的に連続するクロック信号を受信する。さらに、簡単かつ明瞭にするために、ブートストラップ回路は図には示していないが、各インバータはブートストラップ回路をその容量手段に結合することができる。本実施例の動作を以下に説明する。

【００３３】

各インバータのキャパシタは第１から第６までのクロック信号で順に充電され、即ち図に示すように、第１キャパシタはクロック信号clkAの第１位相（ハイ）中に充電され、第

２キャパシタはクロック信号clkBの期間中に充電され、等である。これらのキャパシタは後続するクロック信号の期間中に充電されたままであり、即ち、第１キャパシタはclkBがハイである間充電されたままであり、第２キャパシタはclkCがハイである間充電されたままであり、等である。これらのキャパシタは、さらに後続するクロック信号の期間中に放電し、即ち、第１キャパシタはクロック信号clkCがハイである際に放電し、第２キャパシタはclkDがハイである際に放電し、等である。なお、前のキャパシタが完全に充電されている際のみに入力がインバータによって受信され、例えば、２番目のインバータは、１番目のインバータのキャパシタが完全に充電されている際にクロック信号clkBのハイの位相中のみに入力を受信し、同様に、３番目のインバータはcklCの期間中にその入力を受信し、等である。この構成は各インバータにおいて有効な入力のみが受信されることを保証し、これによりシフトレジスタの動作を実現する。

【００３４】

実際には、各キャパシタはクロックサイクルの最初のステップ中にプリチャージ（事前充電）される。クロックサイクルの第２ステップ中には、キャパシタは電荷を保持し、出力に昇圧をもたらす。第３ステップ中には、キャパシタが放電する。

【００３５】

なお、オーバーラップする５つのクロック信号、あるいはオーバーラップしない４つのクロック信号を用いて同じ動作を達成することができる。これに加えて、他の同期技術も可能である。

【００３６】

同期アーキテクチャは、フリップフロップ、ラッチ、シフトレジスタ等を含む複雑なカスケード型論理回路用に構成することができる。

【００３７】

以上の説明では、Ｎ導電型素子を用いた論理回路を説明してきたが、Ｐ導電型素子を用いた論理回路も同様に説明することができることは当業者にとって明らかである。

【００３８】

なお、上述した実施例は本発明を限定するものではなく例示するものであり、当業者は請求項に記載の範囲を逸脱することなしに多くの代案実施例を設計することができる。「具えている」等の文言は、請求項に挙げた以外の要素またはステップの存在を排除するものではない。各要素は複数存在し得る。本発明は、ソフトウェアにより適切にプログラムされたコンピュータによって実現することができる。いくつかの手段を挙げたシステムの請求項では、これらの手段のいくつかはコンピュータで読取可能なソフトウェアまたはハードウェアの同一アイテムによって具体化することができる。

【図面の簡単な説明】

【００３９】

【図１】標準的なＣＭＯＳインバータ回路を示す図である。

【図２】単一導電型インバータ用の標準的な回路を示す図である。

【図３】トランジスタをダイオード接続モードで用いた、単一しきい値・単一導電型インバータを示す図である。

【図４】本発明による、単一しきい値・単一導電型論理アセンブリのブロック図である。

【図５】本発明による単一しきい値・単一導電型インバータを示す図である。

【図５（ａ）】本発明による単一しきい値・単一導電型ＮＡＮＤ論理回路を示す図である。

【図５（ｂ）】本発明による単一しきい値・単一導電型ＮＯＲ論理回路を示す図である。

【図６】本発明による単一しきい値・単一導電型インバータ、及びブートストラップ回路を示す図である。

【図６（ａ）】図６のインバータの論理状態のタイミング図である。

【図７】インバータの出力側にブートストラップ回路及びキャパシタを有する、本発明によるインバータの他の実施例を示す図である。

【図７（ａ）】図７のインバータの論理状態のタイミング図である。

【図７（ｂ）】インバータの出力側にブートストラップ回路及びキャパシタを有する、本発明によるインバータの他の実施例を示す図である。
【図７（ｃ）】図７(ｂ)のインバータの論理状態のタイミング図である。
【図８】出力側にブートストラップ回路及びキャパシタを有する、本発明によるＮＡＮＤ論理回路の実施例を示す図である。
【図８（ａ）】出力側にブートストラップ回路及びキャパシタを有する、本発明によるＮＡＮＤ論理回路の他の実施例を示す図である。
【図８（ｂ）】図８(ａ)のＮＡＮＤ回路の論理状態のタイミング図である。
【図９】出力側にブートストラップ回路及びキャパシタを有する、本発明によるＮＯＲ論理回路の実施例を示す図である。
【図９（ａ）】出力側にブートストラップ回路及びキャパシタを有する、本発明によるＮＯＲ論理回路の実施例を示す図である。
【図９（ｂ）】図９(ａ)のＮＯＲ回路の論理状態のタイミング図である。
【図１０（ａ）】同期を可能にする、本発明によるインバータ論理回路の実施例を示す図である。
【図１０（ｂ）】同期を可能にする、本発明によるＮＡＮＤ論理回路の実施例を示す図である。
【図１０（ｃ）】同期を可能にする、本発明によるＮＯＲ論理回路の実施例を示す図である。
【図１１】瞬時反転の論理を同期させるための一般的な同期アーキテクチャを示す図である。
【図１２】可能な同期アーキテクチャの１つに用いられるクロック信号の特性を示す図である。
【図１３】シフトレジスタを形成する同期したインバータ列を示す図である。

【図１】

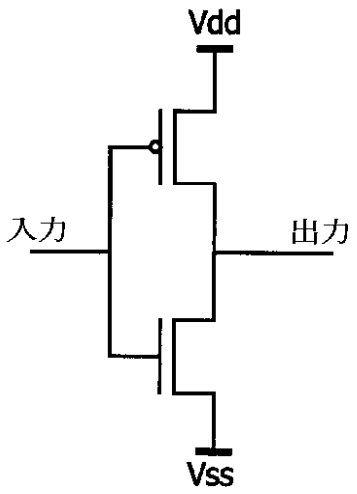


FIG. 1

【図２】

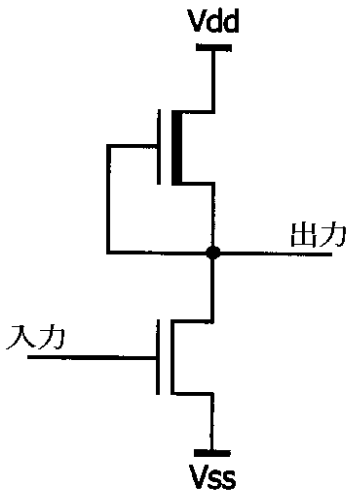


FIG. 2

【図３】

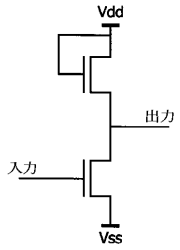


FIG. 3

【図４】

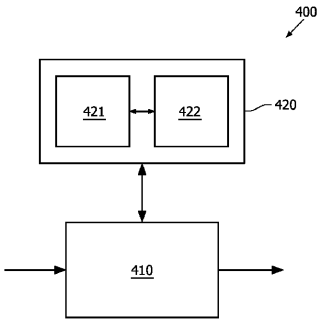


FIG. 4

【図５】

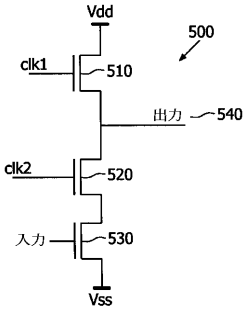


FIG. 5

【図５（ａ）】

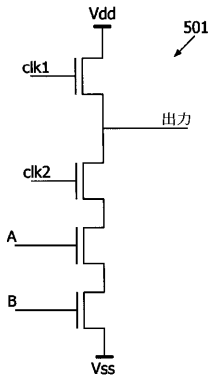


FIG. 5(a)

【図５（ｂ）】

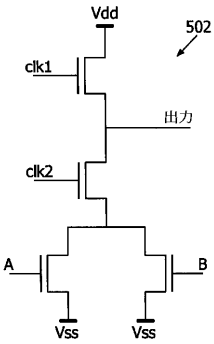


FIG. 5(b)

【図６】

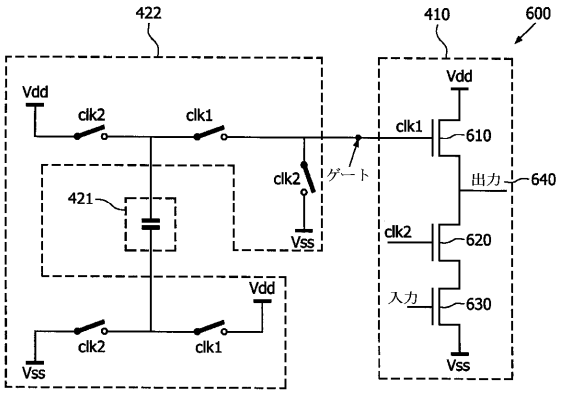


FIG. 6

【図６（ａ）】

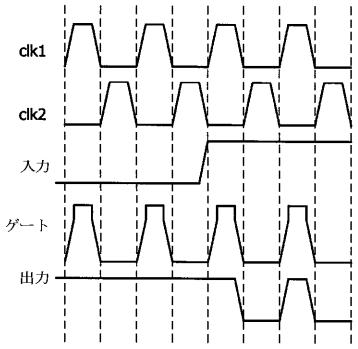


FIG. 6(a)

【図７】

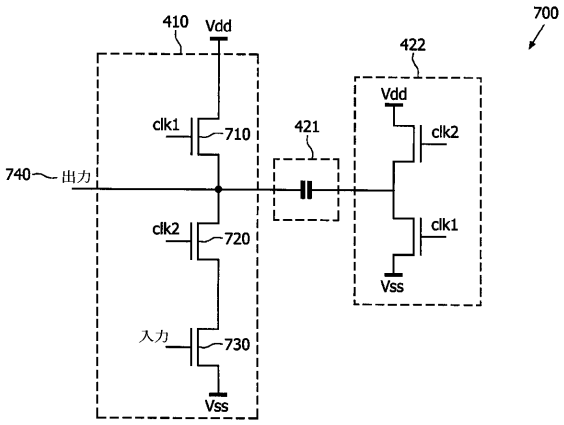


FIG. 7

【図７（ｂ）】

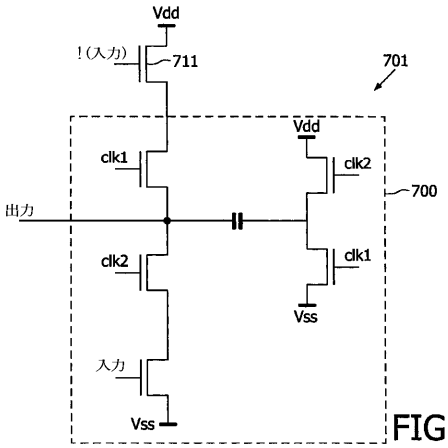


FIG. 7(b)

【図７（ａ）】

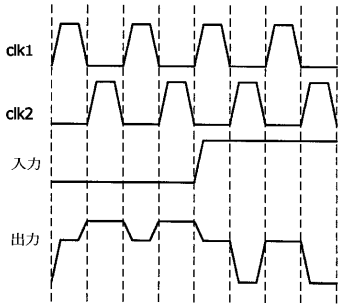


FIG. 7(a)

【図７（ｃ）】

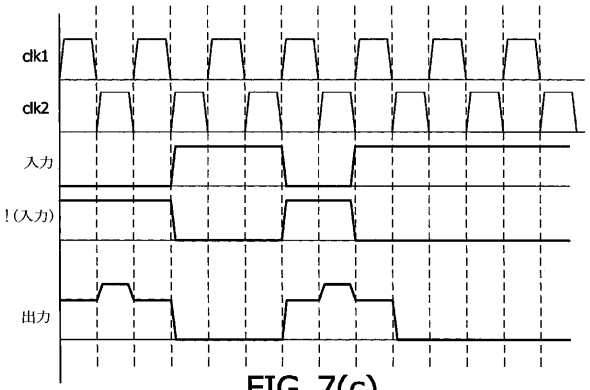


FIG. 7(c)

【図８】

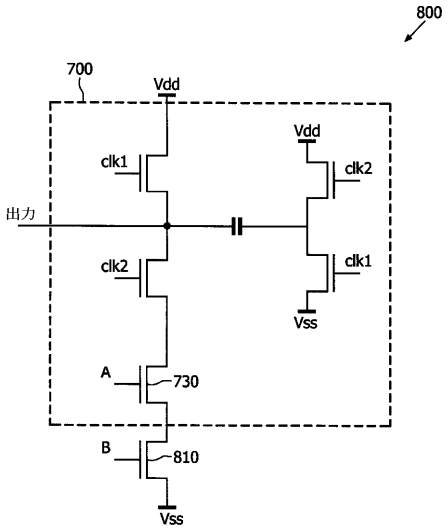


FIG. 8

【図８（ａ）】

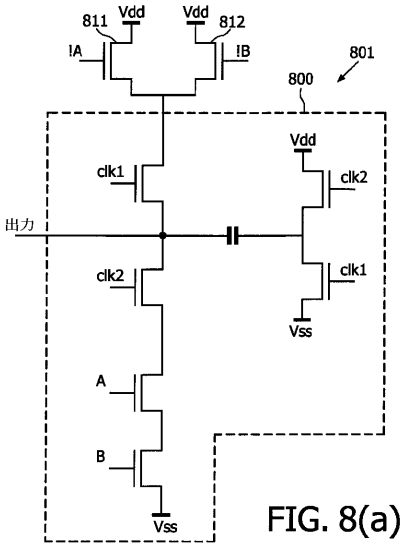


FIG. 8(a)

【図８（ｂ）】

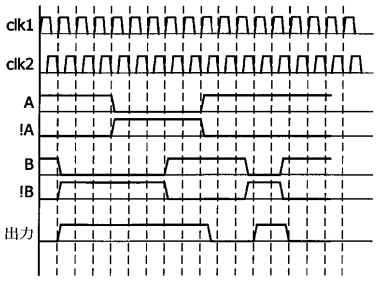


FIG. 8(b)

【図９】

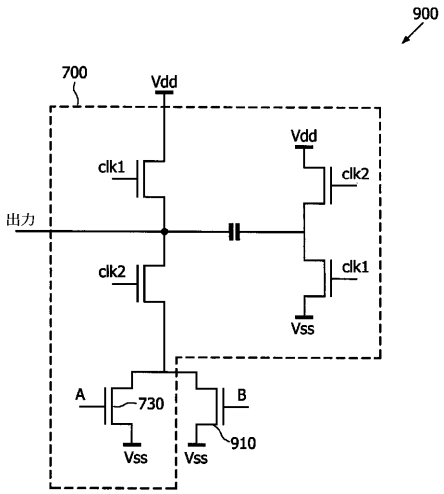


FIG. 9

【図９（ａ）】

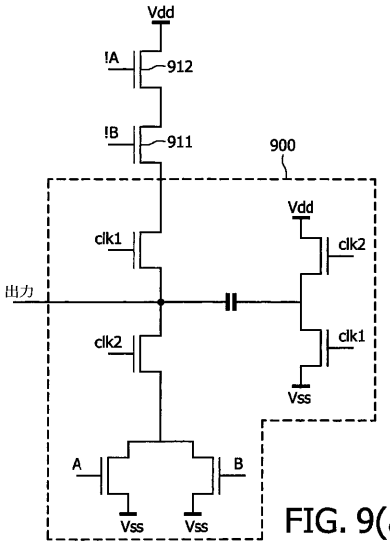


FIG. 9(a)

【図９（ｂ）】

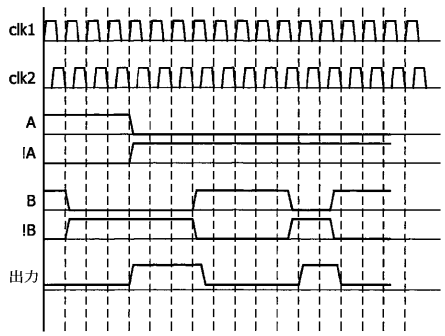


FIG. 9(b)

【図１０（ａ）】

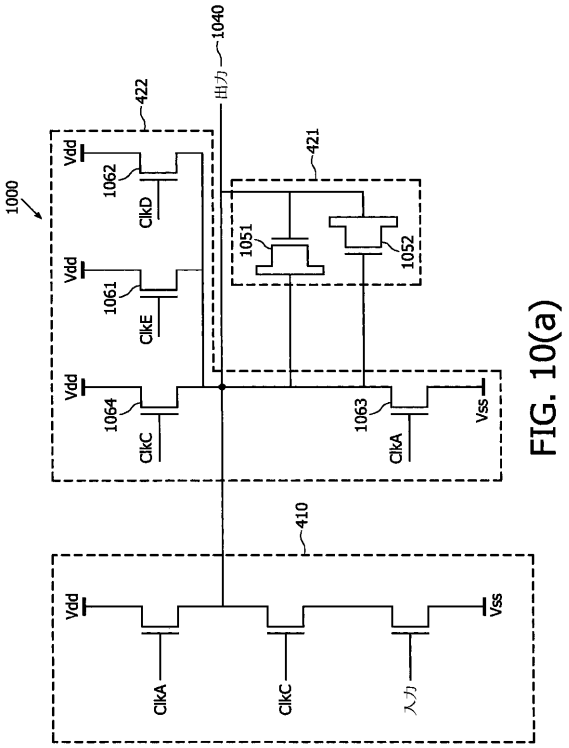


FIG. 10(a)

【図１０（ｂ）】

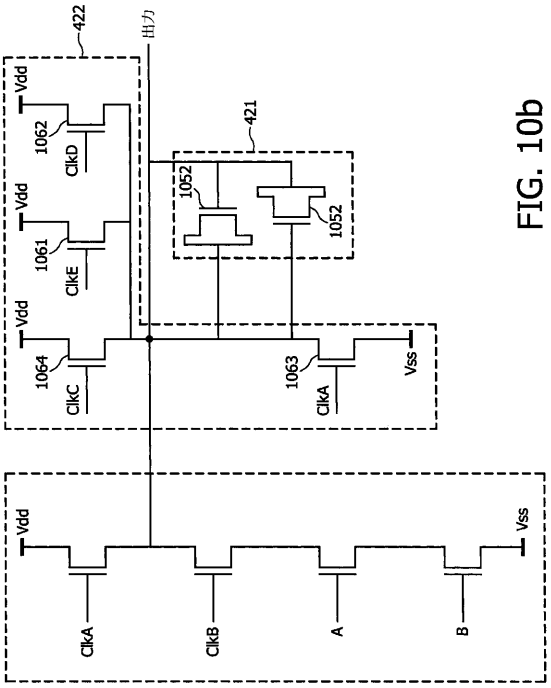


FIG. 10b

【図１０（ｃ）】

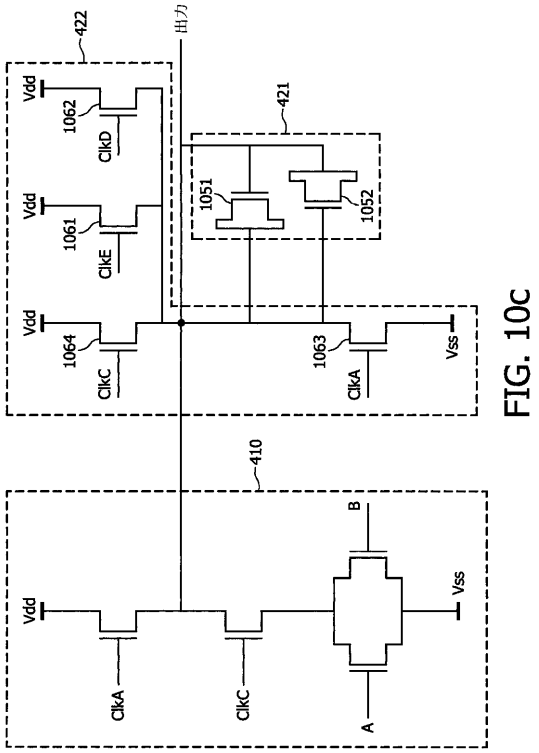


FIG. 10c

【図１１】

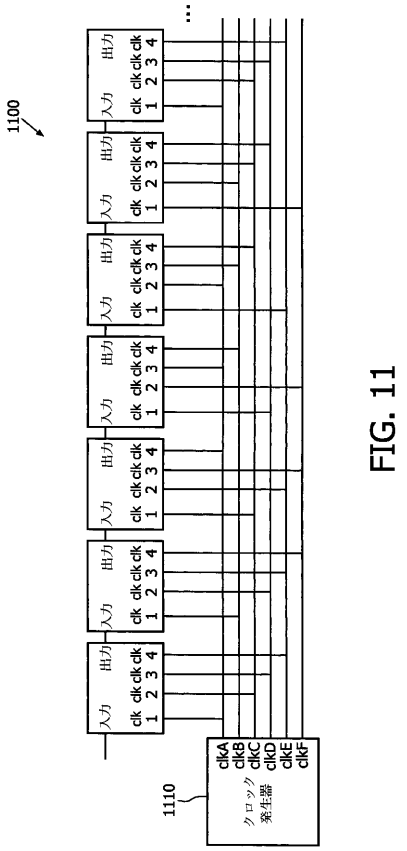


FIG. 11

【図１２】

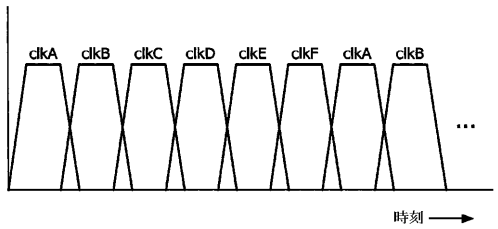


FIG. 12

【図１３】

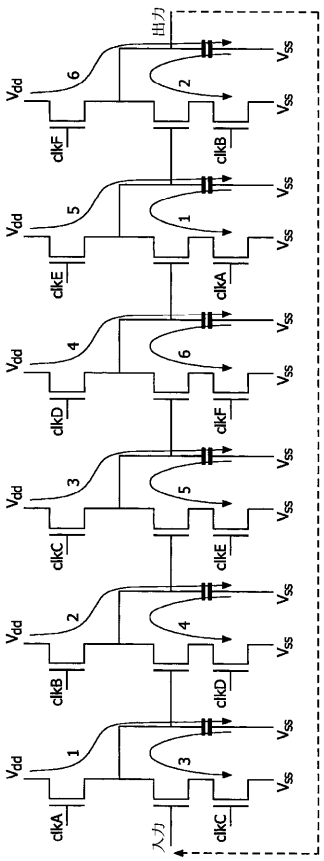


FIG. 13

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2006/053281

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03K19/017 H03K19/096

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 81/02080 A (MOSTEK CORP [US]) 23 July 1981 (1981-07-23) abstract; figures 1-6,10 page 5, line 25 - line 31 page 12, line 24 - line 26	1-6
X	US 3 774 055 A (BAPAT D) 20 November 1973 (1973-11-20) abstract; figures 1,2 column 1, line 61 - line 63 column 2, line 9 - line 16 column 2, line 40 - line 51 column 2, line 56 - line 58	1-5
X	GB 2 078 459 A (PHILIPS NV) 6 January 1982 (1982-01-06) abstract; figures 1-5	1-5

-/--

[X] Further documents are listed in the continuation of Box C. [X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 May 2007	04/06/2007

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Mesic, Maté

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2006/053281

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/216015 A1 (BERNSTEIN KERRY [US] ET AL) 28 October 2004 (2004-10-28) abstract; figures 1,2	1,3-5

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2006/053281

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 8102080 A	23-07-1981	CA 1157111 A1	15-11-1983
		DE 3050199 C2	21-11-1985
		FR 2473814 A1	17-07-1981
		GB 2078461 A	06-01-1982
		JP 2668611 B2	27-10-1997
		JP 5276016 A	22-10-1993
		JP 4040894 B	06-07-1992
		JP 56501903 T	24-12-1981
		NL 8020238 A	01-12-1981
		US 4316106 A	16-02-1982
US 3774055 A	20-11-1973	NONE	
GB 2078459 A	06-01-1982	AU 538272 B2	09-08-1984
		AU 7183181 A	24-12-1981
		CA 1183224 A1	26-02-1985
		DE 3123504 A1	25-03-1982
		FR 2485300 A1	24-12-1981
		HK 40785 A	31-05-1985
		IE 51780 B1	01-04-1987
		IT 1138401 B	17-09-1986
		JP 57030420 A	18-02-1982
		MX 151878 A	17-04-1985
		NL 8003519 A	18-01-1982
US 2004216015 A1	28-10-2004	NONE	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 ニコラース ランベルト
オランダ国 ５６５６ アーアー アインドーフェン プロフ ホルストラーン ６
(72)発明者 アンドレイ ミイリツキ
オランダ国 ５６５６ アーアー アインドーフェン プロフ ホルストラーン ６
(72)発明者 ピエーレ ハー ウーレー
オランダ国 ５６５６ アーアー アインドーフェン プロフ ホルストラーン ６

Ｆターム(参考) 5J056 AA03 BB17 CC29 DD13 DD29 DD51 EE11 EE13 FF01 FF08
FF09 KK01