

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3962296号
(P3962296)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int.C1.

F 1

H O 1 L 21/8246 (2006.01)
H O 1 L 27/105 (2006.01)

H O 1 L 27/10 4 4 4 B

請求項の数 11 (全 16 頁)

(21) 出願番号 特願2002-224451 (P2002-224451)
 (22) 出願日 平成14年8月1日 (2002.8.1)
 (65) 公開番号 特開2003-174145 (P2003-174145A)
 (43) 公開日 平成15年6月20日 (2003.6.20)
 審査請求日 平成15年1月21日 (2003.1.21)
 審判番号 不服2005-4187 (P2005-4187/J1)
 審判請求日 平成17年3月10日 (2005.3.10)
 (31) 優先権主張番号 特願2001-296855 (P2001-296855)
 (32) 優先日 平成13年9月27日 (2001.9.27)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100094134
 弁理士 小山 廣毅
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】強誘電体メモリ装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置であって、

複数の前記上部電極を覆うように設けられ、 Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、 TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第2の水素バリア膜を備え、

前記第2の水素バリア膜は、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列毎に分離して形成され、

前記複数の強誘電体キャパシタのうち、前記一方向に並ぶ複数の強誘電体キャパシタの前記下部電極同士の間に埋め込まれ、上面が前記下部電極の上面とほぼ面一に形成された絶縁性の第1の水素バリア膜と、

前記層間絶縁膜に形成されているコンタクトプラグと前記下部電極との間に形成されている導電性水素バリア膜とをさらに備え、

前記第2の水素バリア膜の周縁部は、前記第1の水素バリア膜の上面と接続され、
前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列は、前記第2の水素バリア膜、前記第1の水素バリア膜及び前記導電性水素バリア膜によって完全に覆われていることを特徴とする強誘電体メモリ装置。

【請求項 2】

10

20

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置であって、

複数の前記上部電極を覆うように設けられ、 Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、 TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第2の水素バリア膜を備え、

前記第2の水素バリア膜は、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列を覆うように形成され、

前記複数の強誘電体キャパシタのうち、前記一対のキャパシタ列の前記複数の強誘電体キャパシタの前記下部電極同士の間に埋め込まれ、上面が前記下部電極の上面とほぼ面一に形成された絶縁性の第1の水素バリア膜と、

前記層間絶縁膜に形成されているコンタクトプラグと前記下部電極との間に形成されている導電性水素バリア膜とをさらに備え、

前記第2の水素バリア膜の周縁部は、前記第1の水素バリア膜の上面と接続され、

前記複数の強誘電体キャパシタよりなる前記一対のキャパシタ列は、前記第2の水素バリア膜、前記第1の水素バリア膜及び前記導電性水素バリア膜によって完全に覆われていることを特徴とする強誘電体メモリ装置。

【請求項3】

前記上部電極は、前記一方向に並ぶ前記複数の強誘電体キャパシタに共通に形成されていることを特徴とする請求項1または請求項2記載の強誘電体メモリ装置。

【請求項4】

前記共通の上部電極と前記第2の水素バリア膜との間に形成され、前記共通の上部電極の周縁部に形成される段差を緩和する段差緩和膜をさらに備えていることを特徴とする請求項3に記載の強誘電体メモリ装置。

【請求項5】

前記第1の水素バリア膜は、 Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、又は Ti と Al との合金の酸化物膜若しくは酸窒化物膜よりなることを特徴とする請求項1または請求項2に記載の強誘電体メモリ装置。

【請求項6】

前記導電性水素バリア膜は、 Ti と Al との合金膜、 Ti と Al との合金の窒化物膜若しくは酸窒化物膜、又は TiN 膜よりなることを特徴とする請求項1または2に記載の強誘電体メモリ装置。

【請求項7】

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置の製造方法であって、

前記層間絶縁膜に形成されているコンタクトプラグの上に導電性水素バリア膜を形成する工程と、

前記導電性水素バリア膜の上に、前記複数の強誘電体キャパシタの下部電極を形成する工程と、

前記層間絶縁膜及び前記下部電極の上に絶縁性の第1の水素バリア膜を堆積した後、該第1の水素バリア膜を平坦化して、前記複数の強誘電体キャパシタのうち、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタの前記下部電極同士の間に前記第1の水素バリア膜を埋め込んで、前記下部電極の上面と前記第1の水素バリア膜の上面をほぼ面一に形成する工程と、

前記下部電極上に容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に上部電極を形成する工程と、

Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、 TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる

10

20

30

40

50

第2の水素バリア膜を、複数の前記上部電極を覆い、かつ、ワード線方向及びピット線方向のうちの前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列毎に分離して形成するとともに、周縁部は前記第1の水素バリア膜の上面と接続するように形成する工程とを備え、

前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列は、前記第2の水素バリア膜、前記第1の水素バリア膜及び前記導電性水素バリア膜によって完全に覆われていることを特徴とする強誘電体メモリ装置の製造方法。

【請求項8】

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びピット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置の製造方法であって、
10

前記層間絶縁膜に形成されているコンタクトプラグの上に導電性水素バリア膜を形成する工程と、

前記導電性水素バリア膜の上に、前記複数の強誘電体キャパシタの下部電極を形成する工程と、

前記層間絶縁膜及び前記下部電極の上に絶縁性の第1の水素バリア膜を堆積した後、該第1の水素バリア膜を平坦化して、前記複数の強誘電体キャパシタのうち、ワード線方向及びピット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びピット線方向のうちの他方向に隣り合う一対のキャパシタ列の前記複数の強誘電体キャパシタの前記下部電極同士の間に前記第1の水素バリア膜を埋め込んで、前記下部電極の上面と前記第1の水素バリア膜の上面をほぼ面一に形成する工程と、
20

前記下部電極上に容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に上部電極を形成する工程と、

S_i₃N₄膜、SiON膜、Al₂O₃膜、TiO₂膜、TiN膜若しくはTiとAlとの合金膜、又はTiとAlとの合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第2の水素バリア膜を、複数の前記上部電極を覆い、かつ、ワード線方向及びピット線方向のうちの前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びピット線方向のうちの他方向に隣り合う一対のキャパシタ列を覆うように形成するとともに、周縁部は前記第1の水素バリア膜の上面と接続するように形成する工程とを備え、
30

前記複数の強誘電体キャパシタよりなる前記一対のキャパシタ列は、前記第2の水素バリア膜、前記第1の水素バリア膜及び前記導電性水素バリア膜によって完全に覆われていることを特徴とする強誘電体メモリ装置の製造方法。

【請求項9】

前記上部電極を形成する工程と前記第2の水素バリア膜を形成する工程との間に、前記上部電極と前記第2の水素バリア膜との間に介在し、前記上部電極の周縁部に形成される段差を緩和する段差緩和膜を形成する工程をさらに備えていることを特徴とする請求項7または請求項8に記載の強誘電体メモリ装置の製造方法。

【請求項10】

前記第1の水素バリア膜は、S_i₃N₄膜、SiON膜、Al₂O₃膜、TiO₂膜、又はTiとAlとの合金の酸化物膜若しくは酸窒化物膜よりなることを特徴とする請求項7または請求項8に記載の強誘電体メモリ装置の製造方法。
40

【請求項11】

前記導電性水素バリア膜は、TiとAlとの合金膜、TiとAlとの合金の窒化物膜若しくは酸窒化物膜、又はTiN膜よりなることを特徴とする請求項7または請求項8に記載の強誘電体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板上に順次形成された、下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びピット線方向にマトリックス状に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体メモリ装置としては、例えばSrBi₂Ta₂O₉（以下、SBTと記す）又はPb(Zr, Ti)O₃（以下、PZTと記す）等のヒステリシス特性を有する強誘電体材料膜よりなる容量絶縁膜を有する不揮発性の強誘電体メモリ装置が開発されている。このような強誘電体メモリ装置に用いられるSBT及びPZT等の強誘電体材料は強誘電体酸化物である。

10

【0003】

このため、複数の強誘電体キャパシタの上に層間絶縁膜を介してアルミ配線を形成した後に、半導体基板に形成されているMOSトランジスタの特性を確保するために行なわれる水素を含む雰囲気中の熱処理、又は半導体メモリ装置の微細化に伴うアスペクト比が高いコンタクトホールにタンゲステン膜を埋め込むために行なわれるCVD法において、強誘電体酸化物が還元性雰囲気、特に水素雰囲気に曝されると、強誘電体酸化物は還元される。このため、強誘電体酸化物の結晶組成が崩れてしまうので、容量絶縁膜の絶縁特性又は強誘電体酸化物の特性が大きく劣化してしまう。

【0004】

そこで、強誘電体キャパシタを形成した後に、該強誘電体キャパシタに対して水素雰囲気中の熱処理を施しても、強誘電体キャパシタの容量絶縁膜が水素に曝されて還元されることがないように、容量絶縁膜への水素の侵入を防止する水素バリア膜を強誘電体キャパシタを覆うように形成する。

20

【0005】

ところが、強誘電体キャパシタと該強誘電体キャパシタの上に形成される層間絶縁膜との間に水素バリア膜を設ける場合、水平方向からの水素の侵入を遮断するためには、水素バリア膜の面積を強誘電体キャパシタの面積よりも少なくとも数μm以上大きくする必要がある。また、水素バリア膜は層間絶縁膜に埋め込まれたコンタクトプラグの上にも形成されるため、コンタクトプラグをCVD法により形成されるタンゲステン膜により形成する場合には、水素バリア膜が有する容量絶縁膜への水素の侵入を防止する効果は低減する。

30

【0006】

特に、近年、強誘電体メモリ装置の微細化に伴って強誘電体キャパシタの面積の縮小化（1μm²以下）が図られているが、前述の理由により、水素バリア膜により強誘電体キャパシタを覆うだけでは、容量絶縁膜への水素の侵入を確実に防止することができない。

【0007】

そこで、特開平11-135736号公報においては、図6に示すような構造を有する強誘電体メモリ装置が提案されている。

【0008】

以下、従来例として、図6に示す強誘電体メモリ装置について説明する。

【0009】

シリコン基板10の表面部には、素子分離領域11が形成されていると共にソース又はドレインとなる不純物拡散層12が形成されている。シリコン基板10の上における不純物拡散領域12同士の間には、ゲート絶縁膜を介してゲート電極13が形成されており、これらゲート電極13及び不純物拡散層12により電界効果型トランジスタが構成されている。

40

【0010】

電界効果型トランジスタ及び素子分離領域11の上には第1の層間絶縁膜14が形成されており、該第1の層間絶縁膜14の上における素子分離領域11の上方には第1の絶縁性水素バリア膜15が形成されている。第1の絶縁性水素バリア膜15の上には、下部電極16、強誘電体膜よりなる容量絶縁膜17及び上部電極18から構成される強誘電体キャ

50

パシタが形成されている。上部電極18の上には導電性水素バリア膜19が形成され、該導電性水素バリア膜19の上面、並びに下部電極16、容量絶縁膜17及び上部電極18の側面を覆うように第2の絶縁性水素バリア膜20が形成されており、強誘電体キャパシタは、第1の絶縁性水素バリア膜15、導電性水素バリア膜19及び第2の絶縁性水素バリア膜20により完全に覆われている。

【0011】

第1の層間絶縁膜14及び第2の絶縁性水素バリア膜20の上には第2の層間絶縁膜21が形成されている。第2の層間絶縁膜21の上には金属配線22が形成されており、該金属配線22は、第1の層間絶縁膜14及び第2の層間絶縁膜21に埋め込まれたコンタクトプラグ23と接続している。

10

【0012】

【発明が解決しようとする課題】

前述のように、強誘電体キャパシタは、第1の絶縁性水素バリア膜15、導電性水素バリア膜19及び第2の絶縁性水素バリア膜20により完全に覆われているため、容量絶縁膜17に水素が侵入する事態は防止できる。

【0013】

ところが、前記従来の強誘電体メモリ装置においては、第2の絶縁性水素バリア膜20をパターニングする際のマスクずれにより、第2の絶縁性水素バリア膜20の側部が消滅してしまったり、膜厚が薄くなってしまったりする事態が発生する。

【0014】

そこで、第2の絶縁性水素バリア膜20の膜厚を厚くすると共に、第2の絶縁性水素バリア膜20をパターニングするためのマスクのマージンを大きくする必要がある。

20

【0015】

このため、強誘電体キャパシタ同士の間隔を大きくする必要があるので、強誘電体メモリ装置の微細化が困難になるという問題がある。

【0016】

前記に鑑み、本発明は、強誘電体キャパシタの容量絶縁膜に水素が侵入する事態の確実な防止と、強誘電体メモリ装置の微細化との両立を図ることを目的とする。

【0017】

【課題を解決するための手段】

30

前記の目的を達成するため、本発明の請求項1に係る強誘電体メモリ装置は、半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びピット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置であつて、

複数の前記上部電極を覆うように設けられ、 Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、 TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第2の水素バリア膜を備え、

前記第2の水素バリア膜は、ワード線方向及びピット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列毎に分離して形成され、

前記複数の強誘電体キャパシタのうち、前記一方向に並ぶ複数の強誘電体キャパシタの前記下部電極同士の間に埋め込まれ、上面が前記下部電極の上面とほぼ面一に形成された絶縁性の第1の水素バリア膜と、

40

前記層間絶縁膜に形成されているコンタクトプラグと前記下部電極との間に形成されている導電性水素バリア膜とをさらに備え、

前記第2の水素バリア膜の周縁部は、前記第1の水素バリア膜の上面と接続され、

前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列は、前記第2の水素バリア膜、前記第1の水素バリア膜及び前記導電性水素バリア膜によって完全に覆われている。

【0018】

本発明の請求項1に係る強誘電体メモリ装置によると、上部電極を覆うように第2の水

50

素バリア膜が形成されているため、強誘電体キャパシタを形成した後において水素雰囲気中での熱処理が施された場合、強誘電体キャパシタの容量絶縁膜に対して上方から侵入する水素を防止できるので、容量絶縁膜を構成する強誘電体膜の還元を防止することができる。

また、ワード線方向及びビット線方向のうちの一方向に並ぶ複数の強誘電体キャパシタの下部電極同士の間に第1の絶縁性水素バリア膜が埋め込まれているため、第1の絶縁性水素バリア膜における、一方向に並ぶ複数の強誘電体キャパシタの下部電極同士の間の領域ではパターニングする必要はない。このため、パターニングを行なうためのマスクの位置ずれを考慮して、下部電極同士の間に寸法マージンを確保する必要がないので、強誘電体キャパシタ同士の間隔を狭くして、メモリセルアレイひいては強誘電体メモリ装置の面積を低減することができる。10

【0019】

本発明の請求項2に係る強誘電体メモリ装置は、半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置であって、

複数の前記上部電極を覆うように設けられ、 Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、 TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第2の水素バリア膜を備え、

前記第2の水素バリア膜は、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列を覆うように形成され。20

前記複数の強誘電体キャパシタのうち、前記一対のキャパシタ列の前記複数の強誘電体キャパシタの前記下部電極同士の間に埋め込まれ、上面が前記下部電極の上面とほぼ面一に形成された絶縁性の第1の水素バリア膜と、

前記層間絶縁膜に形成されているコンタクトプラグと前記下部電極との間に形成されている導電性水素バリア膜とをさらに備え、

前記第2の水素バリア膜の周縁部は、前記第1の水素バリア膜の上面と接続され、

前記複数の強誘電体キャパシタよりなる前記一対のキャパシタ列は、前記第2の水素バリア膜、前記第1の水素バリア膜及び前記導電性水素バリア膜によって完全に覆われている。30

【0021】

本発明の請求項2に係る強誘電体メモリ装置によると、第2の水素バリア膜における、一方向に並ぶ複数の強誘電体キャパシタよりなる一対のキャパシタ列同士の間において寸法マージンを確保する必要がないので、一対のキャパシタ列同士の間隔を狭くして、メモリセルアレイひいては強誘電体メモリ装置の面積を低減することができる。また、強誘電体メモリ装置の選択用トランジスタの近傍に、水素バリア膜が形成されていない領域が存在するため、金属配線を形成した後にトランジスタの特性を回復するために行なう水素雰囲気中での熱処理において、水素が選択トランジスタに拡散するための経路を確保することができる。40

【0022】

本発明の請求項3に係る強誘電体メモリ装置は、請求項1または請求項2記載の強誘電体メモリ装置において、前記上部電極は、前記一方向に並ぶ前記複数の強誘電体キャパシタに共通に形成されていることを特徴とする。

【0028】

本発明の請求項4に係る強誘電体メモリ装置によると、請求項3に記載の強誘電体メモリ装置において、前記共通の上部電極と前記第2の水素バリア膜との間に形成され、前記共通の上部電極の周縁部に形成される段差を緩和する段差緩和膜が形成されていることが好ましい。

【0029】

10

20

30

40

50

このようにすると、パターニングされた上部電極の周端部に形成される角張った段差が緩和されるため、第2の水素バリア膜の上部電極の周端部におけるカバレッジを向上させることができる。

【0030】

本発明の請求項5に係る強誘電体メモリ装置によると、請求項1または請求項2に記載の強誘電体メモリ装置において、前記第1の水素バリア膜としては、 Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、又は Ti と Al との合金の酸化物膜若しくは酸窒化物を用いることができる。

【0031】

本発明の請求項6に係る強誘電体メモリ装置によると、請求項1または2に記載の強誘電体メモリ装置において、前記導電性水素バリア膜としては、 Ti と Al との合金膜、 Ti と Al との合金の窒化物膜若しくは酸窒化物膜、又は TiN 膜を用いることができる。

【0032】

本発明の請求項7に係る強誘電体メモリ装置の製造方法は、半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置の製造方法であって、

前記層間絶縁膜に形成されているコンタクトプラグの上に導電性水素バリア膜を形成する工程と、

前記導電性水素バリア膜の上に、前記複数の強誘電体キャパシタの下部電極を形成する工程と、

前記層間絶縁膜及び前記下部電極の上に絶縁性の第1の水素バリア膜を堆積した後、該第1の水素バリア膜を平坦化して、前記複数の強誘電体キャパシタのうち、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタの前記下部電極同士の間に前記第1の水素バリア膜を埋め込んで、前記下部電極の上面と前記第1の水素バリア膜の上面をほぼ面一に形成する工程と、

前記下部電極上に容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に上部電極を形成する工程と、

Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、 TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第2の水素バリア膜を、複数の前記上部電極を覆い、かつ、ワード線方向及びビット線方向のうちの前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列毎に分離して形成するとともに、周縁部は前記第1の水素バリア膜の上面と接続するように形成する工程とを備え、

前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列は、前記第2の水素バリア膜、前記第1の水素バリア膜及び前記導電性水素バリア膜によって完全に覆われている。

【0033】

本発明の請求項7に係る強誘電体メモリ装置の製造方法によると、上部電極を覆うように第2の水素バリア膜を形成する工程を備えているため、強誘電体キャパシタを形成した後において水素雰囲気中での熱処理が施された場合、強誘電体キャパシタの容量絶縁膜に対して上方から侵入する水素を防止できるので、容量絶縁膜を構成する強誘電体膜の還元を防止することができる。

また、一方向に並ぶ複数の強誘電体キャパシタの下部電極同士の間に第1の絶縁性水素バリア膜が埋め込まれているため、第1の絶縁性水素バリア膜における、一方向に並ぶ複数の強誘電体キャパシタの下部電極同士の間の領域ではパターニングする必要はない。このため、パターニングを行なうためのマスクの位置ずれを考慮して、下部電極同士の間に寸法マージンを確保する必要がないので、強誘電体キャパシタ同士の間隔を狭くして、メモリセルアレイひいては強誘電体メモリ装置の面積を低減することができる。

【0034】

10

20

20

30

40

50

本発明の請求項 8 に係る強誘電体メモリ装置の製造方法は、半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置の製造方法であって、

前記層間絶縁膜に形成されているコンタクトプラグの上に導電性水素バリア膜を形成する工程と、

前記導電性水素バリア膜の上に、前記複数の強誘電体キャパシタの下部電極を形成する工程と、

前記層間絶縁膜及び前記下部電極の上に絶縁性の第 1 の水素バリア膜を堆積した後、該第 1 の水素バリア膜を平坦化して、前記複数の強誘電体キャパシタのうち、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列の前記複数の強誘電体キャパシタの前記下部電極同士の間に前記第 1 の水素バリア膜を埋め込んで、前記下部電極の上面と前記第 1 の水素バリア膜の上面をほぼ面一に形成する工程と、

前記下部電極上に容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に上部電極を形成する工程と、

S_i₃N₄ 膜、SiON 膜、Al₂O₃ 膜、TiO₂ 膜、TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第 2 の水素バリア膜を、複数の前記上部電極を覆い、かつ、ワード線方向及びビット線方向のうちの前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列を覆うように形成するとともに、周縁部は前記第 1 の水素バリア膜の上面と接続するように形成する工程とを備え、

前記複数の強誘電体キャパシタよりなる前記一対のキャパシタ列は、前記第 2 の水素バリア膜、前記第 1 の水素バリア膜及び前記導電性水素バリア膜によって完全に覆われている。

【0037】

このようにすると、第 2 の水素バリア膜における、一方向に並ぶ複数の強誘電体キャパシタよりなる一対のキャパシタ列同士の間ににおいて寸法マージンを確保する必要がないので、一対のキャパシタ列同士の間隔を狭くして、メモリセルアレイひいては強誘電体メモリ装置の面積を低減することができる。また、強誘電体メモリ装置の選択用トランジスタの近傍に、水素バリア膜が形成されていない領域が存在するため、金属配線を形成した後にトランジスタの特性を回復するために行なう水素雰囲気中の熱処理において、水素が選択トランジスタに拡散するための経路を確保することができる。

【0044】

本発明の請求項 9 に係る強誘電体メモリ装置の製造方法は、共通の上部電極を形成する工程と第 2 の水素バリア膜を形成する工程との間に、共通の上部電極と第 1 の水素バリア膜との間に介在し、共通の上部電極の周縁部に形成される段差を緩和する段差緩和膜を形成する工程をさらに備えていることが好ましい。

【0045】

このようにすると、パターニングされた上部電極の周端部に形成される角張った段差が緩和されるので、第 2 の水素バリア膜の上部電極の周端部におけるカバレッジを向上させることができる。

【0046】

本発明の請求項 10 に係る強誘電体メモリ装置の製造方法において、前記第 1 の水素バリア膜としては、Si₃N₄ 膜、SiON 膜、Al₂O₃ 膜、TiO₂ 膜、又は Ti と Al との合金の酸化物膜若しくは酸窒化物を用いることができる。

【0048】

本発明の請求項 11 に係る強誘電体メモリ装置の製造方法において、前記導電性水素バ

10

20

30

40

50

リア膜は、TiとAlとの合金膜、TiとAlとの合金の窒化物膜若しくは酸窒化物膜、又はTiN膜を用いることができる。

【0049】

【発明の実施の形態】

以下、本発明の一実施形態に係る強誘電体メモリ装置の構造について、図1及び図2を参照しながら説明する。

【0050】

本発明の一実施形態に係る強誘電体メモリ装置は、ワード線方向及びビット線方向にマトリックス状に配置された複数のメモリセルよりなるメモリセルアレイを備えている。図1は強誘電体メモリ装置におけるワード線に平行な面の断面構造を示し、図2は強誘電体メモリ装置におけるビット線に平行な面の断面構造を示している。

10

【0051】

図1及び図2に示すように、シリコンよりなる半導体基板100の表面部には素子分離領域101が形成されており、半導体基板100上における素子分離領域101により囲まれた領域には、ゲート絶縁膜を介してゲート電極102が形成されている。半導体基板100の表面部におけるゲート電極102の両側には、ソース又はドレインとなる第1の高濃度不純物拡散層103A、103Bが形成されており、ゲート電極102及び第1の不純物拡散層103A、103Bによって電界効果型トランジスタが構成されている。尚、半導体基板100の表面部におけるメモリセルアレイの周縁部には、第2の高濃度不純物拡散層104が形成されている。

20

【0052】

半導体基板100の上には、電界効果型トランジスタを覆うように第1の層間絶縁膜105が形成されている。第1の層間絶縁膜105には、第1のコンタクトプラグ106及び第2のコンタクトプラグ107がそれぞれ埋め込まれており、第1のコンタクトプラグ106の下端は第1の高濃度不純物拡散層103Aに接続されていると共に、第2のコンタクトプラグ107の下端は第2の高濃度不純物拡散層104に接続されている。

【0053】

第1の層間絶縁膜105の上には、第1のコンタクトプラグ106の上端又は第2のコンタクトプラグ107の上端と接続するように導電性水素バリア膜108がそれぞれ形成されており、第1のコンタクトプラグ106の上に位置する導電性水素バリア膜108の上には下部電極109が形成されていると共に、第2のコンタクトプラグ107の上に位置する導電性水素バリア膜108の上には上部電極中継部110が形成されている。

30

【0054】

第1の層間絶縁膜105の上には、下部電極109及び上部電極中継部110を取り囲むように絶縁性の第1の水素バリア膜111が形成されており、下部電極109の上面、上部電極中継部110の上面及び絶縁性の第1の水素バリア膜111の上面は、ほぼ面一に形成されている。本実施形態においては、図1に示すように、ワード線方向に並ぶ下部電極109同士の間には絶縁性の第1の水素バリア膜111が隙間なく埋め込まれているが、図2に示すように、ビット線方向に並ぶ下部電極109同士の間に形成されている絶縁性の第1の水素バリア膜111同士の間には隙間が形成されている。

40

【0055】

ワード線方向に並ぶ下部電極109及び絶縁性の第1の水素バリア膜111の上には、強誘電体膜よりなり、ワード線方向に並ぶ強誘電体キャパシタに共通の容量絶縁膜112が形成されており、該容量絶縁膜112における上部電極中継部110の上には開口部が形成されている。容量絶縁膜112の上には、ワード線方向に並ぶ強誘電体キャパシタに共通の上部電極113が形成されており、該上部電極113は容量絶縁膜の開口部を介して上部電極中継部110と接続している。以上説明した、下部電極109、容量絶縁膜112及び上部電極113によって強誘電体キャパシタが構成されていると共に、容量絶縁膜112及び上部電極113は、ワード線方向に並ぶ複数の強誘電体キャパシタよりなるキャパシタ列に共通に設けられている。

50

【0056】

上部電極113の上には、段差緩和膜114を介して第2の水素バリア膜115が形成されており、該第2の水素バリア膜115の周縁部は絶縁性の第1の水素バリア膜111の上面と接続している。これによって、ワード線方向に並ぶ複数の強誘電体キャパシタよりなるキャパシタ列は、導電性水素バリア膜108、絶縁性の第1の水素バリア膜111及び第2の水素バリア膜115によって完全に覆われている。

【0057】

第1の層間絶縁膜105の上には、第2の水素バリア膜115を覆うように第2の層間絶縁膜116が形成され、該第2の層間絶縁膜116の上には第1の金属配線117及び第2の金属配線118が形成されている。第1の金属配線117と第1の高濃度不純物拡散層103Bとは、第1の層間絶縁膜105及び第2の層間絶縁膜116に埋め込まれた第3のコンタクトプラグ119によって接続されていると共に、第2の金属配線118と第2の高濃度不純物拡散層104とは第1の層間絶縁膜105及び第2の層間絶縁膜116に埋め込まれた第4のコンタクトプラグ120によって接続されている。10

【0058】

本発明の一実施形態に係る強誘電体メモリ装置によると、ワード線方向に並ぶ複数の強誘電体キャパシタの下部電極109同士の間には絶縁性の第1の水素バリア膜111が埋め込まれている構造であって、絶縁性の第1の水素バリア膜111における、ワード線方向に並ぶ複数の強誘電体キャパシタの下部電極109同士の間の領域ではパターニングする必要はない。このため、パターニングを行なうためのマスクの位置ずれを考慮して、下部電極109同士の間に寸法マージンを確保する必要がないので、強誘電体キャパシタ同士の間隔を狭くしてメモリセルアレイの面積を低減することができる。20

【0059】

また、ワード線方向に並ぶ複数の強誘電体キャパシタよりなるキャパシタ列は、導電性水素バリア膜108、絶縁性の第1の水素バリア膜111及び第2の水素バリア膜115によって完全に覆われているため、強誘電体キャパシタを形成した後において水素雰囲気中での熱処理が施されても、強誘電体キャパシタの容量絶縁膜112に水素が侵入する事態を確実に防止することができる。このため、容量絶縁膜112を構成する強誘電体膜の還元が防止されるので、容量絶縁膜112の特性の劣化を防止することができる。

【0060】

以下、本発明の一実施形態の変形例に係る強誘電体メモリ装置について、図3を参照しながら説明する。尚、該変形例においては、本発明の一実施形態と共通する部材については同一の符号を付すことにより、説明を省略する。30

【0061】

本発明の一実施形態においては、図2に示すように、ワード線方向に並ぶ強誘電体キャパシタよりなるキャパシタ列同士の間には隙間が形成されており、該隙間に第2の層間絶縁膜116が埋め込まれている構造であったが、変形例においては、第3のコンタクトプラグ119を介することなくビット線方向に隣り合う一対のキャパシタ列同士の間には隙間が形成されておらず、該一対のキャパシタ列同士の間においては、絶縁性の第1の水素バリア膜111、段差緩和膜114及び第2の水素バリア膜115は連続している。40

【0062】

本発明の一実施形態の変形例に係る強誘電体メモリ装置によると、絶縁性の第1の水素バリア膜111における、ビット線方向に隣り合う強誘電体キャパシタの下部電極109同士の間においてもパターニングする必要はない。このため、ビット線方向に隣り合う下部電極109同士の間隔をも小さくしてメモリセルアレイの面積を一層低減することができる。

【0063】

また、強誘電体メモリ装置の選択用トランジスタの近傍に、水素バリア膜が形成されていない領域が存在するため、金属配線を形成した後にトランジスタの特性を回復するために行なう水素雰囲気中での熱処理において、水素が選択トランジスタに拡散するための経路

1020304050

を確保することができる。特に、強誘電体キャパシタをトランジスタの上に形成するスタッカ型強誘電体メモリ装置の場合、水素が選択トランジスタに拡散するための経路をトランジスタ形成領域の近傍に設けることが可能となる。このため、金属配線を形成した後にトランジスタの特性を回復するために行なう水素雰囲気中での熱処理において、水素が選択トランジスタに拡散するための経路を確実に確保できるので、トランジスタの特性確保をも実現できる。

【0064】

以下、本発明の一実施形態に係る強誘電体メモリ装置の製造方法について、図4(a)～(c)及び図5(a)～(c)を参照しながら説明する。

【0065】

まず、図4(a)に示すように、周知のSTI(Shallow Trench Isolation)技術等により、シリコンよりなる半導体基板100の表面部に素子分離領域101を形成した後、周知のCMOSプロセスにより、半導体基板100上における素子分離領域101で囲まれた領域に、ゲート絶縁膜を介してゲート電極102を形成し(図2を参照)、その後、半導体基板100の表面部におけるゲート電極102の両側に、ソース又はドレインとなる第1の高濃度不純物拡散層103A、103Bを形成すると共に、半導体基板100の表面部におけるメモリセルアレイの周縁部に第2の高濃度不純物拡散層104を形成する。これにより、ゲート電極102及び第1の不純物拡散層103A、103Bよりなる電界効果型トランジスタが形成される。

【0066】

次に、半導体基板100の上に、電界効果型トランジスタを覆うように、BPSG膜による第1の層間絶縁膜105を形成した後、第1の層間絶縁膜105に、下端が第1の高濃度不純物拡散層103Aに接続される第1のコンタクトホール及び下端が第2の高濃度不純物拡散層104に接続される第2のコンタクトホールを形成する。次に、第1のコンタクトホール及び第2のコンタクトホールの壁面及び底面に、スパッタリング法による10nmの厚さを持つチタン膜とCVD法による10nmの厚さを持つ窒化チタン膜とを順次堆積した後、CVD法により、第1及び第2のコンタクトホールの内部並びに第1の層間絶縁膜105の上に全面に亘ってタンゲステン膜を堆積し、その後、CMP法により、タンゲステン膜における第1の層間絶縁膜105の上に露出している部分をポリッシュバックすることにより、第1のコンタクトプラグ106及び第2のコンタクトプラグ107を形成する。

【0067】

次に、スパッタリング法により、第1の層間絶縁膜105の上に例えれば40nmの厚さを有するTiとAlとの合金の窒化物膜を堆積した後、スパッタリング法により、窒化物膜の上に、例えれば100nmの厚さを有するIr膜、50nmの厚さを有するIrO₂膜及び100nmの厚さを有するPt膜よりなる積層膜を堆積し、その後、これら積層膜及び窒化物膜をパターニングして、図4(b)に示すように、TiとAlとの合金の窒化物膜よりなる導電性水素バリア膜108、Ir膜、IrO₂膜及びPt膜の積層膜よりなる下部電極109及び上部電極中継部110を形成する。尚、導電性水素バリア膜108となる膜としては、TiとAlとの合金の窒化物膜に代えて、TiとAlとの合金膜、TiとAlとの合金金の酸窒化物膜又はTiN膜を用いてもよい。

【0068】

次に、CVD法により、下部電極109、上部電極中継部110及び第1の層間絶縁膜105の上に全面に亘って、400nmの厚さを有するSi₃N₄膜を堆積した後、CMP法によりSiN膜を平坦化して、図4(c)に示すように、下部電極109同士の間及び下部電極109と上部電極中継部110との間に絶縁性の第1の水素バリア膜111を埋め込むと共に、絶縁性の第1の水素バリア膜111の上面を、下部電極109の上面及び上部電極中継部110の上面とほぼ面一にする。尚、絶縁性の第1の水素バリア膜111となる膜としては、Si₃N₄膜に代えて、SiON膜、Al₂O₃膜、TiO₂膜、又はTiとAlとの合金の酸化物膜若しくは酸窒化物膜を用いることができる。

10

20

30

40

50

【0069】

次に、図5(a)に示すように、スピン塗布法により、下部電極109、上部電極中継部110及び絶縁性の第1の水素バリア膜111の上に、例えばSBT膜よりなり100nmの厚さを有する強誘電体膜を堆積した後、該強誘電体膜をパターニングすることにより、ワード線方向に並ぶ下部電極109及び絶縁性の第1の水素バリア膜111の上に共通に形成され且つ上部電極中継部110の上に開口部を有する容量絶縁膜112を形成する。次に、スパッタリング法により、容量絶縁膜112の上に100nmの厚さを有するPt膜を堆積した後、該Pt膜をパターニングして、容量絶縁膜112の上に上部電極113を形成する。これにより、下部電極109、容量絶縁膜112及び上部電極113よりなる強誘電体キャパシタがワード線方向に並ぶキャパシタ列が形成されると共に、該キャパシタ列に共通の容量絶縁膜112及び上部電極113が形成される。10

【0070】

次に、図5(b)に示すように、上部電極113及び絶縁性の第1の水素バリア膜111の上に全面に亘って150nmの厚さを有するNSG膜を堆積した後、該NSG膜を、該NSG膜がワード線方向に並ぶ強誘電体キャパシタよりなるキャパシタ列及び該キャパシタ列の端部に位置する上部電極中継部110を完全に覆うようにパターニングして、NSG膜よりなる段差緩和膜114を形成する。

【0071】

次に、段差緩和膜114及び絶縁性の第1の水素バリア膜111の上に全面に亘って、100nmの厚さを有する第2の水素バリア膜115を堆積した後、第2の水素バリア膜115及び絶縁性の第1の水素バリア膜111を、ワード線方向に並ぶ強誘電体キャパシタよりなるキャパシタ列及び該キャパシタ列の端部に位置する上部電極中継部110が覆われるようにパターニングする。このようにすると、パターニングされた第2の水素バリア膜115の周縁部とパターニングされた絶縁性の第1の水素バリア膜111の周縁部とが接続していることにより、ワード線方向に並ぶ強誘電体キャパシタよりなるキャパシタ列は導電性水素バリア膜108、第2の水素バリア膜115及び絶縁性の第1の水素バリア膜111により完全に覆われる。20

【0072】

第2の水素バリア膜115としては、水素の侵入を防止できる膜、例えば、 Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、 TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜を用いることができる。30

【0073】

ところで、段差緩和膜114は、パターニングにより形成された容量絶縁膜112及び上部電極113の周端部に形成される角張った段差を緩和して、第2の水素バリア膜115の容量絶縁膜112及び上部電極113の周端部におけるカバレッジを向上させるために設けられている。

【0074】

従って、第2の水素バリア膜115として、 SiN 膜、 SiON 膜、 Al_2O_3 膜、 TiO 膜又は Ti と Al との合金の酸化物膜等のようにカバレッジに優れた膜を用いる場合には、段差緩和膜114を省略することも可能である。40

【0075】

次に、図5(c)に示すように、第1の層間絶縁膜105の上に、パターニングされた第2の水素バリア膜115を覆うように、NSG膜よりなる第2の層間絶縁膜116を堆積した後、該第2の層間絶縁膜116を平坦化する。

【0076】

次に、第1の層間絶縁膜105及び第2の層間絶縁膜116に、第1の高濃度不純物拡散層103B(図2を参照)に接続される第3のコンタクトホール及び第2の高濃度不純物拡散層104に接続される第4のコンタクトホールを形成した後、第3のコンタクトホール及び第4のコンタクトホールにタンゲステン膜を埋め込んで、第3のコンタクトプラグ119(図2を参照)及び第4のコンタクトプラグ120を形成する。50

【0077】

次に、第2の層間絶縁膜116の上にAl合金膜を堆積した後、該Al合金膜をパターニングして、第1の金属配線117及び第2の金属膜118を形成すると、本発明の一実施形態に係る強誘電体メモリ装置が得られる。

【0078】

尚、本発明の一実施形態においては、複数の強誘電体キャパシタのうち、ワード線方向に並ぶ複数の強誘電体キャパシタの下部電極109同士の間に絶縁性の第1の水素バリア膜111が埋め込まれ、ワード線方向に並ぶ複数の強誘電体キャパシタの下部電極109及び絶縁性の第1の水素バリア膜111の上に、ワード線方向に並ぶ複数の強誘電体キャパシタに共通の容量絶縁膜112が形成され、共通の容量絶縁膜112の上に、ワード線方向に並ぶ複数の強誘電体キャパシタに共通の上部電極113が形成され、共通の上部電極113を覆うように第2の水素バリア膜115が形成されていたが、これに代えて、複数の強誘電体キャパシタのうち、ピット線方向に並ぶ複数の強誘電体キャパシタの下部電極109同士の間に絶縁性の第1の水素バリア膜111が埋め込まれ、ピット線方向に並ぶ複数の強誘電体キャパシタの下部電極109及び絶縁性の第1の水素バリア膜111の上に、ピット線方向に並ぶ複数の強誘電体キャパシタに共通の容量絶縁膜112が形成され、共通の容量絶縁膜112の上に、ピット線方向に並ぶ複数の強誘電体キャパシタに共通の上部電極113が形成され、共通の上部電極113を覆うように第2の水素バリア膜115が形成されている構造であってもよい。

【0079】

10

【発明の効果】

20

本発明に係る強誘電体メモリ装置及びその製造方法によると、一方向に並ぶ複数の強誘電体キャパシタの下部電極同士の間に絶縁性の第1の水素バリア膜が埋め込まれているため、絶縁性の第1の水素バリア膜における、一方向に並ぶ複数の強誘電体キャパシタの下部電極同士の間の領域ではパターニングする必要はない。このため、パターニングを行うためのマスクの位置ずれを考慮して、下部電極同士の間に寸法マージンを確保する必要がないので、強誘電体キャパシタ同士の間隔を狭くして、メモリセルアレイひいては強誘電体メモリ装置の面積を低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る強誘電体メモリ装置のワード線方向の断面図である。
 【図2】本発明の一実施形態に係る強誘電体メモリ装置のピット線方向の断面図である。
 【図3】本発明の一実施形態の変形例に係る強誘電体メモリ装置のピット線方向の断面図である。

30

【図4】(a)～(c)は、本発明の一実施形態に係る強誘電体メモリ装置の製造方法の各工程を示す断面図である。

【図5】(a)～(c)は、本発明の一実施形態に係る強誘電体メモリ装置の製造方法の各工程を示す断面図である。

【図6】従来の強誘電体メモリ装置の断面図である。

【符号の説明】

- 100 半導体基板
- 101 素子分離領域
- 102 ゲート電極
- 103A, 103B 第1の高濃度不純物拡散層
- 104 第2の高濃度不純物拡散層
- 105 第1の層間絶縁膜
- 106 第1のコンタクトプラグ
- 107 第2のコンタクトプラグ
- 108 導電性水素バリア膜
- 109 下部電極
- 110 上部電極中継部

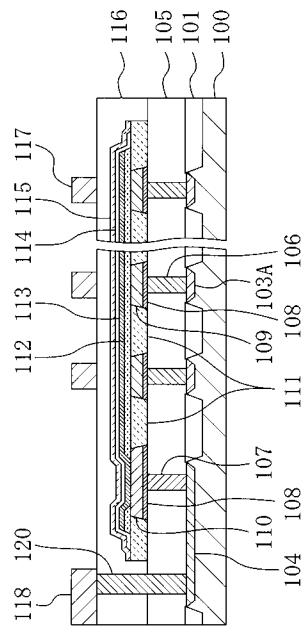
40

50

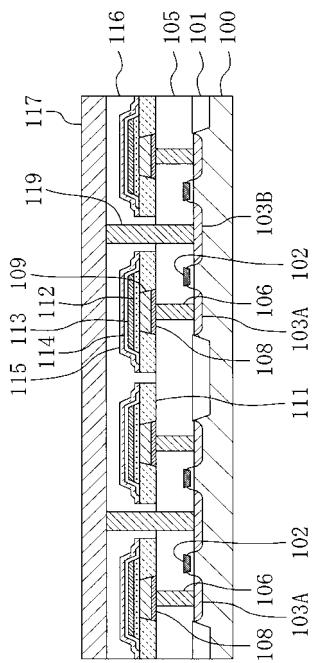
- 1 1 1 絶縁性の第1の水素バリア膜
 - 1 1 2 容量絶縁膜
 - 1 1 3 上部電極
 - 1 1 4 段差緩和膜
 - 1 1 5 第2の水素バリア膜
 - 1 1 6 第2の層間絶縁膜
 - 1 1 7 第1の金属配線
 - 1 1 8 第2の金属配線
 - 1 1 9 第3のコントラクトプラグ
 - 1 2 0 第4のコントラクトプラグ

10

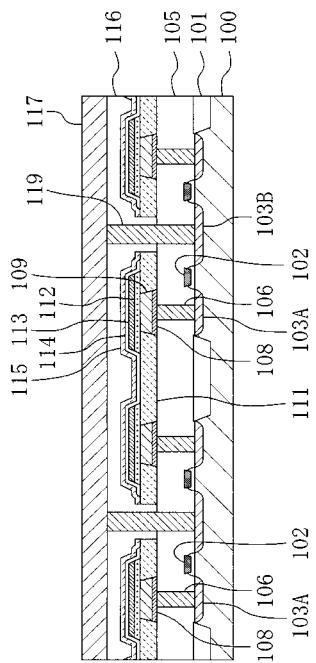
【 図 1 】



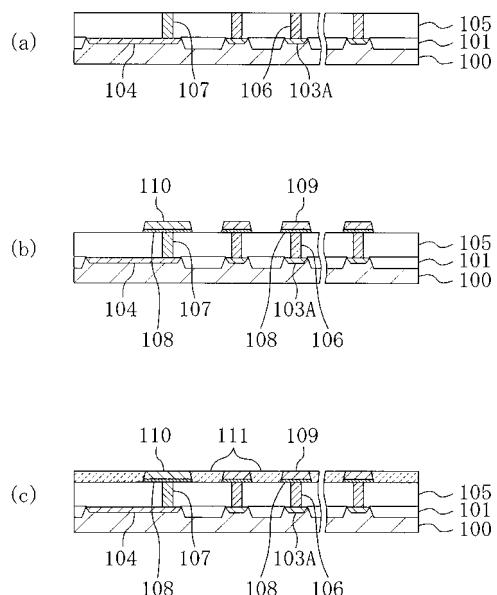
【図2】



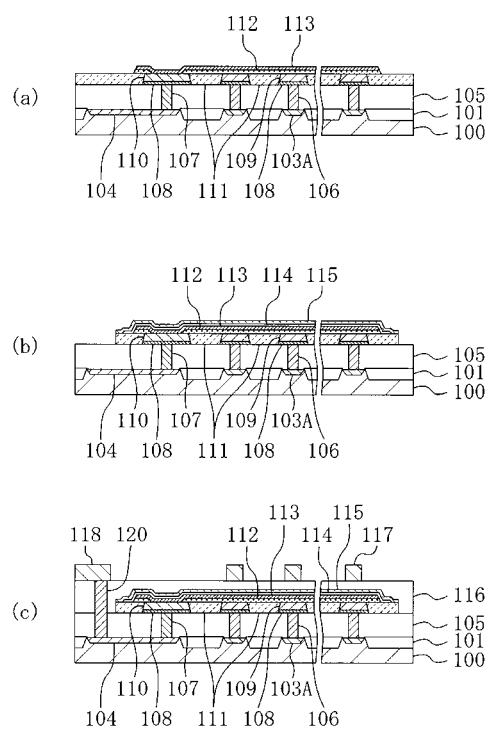
【図3】



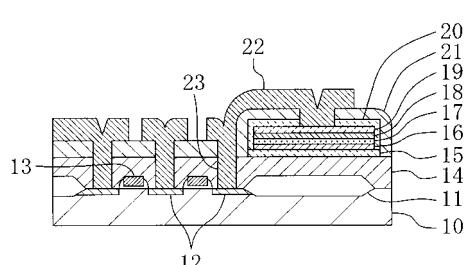
【図4】



【図5】



【図6】



フロントページの続き

(74)代理人 100115691
弁理士 藤田 篤史
(74)代理人 100117581
弁理士 二宮 克也
(74)代理人 100117710
弁理士 原田 智雄
(74)代理人 100121728
弁理士 井関 勝守
(72)発明者 吉川 貴文
大阪府門真市大字門真1006番地 松下電器産業株式会社内
(72)発明者 三河 巧
大阪府門真市大字門真1006番地 松下電器産業株式会社内

合議体

審判長 河合 章
審判官 長谷山 健
審判官 今井 拓也

(56)参考文献 特開平11-8355(JP,A)
特開2001-44376(JP,A)
特開平11-126881(JP,A)
特開平11-68041(JP,A)
特開2002-198494(JP,A)