



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월24일  
(11) 등록번호 10-1310418  
(24) 등록일자 2013년09월12일

(51) 국제특허분류(Int. Cl.)  
H03F 3/45 (2006.01) H03H 11/04 (2006.01)  
H03H 11/24 (2006.01) H04L 25/03 (2006.01)  
(21) 출원번호 10-2012-7023161  
(22) 출원일자(국제) 2011년02월11일  
심사청구일자 2012년09월04일  
(85) 번역문제출일자 2012년09월04일  
(65) 공개번호 10-2013-0001231  
(43) 공개일자 2013년01월03일  
(86) 국제출원번호 PCT/US2011/024542  
(87) 국제공개번호 WO 2011/152896  
국제공개일자 2011년12월08일  
(30) 우선권주장  
61/304,064 2010년02월12일 미국(US)  
61/359,108 2010년06월28일 미국(US)  
(56) 선행기술조사문헌  
US20050130609 A1  
WO2002095990 A1

(73) 특허권자  
뉴랜스, 인코포레이티드.  
미국 메사추세츠 01720 액톤 스위트 215 나고그  
파크 43  
(72) 발명자  
굽타, 데브, 브이.  
미국 메사추세츠 01742 콩코드 마티슨 드라이브  
356  
라이, 즈히구오  
미국 메사추세츠 01718 액톤 브라운 베어 크로싱  
236  
(74) 대리인  
특허법인이상

전체 청구항 수 : 총 8 항

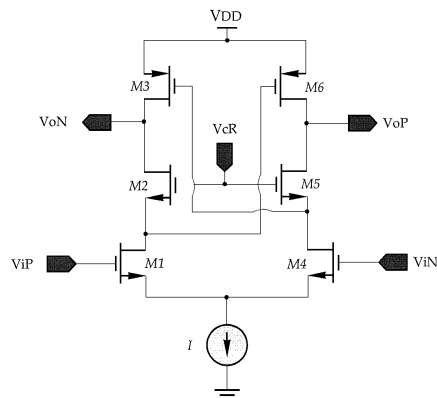
심사관 : 김남인

(54) 발명의 명칭 광대역 아날로그 무선주파수 부품

(57) 요약

광대역 아날로그 무선 주파수 장치들은 50MHz 내지 20GHz 혹은 그 이상의 대역폭들에서 구동하는 스케일러블 아날로그 신호 프로세서들을 위한 빌딩 블록들을 생성하는데 이용될 수 있다. 예로서 장치들은 CMOS 기술을 이용하여 구현되는 적분기들(트랜스컨덕터들), 디지털로 조절되는 감쇠기들, 버퍼들 및 덤 서브-마이크론 가산기들을 포함한다. 상기 장치들은 CMOS에서 구현되기 때문에, 신호 파장에 대한 트레이스/요소의 비율은 인쇄 회로 기판들(printed circuit boards)에 구현되는 저주파 장치들의 비율과 거의 동일하다. 이 스케일링과 고 이득/고 대역폭과 결합하는 것은 광대역 아날로그 신호 처리를 위한 피드백의 구현과 프로그램가능성을 가능하도록 한다.

대표도 - 도4



[전압 제어 레지스터로서 트랜지스터 사용하기]

## 특허청구의 범위

### 청구항 1

제1 전압 공급 터미널과 병렬로 연결된 각각의 소스(source)들 및 상호보완적인 출력신호들을 제공하는 각각의 드레인(drain)들을 포함하는 제1 및 제2 p-채널 트랜지스터들;

각각 상기 제1 및 제2 p-채널 트랜지스터들의 상기 드레인들에 연결된 각각의 제1 터미널들 및 각각 상기 제2 및 제1 p-채널 트랜지스터들의 게이트들에 연결된 각각의 제2 터미널들을 포함하는 제1 및 제2 가변 저항들(resistors); 및

각각 상기 제1 및 제2 가변 저항들의 상기 제2 터미널들에 연결된 각각의 드레인들, 상호보완적인 입력 신호들을 수신하는 각각의 게이트들 및 제2 전압 공급 터미널과 전기 통신하는 각각의 소스들을 포함하는 제1 및 제2 n-채널 트랜지스터들을 포함하는, 광대역 아날로그 무선-주파수 적분기.

### 청구항 2

청구항 1 에 있어서,

상기 제2 전압 공급 터미널과 상기 제1 및 제2 n-채널 트랜지스터들의 상기 소스들 사이에 직렬로 연결된 바이어스 트랜지스터를 더 포함하는, 광대역 아날로그 무선-주파수 적분기.

### 청구항 3

청구항 1 에 있어서,

상기 제1 및 제2 n-채널 트랜지스터들의 상기 게이트들과 전기 통신하는 제3 전압 공급 터미널을 더 포함하고, 상기 제3 전압 공급은 상기 제1 및 제2 n-채널 트랜지스터들의 저항을 제어하는, 광대역 아날로그 무선-주파수 적분기.

### 청구항 4

청구항 1 에 있어서,

상기 적분기는 딥 서브-마이크론 CMOS(complementary-metal-oxide-semiconductor), SiGe(silicon germanium), 또는 SOI(silicon-on-insulator) 기술들을 이용하여 제조되는, 광대역 아날로그 무선-주파수 적분기.

### 청구항 5

청구항 1 에 있어서,

상기 제1 및 제2 p-채널 트랜지스터들과 상기 제1 및 제2 n-채널 트랜지스터들 중 적어도 두 개의 트랜지스터들은 바이어스 오프셋(bias offset)을 줄이기 위하여 서로 인터리빙되는(interleaved), 광대역 아날로그 무선-주파수 적분기.

### 청구항 6

청구항 1 에 있어서,

상기 적분기의 출력의 샘플링을 조절하는 조정 회로(tuning circuit)를 더 포함하는, 광대역 아날로그 무선-주파수 적분기.

### 청구항 7

청구항 6 에 있어서,

상기 조정 회로는 DC 교정(calibration) 회로 및 이득 제어 회로를 더 포함하는, 광대역 아날로그 무선-주파수 적분기.

### 청구항 8

청구항 1 에 있어서,

상기 제1 및 제2 가변 저항들은 각각 제3 및 제4 n-채널 트랜지스터들을 포함하고, 상기 제3 및 제4 n-채널 트랜지스터들은 각각 상기 제1 및 제2 p-채널 트랜지스터들의 상기 드레인들에 연결된 각각의 드레인들, 각각 상기 제2 및 제1 p-채널 트랜지스터들의 게이트들에 연결된 각각의 소스들, 및 서로 연결된 각각의 게이트들을 포함하는, 광대역 아날로그 무선-주파수 적분기.

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

### 명세서

### 기술분야

[0001] 본 발명은 무선주파수 부품에 관한 것으로, 더욱 상세하게는 광대역 아날로그 무선주파수 부품에 관한 것이다.

### 배경기술

[0002] 신호 대역폭(signal bandwidth) 및 데이터 전송속도(data rates)의 증가들은 광대역 신호들과 관련된 도전들을 해결하기 위한 새로운 신호처리 기술들의 발전을 촉진시켰다. 또한, 증가된 신호 대역폭은 이중 환경들에서 액티브 RFID(active radio-frequency identification)에 기반한 초광대역(UWB: ultrawideband) 기술을 포함하는 새로운 어플리케이션(application)들을 가능하게 만들었다. 게다가, 증가하는 신호 대역폭은 거리측정정확도(ranging accuracy)를 향상시키고, 이는 특히 광대역 기술들을 레이더(radar), 영상 기기(imaging) 및 다른 어플리케이션들에서 매력적으로 만든다.

[0003] 유감스럽게도, 클럭 속도(clock speed)에 대한 근본적인 스케일링(scaling) 제약들, 스위칭(switcing), 방열(heat dissipation) 및 장애 복구의 어려움은 디지털 로직을 광대역 신호처리에 부적합하게 만든다. 예를 들면, 오늘날의 디지털 신호 처리(DSP: digital signal processing) 기술은, 고화질 TV, 소프트웨어 정의 무선(SDR: software-defined radio), 인지 무선(cognitive radio), 4-G 핸드헬드 서비스(handheld services), 화이트 스

페이스(유휴대역: white spaces), 초광대역(UWB) 기반 서비스 및 실시간 GHz/THz 의료 영상기기(medical imaging)와 같이 최근에 생겨난 어플리케이션에서 요구되는 광대역 신호들을 처리할 수 없다. 더 나은 속도 및 광대역 처리 능력의 필요성 외에도, 전력 소비 감소를 위한 방법들도 역시 많은 신호처리 어플리케이션들에서 큰 매력과 유용성을 가진다. 예를 들면, 모바일 장치들에서 전력 소모에 큰 프리미엄이 있으며, 고속 디지털신호처리(DSP)들은 셀-폰(cell phones) 및 PDA의 배터리 수명에 대하여 큰 고갈 원인이 된다.

[0004] 광대역 어플리케이션들에 대해서, 나이퀴스트 속도(Nyquist rate)는 멀티플 Gbps 범위내에 있어서, 비교적 간단한 신호 처리만이 구현될 수 있으며 종종 고도 파이프라인과 병렬 처리 아키텍처(architecture: 구조)들을 요구한다. 더 나아가, DSP 기술은 이러한 어플리케이션들에 의해 요구되는 기능들을 충족시키기가 어려운데, 그 이유는 무어의 법칙에 따라, CMOS 기반의 디지털 신호 처리 구조의 한계들이 더 이상 확장되고 있지 않기 때문이다. 실제로, 딥 서브-마이크론(deep sub-micron) CMOS 게이트들은 분자 단위에서 측정되는 폭을 가지고 있는데, 이것은 트랜지스터의 크기들(그리고 스위칭 속도들)이 거의 기본적인 한계들에 인접한 것을 암시한다. 다시 말하면, DSP 기술의 대역폭 처리 능력을 증가시킬 수 있는 여지는 거의 없는데, 이는 트랜지스터 크기에 대하여 역비례하는 트랜지스터 스위칭 속도를 더 빨리 할 수 없기 때문이다.

[0005] 결국, 아날로그 로직(analog logic)은 그 자체로서 한계들이 있다. 아날로그 회로들은 완전히 독립된 블록(block)들로 구성되지 않기 때문에, 아날로그 회로의 하나의 블록을 변경하는 것은 회로 내에서 모든 다른 블록 내의 변화들을 강요할 수 있다. 게다가, 프로세스 기술(process technology)에서 진보들은 너무 빨리 발생해서, 어플리케이션 특화된 설계(application-specific designs)들은 이들이 조립되기도 전에 종종 쓸모없는 것으로 된다. 마지막으로, 아날로그 회로들은 완전히 재구성이 불가능할 뿐만 아니라 완전히 프로그램을 할 수 없다.

## 선행기술문헌

### 특허문헌

[0006] (특허문헌 0001) 본 출원은 2010년 6월 28일에 출원된 미국 가출원 No. 61/359,108과 2010년 2월 12일에 출원된 미국 가출원 No. 61/304,064의 이익을 청구한다. 위 출원들의 전체 사상은 여기에 참조로서 포함된다.

### 비특허문헌

[0007] (비특허문헌 0001) 본 발명은, 전체 또는 부분적으로, 계약 No. W911NF-08-C0085에 의해서 미국 육군(U.S. Army)으로부터 지원되었다. 정부는 이 발명에 특정 권리를 가진다.

## 발명의 내용

### 해결하려는 과제

[0008] 필터 적분기들의 출력들과 연결된 가변 이득 블록들과 조화될 수 있는 중심주파수들을 가진 상태 변수 필터들(State variable filters)이 광대역 아날로그 신호 처리를 위하여 필요한 블록 구성요소들을 생성하는 데 이용될 수 있다. 예를 들면, 1차 및 2차의 차수 상태 변수 필터들은 병렬인 신호들 및 필터된 출력들을 생성하기 위해 결합된 그들의 출력들에서 운용될 수 있다.

[0009] 이러한 이득-조정할 수 있는(tunable) 상태 변수 필터들은 가변 필터링(agile filtering), 스펙트럼 분석(spectrum analysis), 방해 검출(interference detection) 및 제거, 이퀄라이제이션(equalization), 직접 중심-주파수 송신(direct intermediate-frequency transmission) 그리고 단측파대(single sideband) 변조(modulation) 및 복조(demodulation)를 포함하는, 그러나 한정되지는 않는, 어플리케이션들을 위하여 캐스케이드(cascade) 및/또는 병렬로 결합될 수 있다.

### 과제의 해결 수단

- [0010] 본 발명의 실시예들에서는 프로그램 가능한 아날로그 신호 처리를 위한 이득-조정할 수 있는 상태 변수 필터들을 생성하는 데 이용될 수 있는 적분기들, 감쇠기들 및 스케일러블 가산기들과 같은 광대역 장치들을 포함한다. 예를 들면, 적분기들은 한 쌍의 p-채널 트랜지스터들, 한 쌍의 가변 저항들(resistors), 그리고 제 1 및 제 2 전압 공급 터미널들 사이에 직렬로 연결된 한 쌍의 n-채널 트랜지스터들을 포함한다. 상기 p-채널 트랜지스터들의 상기 드레인들은 상기 가변 저항들의 드레인들에게 공급하고, 상기 한 쌍의 가변저항들의 상기 소스들은 상기 한 쌍의 n-채널 트랜지스터들의 상기 드레인들에게 공급한다. 게다가, 상기 p-채널 트랜지스터들의 상기 게이트들은 피드 포워드(feed-forward) 구성에서 상기 한 쌍의 가변 저항들의 상기 대향하는 트랜지스터들의 상기 드레인들과 연결된다. 상기 한 쌍의 n-채널 트랜지스터들의 상기 게이트들에 적용된 상호보완적인 입력 신호들은 상기 적분기를 구동하는데, 이는 상기 p-채널 트랜지스터들 및 상기 가변 저항들 사이의 노드들에 상호보완적인 출력들을 생성한다.
- [0011] 더욱이, 실시예들은 광대역 아날로그 무선 주파수 감쇠기를 포함한다. 예로서 감쇠기들은 복수의 M 감쇠기 블록들을 포함한다. 각각의 블록은 신호 레일과 출력노드 사이에 연결된 제 1 스위치와, 오프셋 레일과 상기 출력노드 사이에 연결된 제 2 스위치로 구성된다. 각각의 블록은 상기 출력노드와 상기 제 1 및 제 2 스위치들 사이에 직렬로 연결된 저항성 요소를 더 포함한다. 감쇠기는 N-비트 정확도를 제공하는데, 여기서 N은 M보다 작다. 다른 실시예들에서, 상기 블록들 중 적어도 하나는 상기 블록들의 다른 하나의 저항 값에 대하여 소수(prime)인 수에 대응하는 저항 값을 가지는 저항성 요소를 가질 수 있다.
- [0012] 또 다른 실시예들은 광대역 아날로그 무선 주파수 스케일러블 가산기를 포함할 수 있다. 예로서 스케일러블 가산기는 출력노드와 접지 레일 사이에 병렬로 연결된 복수의 N 스위치들과, 소스 레일과 상기 출력노드 사이에 직렬로 연결된 저항성 요소를 포함한다. 상기 스위치들 각각은 각각의 전압 입력에 의해서 조절될 수 있다.

### 발명의 효과

- [0013] 다른 장치들과 비교하여, 본 발명에 기재된 장치들은 제조하고 구동하는 것이 더 간단하다. 또한, 그것들은 더 넓은 대역폭들에서 구동한다. 특히, 발명한 장치들은 상태 변수 기술들에 의해서 제공된 프로그램가능성을 가진 저주파수 설계의 장점들을 갖는다.

### 도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시예들에서 구현될 수 있는 바이쿼드 회로의 블록도이다.
- 도 2는 본 발명의 실시예의 적분기 회로의 회로도이다.
- 도 3은 도 2의 적분기 회로의 주파수 응답을 도시화하는 차트이다.
- 도 4는 전압 제어 저항을 구현하는 적분기 회로의 회로도이다.
- 도 5는 다른 실시예에 따른 적분기 회로의 회로도이다.
- 도 6a 내지 도 6c는 또 다른 실시예들에 따른 적분기 회로들의 회로도이다.
- 도 7은 조정 회로가 구성된 적분기 회로의 회로도이다.
- 도 8은 감쇠기 회로의 입력 및 출력을 도시화하는 블록도이다.
- 도 9는 감쇠기 회로의 회로도이다.
- 도 10은 본 발명의 실시예에 따른 감쇠기 회로의 회로도이다.
- 도 11은 다른 실시예에 따른 감쇠기 회로의 회로도이다.
- 도 12는 감쇠 값들의 분산을 도시화하는 차트이다.
- 도 13은 다른 실시예에 따른 감쇠기의 회로도이다.
- 도 14는 감쇠기 회로의 다양한 구성들에 대응하는 감쇠 값들의 분산을 도시화하는 차트이다.

도 15는 감쇠기 회로의 크기 및 위상을 도시화하는 차트이다.

도 16은 본 발명의 실시예에 따른 가산기 회로의 회로도이다.

도 17는 출력 특성들을 측정하는 회로의 회로도이다.

도 18은 가산기 회로의 주파수 응답을 도시화하는 차트이다.

도 19는 본 발명의 실시예들에서 구현될 수 있는 바이쿼드 회로들의 구성의 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0015] 전술한 내용은 첨부된 도면에 도시된 본 발명의 실시예들의 보다 구체적인 내용을 통하여 명백해질 것이다. 도면들 내의 같은 도면 부호들은 다른 도면들 전체에서 동일한 부분을 지칭한다. 도면들은 필연적으로 범위를 제한하거나 강조하는 것은 아니며, 대신 본 발명의 실시예들을 분명히 보여주기 위해 이용되는 것이다.

[0016] 본 발명의 실시예들의 구체적인 설명은 아래와 같다.

[0017] 광대역 신호처리(WiSP: Wideband Signal Processing)는 아날로그 신호 처리(analog signal processing) 기술이다. 즉, WiSP는 50MHz내지 20GHz, 또는 그 이상의 대역폭들에 대하여 프로그램할 수 있고(programmable) 실행 가능한 아날로그 컴퓨팅이다. WiSP의 근본적인 근거는 상태 변수 이론으로서, 이는 CMOS 딥 서브-마이크론 기술과 결합될 때, 저주파(low-frequency) 신호 처리 기술들이 마이크로 및 밀리미터 파장들로 확장하는 것을 가능하도록 만든다. WiSP는 CMOS(complementary-metal-oxide-semiconductor), SiGe(silicon germanium) 기술 및 SOI(silicon-on-insulator) 기술 분야에서 실현될 수 있을 것이다.

[0018] WiSP는 고도로 정확한데, 그 이유는 상태 변수 기계들의 매개변수(parameters)들이 10비트들(bits)까지 정확하게 설정될 수 있기 때문이다. 또한, WiSP는 주파수 가변적(frequency agile)인데, 그 이유는 이득(gain)과 같은 상태변수 매개변수들을 바꾸는 것은 전체 주파수대(frequency band)를 확장하는 것을 가능하도록 만들 수 있기 때문이다. 예를 들면, 약 1GHz의 주파수에 집중되어 있는 상태 변수 장치는 단지 이득 매개변수들을 바꿈으로써 10GHz의 주파수까지 이동될 수 있다. WiSP 기술은 선형 시불변(LTI: linear time invariant) 신호 처리 뿐만 아니라 시변(time variable) 신호처리에 대해서도 적합하다. 상태 변수 시스템들은 단일 입력/출력 모드와 다중 입력/다중 출력(MIMO) 모드에 이용될 수 있다(예를 들면, MIMO 무선 안테나 시스템의 미믹킹(mimicking)).

[0019] 종래의 저주파 아날로그 설계는 비교적 쉽고 정확한 과학인데, 그 이유는 주로 커패시터, 저항 등과 같은 부품들 및 PCB(printed circuit board)에 성분들을 연결하는 트레이스(trace)들이 처리되는 신호들의 파장에 비해서 매우 작기 때문이다. 분산효과들(distributed effects)이 없기에 성분들은 집중 상수(lumped elements)로서 처리될 수 있다. 또한, 저주파 아날로그 부품들은 일반적으로 신호 대역폭보다 더 큰(예를 들면, 적어도 10배) 대역폭을 가져왔다. 이러한 비교적 높은 대역폭은 피드백의 사용이 설계를 간소화하는 것, 시스템들을 안정화시키는 것, 시스템 성능을 개선시키기는 것, 이러한 것들을 더 정확하게 만드는 것 등을 가능하도록 한다. 또한, 피드백은 프로그램 가능한 하드웨어의 실행을 가능하도록 한다. 예를 들면, 프로그램 가능한 저항들을 다수 가진 OP-AMP들은 프로그램 가능한 이득 장치들(gain devices)을 만드는 데 이용될 수 있다. 따라서, 이러한 프로그램 가능성은 사람들이 프로그램 가능한 접근을 이용하는 복잡한 시스템을 제조할 수 있도록 한다.

[0020] 유감스럽게도, 종래의 고주파수(high-frequency) 설계는 동일한 장점들을 가지지 않는데, 그 이유는 고주파수 신호들의 파장들은 회로소자들의 크기와 비교할만 하기 때문이다. PCB들에 소자들을 연결하는 트레이스들은 고주파 신호들의 파장에 대한 크기에서 비교할만 하다. 종래 고주파 설계에서, 트레이스들은 전송 선로(transmission line)들로 취급되고, PCB에 반사 방지 등을 위해 필요한 레벨들 및 차원들로 설계된다. 일반적으로, 이러한 설계들은 매우 전력 소모(power-hungry)적이며, PCB의 재료들은 대역폭을 제한한다. 또한, 출력된 트레이스의 정확성에 대한 제약들은 이러한 분산된 소자들이 다른 소자들과 상호작용하는 것을 방해할 수 있다. 더욱이, 종래 고주파 설계들은 매우 정확한 설계들이 가능하도록 하는 피드백의 사용을 허용하지 않는다.

[0021] PCB가 아니라 CMOS 기판에 광대역 아날로그 장치들을 만드는 것은 저주파의 사용을 가능하게 하는데, 이는 고주파 파장에 대한 CMOS 트레이스 크기의 비(ratio)가 저주파 파장에 대한 PCB 트레이스 크기의 비와 거의 같기 때문이다. 실제로, 딥 서브-마이크론 CMOS 기술을 사용하는 작은 트레이스 크기들은 나노미터의 크기이고, 나노미터 크기에서 모든 것이 소자로서 처리된다. 사실상, 회로들의 분포된 본질은 무시될 수 있다. 그렇게 CMOS 기판 위에 고주파 설계하는 것은, 성분 대역폭이 충분히 높지 않기 때문에 피드백이 여전히 사용될 수 없다는 사실을 제외하고는 PCB에 저주파 설계를 하는 것과 동일하다.



- [0022] 본 발명에 기재된 실시예들은 피드백을 가진 고주파 CMOS 설계들이 가능하도록 필요한 고이득(high-gain) 및 초고대역폭(extra high bandwidth)을 제공한다. 근본의 기본 구성요소들은 매우 높은 이득, 예를 들면 80dB보다 더 크고 100dB 또는 120dB까지 가지는 트랜스컨덕터들과, 200GHz 범위 내의 대역폭들이다. 또한, 이러한 트랜스컨덕터들은 하나의 최하위비트(LSB: least significant bit)까지 정확한 감쇠기(attenuator)를 생성하는데 이용될 수 있다. 이러한 감쇠기들은 10비트 정확도, 또는 약 1000에 1 부분(part) 비율을 가지도록 디지털 방식으로 프로그램될 수 있다. 이러한 정확도는 사람들이 프로그램 가능한 아날로그 하드웨어를 생성하는 것을 가능하도록 한다.
- [0023] 트랜스컨덕터들 및 감쇠기들을 광대역 스케일링 정보와 결합하는 것은 바이쿼드(biquad)들의 제조를 가능하게 하는데, 이는 광대역 아날로그 프로세서들(processors) 생성을 위한 기본 빌딩 블록들(building blocks)이다. 특히, 본 발명의 실시예들에 기재된 트랜스컨덕터들, 감쇠기들, 스케일러블 가산기들은 주파수 가변하고/주파수 가변하거나 시변(time-variant)하는 프로그램 가능한 바이쿼드 구조들을 생성하는 데 이용될 수 있다. 이러한 바이쿼드들은 프로그램 가능한 전달 함수(transfer function) 합성기(synthesizer)들을 형성하기 위해 캐스케이드(cascade) 될 수 있다. 이는 2009년 3월 10일에 출원되어 W02009/114123으로 공개되었으며, 전체가 참조로서 본 발명의 실시예들에 포함되어 있는 Gupta(등)의 PCT/US2009/001512에 기재된 바와 같다. 바이쿼드-기반 회로들은, 레이더(radar)부터 인지 무선까지 또는 RFID(radio-frequency identification)에 이르는 범위를 갖는 최종 사용을 위해, 가변(agile) 필터들, 이퀄라이저(equalizer, 등화기)들, 지연선(delay line)들 등을 만드는 데 이용될 수 있다.
- [0024] 도 1은 본 발명의 실시예들에서 구현될 수 있는 바이쿼드 회로(biquad circuit, 100)의 블록도이다. 바이쿼드 회로(100)는, 부품으로서, 하나 또는 그 이상의 적분기(integrator, 110)들, 감쇠기(attenuator, 120)들 및 가산기(summer, 130)들을 포함한다. 바이쿼드 출력 $y(t)$ 의 특성들은 바이쿼드(100)의 전달함수(transfer function)  $T(s)$  변화에 의해서 변화될 수 있다. 이것은 감쇠기(120)의  $a_0$ ,  $a_1$ ,  $b_0$ ,  $b_1$  및  $b_2$ 로 구성된 감쇠기(120)의 값들을 변화시킴으로써 이루어질 수 있다. 전달함수의 중심 주파수(center frequency)는 적분기(110)의 이득(G)을 바꿈으로써 연속적으로 변화될 수 있다. 감쇠기들(120)의 값들 및 적분기들(110)의 이득은, 12-비트 정확도(12-bit accuracy)를 가진 SPI(Serial Peripheral Interface)에 의해서 디지털 방식으로 제어될 수 있다.
- [0025] 도 2는 도 1의 바이쿼드 회로(100)에서 구현될 수 있는 적분기 회로(200)를 도시한다. 적분기(200)는 피드포워드-조절 토폴로지(feedforward-regulated topology)를 이용하는 광대역 자율 조절 적분기이다. 적분기(200)는 고대역폭(high bandwidth), 고선형성(high linearity) 및 그것이 특히 마이크로파 주파수들의 어플리케이션들에 대해 적합하게 만드는 저상호변조왜곡(low intermodulation distortion)을 가진다.
- [0026] 작은 신호 분석은 이 회로의 전달함수가 다음과 같은 형식이 있다는 것을 보여준다.

$$T(s) = \frac{\Omega_0 \cdot (s/z_1 - 1) \cdot (s/z_2 - 1)}{s \cdot (s/p + 1) + a_0}$$

[0027]

[0028] 여기서,

$$z_1 = \frac{g_{m1}}{C_{gd1}}$$

$$z_2 = \frac{(g_{m3} + 1/R)}{C_{gd3}}$$

$$\Omega_0 = \frac{g_{m1} \cdot (g_{m3} + 1/R)}{(C_{gs3} + C_{gd3} + C_{gd1} + C_{ds1}) \cdot (g_{ds3} + 1/R) + (C_{gd3} + C_{ds3}) \cdot (g_{ds1} + 1/R) + C_{gd3} \cdot (g_{m3} + 2/R)}$$

$$p = \frac{(C_{gs3} + C_{gd3} + C_{gd1} + C_{ds1}) \cdot (g_{ds3} + 1/R) + (C_{gd3} + C_{ds3}) \cdot (g_{ds1} + 1/R) + C_{gd3} \cdot (g_{m3} + 2/R)}{(C_{gs3} + C_{gd3} + C_{gd1} + C_{ds1}) \cdot (C_{gd3} + C_{ds3}) - C_{gd3}^2}$$

$$a_0 = \frac{(g_{ds1} + 1/R) \cdot (g_{ds3} + 1/R) - (g_{m3} + 1/R)/R}{(C_{gs3} + C_{gd3} + C_{gd1} + C_{ds1}) \cdot (g_{ds3} + 1/R) + (C_{gd3} + C_{ds3}) \cdot (g_{ds1} + 1/R) + C_{gd3} \cdot (g_{m3} + 2/R)}$$

[0029]

[0030] 저항(R)은 일반적으로  $1/g_{m1}$ ,  $1/g_{m3}$ ,  $1/g_{ds1}$  및  $1/g_{ds3}$ 에 비하여 작도록 선택된다. 덤 서브마이크론 CMOS 기술(예를 들면, 130nm 혹은 그 이하)에 대해,  $C_{gs}$ 가 모든 기생 용량에서 가장 큰 것이 일반적인 사실이다. 이러한 관점에서, 다음과 같은 식을 가진다.

$$z_1 > \frac{g_{m1}}{C_{gs1}} \approx 2\pi \cdot f_T$$

$$z_2 > \frac{1}{R \cdot C_{gd3}}$$

$$p \approx \frac{1}{R \cdot C_{gd3}}$$

[0031]

[0032]  $f_T$ 는 일반적으로 큰 단위 이득 대역폭(unity gain frequency)이다. 작은 R에 대하여,  $z_2$  및  $p$ 는 일반적으로 매우 크다. 따라서 전달함수는 아래와 같이 근사치로 될 수 있다.

$$T(s) \approx \frac{\Omega_0}{s + a_0}$$

[0033]

[0034] 여기서, if R이 다음과 같이 주어지면,  $a_0 = 0$  이다.

$$R = \frac{g_{m3} - g_{ds1} - g_{ds3}}{g_{ds1} \cdot g_{ds3}}$$

[0035]



[0036] 이것은 전달함수를 다음과 같이 더 간소화시킨다.

$$T(s) \approx \frac{\Omega_0}{s}$$

[0037]

[0038] 이것은 완벽한 적분기의 정확한 응답이다. 여기서, 트랜지스터는 일반적으로  $g_{m1} > g_{m3}$  과 같이 선택되고, 따라서 아래와 같이 된다.

$$\Omega_0 \approx \frac{g_{m1}}{C_{gs3}} > \frac{g_{m3}}{C_{gs3}} \approx 2\pi \cdot f_T$$

[0039]

[0040] 이것은 적분기(200)의 단위 이득 대역폭이 그 기술의 단위 이득 대역폭과 근사하게 동일한 것을 보여준다.

[0041] 도 3은 TSMC의 65nm CMOS에서 구현된 적분기(200)의 주파수 응답을 도시한다. 단위 주파수는 약 60GHz이다. 위상(phase)이 50MHz부터 10GHz까지 약  $-90^\circ (\pm 10 \text{ 내})$ 인 동안에, 크기는 약 10MHz부터 60GHz까지 20dB/dec의 롤 오프(roll off)를 가진다.

[0042] 도 2에서 보여진 바와 같이 적분기회로(200)의 실시예들은 다양한 방법으로 수정될 수 있다. 도 4의 적분기회로(400)에서 보여진 바와 같이, 도 2의 중간 저항(R)은 게이트가 전압원(voltage source)에 연결된 트랜지스터를 이용하여 구현될 수 있다. 저항값(따라서 전달함수에서 a0의 값)은 다양한 전압에 의해 간단히 다양하게 될 수 있다. 이것은 사용자들이 피드백 제어 회로를 통해 적분기를 조정할 수 있도록 해주는데, 이에 대해서는 다음 절에서 설명하도록 한다.

[0043] 도 5는 적분기 회로(500)의 또 다른 실시예를 도시하는데, 도 4의 M2(및 M5)의 저항은 전압 VcR에 의해서 조절된다. 일반적으로 저항은 VcR이 증가할 때, 감소한다. VcR이 너무 커지는 것을 방지하기 위하여, 고정 저항이 M2(및 M5)와 병렬이 되게 추가될 수 있다.

[0044] 도 6의 (a) 내지 (c)는 적분기 회로(601, 602, 603)의 또 다른 실시예들에 대해서 도시한다. 선형성을 더 개선시키기 위하여, 도 6(a)의 적분기 회로(601)에 도시된 바와 같이, 2개의 소스스캐환저항(source degeneration resistors)들이 상부에 추가될 수 있다. 조금 다른 접근으로 전류원이 두개의 동일한 전류원으로 나누어지고, 하나의 소스스캐환저항이 도 6(b)의 적분기 회로(602)에 도시된 바와 같이 두 개의 브랜치(branch)들 사이에 추가될 수 있다. 도 6(c)에서, 적분기 회로(603)는 상부 및 하부 소스스캐환저항들을 모두 포함한다.

[0045] 도 7은 적분기 조정 회로(700)를 형성하기 위한 조정회로(702)가 구성된 적분기 회로(701)(예를 들면, 도 2 및 도 4 내지 도 6을 참조하여 전술한 적분기 회로)를 도시화한다. 전술한 바와 같이, 전압 VcR은 완벽한 적분기를 구성하기 위해서 정확하게 선택되어야 한다. 이 선택은 조정회로(702)를 통해서 이루어진다. 완전한 조정회로는 2개의 부분들을 포함하는데, 즉, DC교정(DC calibration) 및 이득 제어(gain control)이다. DC 교정이 작동하기 위해서, 두 개의 동일한 버퍼(예를 들면, 소스 폴로어(source follower))들이 적분기 앞에 삽입된다. 하나의 버퍼는 고정 전압원 Vfix로 바이어스(bias)되고, 다른 하나의 버퍼는 피드백 루프(feedback loop)를 통하여 제어되는데, 여기서 피드백 루프는 간단히 요약하면 입력들에 따라 적분기의 차동(differential) 출력들을 가지는 적분기 회로이다. DC 교정 회로는 대략 동일한 바이어스 전압을 가지는 적분기의 차동 출력들을 보장한다. 결국, 이는 적분기가 조정될 때, 적분기가 높은 공통 모드 제거(high common mode rejection)를 가지는 것을 보장한다.

[0046] VcR이 변화함에 따라, DC-교정 적분기(DC-calibrated integrator)는 저주파수들에서 큰 위상 변화를 가질 수 있으며, 위상은 VcR에 따라 단조롭게 변한다. 이에 따라, 이득 제어 회로는 기본적으로 주어진 저주파수에서 목표했던 위상 응답(phase response)을 가지는 DC-교정 회로를 구동하는 위상 검파기(phase detector)이다. 도 7에서 보여지는 바와 같이, 오실레이터(oscillator)는 200kHz 신호를 생성하고, 이는 적분기에 공급되고, 이때 적분기의 출력은 증폭된다. 또한, 상기 200kHz 신호는 위상천이기(phase shifter) 및 단일입력-차동출력 변환기(single-to-differential converter: S2D)에 공급되고, 그 다음 증폭된다(동일한 증폭기(amplifier)를 사용함). 두 개의 증폭된 신호들은 배율기(multiplier)에 공급된다. 배율기의 DC 성분은 두 개의 증폭된 신호들 사

이의 위상 차이를 보여준다. 보다 구체적으로, DC 값은 두 개의 증폭된 신호가 동위상에 있을 때 최대가 되고, 상기 위상이 90도 위상차일 때 0이 된다. 위상천이기를 통해 올바르게 선택된 위상값을 이용하여, 배율기가 따르는 적분기 회로는 적분기가 200kHz에서 목표된 위상 응답을, 그에 따른 목표된 VcR, 가지도록 구동한다.

[0047] 도 8은 각각의 입력 및 출력 신호들을 가진 감쇠기 회로(800)를 도시한다. 감쇠기들은 프로세서 또는 DSP에 의해 구체화되어 주어진 2진수에 비례하여 신호를 줄인다. 감쇠기들은 “전압에 선형 비례(linear in voltage)” 하거나 “dB(데시벨)에 선형 비례(linear in dB)” 하도록 설계된다. 감쇠기(800)는 “전압에 선형 비례” 하는 감쇠기이다. “dB(데시벨)에 선형 비례” 하는 감쇠기는 감쇠기가 dB로 수행되는 것을 제외하고는 비슷하다.

[0048] 감쇠기들의 어플리케이션들은 셀룰러 네트워크(cellular network), 케이블 모뎀(cable modem), DSL(digital subscriber loops), 영상기기 시스템(imaging system), 적응필터(adaptive filter) 및 다양한 응용프로그램들에서 이용되는 이퀄라이저들에서 신호 처리 구성요소들을 포함한다. 수천만개의 감쇠기들이 마이크로파 성분들 시장들에서 팔리고, 수 차례 VLSIs 설계들에 집적된다.

[0049] 도 9는 R/2R 래더(ladder)를 이용하는 대표적인 감쇠기(900)를 도시화한다. 대표적인 감쇠기 설계는 감쇠기능을 수행하기 위하여 다단계 저항성 래더(multistage resistive ladder)들을 사용한다. 감쇠기를 제어하는 바이너리 비트에 있는 비트(bit)들만큼 많은 스테이지(stage)들이 있다. 목표된 정확도가 증가함에 따라, 스테이지들의 수는 증가하고 저항력(tolerance)들은 점점 나빠진다. 이것은 실현 가능한 다이내믹 레인지(dynamic range)를 제한한다. CMOS 설계에서, 이것은 이 구조의 사용성을 6 내지 8비트들로, 다이내믹 레인지를 64 내지 256으로 제한한다. 보다 더 높은 정확도는 레이저 트리밍(laser trimming)으로 달성될 수 있으나, 이것은 비용을 증가시킨다. 또한, 각 스테이지는 진성의(intrinsic) 대역폭을 가지고 있고, 많은 스테이지들이 부가됨에 따라, 대역폭은 감소한다. 따라서, 적은 비용일 경우, 다단계 저항성 래더 구조에 만족되는 10 또는 그 이상의 비트 정확도를 가진 광대역 감쇠기는 소용이 없게 될 것이다.

[0050] 도 10은 본 발명의 실시예에 따른 감쇠기 회로(1000)를 도시하는데, 이것은 확률적 설계 기술(stochastic design technique)을 이용하여 전술한 제한들을 극복한다. 여기서, 단일 스테이지(single stage) 감쇠기(1000)는 시리즈 아암(series arm)(소스(source)와 출력 사이) 또는 로드 아암(load arm)(출력과 접지(ground) 사이)으로 전환될 수 있는 저항들(R)의 그룹(group)으로 구성된다. 각각의 저항은 시리즈 아암에 있거나 그렇지 않으면 로드 아암에 있다.

[0051] 저항들이 비율 R, 2R, 4R, ..., (2N)R로 정렬되는 경우, 이때 우리가 N-비트 감쇠기를 가지는 것을 보여주는 것은 쉽다. FET들을 온(on) 또는 오프(off)하는 스위치들은 기본적으로 커패시턴스(capacitance)를 가지고 있기 때문에, 우리는 더 큰 저항들이 대역폭 문제(bandwidth problem)들을 생성하는 것을 예상할 수 있다. 가장 작은 저항은 임피던스(impedance)에 대한 스위치들 보다 상당히 더 커야만 하고, 그래서 가장 큰 저항은  $N > 9$ 에 대해 대단히 크게 될 것이다. 이것은 광대역 성능에 대한 실질상의 문제이다. 또한, 가장 큰 저항은 상당히 크게 될 것이고, 이것은 많은 실리콘 면적(silicon area)을 이용하게 될 것이다. 정확도는 특히 온도와 절충하게 되는데, 그 이유는 다른 종류의 저항들(다른 온도 계수(thermal coefficient)들을 가진)은, 한 종류의 저항들은 충분한 범위를 가지지 않는, 저항 값들의 큰 범위를 수용하는 데 사용되어야 할 것이기 때문이다.

[0052] 대역폭 문제는 FET 스위치 크기들을 저항 크기에 반비례하게 선택함으로써 완화될 수 있어서, 각각의 아암(arm)의 RC 시정수(time constant)는 같다. 이론상으로, 이것은 무한한 대역폭을 제공할 수 있을 것이다. 그러나, 가장 작은 FET에 대한 가장 큰 것의 비율은 매우 크게 될 것이고, 레이아웃 및 실리콘 크기 문제들이 있을 것이다. 왜냐하면, 가장 작은 FET는 분산(variance)과 관련된 미스매치(mismatch)가 가장 작은 저항에 대하여 작도록 만들기 위해서 충분히 커야만 하기 때문이다.

[0053] 감쇠기(1000)는 감쇠기의  $2^N$  값을 제공하기 위하여 N 저항들을 사용한다. 이러한 감쇠기는 N 자유도들(degrees of freedom)을 가지는데, 이는 설계자가 오직 N 값들로 설정할 수 있기 때문이다. 감쇠기가 이상적이라면, 감쇠기는 0에서 1로 가는 수직선(number line) 위에  $2^N$  동일한 감쇠 등간격들(spaced points)을 제공할 것이다. 따라서, 감쇠기 값들의 분포는 [0, 1] 간격에 대해 균일( $1/2^N$  비닝(binning)에 포함)하게 될 것이다. 이상적이지 않은 상황인 경우, 많은 빈들(bins)은 비어지게 될 것이고 많은 빈들은 다수의 값들을 가질 것이다. 레이저 트림을 이용하여, 설계자는 모든 빈에 현재 값(value present)을 가지도록 감쇠기 값들을 움직이게 하기 위하여 분포를 바꾸는 것을 시도할 수 있다. 그러나, 이것은 매우 어렵고 비용이 많이 든다.

[0054] 도 11은 또 다른 실시예에 따른 감쇠기 회로(1100)를 도시한다. 일부 실시예들에서, M 자유도(저항들의 수)들이

있다(여기서,  $M > N$ ). 설계자는 간격[0, 1]을 따라서  $2M$  포인트들(points)을 생성할 수 있다.  $M$  저항들을 적절하게 선택함으로써, 설계자는  $2^N$  빈들의 각각에서 다수의 포인트들을 가진 분포를 생성할 수 있다. 이때, 결과들의 큰 퍼센티지는 모든 빈에서 적어도 하나의 포인트를 가지는 분포를 여전히 생성할 것이라는 것을 입증하기 위해 포함된 저항/FET 저항력들을 가진 Monte Carlo 시뮬레이션(simulation)을 할 수 있다. 완성된 제품은 이때,  $2^N$  목표된 값들에 대응하는 제어  $M$  비트 조합들(combinations)을 결정하는  $2^M$  포인트들을 통한 실행에 의해서 조정될 수 있다. 이 테이블은 각각이  $M$  비트 길이인  $2^N$  워드(words) 사이즈의 메모리에 저장될 수 있다.  $N$  어드레스 라인이 목표된 감쇠 값으로 설정되면, 메모리는 대응하는  $M$  비트 값을 감쇠기에 출력하는데(데이터 버스를 통해서), 이때 감쇠기는 목표된 감쇠값을 가지게 된다. 만약 설계자가  $N < N^* < M$ 에서  $N^*$  비트 정확도를 원하나, 일부 빠진 코드(예를 들면, 0 또는 1 코너 근처에서)들을 기꺼이 수용한다면, 이때 그 프로그램은  $M$  크기의  $2^{N^*}$  워드 크기의 메모리에 넣어질 것이다. 이러한 실시예는 도 11의 감쇠기 회로(1100)에서 도시된다.

[0055] 도 12(a)는  $N$ -비트 정확도, 저항들  $R, 2R, \dots, (2N)R$ 을 가진  $M$ -자유도들 네트워크에 대하여 이루어진 감쇠 분포를 도시화한다. 여기서, 설계자가 간격( $1 - x/100, 1 + x/100$ , 즉,  $x$  퍼센트 에러(error))에 놓인 균일하게 분포된 랜덤(random) 변수에 의해서 각각의 저항의 값들은 디서(dither)하면(바꾸면), 동일한 제어 비트 패턴에 대한 일반적인 구현은 도 12(b)에 도시된 바와 같다. 보여지는 바와 같이, 여기서 분포는 도 12(a)에 보여진 값들 주위에 분산된다. 이 방법은 일부 분포된 빈들(some populated bins) 주위의 비워있는 빈들을 채우기 위해서 이용될 수 있는데, 특히 다수 분포된 빈의 중간에서 이용될 수 있다. 이 결과는 "분산 평활화(smoothing the distribution)"로서 언급될 수 있다.

[0056] 도 13은  $N$  비트(이 예에서는  $N = 12$ ) 정확도를 가진  $M$  비트(이 예에서는  $M = 24$ ) 감쇠기(1300)를 보여준다. 최고 저항(따라서, FET switch) 비율은 대략 64이다. 저항  $R, 2R, 4R, 8R, 16R, 32R, 64R$ 와 함께 시작하고,  $59R, 53R, 47R, 43R, 41R, 37R, 31R$  값의 저항을 추가한다. 여기서, 숫자 59, 47, 43, 41, 37, 31은 숫자 2, 4, 8, 16, 32 및 64에 대한 소수이다. 결과 분포는  $x = 5\%$ 를 사용하는  $2N$  빈들 내에서 최선의 분포(충분한 최고 통달 범위(maximum range of fill))를 얻기 위해서 디서(dither)된다. 이후, 설계자가  $M$  저항(여기서, 값  $R$ 의 10 저항들을 추가한다)을 가질 때까지, 설계자는 값  $R$ 의 저항들을 채운다.

[0057] 도 14는  $N=10$  내지  $N=14$  빈들에 대한 결과들의 분포를 도시화한다. Monte Carlo 시뮬레이션은 65nm CMOS 기술에서 미스매치 하에서, 최저 저항 사이즈  $R = 100\Omega$  및 최소 FET 사이즈  $0.12\mu m$ 가 이용될 때, FET들 및 저항들이 대략 1.5% 변화를 가지는 것을 보여준다. 시뮬레이션들은 2%에  $x$ 가 설정되도록 구성되고, 장기간(long run)은 500 설계들 중 500이,  $N=12$ 에 대하여, 212 빈들 중 두 개의 극단적인 빈들 0 및 1023을 제외하고 모든 빈들이 범위[0, 1]에서 적어도 하나의 소자를 가져야 되는 요건을 만족하는 것을 보여준다.

[0058] 도 15는 구체적 손실 패턴에 대하여 감쇠기(1300)의 주파수 영역 성능(frequency domain performance)을 도시한다. 일반적으로, 감쇠기는 모든 다른 감쇠 값들에서 10GHz의 대역폭보다 더 큰 것을 보여준다.

[0059] 특정한 감쇠기를 조정하기 위해서, 설계자는 노미널 디자인(nominal design)으로 시작한다. 설계자는 빈 테이블과 각각의 빈에 걸쳐 분산된 10 제어 비트 조합들까지 생성한다. 물론, 10 제어비트 조합들보다 작게 가진 빈들은 모두 그들의 리스트된(listed) 구성요소들을 가진다.

[0060] 조정되는 감쇠기에 대해, 설계자는 빈  $i(1 \leq i \leq 2N)$  및 그 빈에 대한 노미널 제어 비트 패턴(nominal control bit pattern)을 가지고 시작한다. 설계자는 이루어진 실제의 감쇠를 측정하고, 에러를 계산한다. 얼마나 많은 빈들이 에러를 정정하기 위하여 이동한 것인지를 결정하기 위하여, 에러는  $2N$ 으로 곱해진다. 이동의 방향은 에러의 극성에 따라 결정된다. 측정된 값이 너무 높다면, 설계자는 더 낮은 빈 값의 방향 및 그 반대로 움직인다. 새로운 제어 비트 패턴은 결정되고(선택된 빈에서 일부 제어 패턴은 다른 것들보다 더 나은 값들을 줄 수 있는데, 여기서 설계자는 최선을 유지한다), 목표된 정확도까지 반복되는 프로세스가 이루어진다. 실제로, 설계자가 목표된 정확도를 2 내지 3 스텝들 내에서 얻는 것을 알게 된다.

[0061] 전체 프로세스는 설계자가  $2N$  빈 값들의 전체 테이블 및 대응하는 제어 비트 패턴들을 얻을 때까지 모든 빈들에 대해서 반복된다.

[0062] 전술한 방법들은 높은 정확성, 낮은 비용, 높은 대역폭, 높은 수율 CMOS 감쇠기를 제공한다. 목표된  $N$  비트 정확도에 대하여, 설계자는  $M(M > N)$ 개 저항들과 스위치들을 가지고 시작한다.  $N$ 보다 충분히 큰  $M$ 을 선택함으로써, 설계자는 감쇠기들의 큰 퍼센티지는 성분 저항력들에도 불구하고  $N$  비트 정확도를 충족할 것이라는 것을 통계상으로 "보장" 하는 충분한 정확도를 얻는다. 어떤 레이저 트리밍도 제조 공정에서 요구되지 않

는다.

[0063] 게다가, 최적의 분포를 위한 저항들을 선택하는 방법들은 서술되었다. 감쇠기의 특정한 구현을 조정하기 위한 방법은 서술되었다. 비록 전술한 실시예들은 “전압에서 선형인” 감쇠기를 제공하였을지라도, 이 기술 분야의 당업자는 동일한 방법들을 “데시벨(dB)에서 선형” 감쇠기에 적용할 수 있을 것이다.

[0064] 도 16은 도 1을 참조하여 기재된 바이쿼드 회로(100)에서 구현될 수 있는 가산기 회로(1600)를 도시화한다. 가산기 회로(1600)은 단일 저항(R) 및 N개 트랜지스터들로 구성된다. 가산기(1600)는 광대역 아날로그 신호 처리를 요구하는 회로 토폴로지들에서 이용될 수 있다. 트랜지스터의 수 N은 합산될 것인 입력 신호들의 수에 의해서 정해진다.

[0065] 가산기는 입력 신호들  $V_1, V_2, \dots, V_N$ 을 입력받고, 출력신호  $V_{out}$ 을 공급하는데, 여기서 모두 DC 및 AC 터엄(TERM)들을 포함한다. 저항(R)은 가산 네트워크(summing network)를 통해 DC 전류로 설정되고, 가산 블록(summing block)의 전체적인 이득(overall gain)에 기여한다. 중첩을 이용해서 그 때 하나의 트랜지스터를 고려함으로써, 소스 공통형(CS: common source) 증폭기(amplifier)를 분석하는 것이 남겨지게 된다. 출력에서 DC 바이어스 터엄을 무시 및 오직 AC 터엄에 집중함으로써, CS 증폭기에 대한 출력은 아래와 같이 주어진다.

$$v_o = -g_m v_{in} (R || r_o).$$

[0066] 식 1

[0067] 식 1에서, 용어  $g_m$ 은 트랜지스터의 이득(예를 들면, 트랜스컨덕턴스)이고,  $r_o$ 는 트랜지스터의 출력 저항이다.  $r_o \gg R$ 을 가정하면, 도 1에서 회로의 전체적인 출력은 아래와 같이 주어진다.

$$v_{out} = -(g_{m1}v_1 + g_{m2}v_2 + \dots + g_{mN}v_N)R$$

[0068] 식 2

[0069] 식 2에서, 입력 신호들과 동반되는  $g_m$ 용어들은 가산 계수(summing coefficient)들로 간주될 수 있다. 저항(R)은 고정되기 때문에, 설계자는 트랜지스터 이득  $g_m$ 을 바꿈으로써 가산 계수를 적용할 수 있다. 트랜지스터 이득  $g_m$ 은 트랜지스터 폭 W에 관해서 표현될 수 있다.

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN})$$

[0070] 식 3

[0071] 식 3에 따르면, 트랜지스터 이득은 트랜지스터 폭에 정비례하고, 따라서 트랜지스터 폭을 다양하게 함으로써, 가산 계수들이 조정될 수 있다.

[0072] 가산 회로(1600)의 대역폭은 CS 증폭기 폭에 의해서 결정된다. 도 17은 CS 증폭기의 고주파 특성(high-frequency behavior)을 분석하는데 흔히 이용되는 동등한 소신호(small signal) 회로 모델(1700)을 도시한다. 저항( $R_T$ )은  $R || r_o$ 에 의해 주어지고, 커패시터( $C_T$ )는 출력 노드 및 트랜지스터의 접지 사이에 총 커패시턴스이다(예를 들면, 부하(load) 커패시턴스, 트랜지스터의 내부 기생 커패시턴스 및 다음 스테이지들의 입력 커패시턴스).

[0073]  $R_S$ 는 상대적으로 크고,  $C_T$ 는 상대적으로 큰 어플리케이션에 대한 CS 증폭기의 대역폭은,

$$f_{3dB} = \frac{1}{2\pi(C_{gs} + C_{gd}(1 + g_m R_T))R_S}$$

[0074] 식 4

[0075] 이다.

[0076]  $R_S$ 가 작은 어플리케이션에 대한 CS 증폭기의 대역폭은,

$$f_{3dB} = \frac{1}{2\pi(C_L + C_{gd})R_T}$$

식 5

- [0077]
- [0078] 이다.
- [0079] 위의 식으로부터, 높은 대역폭은 작은 R을 이용하여 달성될 수 있다(왜냐하면 R<sub>T</sub>는 R//r<sub>0</sub>에 의해 주어지기 때문이다). 이것은 보통 손실로 끝난다. 손실을 줄이거나 혹은 이득을 얻기 위하여, R은 증가되어야 할 필요가 있으며, 이것은 보통 대역폭과 절충한다.
- [0080] 3-입력 가산 회로는 TSMC의 65nm 프로세스를 이용하는 케이던스(Cadence)에 구성되었다. 도 18은 10Ω으로 설정된 소스 저항(R<sub>s</sub>)을 가진 주어진 회로에 대한 주파수 응답을 보여준다. 실선은 R = 26Ω인 경우에 대응한다. 회로는 손실의 5.4dB를 가지나, 대략 200GHz의 3-dB 대역폭을 가진다. 파선은 R = 60Ω인 경우에 대응한다. 회로는 대략 손실의 0dB를 가지고 3-dB 대역폭은 90GHz로 감소된다.
- [0081] 도 19는 위에서 언급된 적분기들, 감쇠기들 및 가산기들에서 구현될 수 있는 일련의 바이쿼드 회로들(1900)을 도시화한다. 바이쿼드 구성은 두 번째 차수 상태 가변 구조이다. 2N차 차수 전달함수 T(s)' N 바이쿼드들을 캐스캐이딩(cascading) 함으로써 얻게 된다.
- [0082] 또한, 도 19에서 보여지는 전달함수들은 단일 입력 단일 출력(single input single output: SISO) 필드 프로그램 가능 아날로그 배열(FPAA: field programmable analog array)를 묘사한다. 감쇠기들의 값들 및 적분기의 이득들을 다양하게 함으로써, 설계자는 적응 필터의 왜곡 및 지연선 특성을 얻을 수 있다. 아날로그 영역(analog domain)에서 작동하는 능력은 엔지니어들에게 광대역 신호들을 처리할 수 있는 강력한 도구를 제공한다.
- [0083] 이 발명이 전술한 실시예들을 참조하여 특별히 보여지고 기재되긴 하였으나, 당업자에 의해서 첨부된 청구항들에 의해 포함되는 발명의 범위를 벗어나지 않는 내에서 방식 및 세부 사항에 관한 다양한 변형이 이루어질 수 있음을 이해할 수 있을 것이다.

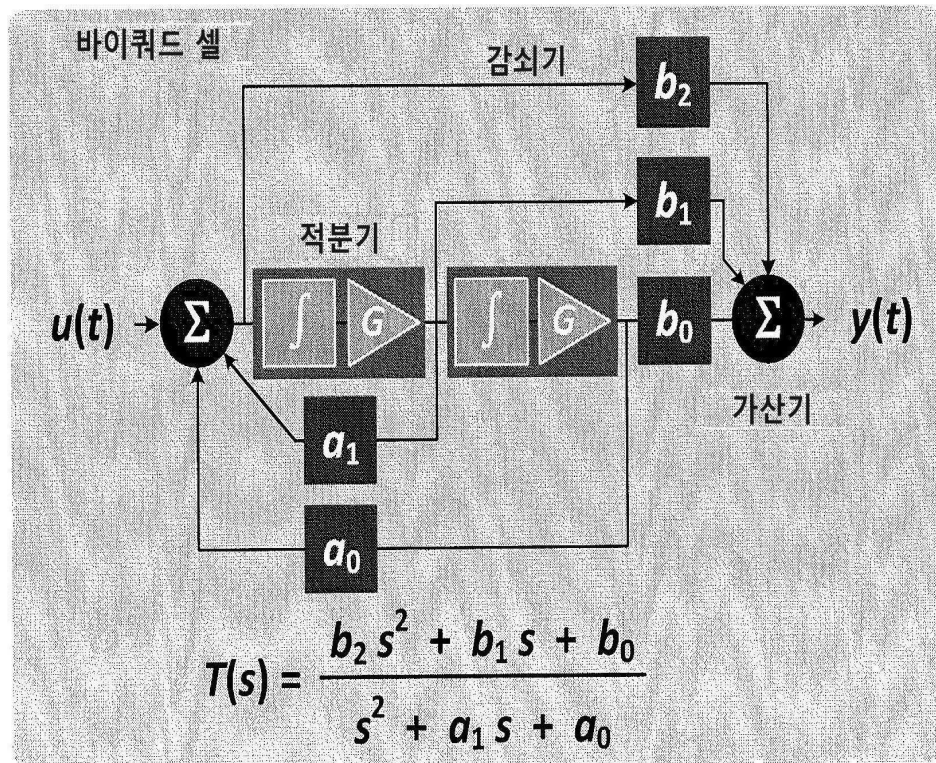
## 부호의 설명

- [0084] 100: 바이쿼드 회로 산기      110: 적분기      120: 감쇠기      130: 가
- 200, 400, 500, 601, 602, 603, 701: 적분기 회로
- R: 저항(resistor)      700: 적분기 조정회로
- 702: 조정회로      800, 900, 1000: 감쇠기 회로



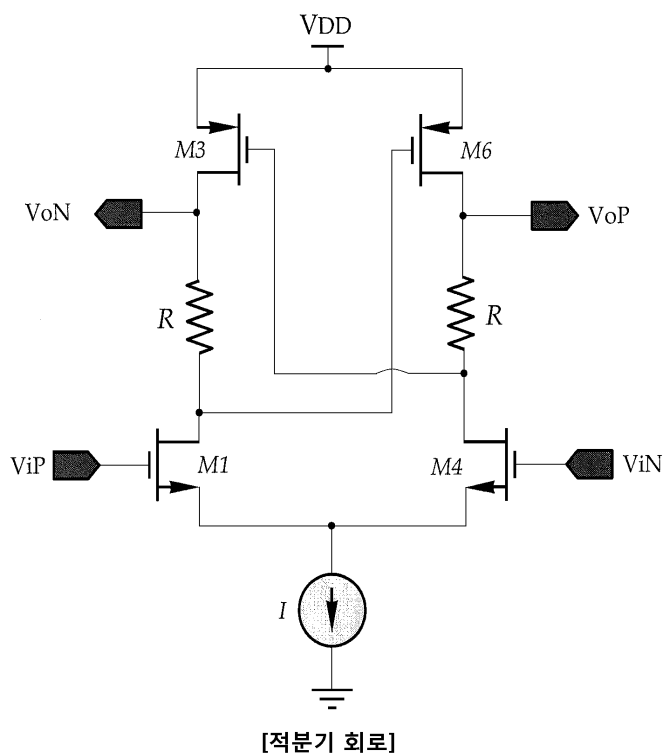
도면

도면1



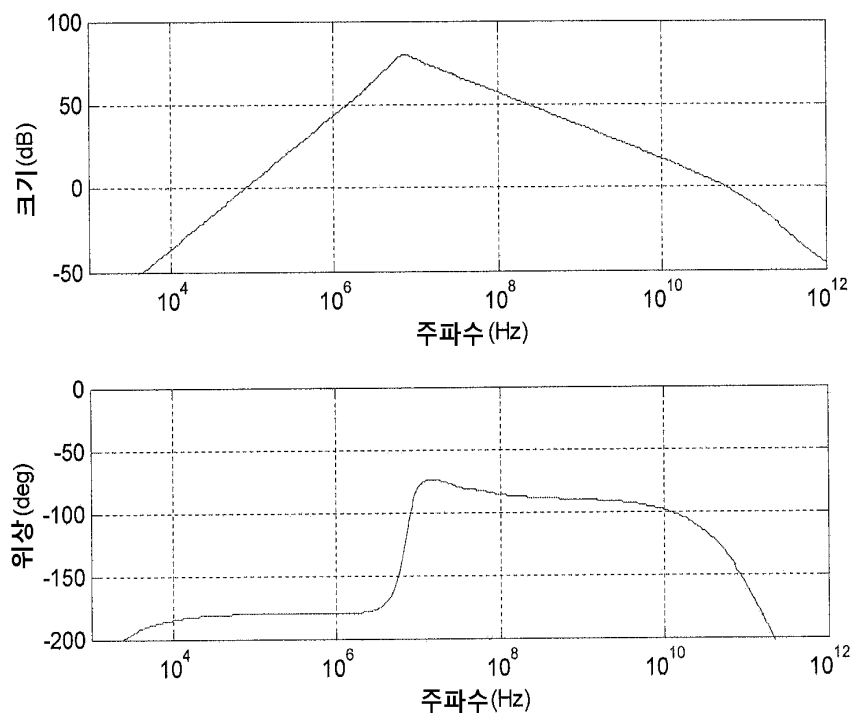
[전달함수를 가진 2차 관측표준형 블록 다이어그램]

도면2



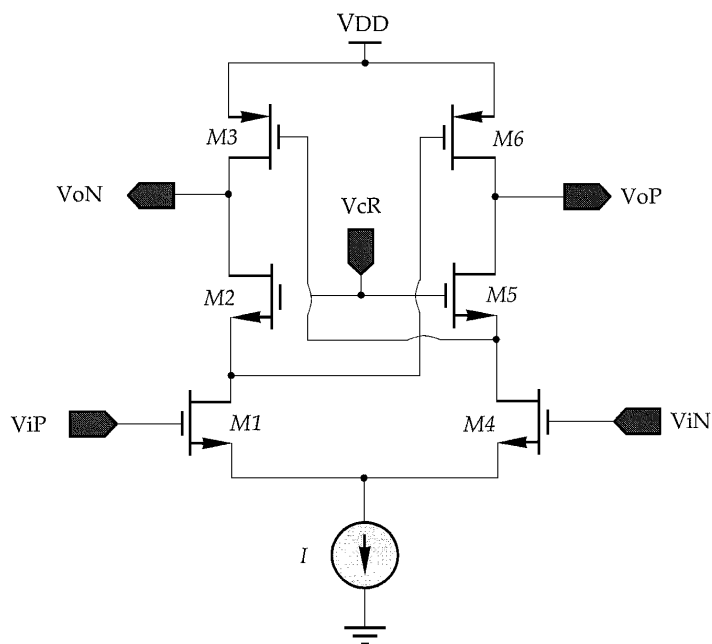


도면3



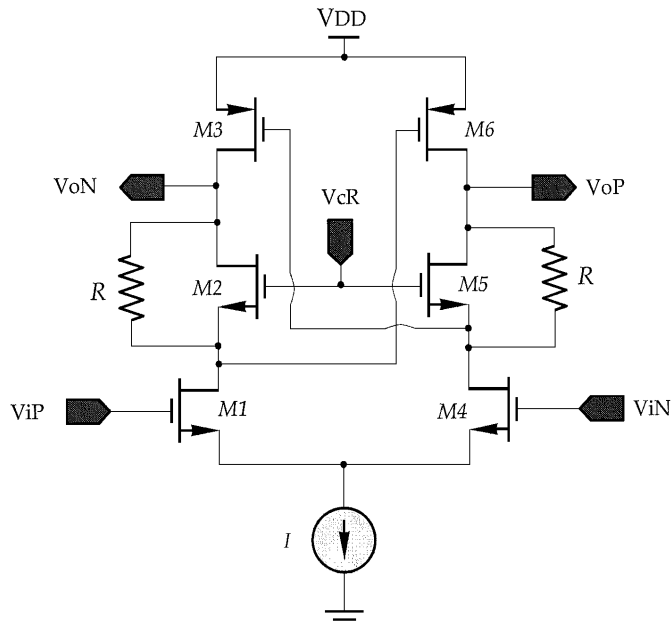
[TSMC의 65nm CMOS에 형성된 적분기의 주파수 응답]

도면4



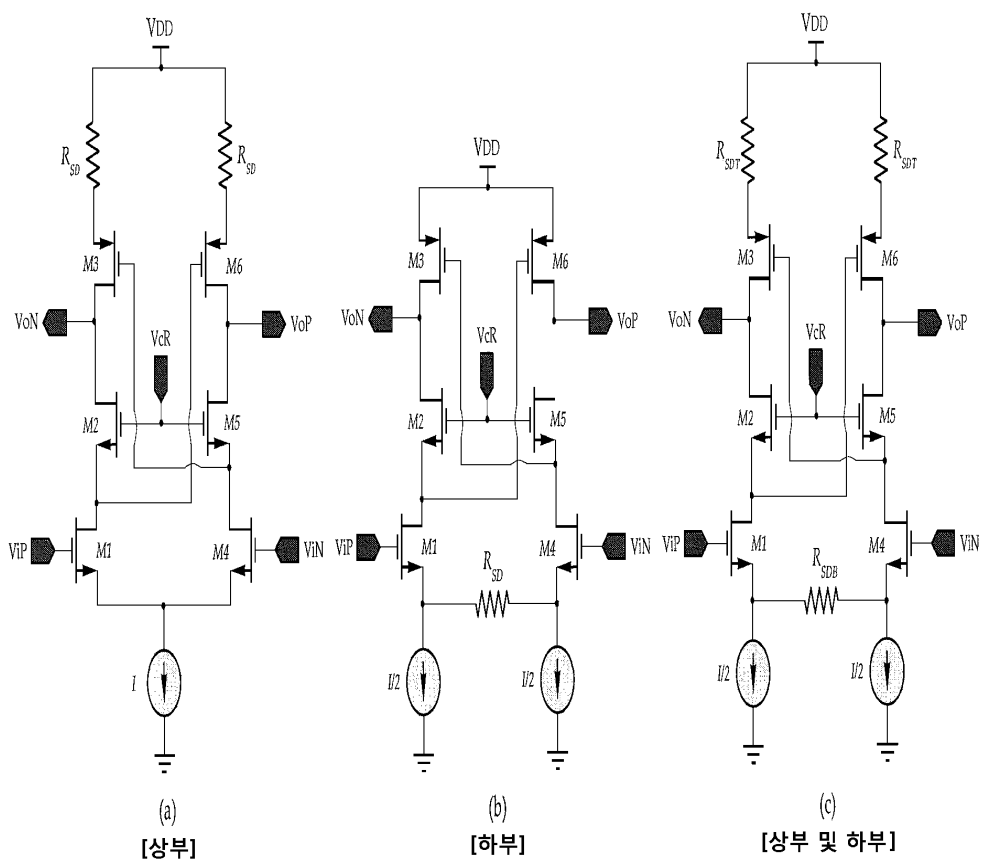
[전압 제어 레지스터로서 트랜지스터 사용하기]

도면5



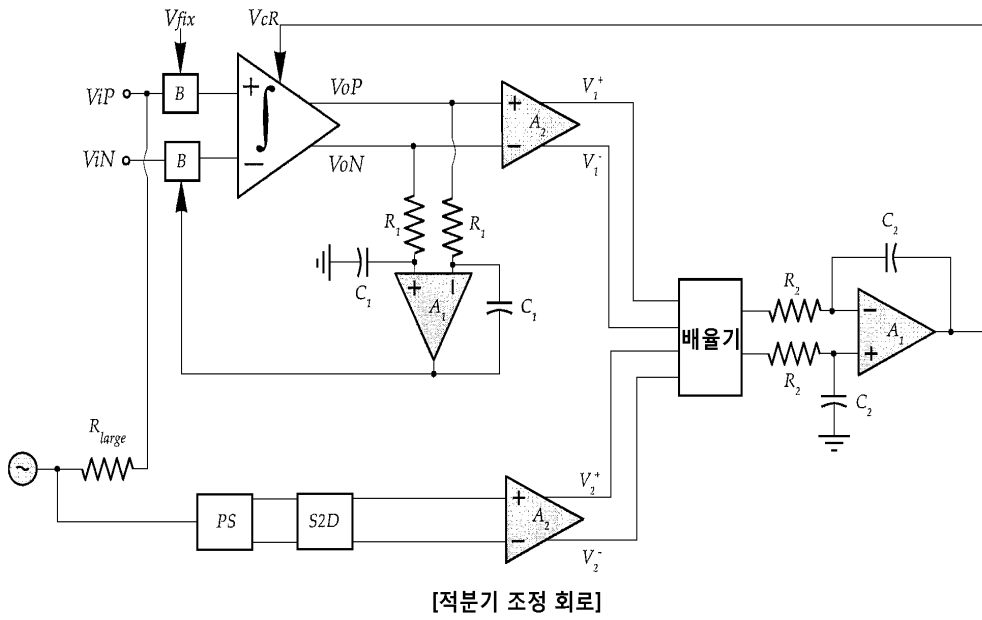
[중간 트랜지스터와 병렬인 레지스터]

도면6

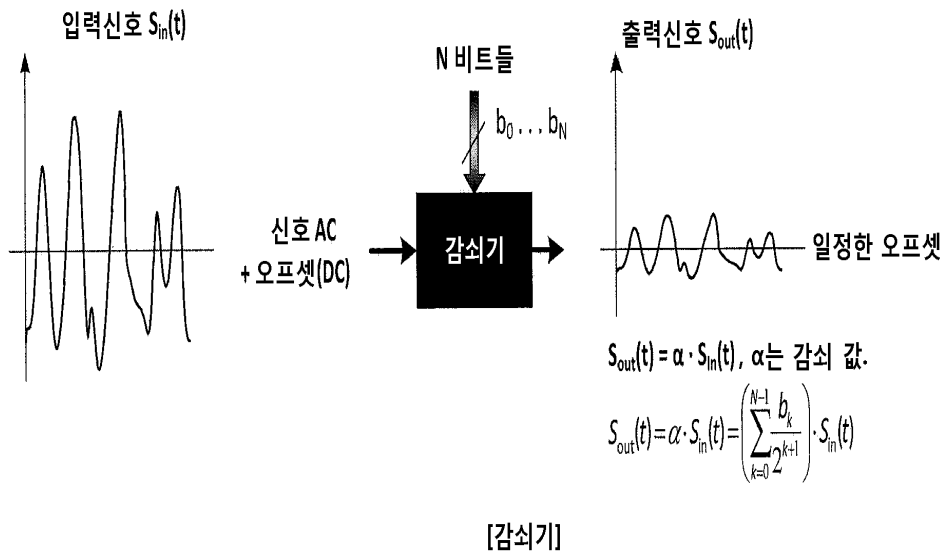


## 소스궤환 저항

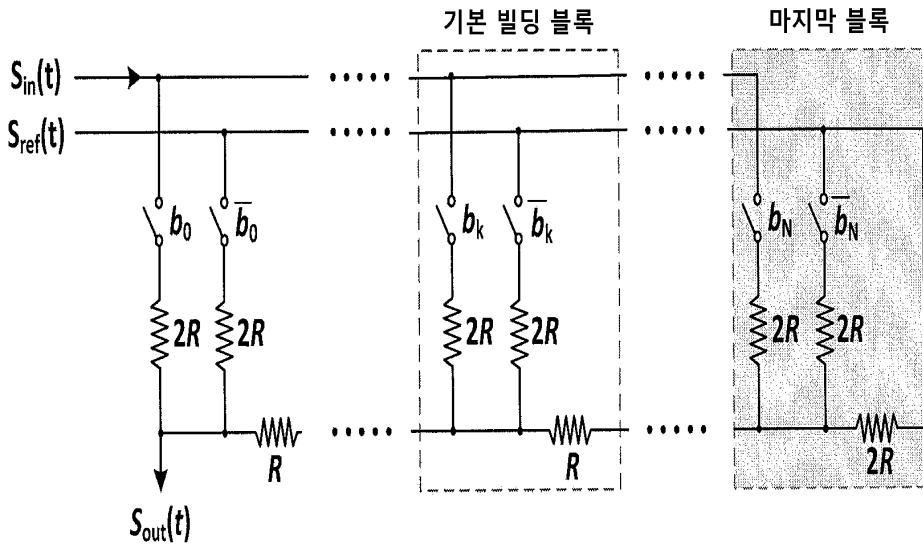
도면7



도면8

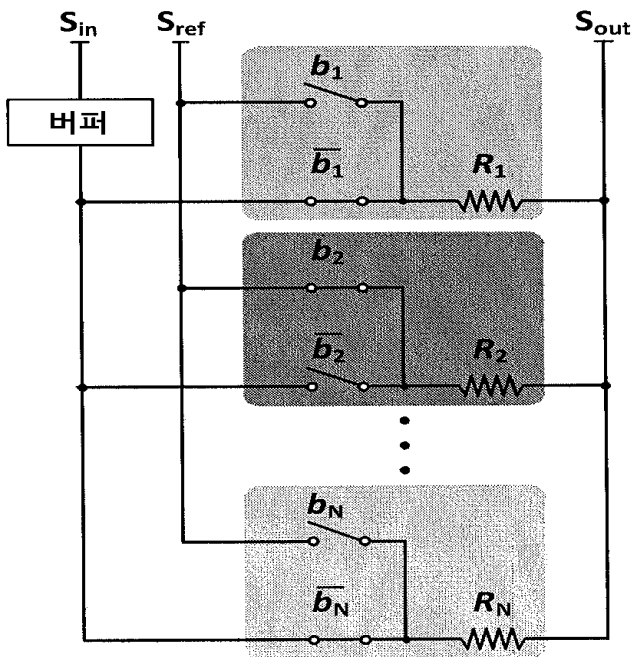


도면9



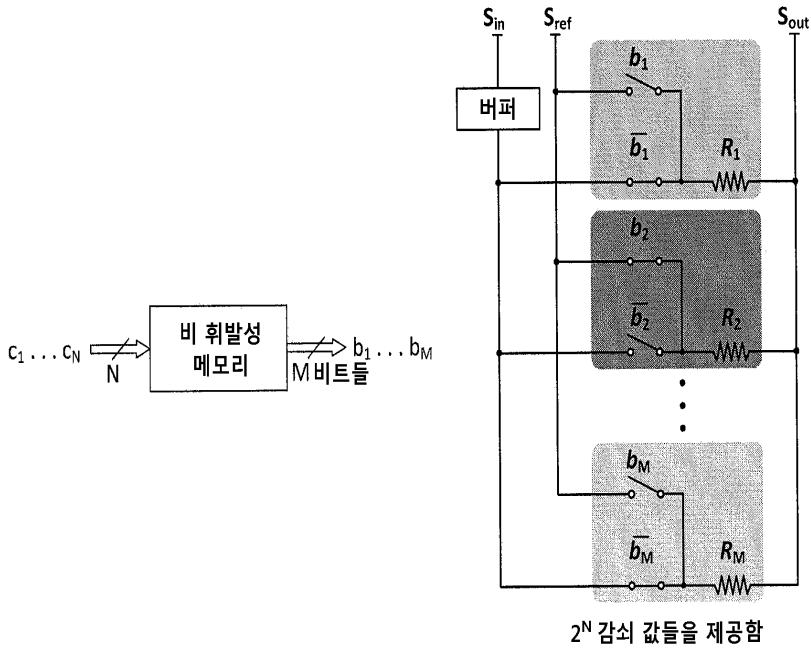
[대표적인 R/2R 래더의 블록 다이어그램]

도면10



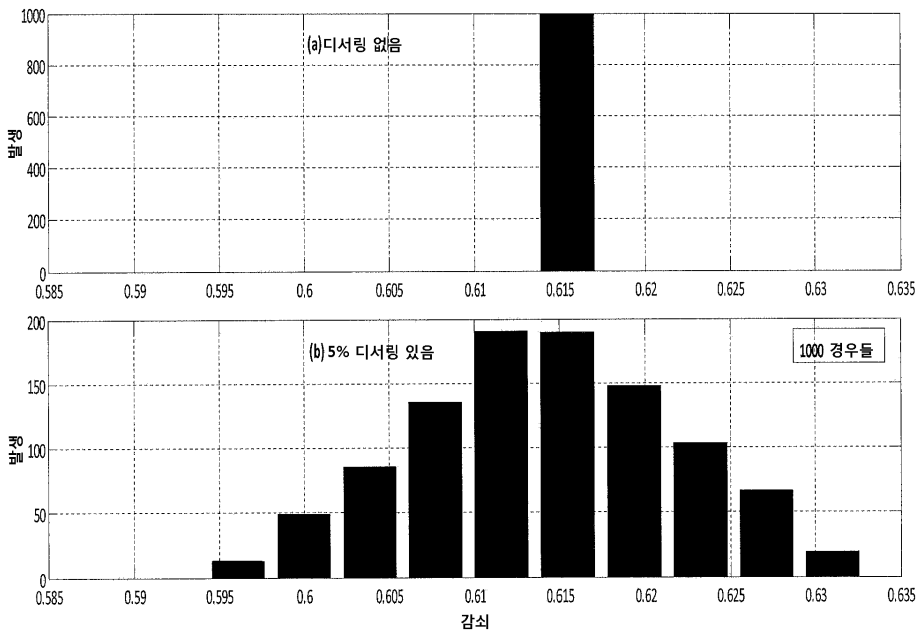
$2^N$  감쇠 값들을 제공함  
[단일 스테이지 감쇠기]

도면11



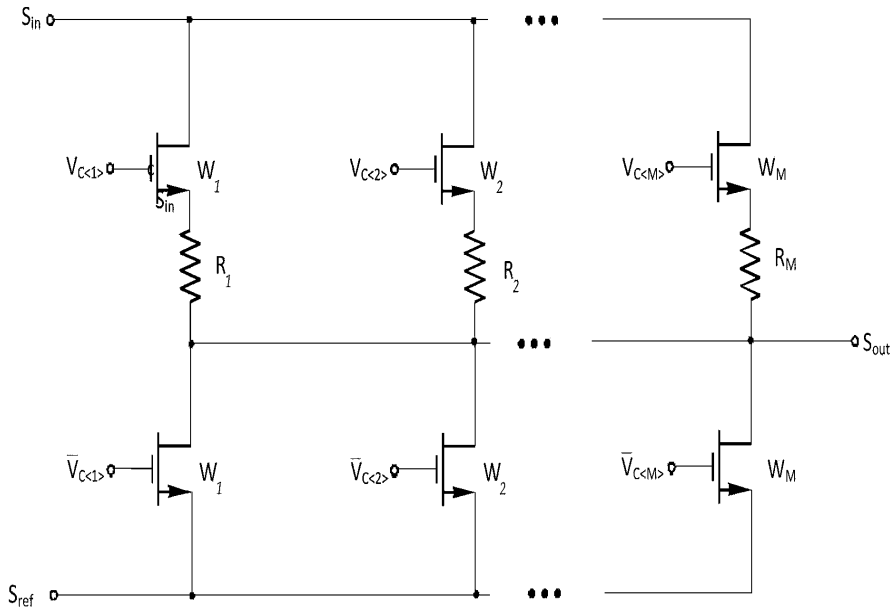
[비휘발성 메모리를 가진 단일 스테이지 감쇠기]

도면12



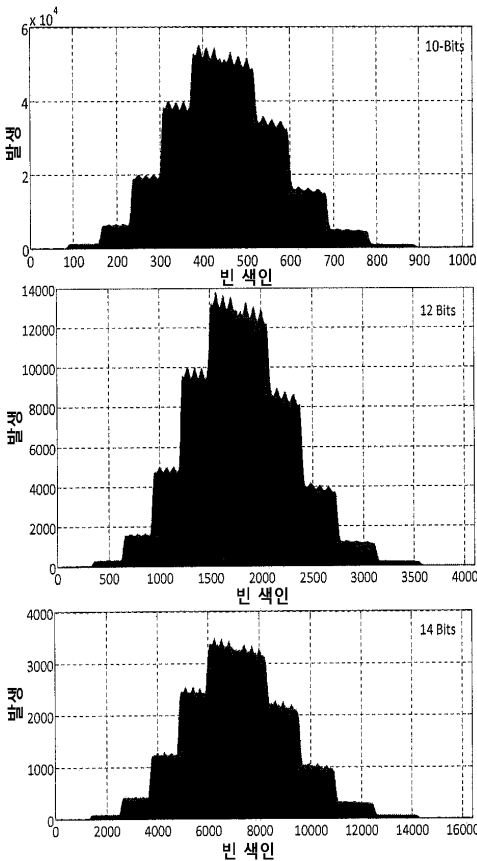
[(a) 디서링 없이, 및 (b) 5% 디서링이 있는 감쇠 값들의 분포]

도면13



[M-비트 감쇠기를 도시화한 다이어그램]

도면14



[M = 10, 12 및 14 bin들에 대한 분포 및 대응하는 성능]

연속 적용

비트들	낮은 빈 수 <sup>A</sup>	높은 빈 수 <sup>B</sup>	동적 범위	스텝 크기
10	1	1,022	60 dB	0.000977
12	5	4,079	58 dB	0.000244
14	62	14,489	47 dB	0.000061

<sup>A</sup> 적어도 하나의 감쇠 현재 값을 가진 가장 낮은 빈 수

<sup>B</sup> 적어도 하나의 감쇠 현재 값을 가진 가장 높은 빈 수

bin들의 수

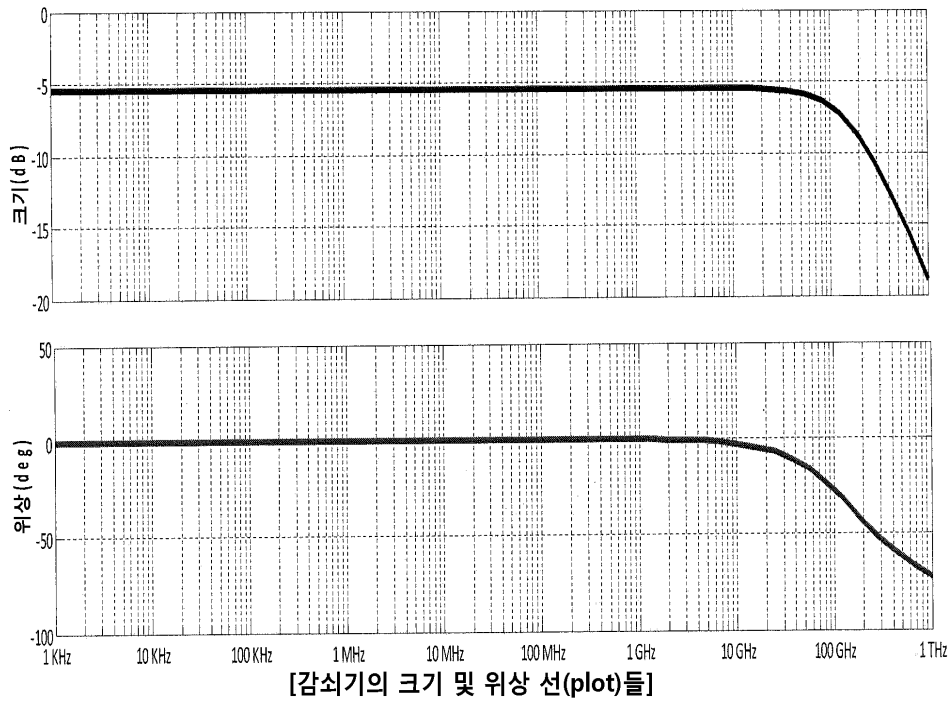
$$2^{10} = 1,024$$

$$2^{12} = 4,096$$

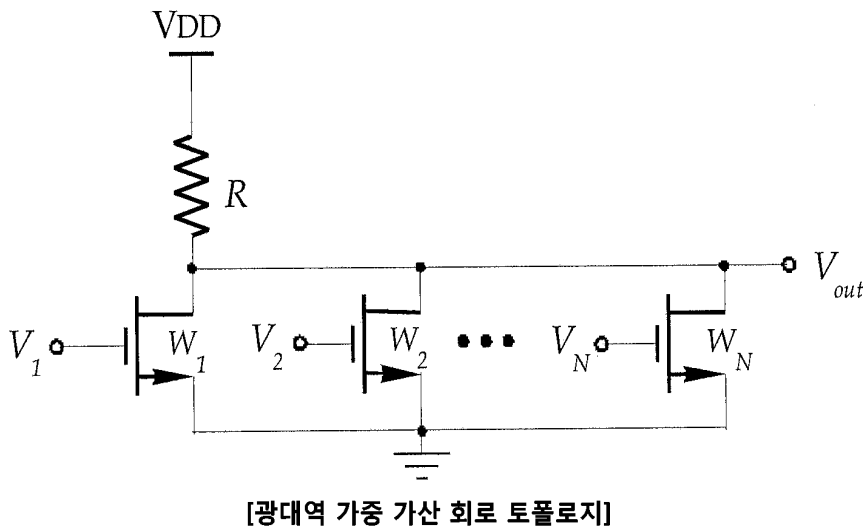
$$2^{14} = 16,384$$



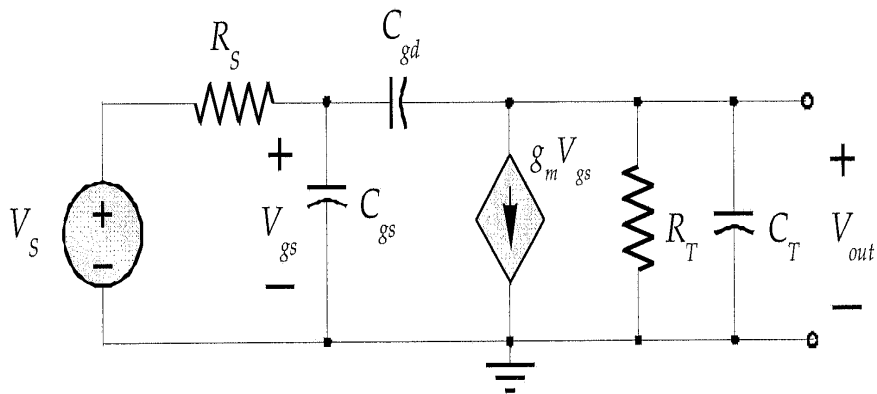
도면15



도면16

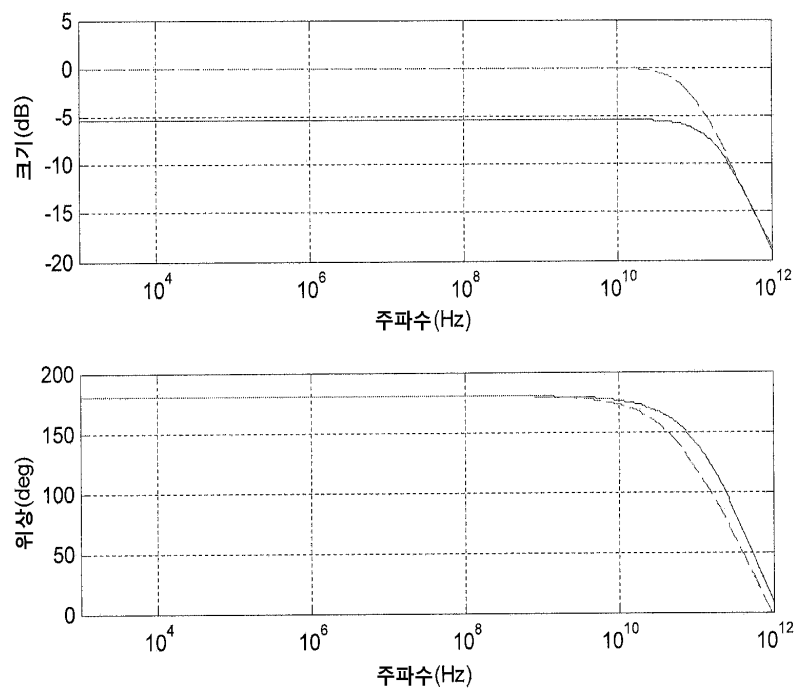


도면17



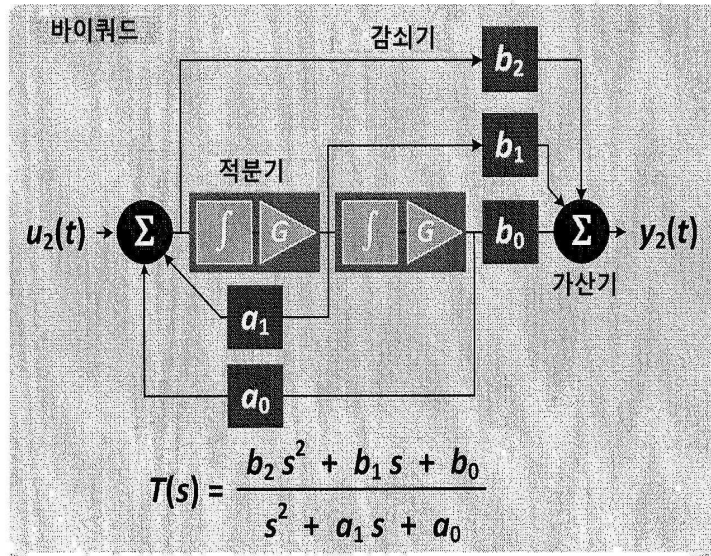
[CS 증폭기 고-주파수 특성을 분석하는 데 이용된 회로]

도면18



[TSMC의 65nm 프로세스에 구성된 3-입력 가산 회로의 주파수 응답]

도면19



$$T(s)' = \sum_{j=1}^N \frac{b_{2j} s^2 + b_{1j} s + b_{0j}}{s^2 + a_{1j} s + a_{0j}}$$

[2N 차 전달함수를 달성하기 위한 N 바이쿼드의 캐스캐이딩(cascading)]