



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년03월03일

(11) 등록번호 10-2083380

(24) 등록일자 2020년02월25일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/385 (2006.01)
H01L 29/04 (2006.01) H01L 29/49 (2006.01)
H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/78606 (2013.01)
H01L 21/385 (2013.01)
- (21) 출원번호 10-2019-7017870(분할)
- (22) 출원일자(국제) 2013년01월16일
심사청구일자 2019년06월20일
- (85) 번역문제출일자 2019년06월20일
- (65) 공개번호 10-2019-0076062
- (43) 공개일자 2019년07월01일
- (62) 원출원 특허 10-2014-7017937
원출원일자(국제) 2013년01월16일
심사청구일자 2018년01월15일
- (86) 국제출원번호 PCT/JP2013/051229
- (87) 국제공개번호 WO 2013/111756
국제공개일자 2013년08월01일
- (30) 우선권주장
JP-P-2012-013451 2012년01월25일 일본(JP)
- (56) 선행기술조사문헌
US20110281394 A1*
JP2010182818 A*
US20110140116 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
고에즈카 준이치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
양영준, 박충범

전체 청구항 수 : 총 11 항

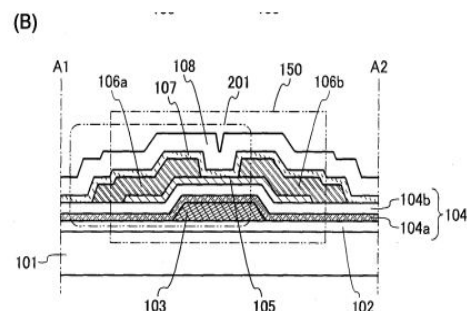
심사관 : 김종호

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제작 방법

(57) 요약

산화물 반도체를 사용하는 트랜지스터를 포함하는 신뢰성이 높은 반도체 장치가 제공된다. 산화물 반도체층을 포함하는 보텀-게이트형 트랜지스터를 포함하는 반도체 장치에 있어서, 산화물 반도체층에 접하여 제1 절연층을 형성하고, 산소 도핑 처리를 행함으로써, 상기 제1 절연층이 화학양론적 조성보다 초과하여 산소를 포함하게 된 (뒷면에 계속)

대표도



다. 제1 절연층 위에 제2 절연층을 형성함으로써, 제1 절연층에 함유된 과잉 산소를, 효율적으로 산화물 반도체층에 공급할 수 있게 한다. 따라서, 안정된 전기적 특성을 갖는 신뢰성이 높은 반도체 장치가 제공될 수 있다.

(52) CPC특허분류

H01L 29/045 (2013.01)

H01L 29/4908 (2013.01)

H01L 29/66969 (2013.01)

H01L 29/78618 (2013.01)

H01L 29/7869 (2013.01)

(72) 발명자

오카자키 겐이치

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

이케야마 데루마사

일본 302-0022 이바라키켄 도리테시 혼고 5-12-7
후레구란스오카다 102

도치마야시 가츠아키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

반도체 장치의 제작 방법으로서,

인듐(In)>갈륨(Ga)의 비율로 In과 Ga를 포함하는 산화물 반도체층을 형성하는 단계;

습식 에칭법에 의해 상기 산화물 반도체층의 일부를 에칭하는 단계;

상기 산화물 반도체층 위에 산화질화 실리콘막을 형성하는 단계; 및

산소 분위기 하에서 플라즈마 처리에 의해 상기 산화질화 실리콘막에 산소를 도입하는 단계를 포함하고,

상기 산화물 반도체층 내의 구리 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하인, 반도체 장치의 제작 방법.

청구항 8

제7항에 있어서,

게이트 전극을 형성하는 단계; 및

상기 게이트 전극 위에 절연층을 형성하는 단계

를 더 포함하고,

상기 산화물 반도체층은 상기 절연층 위에 형성되는, 반도체 장치의 제작 방법.

청구항 9

반도체 장치의 제작 방법으로서,

인듐(In)>갈륨(Ga)의 비율로 In과 Ga를 포함하는 산화물 반도체층을 형성하는 단계;

습식 에칭법에 의해 상기 산화물 반도체층의 일부를 에칭하는 단계;

상기 산화물 반도체층 위에 소스 전극과 드레인 전극을 형성하는 단계;
 상기 소스 전극 및 상기 드레인 전극 위에 산화질화 실리콘막을 형성하는 단계; 및
 산소 분위기 하에서 플라즈마 처리에 의해 상기 산화질화 실리콘막에 산소를 도입하는 단계
 를 포함하고,
 상기 산화물 반도체층 내의 구리 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하인, 반도체 장치의 제작 방법.

청구항 10

제7항 또는 제9항에 있어서,
 상기 산화질화 실리콘막으로 도입되는 산소의 일부는 상기 산화질화 실리콘막을 통해 상기 산화물 반도체층으로
 도입되는, 반도체 장치의 제작 방법.

청구항 11

제7항 또는 제9항에 있어서,
 상기 산화물 반도체층은 In:Ga:Zn=A:B:C 의 원자수비로 In, Ga 및 Zn을 포함하고,
 A, B, 및 C는 $(A+B+C=1)$ 를 만족하고 $(3/6-A)^2 + (1/6-B)^2 + (2/6-C)^2 \leq 0.0025$ 를 만족하는, 반도체 장치의 제작
 방법.

청구항 12

제7항 또는 제9항에 있어서,
 상기 산화물 반도체층은 In:Ga:Zn=A:B:C 의 원자수비로 In, Ga 및 Zn을 포함하고,
 A, B, 및 C는 $(A+B+C=1)$ 를 만족하고 $(2/6-A)^2 + (1/6-B)^2 + (3/6-C)^2 \leq 0.0025$ 를 만족하는, 반도체 장치의 제작
 방법.

청구항 13

제7항 또는 제9항에 있어서,
 상기 산화물 반도체층은 $\text{In} > 2\text{Ga}$ 의 비율로 In과 Ga를 포함하는, 반도체 장치의 제작 방법.

청구항 14

제7항 또는 제9항에 있어서,
 투광성의 도전성 재료를 포함하는 제1 층 및 금속 원소를 포함하는 제2 층을 포함하는 적층 구조를 갖는 게이트
 전극을 형성하는 단계를 더 포함하는 반도체 장치의 제작 방법.

청구항 15

제7항 또는 제9항에 있어서,
 상기 산화질화 실리콘막 내의 수소 농도는 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 미만인, 반도체 장치의 제작 방법.

청구항 16

제7항 또는 제9항에 있어서,
 상기 산화물 반도체층 내에서 c축은 정렬되고, a축 또는 b축은 거시적으로 정렬되지 않는, 반도체 장치의 제작
 방법.

청구항 17

제7항 또는 제9항에 있어서,

상기 산화물 반도체층은 1 nm 이상 10 nm 미만의 사이즈의 미결정(microcrystal)을 포함하는, 반도체 장치의 제작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제작 방법에 관한 것이다.

[0002] 본 명세서 등에 있어서, 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 소정의 장치를 지칭하고, 전기 광학 장치, 발광 표시 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치의 범주에 포함된다.

배경 기술

[0003] 절연 표면을 포함하는 기판 위에 형성된 반도체 박막을 사용해서 트랜지스터를 형성하는 기술이 주목받고 있다. 해당 트랜지스터는 집적 회로(IC) 및 화상 표시 장치(간단히, 표시 장치라고도 지칭) 등의 광범위한 반도체 전자 장치에 적용되고 있다. 해당 트랜지스터에 적용 가능한 반도체 박막용 재료로서 실리콘계 반도체 재료가 널리 알려져 있지만, 다른 재료로서는 산화물 반도체가 주목받고 있다.

[0004] 예를 들어, 산화물 반도체로서, 산화 아연 또는 In-Ga-Zn계 산화물을 사용해서 트랜지스터를 형성하는 기술이 개시되어 있다(특허문헌 1 및 2 참조).

[0005] 한편, 산화물 반도체에 수소가 포함되는 경우, 전도대에 가까운 준위(얕은 준위)에서 도너가 생성되어 저항을 낮게 하는(산화물 반도체를 n형 산화물 반도체로 만드는) 것이 지적되고 있다. 따라서, 산화물 반도체의 형성 시에 수소가 산화물 반도체에 혼입되지 않게 하기 위해 몇몇 조치가 취해질 필요가 있다. 또한, 산화물 반도체 뿐만 아니라, 산화물 반도체와 접하는 게이트 절연막 내에서의 수소량을 저감함으로써, 임계값 전압의 변동을 억제하는 기술도 개시되어 있다(특허문헌 3 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 제2007-123861호 공보

(특허문헌 0002) 일본 특허 공개 제2007-96055호 공보

(특허문헌 0003) 일본 특허 공개 제2009-224479호 공보

발명의 내용

해결하려는 과제

[0007] 또한, 산화물 반도체에 있어서의 산소 결손은 산화물 반도체 내에 캐리어로서의 역할을 하는 전자를 생성한다. 트랜지스터의 채널 형성 영역을 포함하는 산화물 반도체에 산소 결손이 많이 존재하면, 채널 형성 영역 내에 전자가 발생하는데, 이는, 트랜지스터의 임계값 전압을 마이너스 방향으로 시프트시키는 요인이 된다.

[0008] 상술한 문제를 감안하면, 본 발명의 한 실시 형태의 목적은, 안정된 전기 특성 및 높은 신뢰성을 갖는, 산화물 반도체를 사용하는 반도체 장치, 및 그 제작 방법을 제공하는 것이다.

과제의 해결 수단

[0009] 산화물 반도체층을 포함하는 보텀-게이트형 트랜지스터를 포함하는 반도체 장치에 있어서는, 산화물 반도체층에 접해서 절연층을 형성하고, 해당 절연층 및 해당 절연층에 접하는 산화물 반도체층에 산소 도핑 처리를 행한다. 산소 도핑 처리에 의해, 해당 절연층 및 해당 절연층에 접하는 산화물 반도체층 각각은, 화학양론적 조성에서도 산소량이 더 많은 산소 과잉 상태로 될 수 있다. 산화물 반도체층과 접하는 산소 과잉 함유 절연층으로부터 산화물 반도체층으로 산소가 용이하게 공급될 수 있어, 산화물 반도체층으로부터의 산소의 탈리를 방지할 수

있고, 산화물 반도체층 내의 산소 결손을 보충할 수 있게 된다.

- [0010] 산화물 반도체층 위에는 산소 도핑 처리된 제1 절연층을 형성할 수 있고, 제1 절연층 위에는 제2 절연층을 형성할 수 있다. 산소 도핑 처리된 제1 절연층 위에 제2 절연층을 형성함으로써, 제1 절연층 내의 과잉 산소를 효율적으로 산화물 반도체층에 공급할 수 있다.
- [0011] 제2 절연층은 제1 절연층과 마찬가지로의 재료를 이용하여 형성될 수 있고, 바람직하게는, 수소 또는 수분 등의 불순물 및 산소의 양쪽에 대하여 높은 차단 효과를 나타내는 장벽 특성을 갖는 금속 산화물 재료를 사용한다. 예를 들어, 산화 알루미늄을 사용하는 것이 바람직하다.
- [0012] 또한, 제2 절연층은 제1 절연층과 마찬가지로의 재료를 이용하여 형성될 수 있고, 제2 절연층 위에는 장벽 특성을 갖는 금속 산화물 재료를 이용하여 형성된 금속 산화물층이 제3 절연층으로서 형성될 수 있다.
- [0013] 금속 산화물층은, 제1 절연층 또는 제2 절연층 위에 금속층을 형성한 다음 산소 도핑 처리를 행하여, 해당 금속층을 산화시킴으로써 형성될 수 있다.
- [0014] 산소를 포함하는 절연층을, 산화물 반도체층과 장벽 특성을 갖는 금속 산화물층 사이에 끼우는 구조는, 트랜지스터의 제작 공정 중에 및 제작 후에 있어서, 전기 특성의 변동 요인이 되는 수소 또는 수분 등의 불순물의 산화물 반도체층에의 혼입, 및 산화물 반도체의 주성분인 산소의 산화물 반도체층으로부터의 방출(탈리)을 방지할 수 있다. 따라서, 트랜지스터의 전기 특성 및 신뢰성을 향상시킬 수 있다.
- [0015] 산소 도핑 처리를 통해 형성된 금속 산화물층은, $1 \times 10^{10} \Omega \cdot m$ 이상 $1 \times 10^{19} \Omega \cdot m$ 이하, 바람직하게는 $1 \times 10^{10} \Omega \cdot m$ 이상 $1 \times 10^{18} \Omega \cdot m$ 이하, 보다 바람직하게는 $1 \times 10^{11} \Omega \cdot m$ 이상 $1 \times 10^{15} \Omega \cdot m$ 이하의 저항률 ρ 을 갖는 것이 바람직하다. 금속 산화물층의 상술한 범위에서의 저항률은, 트랜지스터의 정전 파괴를 방지할 수 있게 한다.
- [0016] 또한, 산화물 반도체층과 접하는 절연층(예를 들어, 층간 절연층 또는 게이트 절연층)은, 물 또는 수소 등의 불순물을 가능한 한 적게 포함하는 것이 바람직하다. 이는, 산화물 반도체층과 접하는 절연층 내에 수소가 포함되면, 그 수소가 산화물 반도체층 내에 침입하거나, 산화물 반도체층 내의 산소를 추출할 수 있기 때문이다. 따라서, 산화물 반도체층과 접하는 절연층은, 탈수화 또는 탈수소화를 위해 열처리되는 층인 것이 바람직하다.
- [0017] "산소 도핑 처리"는, 산소(산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온) 및 산소 클러스터 이온 중 적어도 하나를 포함)를 벌크에 첨가하는 것을 의미한다. 용어 "벌크"는, 박막 표면뿐만 아니라 박막 내부에도 산소를 첨가하는 것을 명확히 하기 위해서 사용하고 있다. "산소 도핑 처리"는, 플라즈마화한 산소를 벌크에 첨가하는 "산소 플라즈마 도핑 처리"를 포괄하고 있다. 산소 도핑 처리에는, 이온 주입법, 이온 도핑법, 플라즈마 침지 이온 주입법, 산소 분위기 하에서 행하는 플라즈마 처리 등이 채택될 수 있다. 이온 주입법에 있어서는, 가스 클러스터 이온 빔을 사용할 수 있다.
- [0018] 산소 도핑 처리에는, 산소를 포함하는 가스를 사용할 수 있다. 산소를 포함하는 가스로서는, 산소, 일산화 이질소, 이산화 질소, 이산화 탄소, 일산화 탄소 등을 사용할 수 있다. 또한, 산소 도핑 처리에 있어서, 산소를 포함하는 가스에 희가스를 첨가할 수 있다.
- [0019] 본 발명의 한 실시 형태는, 게이트 전극, 게이트 전극 위에 형성된 게이트 절연층, 게이트 전극과 중첩하고, 게이트 절연층 위에 형성된 산화물 반도체층, 산화물 반도체층 위에 형성된 소스 전극과 드레인 전극, 산화물 반도체층의 일부와 접하도록 소스 전극과 드레인 전극 위에 제공된 제1 절연층, 및 제1 절연층 위에 형성된 제2 절연층을 포함한다. 제1 절연층은, 화학양론적 조성에서의 산소보다 그 양이 더 많은 산소를 포함한다.
- [0020] 제1 절연층은 10 nm보다 두껍고, 100 nm보다 얇은 것이 바람직하다.
- [0021] 본 발명의 한 실시 형태는, 게이트 전극을 형성하고, 게이트 전극 위에 게이트 절연층을 형성하고, 게이트 절연층 위의, 게이트 전극과 중첩되는 영역에 산화물 반도체층을 형성하고, 산화물 반도체층 위에 소스 전극과 드레인 전극을 형성하고, 소스 전극과 드레인 전극 위에, 산화물 반도체층의 일부와 접하도록, 화학양론적 조성에서의 산소보다 그 양이 더 많은 산소를 포함하는 제1 절연층을 형성하고, 제1 절연층 위에 제2 절연층을 형성하는 단계들을 포함한다.
- [0022] 제2 절연층 위에는, 제3 절연층을 형성할 수 있다. 제2 절연층 및/또는 제3 절연층은, 장벽 특성을 갖는 금속 산화물층(들)인 것이 바람직하다.

발명의 효과

[0023] 본 발명의 한 실시 형태에 따르면, 산화물 반도체를 사용하며, 안정된 전기 특성 및 높은 신뢰성을 가질 수 있는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0024] 첨부 도면에 있어서,
 도 1의 (a) 내지 (c)는 반도체 장치의 한 실시 형태를 설명하는 평면도 및 단면도이다.
 도 2의 (a) 내지 (d)는 반도체 장치의 제작 방법의 한 실시 형태를 설명하는 단면도이다.
 도 3의 (a) 내지 (d)는 반도체 장치의 제작 방법의 한 실시 형태를 설명하는 단면도이다.
 도 4의 (a) 내지 (d)는 반도체 장치의 제작 방법의 한 실시 형태를 설명하는 단면도이다.
 도 5의 (a) 및 (b)는 반도체 장치의 한 실시 형태를 설명하는 단면도이다.
 도 6의 (a) 내지 (c)는 반도체 장치의 한 실시 형태를 설명하는 평면도이다.
 도 7의 (a) 및 (b)는 반도체 장치의 한 실시 형태를 각각 설명하는 단면도이다.
 도 8의 (a) 및 (b)는 반도체 장치의 한 실시 형태를 설명하는 회로도 및 단면도이다.
 도 9의 (a) 내지 (c)는 전자 기기를 각각 설명하는 도면이다.
 도 10의 (a) 및 (b)는 전자 기기를 설명하는 도면이고, 도 10의 (c)는 충방전 제어 회로를 설명하는 블록도이다.
 도 11의 (a) 및 (b)는 반도체 장치의 한 실시 형태를 설명하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서는, 본 명세서에 개시하는 발명의 실시 형태에 대해서 첨부 도면을 참조해서 상세하게 설명한다. 본 명세서에 개시하는 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세를 다양하게 변경할 수 있다는 것은, 당업자에게는 용이하게 이해된다. 따라서, 본 명세서에 개시하는 발명은 이하의 실시 형태의 기재 내용에 한정해서 해석되는 것이 아니다. 이하에 설명하는 본 발명의 구조에 있어서, 동일 부분 또는 유사한 기능을 갖는 부분을, 도면 전체에 걸쳐서 동일한 참조 부호로 표기하고, 그에 대한 설명은 반복하지 않는다는 점에 유의해야 한다. 또한, 동일한 해치 패턴은, 참조 부호 없이, 유사한 기능을 갖는 부분을 표기하는 경우가 있다.

[0026] 본 명세서에 있어서, "제1" 및 "제2" 등의 서수는, 구성 요소 간의 혼동을 피하기 위해서 사용되며, 이는 구성 요소를 수적으로 한정하는 것은 아니다.

[0027] (실시 형태 1)

[0028] 본 실시 형태에서는, 반도체 장치의 한 실시 형태인 트랜지스터의 구조 및 그 제작 방법에 대해서 설명한다. 본 실시 형태에서 개시하는 트랜지스터는, 채널이 형성되는 반도체층에 산화물 반도체를 사용하는 트랜지스터이다.

[0029] 도 1의 (a)는, 채널이 형성되는 반도체층에 산화물 반도체를 사용하는 트랜지스터(150)의 평면 구조를 도시하는 상면도이며, 도 1의 (b)는, 도 1의 (a)에서의 A1-A2의 섹션을 따라 절취한 단면 구조를 도시하는 단면도이며, 도 1의 (c)는, 도 1의 (a)에서의 B1-B2의 섹션을 따라 절취한 단면 구조를 도시하는 단면도이다. 도면을 쉽게 이해하기 위해서, 도 1의 (a)에 있어서는 일부 구성 요소를 도시하지 않는다.

[0030] 도 1의 (a) 내지 (c)에 도시하는 트랜지스터(150)는, 채널 에칭형 구조를 포함하는 보텀-게이트형 트랜지스터이며, 또한, 역 스택거형 트랜지스터이다.

[0031] 도 1의 (a) 내지 (c)에 있어서, 기판(101) 위에 절연층(102)이 형성되고, 절연층(102) 위에 게이트 전극(103)이 형성되고, 게이트 전극(103) 위에 게이트 절연층(104)이 형성되어 있다. 도 1의 (a) 내지 (c)에서는, 게이트 절연층(104)이 게이트 절연층(104a)과 게이트 절연층(104b)의 적층으로 구성되는 예를 나타내고 있지만, 게이트 절연층(104)은 단층이거나, 복수 층의 적층으로 되어 있다.

- [0032] 또한, 게이트 절연층(104) 위에 산화물 반도체층(105)이 형성되고, 산화물 반도체층(105) 위에 소스 전극(106a) 및 드레인 전극(106b)이 형성되어 있다. 산화물 반도체층(105)의 일부에 접하도록 소스 전극(106a) 및 드레인 전극(106b) 위에 절연층(107)이 형성되고, 절연층(107) 위에 절연층(108)이 형성되어 있다.
- [0033] 산화물 반도체층(105)에 사용하는 산화물 반도체는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히, In과 Zn이 포함되는 것이 바람직하다. 또한, 해당 산화물 반도체를 사용한 트랜지스터의 전기 특성에서의 변동을 저감시키기 위한 스테빌라이저로서는, 갈륨(Ga)을 포함하는 것이 바람직하다. 스테빌라이저로서는, 주석(Sn)을 포함하는 것이 바람직하다. 스테빌라이저로서는, 하프늄(Hf)을 포함하는 것이 바람직하다. 스테빌라이저로서는, 알루미늄(Al)을 포함하는 것이 바람직하다.
- [0034] 다른 스테빌라이저로서는, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb) 및 루테튬(Lu)으로부터 선택된 1종 이상의 란타노이드가 포함될 수 있다.
- [0035] 예를 들어, 산화물 반도체로서는, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물 또는 In-Ga계 산화물, 3원계 금속 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물 또는 In-Lu-Zn계 산화물, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물 또는 In-Hf-Al-Zn계 산화물을 사용할 수 있다. 또한, 상기 산화물 반도체에 SiO₂가 포함될 수 있다.
- [0036] 여기서, 예를 들어, In-Ga-Zn계 산화물은, 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물을 의미하며, In:Ga:Zn의 비율에 대한 특별한 제한은 없다. In-Ga-Zn계 산화물은, In, Ga 및 Zn 이외의 금속 원소를 포함할 수 있다. 산화물 반도체의 화학양론비에 대하여, 산소량이 초과되게 하는 것이 바람직하다. 산소를 초과되게 함으로써, 산화물 반도체의 산소 결손에 기인하는 캐리어의 생성을 억제할 수 있다.
- [0037] 산화물 반도체층에 있어서는, 화학식 InMO₃(ZnO)_m(m>0)로 표기되는 박막을 사용할 수 있는데, 여기서, M은, Sn, Zn, Ga, Al, Mn 및 Co로부터 선택된 1종 이상의 금속 원소를 나타낸다. 또는, 산화물 반도체로서는, In₂SnO₅(ZnO)_n(n>0)로 표기되는 재료를 사용할 수 있다.
- [0038] 예를 들어, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자수비를 포함하는 In-Ga-Zn계 산화물, 또는 그 조성이 상기 조성의 근방에 있는 소정의 산화물이 사용될 수 있다. 또는, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자수비를 포함하는 In-Sn-Zn계 산화물, 또는 그 조성이 상기 조성의 근방에 있는 소정의 산화물이 사용될 수 있다.
- [0039] 그러나, 상기 재료에 한정되지 않고, 필요로 하는 반도체 특성(예를 들어, 이동도, 임계값 및 변동)에 적절한 조성의 재료가 사용될 수 있다. 또한, 필요로 하는 반도체 특성을 얻기 위해서는, 캐리어 농도, 불순물 농도, 결함 밀도, 금속 원소와 산소 간의 원자수비, 원자간 거리, 밀도 등을 적절한 값으로 설정하는 것이 바람직하다.
- [0040] 예를 들어, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어질 수 있다. 그러나, In-Ga-Zn계 산화물에서도, 벌크내 결함 밀도를 저감함으로써 이동도를 높일 수 있다.
- [0041] 예를 들어, "In, Ga 및 Zn의 원자수비가 In:Ga:Zn=a:b:c(a+b+c=1)인 산화물의 조성인, In, Ga 및 Zn의 원자수비가 In:Ga:Zn=A:B:C(A+B+C=1)인 산화물의 조성의 근방이라는 것"은, a, b 및 c가, 다음의 식 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 을 만족하는 것을 의미하고, 여기서, r은, 예를 들어, 0.05일 수 있다는 점에 유의해야 한다. 다른 산화물에서도 동일하게 적용된다.
- [0042] 산화물 반도체막은, 예를 들어, 비단결정일 수 있다. 비단결정 상태는, 예를 들어, c축 정렬 결정(C-Axis Aligned Crystal: CAAC), 다결정, 미결정(microcrystal) 및 비정질부 중 적어도 하나에 의해 구성된다. 비정질부의 결함 상태의 밀도는, 미결정 및 CAAC보다도 높다. 미결정의 결함 상태의 밀도는, CAAC보다도 높다. CAAC를 포함하는 산화물 반도체를, c축 정렬 결정 산화물 반도체(C-Axis Aligned Crystalline Oxide

Semiconductor: CAAC-OS)라고 칭한다는 점에 유의해야 한다.

- [0043] 비정질 상태의 산화물 반도체막에 있어서는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이 산화물 반도체막을 사용해서 형성한 트랜지스터에서의 계면 산란을 억제할 수 있으므로, 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.
- [0044] 결정성을 갖는 산화물 반도체막에 있어서는, 벌크내 결함을 더 저감할 수 있고, 표면의 평탄성을 개선함으로써 비정질 상태의 산화물 반도체막보다도 높은 이동도를 얻을 수 있다. 표면의 평탄성을 개선하기 위해서는, 평탄한 표면 위에 산화물 반도체막을 형성하는 것이 바람직하다. 구체적으로는, 평균면 거칠기(Ra)가 1 nm 이하, 바람직하게는 0.3 nm 이하, 보다 바람직하게는 0.1 nm 이하의 표면 위에 산화물 반도체막을 형성할 수 있다. 평균면 거칠기(Ra)는 원자간력 현미경(Atomic Force Microscope: AFM)을 이용하여 측정될 수 있다.
- [0045] 산화물 반도체막으로서 In-Zn계 산화물의 재료를 사용하는 경우, 원자수비, In/Zn은, 0.5 이상 50 이하, 바람직하게는 1 이상 20 이하, 더욱 바람직하게는 1.5 이상 15 이하이다. Zn의 원자수비를 바람직한 상기 범위로 하면, 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다. 여기서, 화합물의 원자수비가 In:Zn:O=X:Y:Z일 때, $Z > 1.5X + Y$ 의 관계가 만족된다.
- [0046] 산화물 반도체막은, 예를 들어, CAAC-OS를 포함할 수 있다. CAAC-OS에서는, 예를 들어, c축이 정렬되고, a축 및/또는 b축은 거시적으로 정렬되지 않는다.
- [0047] 산화물 반도체막은, 예를 들어, 미결정을 포함할 수 있다. 미결정을 포함하는 산화물 반도체를, 미결정 산화물 반도체라고 칭한다는 점에 유의해야 한다. 미결정 산화물 반도체막은, 예를 들어, 1 nm 이상 10 nm 미만의 사이즈의 미결정(나노 결정이라고도 한다)을 포함한다. 또는, 미결정 산화물 반도체막은, 예를 들어, (각각 1 nm 이상 10 nm 미만인) 결정부가 분포되어 있는 결정-비정질 혼합상 구조를 포함한다.
- [0048] 산화물 반도체막은, 예를 들어, 비정질부를 포함할 수 있다. 비정질부를 포함하는 산화물 반도체를, 비정질 산화물 반도체라고 칭한다는 점에 유의해야 한다. 비정질 산화물 반도체막은, 예를 들어, 원자 배열이 무질서해서, 결정 성분을 갖지 않는다. 또는, 비정질 산화물 반도체막은, 예를 들어, 완전한 비정질이어서, 결정부를 갖지 않는다.
- [0049] 산화물 반도체막이, CAAC-OS, 미결정 산화물 반도체 및 비정질 산화물 반도체 중 소정의 것을 포함하는 혼합막일 수 있다는 점에 유의해야 한다. 혼합막은, 예를 들어, 비정질 산화물 반도체의 영역, 미결정 산화물 반도체의 영역, 및 CAAC-OS의 영역을 포함한다. 또한, 혼합막은, 예를 들어, 비정질 산화물 반도체의 영역, 미결정 산화물 반도체의 영역, 및 CAAC-OS의 영역을 포함하는 적층 구조를 가질 수 있다.
- [0050] 산화물 반도체막은, 예를 들어, 단결정 상태일 수 있다.
- [0051] 산화물 반도체막은, 복수의 결정부를 포함하는 것이 바람직하다. 각각의 결정부에 있어서, c축은 산화물 반도체막의 피형성면의 법선 벡터 또는 산화물 반도체막의 표면의 법선 벡터에 평행한 방향으로 정렬되는 것이 바람직하다. 결정부 중에서, 어느 한 결정부의 a축 및 b축의 방향은 다른 결정부와는 상이할 수 있다. 그러한 산화물 반도체막의 일례로서는, CAAC-OS막이 있다.
- [0052] CAAC-OS막은, 완전한 비정질이 아니다. CAAC-OS막은, 예를 들어, 결정부 및 비정질부가 혼재되어 있는 결정-비정질 혼합상 구조의 산화물 반도체를 포함한다. 대부분의 경우, 결정부는, 1번이 100 nm 미만의 입방체 내부에 적합하다. 투과형 전자 현미경(Transmission Electron Microscope: TEM)에 의한 관찰로부터, CAAC-OS막에 있어서, 비정질부와 결정부 간의 경계, 및 결정부들 간의 경계는 명확하지 않다. 또한, TEM에 의해, CAAC-OS막에서의 입계는 명확하게 확인되지 않는다. 따라서, CAAC-OS막에 있어서, 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0053] CAAC-OS막에 포함되는 결정부의 각각에 있어서, 예를 들어, c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 정렬된다. 또한, 결정부의 각각에 있어서, ab면에 수직인 방향으로부터 봤을 때 삼각 형상 또는 육각 형상으로 금속 원자가 배열되고, c축에 수직인 방향으로부터 봤을 때 금속 원자가 층상으로 배열되거나 금속 원자와 산소 원자가 층상으로 배열된다. 결정부 중에서, 어느 한 결정부의 a축 및 b축의 방향이, 다른 결정부와는 상이할 수 있다는 점에 유의해야 한다. 본 명세서에 있어서, "수직"이라는 것은, 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 각도 범위를 의미하고, "평행"이라는 것은, -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 각도 범위를 의미한다.
- [0054] CAAC-OS막에 있어서, 결정부의 분포는 반드시 균일하지 않다. 예를 들어, CAAC-OS막의 형성 과정에 있어서, 산

화물 반도체막의 표면측으로부터 결정 성장이 개시되는 경우, 산화물 반도체막의 표면 근방에서의 결정부의 비율이, 산화물 반도체막의 피형성면 근방에서보다 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하면, 불순물이 첨가되는 영역에서의 결정부가 비정질화되는 경우가 있다.

[0055] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, c축의 방향은, CAAC-OS막의 형상(CAAC-OS막의 피형성면의 단면 형상 또는 CAAC-OS막의 표면의 단면 형상)에 따라 서로 상이할 수 있다. 성막에는, 결정부의 형성이 수반되거나, 가열 처리 등의 결정화 처리를 통한 결정부의 형성이 뒤따른다는 점에 유의해야 한다. 따라서, 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 정렬된다.

[0056] CAAC-OS막을 사용한 트랜지스터에 있어서는, 가시광 또는 자외광의 조사에 의한 전기 특성에서의 변화가 작다. 따라서, 트랜지스터는 높은 신뢰성을 갖는다.

[0057] 산화물 반도체를 구성하는 산소의 일부는 질소로 치환될 수 있다.

[0058] 또한, CAAC-OS와 같이, 결정부를 갖는 산화물 반도체에 있어서는, 벌크내 결함을 더 저감할 수 있고, 표면의 평탄성을 개선함으로써 비정질 상태의 산화물 반도체보다 더 높은 이동도를 얻을 수 있다. 표면의 평탄성을 개선하기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하다. 구체적으로는, 평균면 거칠기(Ra)가 1 nm 이하, 바람직하게는 0.3 nm 이하, 보다 바람직하게는 0.1 nm 이하의 표면 위에 산화물 반도체를 형성할 수 있다. 평균면 거칠기(Ra)는 AFM(Atomic Force Microscope)을 이용하여 측정될 수 있다.

[0059] 본 실시 형태에서 설명하는 트랜지스터(150)는, 보텀-게이트형 트랜지스터이기 때문에, 게이트 전극(103) 및 게이트 절연층(104)은 산화물 반도체막 아래에 위치한다. 따라서, 상기 평탄한 표면을 얻기 위해서, 기판 위에 게이트 전극(103) 및 게이트 절연층(104)을 형성한 후, 적어도 게이트 전극(103)과 중첩하는 게이트 절연층(104)의 표면에 대하여 화학적 기계 연마(Chemical Mechanical Polishing: CMP) 처리 등의 평탄화 처리를 행할 수 있다.

[0060] 산화물 반도체층(105)은, 1 nm 이상 30 nm 이하(바람직하게는, 5 nm 이상 10 nm 이하)의 두께를 갖고, 스퍼터링법, 분자 빔 에피택시(Molecular Beam Epitaxy: MBE)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다. 산화물 반도체층(105)은, 스퍼터링 타겟의 표면에 대하여, 실질적으로 수직으로 설정된 복수의 기판의 표면에 막이 형성되어 있는 스퍼터링 장치를 사용해서 형성될 수 있다.

[0061] 계속해서, 트랜지스터(150)의 제작 방법의 일례를, 도 2의 (a) 내지 (d) 및 도 3의 (a) 내지 (d)를 참조해서 설명한다.

[0062] 먼저, 기판(101) 위에 절연층(102)을 형성하고, 절연층(102) 위에 게이트 전극(103)을 형성한다(도 2의 (a) 참조). 적어도 나중에 실행되는 열처리를 견딜 수 있도록 내열성을 가질 필요가 있다는 것을 제외하고는, 기판(101)으로서 사용된 기판에 대한 특별한 제한은 없다. 예를 들어, 유리 기판, 세라믹 기판, 실리콘, 탄화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, 및 SOI 기판 외에, 본 제작 공정의 처리 온도에 견딜 수 있는 정도의 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 반도체 소자가 제공된 이들 기판 중 소정의 기판은, 기판(101)으로서도 사용될 수 있다.

[0063] 유리 기판으로서는, 예를 들어, 바륨 붕규산 유리, 알루미늄 붕규산 유리, 알루미늄 규산 유리 등의 무알칼리 유리 기판을 사용할 수 있다. 또는, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 기판(101)으로서는, 가요성 기판을 사용할 수도 있다. 가요성 기판을 사용하는 경우, 가요성 기판 위에, 트랜지스터(150)를 직접 형성할 수 있고, 또는 제작 기판 위에 트랜지스터(150)를 형성할 수 있으며, 그 다음 제작 기판으로부터 박리되고 가요성 기판 위에 전치될 수 있다. 트랜지스터를 제작 기판으로부터 가요성 기판으로 박리 및 전치하기 위해서, 제작 기판과 트랜지스터 사이에는 박리 층을 제공할 수 있다. 본 실시 형태에서, 기판(101)에는 알루미늄 붕규산 유리를 사용한다.

[0064] 절연층(102)은 하지층으로서 기능하고, 기판(101)으로부터의 불순물 원소의 확산을 방지 또는 저감할 수 있다. 절연층(102)은, 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 질화 실리콘, 산화 실리콘, 질화산화 실리콘 및 산화질화 실리콘으로부터 선택된 하나 이상의 재료를 사용하는 단층 또는 적층으로 형성된다. 본 명세서에 있어서, 질화 산화는, 산소보다도 질소의 함유량이 많은 재료를 말하고, 산화 질화는, 질소보다도 산소의 함유량이 많은 재료를 말한다. 각 원소의 함유량은, 예를 들어, 러더포드 후방 산란법(Rutherford Backscattering Spectrometry: RBS)에 의해 측정될 수 있다. 절연층(102)은, 스퍼터링법,

CVD법, 도포법, 인쇄법 등을 사용해서 형성될 수 있다.

- [0065] 또한, 절연층(102)에는, 염소 또는 불소 등의 할로겐 원소가 포함될 수 있으므로, 기판(101)으로부터의 불순물 원소의 확산을 방지 또는 저감하는 기능을 더 향상시킬 수 있다. 절연층(102)에 포함된 할로겐 원소의 농도는, 2차 이온 질량 분석법(Secondary Ion Mass Spectrometry: SIMS)에 의해 측정된 농도 피크에 있어서, $1 \times 10^{15} / \text{cm}^3$ 이상 $1 \times 10^{20} / \text{cm}^3$ 이하인 것이 바람직하다.
- [0066] 본 실시 형태에서는, 기판(101) 위에 절연층(102)로서 플라즈마 CVD법에 의해 막 두께 200 nm의 산화 질화 실리콘을 형성한다. 또한, 절연층(102) 형성 시의 온도는, 가능한 한 높은 것이 바람직하지만, 기판(101)이 견딜 수 있는 온도 이하이다. 예를 들어, 기판(101)을 350℃ 이상 450℃ 이하의 온도로 가열하면서 절연층(102)을 형성한다. 절연층(102)의 형성 시의 온도는 일정한 것이 바람직하다. 예를 들어, 기판(101)을 350℃로 가열하면서 절연층(102)을 형성한다.
- [0067] 또한, 절연층(102)의 형성 후, 감압 하에서, 질소 분위기 하에서, 희가스 분위기 하에서, 또는 초 건조 에어 질소 분위기 하에서, 가열 처리를 행할 수 있다. 가열 처리에 의해, 절연층(102)에 포함된 수소, 수분, 수소화물 또는 수산화물 등의 농도를 저감할 수 있다. 가열 처리의 온도는, 기판(101)이 견딜 수 있는 온도 중에서, 가능한 한 높은 것이 바람직하다. 구체적으로는, 절연층(102)의 형성 시의 온도 이상, 기판(101)의 왜곡점 미만에서 가열 처리를 행하는 것이 바람직하다.
- [0068] 또한, 절연층(102)의 형성 후, 절연층(102)에 대해 산소 도핑 처리를 행하여, 절연층(102)을 산소 과잉 상태로 만들 수 있다. 절연층(102)에 대한 산소 도핑 처리는, 상기 가열 처리 후에 행하는 것이 바람직하다.
- [0069] 이어서, 게이트 전극(103)이 될 도전층은 스퍼터링법, 진공 증착법 또는 도금법에 의해 형성된다. 게이트 전극(103)이 될 도전층용의 재료로서는, 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd) 및 스칸듐(Sc)으로부터 선택된 금속 원소, 이들 금속 원소를 성분으로 포함하는 합금, 이들 금속 원소를 조합하여 포함하는 합금, 이들 금속 원소의 질화물 등을 사용할 수 있다. 또한, 망간(Mn), 마그네슘(Mg), 지르코늄(Zr) 및 베릴륨(Be)으로부터 선택된 하나 이상의 금속 원소를 포함하는 재료를 사용할 수 있다. 또한, 인 등의 불순물 원소를 포함하는 다결정 실리콘으로 대표되는 반도체, 또는 니켈 실리사이드 등의 실리사이드를 사용할 수도 있다.
- [0070] 게이트 전극(103)이 될 도전층은, 단층 구조, 또는 2층 이상의 적층 구조 중 어느 하나를 갖는다. 그 예는, 실리콘을 포함하는 알루미늄을 사용한 단층 구조, 알루미늄 위에 티타늄을 적층하는 2층 구조, 질화 티타늄 위에 티타늄을 적층하는 2층 구조, 질화 티타늄 위에 텅스텐을 적층하는 2층 구조, 질화 탄탈륨 위에 텅스텐을 적층하는 2층 구조, Cu-Mg-Al 합금 위에 Cu를 적층하는 2층 구조, 및 질화 티타늄, 구리 및 텅스텐을 이 순서대로 적층하는 3층 구조가 있다.
- [0071] 게이트 전극(103)이 될 도전층에 대해서는, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성의 도전성 재료를 사용할 수 있다. 또한, 상기 투광성의 도전성 재료와, 상기 금속 원소를 포함하는 재료의 적층 구조도 사용할 수 있다.
- [0072] 게이트 전극(103)이 될 도전층에 대해서는, 질소를 포함하는 금속 산화물, 구체적으로는, 질소를 포함하는 In-Ga-Zn계 산화물, 질소를 포함하는 In-Sn계 산화물, 질소를 포함하는 In-Ga계 산화물, 질소를 포함하는 In-Zn계 산화물, 질소를 포함하는 Sn계 산화물, 질소를 포함하는 In계 산화물, 또는 금속 질화물(InN, SnN 등)을 사용할 수 있다.
- [0073] 이들 재료는 각각, 5 전자 볼트(eV) 이상의 일함수를 갖고, 따라서, 그러한 게이트 전극용 재료로 인해, 트랜지스터의 임계값 전압을 플러스로 할 수 있다. 따라서, 소위 노멀리 오프의 n형 트랜지스터를 실현할 수 있다.
- [0074] 본 실시 형태에서는, 게이트 전극(103)이 될 도전층으로서, 스퍼터링법에 의해 두께 100 nm의 텅스텐막을 형성한다.
- [0075] 이어서, 게이트 전극(103)이 될 도전층의 일부를 선택적으로 에칭하여, 게이트 전극(103)(및 게이트 전극(103)과 같은 층에서 형성되는 배선)을 형성한다. 도전층의 일부를 선택적으로 에칭하는 경우에는, 도전층 위에 레지스트 마스크를 형성하고, 건식 에칭법 또는 습식 에칭법에 의해, 도전층 내의 불필요 부분을 제거할 수 있다. 또한, 그 에칭은, 건식 에칭법과 습식 에칭법의 양쪽을 조합해서 행할 수 있다. 도전층 위에 형성된 레지스트 마스크는, 포토리소그래피법, 인쇄법, 잉크젯법 등에 의해 형성될 수 있다. 잉크젯법에 의한 레지스트 마스크

의 형성은, 포토마스크를 필요로 하지 않고, 따라서, 제조 비용을 저감할 수 있다.

- [0076] 도전층을 건식 에칭법으로 에칭하는 경우, 에칭 가스로서는 할로젠 원소를 포함하는 가스를 사용할 수 있다. 할로젠 원소를 포함하는 가스의 일례로서는, 염소(Cl_2), 삼염화 붕소(BCl_3), 사염화 규소(SiCl_4) 또는 사염화 탄소(CCl_4) 등의 염소계 가스; 사불화 탄소(CF_4), 육불화 황(SF_6), 삼불화 질소(NF_3) 또는 트리플루오로메탄(CHF_3) 등의 불소계 가스; 브롬화 수소(HBr) 또는 산소를 적절히 사용할 수 있다. 에칭용 가스에는 불활성 가스를 첨가할 수 있다. 건식 에칭법으로서는, 반응성 이온 에칭(RIE:Reactive Ion Etching)법을 사용할 수 있다.
- [0077] 플라즈마 소스로서는, 용량 결합형 플라즈마(Capacitively Coupled Plasma: CCP), 유도 결합형 플라즈마(Inductively Coupled Plasma: ICP), 전자 이온 가속기공명(Electron Cyclotron Resonance: ECR) 플라즈마, 헬리콘파 플라즈마(Helicon Wave Plasma: HWP), 마이크로파 여기 표면파 플라즈마(Surface Wave Plasma: SWP) 등을 사용할 수 있다. 특히, ICP, ECR, HWP 및 SWP로 인해, 고밀도의 플라즈마를 생성할 수 있다. 건식 에칭법에 따른 에칭(이하, "건식 에칭 처리"라고도 말한다)의 경우에, 막을 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.
- [0078] 포토리소그래피법을 사용해서 도전층 또는 절연층 위에 적절한 형상의 레지스트 마스크를 형성하는 공정을 포토리소그래피 공정이라고 하지만, 일반적으로, 레지스트 마스크 형성 후에는, 에칭 단계와 레지스트 마스크의 박리 단계가 행해지는 경우가 많다는 점에 유의해야 한다. 따라서, 특별한 설명이 없는 한, 본 명세서에서 말하는 포토리소그래피 공정은, 레지스트 마스크의 형성 단계, 도전층 또는 절연층의 에칭 단계, 및 레지스트 마스크의 제거 단계를 포함한다.
- [0079] 또한, 게이트 전극(103)의 단면 형상(예를 들면, 테이퍼 각 또는 두께), 구체적으로는 단부의 단면 형상을 고안함으로써, 게이트 전극(103) 위에 형성되는 층의 피복성을 향상시킬 수 있다.
- [0080] 구체적으로는, 게이트 전극(103)의 단면 형상이 사다리꼴 또는 삼각형 형상으로 되도록, 게이트 전극(103)의 단부를 테이퍼 형상으로 에칭한다. 여기서, 게이트 전극(103) 단부는, 60° 이하, 바람직하게는 45° 이하, 더욱 바람직하게는 30° 이하의 테이퍼 각 θ 을 갖는다. 이러한 범위 내로 테이퍼 각을 설정하는 것은, 높은 게이트 전압을 게이트 전극(103)에 인가함으로써, 소스 전극(106a) 또는 드레인 전극(106b)의 단부 근방에 발생할 수 있는 전계 집중을 완화할 수 있게 한다. 테이퍼 각 θ 은, 테이퍼 형상을 갖는 층을, 그 단면(즉, 기관의 표면에 직교하는 면)에 직교하는 방향으로부터 관찰했을 때에, 해당 층의 측면과 저면에 의해 형성된 경사 각도를 나타낸다는 점에 유의해야 한다. 90° 미만인 테이퍼 각을 순 테이퍼 각이라고 하고, 90° 이상인 테이퍼 각을 역 테이퍼 각이라고 한다. 소정의 다른 층에도 동일하게 적용되며, 층의 단부에 순 테이퍼 형상을 제공함으로써, 층을 피복하는 층이 도중에 끊어져 버리는 현상(단차에 의한 절단)을 방지할 수 있어, 피복성을 양호하게 한다.
- [0081] 계속해서, 게이트 전극(103) 위에 게이트 절연층(104)을 형성한다(도 2의 (b) 참조).
- [0082] 게이트 절연층(104)의 피복성을 향상시키기 위해서, 게이트 전극(103) 표면에 평탄화 처리를 행할 수 있다는 점에 유의해야 한다. 특히, 게이트 절연층(104)으로서 막 두께가 얇은 절연층을 사용하는 경우, 게이트 전극(103) 표면의 평탄성이 양호한 것이 바람직하다.
- [0083] 게이트 절연층(104)은, 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 사용해서 형성할 수 있다. 마이크로파(예를 들어, 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD법 등을 적용할 수도 있다. 게이트 절연층(104)은, 스퍼터링 타겟 표면에 사실상 수직으로 복수의 기관의 표면이 설정된 상태에서 성막을 행하는 스퍼터링 장치를 사용해서 형성될 수 있다.
- [0084] 게이트 절연층(104)은, 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 질화 실리콘, 산화 실리콘, 질화산화 실리콘 및 산화질화 실리콘으로부터 선택된 하나 이상의 재료를 사용하는 단층 또는 적층으로 형성될 수 있다. 본 실시 형태에서는, 게이트 절연층(104)으로서, 게이트 절연층(104a)과 게이트 절연층(104b)의 적층을 사용한다.
- [0085] 일반적으로, 용량 소자는 서로 대향하는 2개의 전극 사이에 유전체를 끼운 구조를 갖고 있으며, 유전체의 두께가 얇을 만큼(대향하는 2개의 전극 간 거리가 짧을수록), 또한 유전체의 유전율이 클수록, 용량 값이 커진다. 그러나, 용량 소자의 용량 값을 증가시키기 위해서 유전체의 두께를 얇게 하면, 2개의 전극 간에 흐르는 누설 전류가 증가하는 경향이 있고, 용량 소자의 내전압이 저하되는 경향이 있다.

- [0086] 트랜지스터의 게이트 전극, 게이트 절연층 및 반도체층이 서로 중첩하는 부분은, 전술한 용량 소자로서 기능한다(이하, "게이트 용량 소자"라고도 말한다). 게이트 절연층이 사이에 제공된 채로 게이트 전극과 중첩하는 반도체층 내의 영역에 채널이 형성된다. 즉, 게이트 전극과 채널 형성 영역이 용량 소자의 2개의 전극으로서 기능하고, 게이트 절연층이 용량 소자의 유전체로서 기능한다. 게이트 용량 소자의 용량 값은 가능한 큰 것이 바람직하지만, 용량 값을 증가시키기 위해서 게이트 절연층을 얇게 하는 것은, 누설 전류의 증가 또는 내전압의 저하의 발생 가능성을 증가시킨다.
- [0087] 하프늄 실리케이트(HfSi_xO_y ($x > 0$, $y > 0$)), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$)), 질소가 첨가된 하프늄 알루미늄에이트($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$)), 산화 하프늄, 또는 산화 이트륨 등의 high-k 재료를 게이트 절연층(104)에 사용하는 경우, 게이트 절연층(104)의 두께를 두껍게 해도, 게이트 전극(103)과 산화물 반도체층(105) 사이의 용량 값을 충분히 확보할 수 있다.
- [0088] 예를 들어, 유전율이 큰 high-k 재료를 게이트 절연층(104)에 사용하는 경우, 게이트 절연층(104)을 두껍게 해도, 게이트 절연층(104)에 산화 실리콘을 사용한 경우와 동등한 용량 값을 얻을 수 있기 때문에, 게이트 전극(103)과 산화물 반도체층(105) 사이의 누설 전류를 저감할 수 있다. 또한, 게이트 전극(103)과 동일한 층으로 형성된 배선과, 이 배선과 중첩하는 다른 배선 사이의 누설 전류를 저감할 수도 있다. 게이트 절연층(104)은, high-k 재료와 상기 재료와의 적층 구조를 가질 수 있다.
- [0089] 또한, 게이트 절연층(104)은, 산화물 반도체층(105)과 접하는 부분에 산소를 포함하는 것이 바람직하다. 본 실시 형태에 있어서, 산화물 반도체층(105)과 접하는 게이트 절연층(104b)은, 막(벌크) 내에, 적어도 화학양론비보다 많은 양의 산소를 포함하는 것이 바람직하다. 예를 들어, 게이트 절연층(104b)으로서, 산화 실리콘막을 사용하는 경우에, 그 조성식은 $\text{SiO}_{2+\alpha}$ (단, $\alpha > 0$)이다. 이러한 산화 실리콘막을 게이트 절연층(104b)으로서 사용함으로써, 산화물 반도체층(105)에 산소를 공급할 수 있어, 양호한 특성을 얻을 수 있게 한다.
- [0090] 게이트 절연층(104a)에 대해서, 수소, 수분, 수소화물 또는 수산화물 등의 불순물, 및 산소에 대한 장벽 특성을 갖는 재료, 예를 들어 질화 실리콘 또는 산화 알루미늄을 사용하는 것이 바람직하다. 게이트 절연층(104a)을, 장벽 특성을 갖는 재료를 사용해서 형성함으로써, 기관층으로부터의 상기 불순물의 침입뿐만 아니라, 게이트 절연층(104b) 내에 포함된 산소의 기관층에의 확산을 방지할 수 있다. 장벽 특성을 갖는 재료를 게이트 절연층(104)에 사용함으로써, 하지층으로서 기능하는 절연층(102)이 제공되지 않게 한다.
- [0091] 또한, 게이트 절연층(104)을 형성하기 전에, 산소, 일산화 이질소, 회가스(대표적 예는 아르곤) 등을 사용한 플라즈마 처리에 의해, 층의 피형성면의 표면에 부착된 수분 또는 유기물 등의 불순물을 제거하는 것이 바람직하다.
- [0092] 또한, 게이트 절연층(104)의 형성 후, 감압 하에서, 질소 분위기 하에서, 회가스 분위기 하에서, 또는 초 건조 에어 질소 분위기 하에서, 가열 처리를 행할 수 있다. 가열 처리에 의해, 게이트 절연층(104) 내의 수소, 수분, 수소화물, 수산화물 등의 농도를 저감할 수 있다. 가열 처리 온도는, 기관(101)이 견딜 수 있는 온도 중에서, 가능한 높은 것이 바람직하다. 구체적으로는, 게이트 절연층(104)의 형성 시의 온도 이상, 기관(101)의 왜곡점 미만의 온도에서 가열 처리를 행하는 것이 바람직하다.
- [0093] 또한, 게이트 절연층(104)의 형성 후, 게이트 절연층(104)에 산소 도핑 처리를 행하여, 게이트 절연층(104)을 산소 과잉 상태로 만들 수 있다. 산소 도핑 처리에 있어서, 이온 주입법, 이온 도핑법, 플라즈마 침지 이온 주입법, 산소 분위기 하에서 행하는 플라즈마 처리 등을 채택할 수 있다. 게이트 절연층(104)에의 산소 도핑 처리는, 상기 가열 처리 후에 행하는 것이 바람직하다.
- [0094] 산소의 공급원 역할을 하는, 대량(과잉)의 산소를 포함하는 게이트 절연층(104)을 산화물 반도체층(105)과 접하도록 제공함으로써, 나중에 행해진 열처리에 의해 해당 게이트 절연층(104)으로부터 산화물 반도체층(105)에 산소를 공급할 수 있다.
- [0095] 산화물 반도체층(105)에 산소를 공급함으로써, 산화물 반도체층(105) 내의 산소 결손을 보충할 수 있다. 게이트 절연층(104)은, 트랜지스터의 사이즈 및 게이트 전극(103)에의 단차 피복성을 고려해서 형성하는 것이 바람직하다.
- [0096] 이어서, 게이트 절연층(104)(게이트 절연층(104b)) 위에는 산화물 반도체층(105)이 될 산화물 반도체층(115)(도시하지 않음)을 스퍼터링법에 의해 형성한다.

- [0097] 산화물 반도체층(115)의 형성 이전에, 산화물 반도체층(105)이 접해서 형성되는, 게이트 절연층(104)의 영역에 평탄화 처리를 행할 수 있다. 평탄화 처리에 대한 특별한 제한은 없지만, 연마 처리(예를 들어, CMP 처리), 건식 에칭 처리, 또는 플라즈마 처리를 사용할 수 있다.
- [0098] 플라즈마 처리로서는, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터링을 행할 수 있다. 역스퍼터링은, 아르곤 분위기 하에서 기판측에 RF 전원을 사용해서 전압을 인가해서 기판 근방에 플라즈마를 형성하여, 표면을 개질하는 방법이다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등을 사용할 수 있다. 역스퍼터링을 행하면, 게이트 절연층(104)의 표면에 부착되어 있는 입자 상태의 물질(파티클 또는 티끌(dust)이라고도 말한다)을 제거할 수 있다.
- [0099] 또한, 평탄화 처리로서는, 연마 처리, 건식 에칭 처리, 또는 플라즈마 처리를 복수 회 행할 수 있고, 또는 이들 처리를 조합해서 행할 수 있다. 조합하여 처리들을 행하는 경우, 단계들의 순서에는 특별히 제한은 없고, 그 순서는 게이트 절연층(104) 표면의 요철 상태에 맞춰서 적절히 설정할 수 있다.
- [0100] 산화물 반도체층(115)을 형성하기 위해 사용된 스퍼터링 가스로서는, 회가스(대표적 예로는 아르곤) 분위기, 산소 가스 분위기, 또는 회가스와 산소의 혼합 가스를 적절히 사용한다. 스퍼터링 가스로서는, 수소, 물, 수산화 및 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0101] 산화물 반도체층(115)은, 산소가 많이 포함되는 조건(예를 들어, 산소 비율이 100%인 분위기 하에서 스퍼터링법에 의해)에서 형성되어, 산소를 많이 포함하거나 산소가 과포화되게(바람직하게는, 결정 상태에 있어서의 산화물 반도체의 화학양론적 조성을 초과하여 산소를 포함하는 영역을 포함) 하는 것이 바람직하다.
- [0102] 예를 들어, 스퍼터링법을 사용해서 산화물 반도체층을 형성하는 경우, 스퍼터링 가스 내의 산소의 비율이 큰 조건에서 행하는 것이 바람직하고, 스퍼터링 가스가 산소 가스를 100% 포함하는 것이 바람직하다. 스퍼터링 가스 내의 산소의 비율이 큰 조건, 특히, 산소 가스를 100% 포함하는 분위기에서 성막하면, 예를 들어, 성막 온도가 300℃ 이상일 때에도, 산화물 반도체층으로부터의 Zn의 방출이 억제될 수 있다.
- [0103] 산화물 반도체층(115)은, 구리, 알루미늄 또는 염소 등의 불순물을 가능한 적게 포함하도록 고순도화되는 것이 바람직하다. 트랜지스터의 제작 공정에 있어서, 이러한 불순물이 산화물 반도체층에 혼입하거나 산화물 반도체층 표면에 부착될 우려가 없는 공정을 적절히 선택하는 것이 바람직하다. 구체적으로는, 산화물 반도체층 내의 구리 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{17} \text{ atoms/cm}^3$ 이하이다. 또한, 산화물 반도체층 내의 알루미늄 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하이다. 또한, 산화물 반도체층 내의 염소 농도는 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하이다.
- [0104] 산화물 반도체층(115) 내의 나트륨(Na), 리튬(Li) 및 칼륨(K) 등의 알칼리 금속의 농도는 다음과 같다: Na의 농도는 $5 \times 10^{16} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 더욱 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하이고, Li의 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하이며, K의 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하이다.
- [0105] 본 실시 형태에 있어서는, 산화물 반도체층(115)으로서, AC 전원 장치를 포함하는 스퍼터링 장치를 사용한 스퍼터링법에 의해, 막 두께 35 nm의 In-Ga-Zn계 산화물(IGZO)을 형성한다. 스퍼터링법에서의 타겟으로서, 그 조성이 In:Ga:Zn=1:1:1 (원자수비)인 금속 산화물 타겟을 사용한다.
- [0106] 또한, 금속 산화물 타겟의 상대 밀도(충전율)는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 상대 밀도가 높은 금속 산화물 타겟을 사용함으로써, 치밀한 산화물 반도체층이 형성될 수 있다.
- [0107] 먼저, 감압 상태로 유지된 성막실 내에 기판(101)을 보유하고, 그 다음, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터 가스를 성막실 내에 도입하고, 상기 타겟을 사용해서 게이트 절연층(104) 위에 산화물 반도체층(115)을 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 크라이오 펌프, 이온 펌프 또는 티타늄 서브리메이션 펌프 등의 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 배기 유닛으로서, 쿨드 트랩이 첨가된 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용해서 배기한 성막실로부터, 수소 원자, 물(H₂O) 등 수소 원자를 포함하는 화합물(바람직하게는, 탄소 원자를 포함하는 화합물) 등이 제거되므로, 해당 성막실에서 형성된 산화물 반도체층(115) 내의 불순물의 농도를 저감할 수 있다.
- [0108] 또한, 게이트 절연층(104)과 산화물 반도체층(115)을 대기에 노출하지 않고 연속적으로 형성할 수 있다. 게이트

트 절연층(104)과 산화물 반도체층(115)을 대기에 노출하지 않고 연속해서 형성함으로써, 게이트 절연층(104) 표면에 수소 및 수분 등의 불순물이 부착되는 것을 방지할 수 있다.

[0109] 이어서, 포토리소그래피 공정을 사용하여, 산화물 반도체층(115)의 일부를 선택적으로 에칭하여, 섬 형상의 산화물 반도체층(105)을 형성한다(도 2의 (c) 참조). 섬 형상의 산화물 반도체층(105)을 형성하기 위해 사용된 레지스트 마스크를 잉크젯법으로 형성할 수 있다. 잉크젯법에 의한 레지스트 마스크의 형성은, 포토마스크를 필요로 하지 않으므로, 제조 비용을 절감할 수 있다.

[0110] 산화물 반도체층(115)의 에칭은, 건식 에칭법, 습식 에칭법, 또는 양쪽을 사용하여 행할 수 있다는 점에 유의해야 한다. 습식 에칭법에 의해 산화물 반도체층(115)을 에칭하는 경우에는, 에칭액으로서, 인산과 아세트산과 질산을 혼합해서 얻은 용액, 옥살산을 포함하는 용액 등을 사용할 수 있다. 또는, ITO-07N(간포 가가꾸사 제품)을 사용할 수 있다. 건식 에칭법으로 산화물 반도체층(115)을 에칭하는 경우에는, 예를 들어, 전자 사이클로트론 공명(Electron Cyclotron Resonance: ECR) 또는 유도 결합형 플라즈마(Inductively Coupled Plasma: ICP) 등의 고밀도 플라즈마 소스를 사용한 건식 에칭법을 사용할 수 있다. 넓은 면적에 걸쳐서 균일한 방전이 행해질 수 있는 건식 에칭법으로서는, 향상된 용량성 결합 플라즈마(Enhanced Capacitively Coupled Plasma: ECCP) 모드를 사용한 건식 에칭법이 있다. 이러한 건식 에칭법은, 예를 들어, 기관으로서, 사이즈가 3 m를 초과하는 10세대 이상의 기관을 사용하는 경우에도 적용될 수 있다.

[0111] 또한, 산화물 반도체층(105)의 형성 후에, 산화물 반도체층(105)으로부터 과잉 수소(물이나 수산기를 포함)를 제거(탈수화 또는 탈수소화)하기 위해서 가열 처리를 행할 수 있다. 가열 처리의 온도는, 300℃ 이상 700℃ 이하, 또는 기관의 왜곡점 미만이다. 가열 처리는 감압 하, 질소 분위기 하 등에서 행할 수 있다. 예를 들어, 가열 처리 장치의 일종인 전기로에 기관을 도입하고, 산화물 반도체층(105)에 대하여 질소 분위기 하에서 450℃로 1시간 동안 가열 처리를 행한다.

[0112] 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 대안적으로 사용할 수 있다. 예를 들어, 가스 급속 열 어닐링(Gas Rapid Thermal Anneal: GRTA) 장치 또는 램프 급속 열 어닐링(Lamp Rapid Thermal Anneal: LRTA) 장치 등의 급속 열 어닐링(Rapid Thermal Anneal: RTA) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프 등의 램프로부터 방출된 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용해서 가열 처리를 하는 장치이다. 고온의 가스로서는, 아르곤 같은 회가스 또는 질소 등의, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0113] 예를 들어, 가열 처리로서, GRTA가 다음과 같이 행해질 수 있다: 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 내에 기관을 넣고, 몇 분간 가열한 후, 기관을 불활성 가스 안에서 꺼낸다.

[0114] 가열 처리에 있어서는, 질소, 또는 헬륨, 네온 또는 아르곤 등의 회가스에는, 물, 수소 등이 가능한 적게 포함되는 것이 바람직하다. 또는, 열처리 장치에 도입하는 질소, 또는 헬륨, 네온 또는 아르곤 등의 회가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 설정하는 것이 바람직하다.

[0115] 가열 처리에 의해 산화물 반도체층(105)을 가열한 후, 동일한 로(furnace)에 고순도의 산소 가스, 고순도의 일산화 이질소 가스, 또는 초 건조 에어(캐비티 링 다운 레이저 분광(Cavity Ring Down Laser Spectroscopy: CRDS) 시스템의 노점계를 사용한 측정에 따라 20 ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1 ppm 이하, 또는 보다 바람직하게는 10 ppb 이하의 수분량을 갖는 공기)를 도입할 수 있다. 산소 가스 또는 일산화 이질소 가스에는, 물, 수소 등이 가능한 적게 포함되는 것이 바람직하다. 또는, 열처리 장치에 도입하는 산소 가스 또는 일산화 이질소 가스의 순도는, 6N 이상, 바람직하게는 7N 이상(즉, 산소 가스 또는 일산화 이질소 가스 내의 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하)인 것이 바람직하다. 산소 가스 또는 일산화 이질소 가스의 작용에 의해, 산화물 반도체의 주성분이며, 탈수화 또는 탈수소화 처리에 의한 불순물의 제거 공정과 동시에 감소해버린 산소를 공급함으로써, 산화물 반도체 내의 산소 결손이 저감되어, 산화물 반도체층(105)은 i형(진성) 또는 실질적으로 i형 산화물 반도체층으로 만들어질 수 있다. 이러한 관점에서, 실리콘과 달리 산화물 반도체를 i형 산화물 반도체로 만들고, 불순물 원소를 첨가해서 i형으로 만들며, 따라서, 신규의 기술 사상을 포함한다.

[0116] 탈수화 또는 탈수소화를 위한 가열 처리를 행하는 타이밍은, 산화물 반도체층의 형성 후라면, 섬 형상의 산화물

반도체층(105)의 형성 전 또는 형성 후 중 어느 하나이다. 탈수화 또는 탈수소화를 위한 가열 처리는, 복수 회 행할 수 있고, 다른 가열 처리로서의 역할도 할 수 있다.

[0117] 탈수화 또는 탈수소화 처리에 의해, 산화물 반도체의 주성분인 산소가 탈리되어서 저감될 수 있다. 산화물 반도체층에 있어서, 산소가 탈리한 부분에서의 산소 결손이 있게 되는데, 이는 해당 산소 결손에 기인하는 트랜지스터의 전기 특성 변동을 초래하는 도너 준위를 발생하게 한다.

[0118] 상기 이유로, 탈수화 또는 탈수소화 처리를 행한 이후에 산화물 반도체층(105)에 대해 산소 도핑 처리를 행하여, 산화물 반도체층(105) 내에 산소를 공급할 수 있다.

[0119] 탈수화 또는 탈수소화 처리를 행한 이후에 산화물 반도체층(105) 내에 산소를 도입해서 산화물 반도체층(105) 내에 산소를 공급함으로써, 탈수화 또는 탈수소화 처리에 의한 불순물의 제거 공정에 의해 산화물 반도체 내에 발생한 산소 결손을 저감시켜, 산화물 반도체층(105)을 i형(진성)화할 수 있다. i형(진성) 산화물 반도체층(105)을 포함하는 트랜지스터의 전기 특성의 변동이 억제되고, 따라서, 트랜지스터는 전기적으로 안정된다.

[0120] 산화물 반도체층(105) 내에 산소를 도입할 경우, 산소 도핑 처리를 산화물 반도체층(105)에 직접 행할 수 있거나, 다른 층을 개재하여 행할 수 있다.

[0121] 산소의 도입에 의해, 산화물 반도체층(105)의 구성 원소와 수소의 결합, 또는 구성 원소와 수산기의 결합을 절단하고, 그 수소 또는 그 수산기가 산소와 반응함으로써 물을 생성한다. 따라서, 산소의 도입 후에 가열 처리를 행함으로써, 불순물인 수소 또는 수산기가, 물의 형태로 탈리되기 쉬워진다. 상기의 이유로, 산화물 반도체층(105)에 산소를 도입한 후에 가열 처리를 행할 수 있다. 그 후, 산화물 반도체층(105) 내에 산소를 더 도입하여, 산화물 반도체층(105)을 산소 과잉 상태로 만들 수 있다. 산화물 반도체층(105)에의 산소의 도입과 가열 처리는, 교대로 복수 회 행할 수 있다. 산소의 도입과 가열 처리는, 동시에 행할 수 있다.

[0122] 상술한 바와 같이, 산화물 반도체층(105)은, 수소 등의 불순물을 충분히 제거함으로써 고순도화되고, 충분히 산소를 공급함으로써 산화물 반도체층(105) 내의 산소 결손을 저감함으로써, i형(진성) 또는 실질적으로 i형(진성) 산화물 반도체층으로 만들어지는 것이 바람직하다.

[0123] 전자 공여체(도너)로서의 역할을 하는 수분 또는 수소 등의 불순물의 저감에 의해 고순도화된 산화물 반도체(순도화된 OS)는, 그 후, 산화물 반도체에 산소를 공급하여, 산화물 반도체 내의 산소 결손을 저감함으로써 i형(진성) 산화물 반도체 또는 i형 반도체에 매우 가까운(실질적으로 i형 산화물 반도체) 산화물 반도체로 만들어질 수 있다는 점에 유의해야 한다. 채널이 형성되는 반도체층에 i형 또는 실질적으로 i형의 산화물 반도체를 사용한 트랜지스터는, 매우 낮은 오프 전류의 특성을 갖는다.

[0124] 구체적으로, 고순도화된 산화물 반도체층 내의 수소 농도는, SIMS에 의한 측정에 의하면 바람직하게는, 5×10^{19} atoms/cm³ 이하, 보다 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하이다. 산화물 반도체층(105)이 충분한 산소 공급에 의해 산소로 과포화되기 위해서는, 산소를 많이 포함하는 절연층(산화 실리콘층 등)이, 산화물 반도체층(105)을 사이에 두고 접하도록 제공되는 것이 바람직하다.

[0125] 여기서, 산소를 많이 포함하는 절연층 내의 수소 농도도 트랜지스터의 특성에 영향을 주기 때문에 중요하다. 산소를 많이 포함하는 절연층 내의 수소 농도가, 7.2×10^{20} atoms/cm³ 이상인 경우에는, 트랜지스터의 초기 특성의 변동이 증대하고, 트랜지스터의 전기 특성의 채널 길이 의존성이 증대하며, 트랜지스터는 BT 스트레스 시험에 의해 상당히 열화되므로, 산소를 많이 포함하는 절연층 내의 수소 농도는, 바람직하게는 7.2×10^{20} atoms/cm³ 미만이다. 즉, 산화물 반도체층 내의 수소 농도는 5×10^{19} atoms/cm³ 이하이고, 산소를 과잉 포함하는 절연층 내의 수소 농도는, 7.2×10^{20} atoms/cm³ 미만인 것이 바람직하다.

[0126] 수소 농도의 SIMS 분석에 대해서는 여기에서 언급한다. SIMS 분석에 의해, 그 원리상, 시료 표면 근방이나, 상이한 재질로 형성된 적층된 층 간의 계면 근방의 정보를 정확하게 얻는 것이 곤란하다는 것이 알려져 있다. 따라서, 층 내에 있어서의 수소 농도의 두께 방향으로의 분포를 SIMS에 의해 분석할 경우, 값이 크게 변하지 않고 거의 동일한 값이 얻어질 수 있는 층의 영역에서의 평균값을 수소 농도로서 채택한다. 또한, 층의 두께가 얇은 경우, 인접하는 막 내의 수소 농도의 영향으로 인해, 거의 일정한 값을 갖는 그러한 영역이 얻어질 수 없는 경우가 있다. 이 경우, 해당 층이 위치하는 영역의 수소 농도의 최대값 또는 최소값을, 해당 층의 수소 농도로서 채택한다. 또한, 해당 층이 위치하는 영역에서, 최대값을 갖는 산 모양의 피크 또는 최소값을 갖는 계곡 모양

의 피크가 존재하지 않는 경우, 변곡점의 값을 수소 농도로서 채택한다.

- [0127] 계속해서, 산화물 반도체층(105) 위에 도전층(117)(도시하지 않음)을 형성하고, 포토리소그래피 공정에 의해 도전층(117)의 일부를 선택적으로 에칭하여, 소스 전극(106a) 및 드레인 전극(106b)을 형성한다(도 2의 (d) 참조).
- [0128] 소스 전극(106a) 및 드레인 전극(106b)이 될 도전층(117)은, 나중에 행해진 가열 처리에 견딜 수 있는 재료를 사용해서 형성한다. 도전층(117)에 대해서는, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소를 포함하는 금속, 상술한 소정의 원소를 성분으로 포함하는 금속 질화물(예를 들어, 질화 티타늄, 질화 몰리브덴 또는 질화 텅스텐) 등을 사용할 수 있다. 또한, Al, Cu 등의 금속층의 하측 및 상측 중 한쪽 또는 양쪽에 Ti, Mo, W 등의 고용점 금속막 또는 이들 소정의 원소의 금속 질화막(질화 티타늄막, 질화 몰리브덴막 또는 질화 텅스텐막)을 적층시킬 수 있다. 또는, 도전층(117)을 도전성 금속 산화물을 사용하여 형성할 수 있다. 도전성 금속 산화물로서는, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고도 약기한다), 산화 인듐-산화 아연($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 산화 실리콘이 포함되어 있는 이들 소정의 금속 산화물 재료를 사용할 수 있다.
- [0129] 본 실시 형태에서는, 도전층(117)으로서 스퍼터링법에 의해 두께 200 nm의 티타늄막을 형성한다. 도전층(117)은, 게이트 전극(103)의 형성에 사용된 것과 유사한 방법으로 에칭될 수 있다. 예를 들어, 에칭 가스가 $\text{BCl}_3\text{:Cl}_2=750\text{sccm:150sccm}$ 이고, 바이어스 전력이 1500W이며, ICP 전원 전력이 0W이고, 압력이 2.0Pa인 조건하에서 ICP 에칭법이 사용될 수 있다.
- [0130] 소스 전극(106a) 및 드레인 전극(106b)의 형성으로 인해 노출된 산화물 반도체층(105)의 표면에는, 소스 전극(106a) 및 드레인 전극(106b)을 구성하는 원소, 처리실 내에 존재하는 원소, 및 에칭에 사용한 에칭 가스를 구성하는 원소가, 불순물로서 부착되는 경우가 있다.
- [0131] 그러한 불순물의 부착은, 트랜지스터의 오프 전류의 증가, 또는 트랜지스터의 전기 특성 열화가 초래되기 쉽게 한다. 또한, 산화물 반도체층(105)에 기생 채널이 발생하는 경향이 있는데, 이는 산화물 반도체층(105)을 통해서, 전기적으로 서로 분리될 필요가 있는 전극이 전기적으로 접속되게 한다.
- [0132] 또한, 불순물에 따라서는, 산화물 반도체층(105)의 표면 근방이나 측면 근방에 불순물이 혼입되어, 산화물 반도체층(105)으로부터 산소를 추출해버려, 산화물 반도체층(105)의 표면 근방이나 측면 근방에 산소 결손이 발생할 수 있다. 예를 들어, 상술한 에칭 가스에 포함되는 염소나 붕소, 또는 처리실 내의 구성 재료인 알루미늄은, 산화물 반도체층(105)을 n형화할 수 있다.
- [0133] 상기의 관점에서, 본 발명의 한 실시 형태에서는, 소스 전극(106a) 및 드레인 전극(106b)을 형성하기 위한 에칭이 실행된 후, 산화물 반도체층(105)과 소스 전극(106a)과 드레인 전극(106b)의 표면이나 측면에 부착된 불순물을 제거하기 위한 세정 처리(불순물 제거 처리)를 행한다.
- [0134] 불순물 제거 처리는, 플라즈마 처리 또는 용액에 의한 처리에 의해 행해질 수 있다. 플라즈마 처리로서는, 산소 플라즈마 처리, 일산화 이질소 플라즈마 처리 등을 사용할 수 있다. 플라즈마 처리에는 희가스(대표적 예로서는, 아르곤)를 사용할 수 있다.
- [0135] 또한, 용액에 의한 세정 처리에 대해서는, TMAH 용액 등의 알칼리성 용액, 물, 또는 희불산 등의 산성 용액을 사용할 수 있다. 예를 들어, 희불산을 사용하는 경우, 50 wt% 불산을, 물로 $1/10^2$ 내지 $1/10^5$ 정도, 바람직하게는 $1/10^3$ 내지 $1/10^5$ 정도의 희석 배수로 희석한다. 즉, 농도가 0.5 중량% 내지 5×10^{-4} 중량%, 바람직하게는 5×10^{-2} 중량% 내지 5×10^{-4} 중량%의 희불산을 세정 처리에 사용한다. 세정 처리에 의해, 산화물 반도체층(105)의 노출된 표면에 부착된 상기 불순물을 제거할 수 있다.
- [0136] 또한, 희불산 용액을 사용해서 불순물 제거 처리를 행하면, 산화물 반도체층(105)의 노출된 표면을 에칭할 수 있다. 즉, 산화물 반도체층(105)의 노출된 표면에 부착된 불순물이나, 산화물 반도체층(105)의 표면 근방에 혼입된 불순물을, 산화물 반도체층(105)의 일부와 함께 제거할 수 있다. 따라서, 산화물 반도체층(105)에 있어서, 소스 전극(106a) 또는 드레인 전극(106b)과 중첩하는 영역의 두께가, 산화물 반도체층(105)에 있어서, 소스 전극(106a) 또는 드레인 전극(106b)과 중첩하지 않는 영역의 두께보다 크다.
- [0137] 불순물 제거 처리를 행함으로써, SIMS 측정에 따른 농도 피크에 있어서, 산화물 반도체층 표면에 있어서의 염소

농도는, $1 \times 10^{19}/\text{cm}^3$ 이하(바람직하게는, $5 \times 10^{18}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{18}/\text{cm}^3$ 이하)로 저감될 수 있다. 붕소 농도는, $1 \times 10^{19}/\text{cm}^3$ 이하(바람직하게는, $5 \times 10^{18}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{18}/\text{cm}^3$ 이하)로 저감될 수 있다. 알루미늄 농도는, $1 \times 10^{19}/\text{cm}^3$ 이하(바람직하게는, $5 \times 10^{18}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{18}/\text{cm}^3$ 이하)로 저감될 수 있다.

- [0138] 불순물 제거 처리를 행함으로써, 안정된 전기 특성을 갖는 신뢰성이 높은 트랜지스터(150)를 실현할 수 있다.
- [0139] 계속해서, 산화물 반도체층(105)의 일부와 접하는 20 nm 내지 50 nm 두께의 절연층(111)을 소스 전극(106a) 및 드레인 전극(106b) 위에 형성한다(도 3의 (a) 참조). 절연층(111)은, 절연층(102) 또는 게이트 절연층(104)과 유사한 재료 및 방법을 사용하여 형성할 수 있다. 예를 들어, 산화 실리콘막 또는 산화질화 실리콘막은, 스퍼터링법이나 CVD법에 의해 절연층(107)으로 형성될 수 있다.
- [0140] 본 실시 형태에서는, 절연층(111)으로서, 플라즈마 CVD법에 의해 두께 30 nm의 산화 질화 실리콘막을 형성한다. 절연층(111)의 성막 조건은 다음과 같을 수 있다: SiH_4 과 N_2O 의 가스 유량비는 20sccm:3000sccm이고, 압력은 40Pa이며, RF 전원 전력(전원 출력)은 100W이고, 기판 온도는 350°C 이다.
- [0141] 이어서, 절연층(111)에 산소(121)를 도입하여, 절연층(111)을, 산소를 과잉으로 포함하는 절연층(107)으로 만든다(도 3의 (b) 참조). 산소(121)에는, 적어도, 산소 라디칼, 오존, 산소 원자 및 산소 이온(분자 이온 및 클러스터 이온을 포함) 중 어느 하나가 포함되어 있다. 산소(121)의 도입은, 산소 도핑 처리에 의해 행해질 수 있다.
- [0142] 산소(121)의 도입은, 절연층(111)의 전체면에 대해 한 단계에 의해, 예를 들어, 선형(linear) 이온 빔을 사용하여 행해질 수 있다. 선형 이온 빔을 사용하는 경우에는, 기판(101) 또는 이온 빔을 상대적으로 이동(스캔)시킴으로써, 절연층(111)의 전체면에 산소(121)를 도입할 수 있다.
- [0143] 산소(121)를 공급하기 위한 가스로서는, 산소 원자를 함유하는 가스를 사용할 수 있는데, 예를 들어, O_2 가스, N_2O 가스, CO_2 가스, CO 가스 또는 NO_2 가스를 사용할 수 있다. 산소를 공급하기 위한 가스에는 희가스(예를 들어, Ar)를 함유시킬 수 있다.
- [0144] 또한, 이온 주입법이 산소의 도입에 사용되는 경우, 산소(121)의 도우즈량은 $1 \times 10^{13} \text{ ions}/\text{cm}^2$ 이상 $5 \times 10^{16} \text{ ions}/\text{cm}^2$ 이하로 하는 것이 바람직하다. 절연층(107)의 산소 함유량은, 화학양론적 조성을 초과하는 것이 바람직하다. 이러한 화학양론적 조성을 초과하여 산소를 포함하는 영역은, 절연층(107)의 적어도 일부에 존재한다. 산소가 주입되는 깊이는, 주입 조건에 의해 적절히 조정될 수 있다.
- [0145] 본 실시 형태에서는, 산소(121)는, 산소 분위기 하에서 플라즈마 처리에 의해 도입된다. 절연층(107)은, 산화물 반도체층(105)과 접하는 절연층이기 때문에, 가능한 한 물 또는 수소 등의 불순물이 적게 포함되는 것이 바람직하다는 점에 유의해야 한다. 따라서, 산소(121)의 도입 이전에, 절연층(111) 내의 수소(물 또는 수산기를 포함)를 저감하기 위한 가열 처리를 행하는 것이 바람직하다. 탈수화 또는 탈수소화를 위한 가열 처리의 온도는, 300°C 이상 700°C 이하, 또는 기판의 왜곡점 미만이다. 탈수화 또는 탈수소화를 위한 가열 처리는, 전술한 가열 처리와 유사한 방식으로 행해질 수 있다.
- [0146] 산소(121)의 도입을 위한 플라즈마 처리(산소 플라즈마 처리)는, 산소 유량이 250sccm이고, ICP 전원 전력이 0W이며, 바이어스 전력이 4500W이고, 압력이 15Pa인 조건에서 행해진다. 산소 플라즈마 처리에 의해 절연층(111)에 도입된 산소의 일부는, 절연층(111)을 통해서 산화물 반도체층(105) 내에 도입된다. 산화물 반도체층(105) 내에 절연층(111)을 통해서 산소가 도입되기 때문에, 산화물 반도체층(105)의 표면에 대한 플라즈마 대미지가 감쇠될 수 있어, 반도체 장치의 신뢰성을 향상시킬 수 있다. 절연층(111)은, 10 nm보다 두껍고, 100 nm보다 얇은 것이 바람직하다. 절연층(111)의 두께를 10 nm 이하로 하면, 산화물 반도체층(105)이 산소 플라즈마 처리에 의해 대미지를 받기 쉬워진다. 반면에, 절연층(111)의 두께를 100 nm 이상으로 하면, 산소 플라즈마 처리에 의해 도입된 산소가, 충분히 산화물 반도체층(105)에 공급되지 않을 수 있다. 절연층(111)의 탈수화 또는 탈수소화를 위한 가열 처리 및 / 또는 산소(121)의 도입은, 복수 회 행해질 수 있다. 절연층(111) 내에 산소를 도입함으로써, 절연층(107)을 산소 공급층으로서의 역할을 할 수 있게 한다.
- [0147] 이어서, 절연층(107) 위에 절연층(108)을 200 nm 내지 500 nm의 두께로 형성한다(도 3의 (c) 참조). 절연층(108)은, 절연층(102) 또는 게이트 절연층(104)과 유사한 재료 및 방법을 사용하여 형성할 수 있다. 예를

들어, 산화 실리콘막이나 산화질화 실리콘막을, 스퍼터링법이나 CVD법을 이용하여 절연층(108)으로서 형성할 수 있다.

[0148] 본 실시 형태에서는, 절연층(108)으로서, 플라즈마 CVD법에 의해 두께 370 nm의 산화 질화 실리콘막을 형성한다. 절연층(108)의 성막 조건은, 다음과 같을 수 있다: SiH_4 과 N_2O 의 가스 유량비는 30sccm:4000sccm이고, 압력은 200Pa이며, RF 전원 전력(전원 출력)은 150W이고, 기판 온도는 220℃이다.

[0149] 절연층(108)의 형성 후, 그 위에는 불활성 가스 분위기 하에서, 산소 분위기 하에서, 또는 불활성 가스와 산소의 혼합 분위기 하에서, 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 600℃ 이하의 온도로 가열 처리를 행할 수 있다. 해당 가열 처리에 의해, 절연층(107)에 포함되는 산소를 산화물 반도체층(105)에 공급할 수 있어, 산화물 반도체층(105) 내의 산소 결손을 채울 수 있다. 절연층(107) 위에 절연층(108)을 형성함으로써, 절연층(107) 내에 함유된 산소를 효율적으로 산화물 반도체층(105)에 공급할 수 있다.

[0150] 또한, 절연층(108)에 산소 도핑 처리를 행하여, 절연층(108) 내에 산소(121)를 도입함으로써, 절연층(108)을 산소 과잉 상태로 만들 수 있다. 절연층(108) 내의 산소(121)의 도입은, 절연층(107) 내의 산소(121)의 도입과 유사한 방식으로 행할 수 있다. 절연층(108) 내의 산소(121)의 도입 후, 그 위에는 불활성 가스 분위기 하에서, 산소 분위기 하에서, 또는 불활성 가스와 산소의 혼합 분위기 하에서, 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 600℃ 이하의 온도로 가열 처리를 행할 수 있다.

[0151] 도 11의 (a)는, 도 1의 (b)에 나타내는 부분(201)의 확대도이며, 도 11의 (b)는, 도 1의 (c)에 나타내는 부분(202)의 확대도이다. 도 11의 (a) 및 도 11의 (b)에 나타내는 화살표는, 절연층(107)에 포함된 산소(122)가 산화물 반도체층(105)에 공급되는 것을 나타내고 있다. 절연층(107)에 포함된 산소(122)는, 산화물 반도체층(105)이 절연층(107)과 접하는 영역에서 산화물 반도체층(105)에 직접 공급될 뿐만 아니라, 게이트 절연층(104b)을 통해서 산화물 반도체층(105)에 간접적으로도 공급된다. 또한, 절연층(108) 또는 게이트 절연층(104b)이 산소 과잉 상태에 있는 경우에는, 절연층(108) 또는 게이트 절연층(104b)에 포함된 산소도 산화물 반도체층(105)에 공급할 수 있다.

[0152] 이상의 공정에 의해, 본 실시 형태의 트랜지스터(150)가 형성된다. 트랜지스터(150) 위에 절연층을 또한 형성할 수 있다. 본 실시 형태에서는, 트랜지스터(150) 위에 평탄화 절연층(110)을 형성하는 예를 나타낸다(도 3의 (d) 참조). 평탄화 절연층(110)은, 폴리이미드, 아크릴 수지, 폴리이미드 아미드, 벤조시클로부텐계 수지, 폴리아미드 또는 에폭시 수지 등의 내열성 유기 재료를 사용하여 형성할 수 있다. 이러한 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(포스포실리케이트 유리), BPSG(보로포스포실리케이트 유리) 등을 사용할 수 있다. 이들 재료를 사용하여 형성된 복수의 절연층을 적층시킴으로써, 평탄화 절연층(110)을 형성할 수 있다.

[0153] 채널이 형성되는 반도체층에 산화물 반도체를 사용한 트랜지스터에 있어서는, 산화물 반도체층 내에 산소를 공급함으로써, 산화물 반도체층과 절연층 간의 계면 준위 밀도를 저감할 수 있다. 그 결과, 트랜지스터의 동작 등에 기인한 산화물 반도체층과 절연층 간의 계면에서의 캐리어 트래핑(carrier trapping)을 억제할 수 있으므로, 신뢰성이 높은 트랜지스터를 얻을 수 있다.

[0154] 또한, 산화물 반도체층 내의 산소 결손에 기인해서 캐리어가 발생할 수 있다. 일반적으로, 산화물 반도체층 내의 산소 결손은, 산화물 반도체층 내의 캐리어인 전자의 생성을 야기한다. 그 결과, 트랜지스터의 임계값 전압이 마이너스 방향으로 시프트된다. 따라서, 산화물 반도체층 내에 산소가 충분히 공급되어, 바람직하게는 산화물 반도체층이 과잉 산소를 포함하게 됨으로써, 산화물 반도체층 내의 산소 결손의 밀도를 저감할 수 있다.

[0155] 산화물 반도체층(105)을, 복수의 산화물 반도체층의 적층된 구조로 형성할 수 있다. 예를 들어, 산화물 반도체층(105)은, 상이한 조성의 금속 산화물을 사용하여 형성되는 제1 산화물 반도체층과 제2 산화물 반도체층의 적층일 수 있다. 예를 들어, 제1 산화물 반도체층은 3원계 금속의 산화물을 사용하여 형성될 수 있고, 제2 산화물 반도체층은 2원계 금속의 산화물을 사용하여 형성될 수 있다. 또는, 예를 들어, 제1 산화물 반도체층과 제2 산화물 반도체층 양쪽은, 3원계 금속의 산화물을 사용하여 형성될 수 있다.

[0156] 또한, 제1 산화물 반도체층과 제2 산화물 반도체층의 구성 원소는 서로 동일할 수 있지만, 제1 산화물 반도체층과 제2 산화물 반도체층의 구성 원소의 조성은 서로 상이할 수 있다. 예를 들어, 제1 산화물 반도체층 내의 원자수비는 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 일 수 있고, 제2 산화물 반도체층 내의 원자수비는 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ 일 수 있다. 또는, 제1 산화물 반도체층 내의 원자수비는 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 일 수 있고, 제2 산화물 반도체층 내의 원자수비는

In:Ga:Zn=2:1:3일 수 있다.

- [0157] 이때, 제1 산화물 반도체층과 제2 산화물 반도체층 중, 게이트 전극에 가까운 측(채널측)의 산화물 반도체층은, 함유율이 In>Ga인 In과 Ga를 포함하는 것이 바람직하다. 게이트 전극으로부터 먼 측(백 채널측)의 산화물 반도체층은, 함유율이 In≤Ga인 In과 Ga를 포함하는 것이 바람직하다.
- [0158] 산화물 반도체에 있어서는, 중금속의 s 궤도가 캐리어 전도에 주로 기여하고 있고, In의 함유율이 증가함에 따라, s 궤도의 오버랩이 많아지는 경향이 있다. 따라서, In>Ga의 조성을 갖는 산화물은 In≤Ga의 조성을 갖는 산화물보다 더 높은 이동도를 갖는다. 또한, Ga에 있어서는, 산소 결손의 형성 에너지가 커서 산소 결손이 In에 있어서보다 발생할 가능성이 적으므로, In≤Ga의 조성을 갖는 산화물은 In>Ga의 조성을 갖는 산화물보다 더 안정된 특성을 갖는다.
- [0159] 채널측에는 함유율이 In>Ga인 In과 Ga를 포함하는 산화물 반도체를 적용하고, 백(back) 채널측에는 함유율이 In≤Ga인 In과 Ga를 포함하는 산화물 반도체를 적용함으로써, 트랜지스터의 이동도 및 신뢰성을 더 향상시키는 것이 가능하게 된다.
- [0160] 또한, 제1 산화물 반도체층과 제2 산화물 반도체층에는, 결정성이 서로 다른 산화물 반도체를 적용할 수 있다. 즉, 단결정 산화물 반도체, 다결정 산화물 반도체, 비정질 산화물 반도체 및 CAAC-OS 중 2개를 적절히 조합할 수 있다. 제1 산화물 반도체층과 제2 산화물 반도체층 중 적어도 어느 한쪽에 비정질 산화물 반도체를 적용함으로써, 산화물 반도체층(105)의 내부 응력이나 외부 응력이 완화되고, 트랜지스터의 특성 변동이 저감되어, 트랜지스터의 신뢰성을 더 향상시킬 수 있게 된다.
- [0161] 한편, 비정질 산화물 반도체는 도너를 발생하는 수소 등의 불순물을 흡수하기 쉽고, 또한, 산소 결손이 발생하기 쉽기 때문에, 비정질 산화물 반도체는 n형화되기 쉽다. 이 때문에, 채널측의 산화물 반도체층에, CAAC-OS 등의 결정성을 갖는 산화물 반도체를 적용하는 것이 바람직하다.
- [0162] 또한, 채널 에칭형의 보텀-게이트형 트랜지스터에 있어서, 백 채널측에 비정질 산화물 반도체를 사용하는 경우, 소스 전극과 드레인 전극 형성 시의 에칭 처리에 의해 산소 결손이 발생하여, 트랜지스터를 n형화하기 쉽게 된다. 따라서, 채널 에칭형의 트랜지스터를 사용하는 경우, 백 채널측의 산화물 반도체층에 결정성을 갖는 산화물 반도체를 적용하는 것이 바람직하다.
- [0163] 또한, 산화물 반도체층(105)은, 각각 결정성을 갖는 복수의 산화물 반도체층 사이에 비정질 산화물 반도체층이 개재된 3층 이상으로 이루어진 적층 구조를 가질 수 있다. 결정성을 갖는 산화물 반도체층과 비정질 산화물 반도체층을 교대로 적층하는 구조도 채택될 수 있다.
- [0164] 산화물 반도체층(105)이 복수의 층으로 이루어진 적층 구조를 갖도록 각각 사용된 이들 2개의 구조는 적절히 조합될 수 있다.
- [0165] 또한, 산화물 반도체층(105)이 복수의 층으로 이루어진 적층 구조를 갖는 경우, 각 산화물 반도체층의 형성 후에 산소 도핑 처리를 행할 수 있다. 각 산화물 반도체층의 형성마다 이러한 산소 도핑 처리를 행함으로써, 산화물 반도체 내의 산소 결손을 저감하는 효과를 향상시킨다.
- [0166] 본 실시 형태는, 다른 실시 형태에 기재한 소정의 구조와 적절히 조합되어 구현될 수 있다.
- [0167] (실시 형태 2)
- [0168] 본 실시 형태에 있어서, 트랜지스터(150)와 다른 구성을 갖는 트랜지스터(160) 및 트랜지스터(170)에 대해서 설명한다.
- [0169] 도 4의 (c)에 나타내는 트랜지스터(160)는, 트랜지스터(150)에 있어서의 절연층(108) 대신에 절연층(109)이 형성된다는 점에 있어서 트랜지스터(150)와는 상이하다. 트랜지스터(160)는 이하와 같이 형성할 수 있다. 먼저, 트랜지스터(150)와 마찬가지로 절연층(107)까지 포함하는 소자가 형성되고, 절연층(107)에 산소(121)가 도입된 다음, 절연층(107) 위에 금속층(119)이 형성된다(도 4의 (a) 참조). 본 실시 형태에서, 금속층(119)에는, 알루미늄을 사용한다.
- [0170] 금속층(119)은, 스퍼터링법, 증착법, CVD법 등에 의해 형성되는 것이 바람직하다. 또한, 금속층(119)의 두께는 3 nm 이상 10 nm 이하인 것이 바람직하다. 본 실시 형태에서는, 두께 5 nm의 알루미늄이 형성된다.
- [0171] 절연층(107) 위에 형성되는 금속층(119)은, 그곳에 산소를 도입함으로써 금속 산화물층(절연층(109))이 되어,

트랜지스터의 장벽 층으로서 기능하는 재료를 사용하여 형성된다. 해당 금속 산화물층으로서, 장벽 특성을 갖는, 즉 트랜지스터 내에 수소 또는 수분 등의 불순물 및 산소 등 다가 침투되는 것을 방지하는 차단 효과(블록 효과)가 높은 재료를 사용할 수 있다. 금속 산화물층에 사용된 금속 재료로서는, 알루미늄 이외에, 마그네슘을 첨가한 알루미늄, 티타늄을 첨가한 알루미늄, 절연층(107)과 접하는 알루미늄과 알루미늄과 접하는 마그네슘의 적층, 절연층(107)과 접하는 알루미늄과 알루미늄과 접하는 티타늄의 적층 등을 사용할 수 있다.

[0172] 계속해서, 금속층(119) 내에 산소(121)를 도입한다. 산소(121)의 도입은, 산소 도핑 처리에 의해 행해질 수 있다. 본 실시 형태에서는, 산소(121)의 도입은 산소 분위기 하에서 행하는 플라즈마 처리에 의해 행해진다. 따라서, 금속층(119)의 산화물인 절연층(109)이 형성된다(도 4의 (b) 참조).

[0173] 산소 도핑 처리에 의해 형성된 절연층(109)은, 화학양론적 조성에 상당하는 산소를 함유할 필요는 없고, 다소의 도전성을 가질 수 있다. 예를 들어, Al_2O_x 로 표현되는 산화 알루미늄의 경우, x는 1 이상 3.5 이하인 것이 바람직하다. 또한, 산화 알루미늄이 도전성을 갖는 경우, 그 저항률 ρ 은, $1 \times 10^{10} \Omega \cdot m$ 이상 $1 \times 10^{19} \Omega \cdot m$ 이하, 바람직하게는 $1 \times 10^{10} \Omega \cdot m$ 이상 $1 \times 10^{18} \Omega \cdot m$ 이하, 보다 바람직하게는 $1 \times 10^{11} \Omega \cdot m$ 이상 $1 \times 10^{15} \Omega \cdot m$ 이하인 것이 바람직하다. 산화 알루미늄의 상술한 범위에서의 저항률은, 트랜지스터의 정전 파괴를 방지하게 된다.

[0174] 절연층(109)의 형성 후, 가열 처리를 행할 수 있다. 가열 처리의 온도는, 예를 들어, $250^\circ C$ 이상 $600^\circ C$ 이하, 바람직하게는 $300^\circ C$ 이상 $600^\circ C$ 이하로 할 수 있다.

[0175] 이상의 공정에 의해, 트랜지스터(160)가 형성된다. 트랜지스터(160) 위에 절연층을 형성할 수 있다. 본 실시 형태에서는, 트랜지스터(160) 위에 평탄화 절연층(110)을 형성하는 예를 나타낸다(도 4의 (d) 참조).

[0176] 도 5의 (a) 및 (b)에 도시하는 트랜지스터(170)는, 트랜지스터(150)에 있어서 절연층(108) 위에 절연층(109)을 형성한 구조를 갖는다. 이 절연층(109)은, 트랜지스터(160)에 있어서의 절연층(109)과 마찬가지로 형성될 수 있다.

[0177] 절연층(109)(또는 금속층(119))을 구성하는 금속 원소는, 산화물 반도체층(105)을 n형화하는 불순물 원소로서의 역할을 하고, 따라서, 절연층(109)을 산화물 반도체층(105)에 접하지 않도록 형성하는 것이 바람직하다. 트랜지스터(170)에 도시한 바와 같이, 절연층(109)은 산화물 반도체층(105)으로부터 가능한 한 이격해서 형성되는 것이 바람직하다.

[0178] 절연층(102) 및/또는 게이트 절연층(104a), 및 절연층(108) 및/또는 절연층(109)은, 수소, 수분, 수소화물 및 수산화물 등의 불순물, 및 산소에 대한 장벽 특성을 갖는 재료를 사용해서 형성되는 것이 바람직하다. 상기 절연층에 장벽 특성을 갖는 재료를 채택하여, 산화물 반도체층(105)이, 장벽 특성을 갖는 층에 의해 개재되거나 둘러싸임으로써, 외부로부터의 불순물의 침입뿐만 아니라, 산화물 반도체층(105), 절연층(107) 및 게이트 절연층(104b)으로부터의 산소의 탈리를 방지할 수 있다.

[0179] 본 실시 형태는, 다른 실시 형태에 기재한 소정의 구조와 적절히 조합해서 구현될 수 있다.

[0180] (실시 형태 3)

[0181] 상기 실시 형태에서 일례를 나타낸 트랜지스터를 사용해서, 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를, 화소부가 형성되어 있는 기판 위에 형성하여, 시스템-온-패널을 형성할 수 있다. 본 실시 형태에서는, 상기 실시 형태에서 일례를 나타낸 트랜지스터를 사용한 표시 장치의 예에 대해서, 도 6의 (a) 내지 (c) 및 도 7의 (a) 및 (b)를 참조해서 설명한다. 도 7의 (a) 및 (b)는, 도 6의 (b)에 있어서 M-N의 섹션을 따라 절취하여 나타낸 단면 구조를 도시하는 단면도이다.

[0182] 도 6의 (a)에 있어서, 제1 기판(4001) 위에 제공된 화소부(4002)를 둘러싸도록 시일재(4005)가 제공되고, 화소부(4002)는 제2 기판(4006)을 사용해서 밀봉된다. 도 6의 (a)에 있어서는, 신호선 구동 회로(4003) 및 주사선 구동 회로(4004) 각각이, 별도 준비된 기판 위에 단결정 반도체 또는 다결정 반도체를 사용해서 형성되고, 제1 기판(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 상이한 영역에 실장되어 있다. 또한, 신호선 구동 회로(4003), 주사선 구동 회로(4004) 및 화소부(4002)에는, 각종 신호 및 전위가, 연성 인쇄 회로(Flexible Printed Circuit: FPC)(4018a 및 4018b)로부터 공급된다.

[0183] 도 6의 (b) 및 (c)에 있어서, 제1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도

록 시일재(4005)가 제공된다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기관(4006)이 제공되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제1 기관(4001), 시일재(4005) 및 제2 기관(4006)에 의해, 표시 소자와 함께 밀봉된다. 도 6의 (b) 및 (c)에 있어서, 제1 기관(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 상이한 영역에는, 별도 준비된 기관 위에 단결정 반도체 또는 다결정 반도체를 사용해서 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 6의 (b) 및 (c)에 있어서는, 신호선 구동 회로(4003), 주사선 구동 회로(4004) 및 화소부(4002)에는, 각종 신호 및 전위가, FPC(4018)로부터 공급된다.

[0184] 도 6의 (b) 및 도 6의 (c) 각각은, 신호선 구동 회로(4003)를 별도 형성하여, 제1 기관(4001) 위에 실장하고 있는 예를 나타내고 있지만, 본 발명의 실시 형태는 이러한 구조에 한정되지 않는다. 주사선 구동 회로를 별도 형성해서 실장할 수 있거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성해서 실장할 수 있다.

[0185] 그렇게 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되지 않고, 칩 온 글라스(Chip On Glass: COG) 방법, 와이어 본딩 방법, 테이프 자동화 본딩(Tape Automated Bonding: TAB) 방법 등을 사용할 수 있다. 도 6의 (a)는, COG 방법에 의해 신호선 구동 회로(4003)와 주사선 구동 회로(4004)를 실장하는 예를 나타내고, 도 6의 (b)는, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 나타내며, 도 6의 (c)는, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 나타낸다.

[0186] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 해당 패널 위에 컨트롤러를 포함하는 IC 등을 실장하고 있는 모듈을 그 범주 내에 포함한다.

[0187] 또한, 본 명세서 내에 있어서의 표시 장치는, 화상 표시 장치, 표시 장치, 또는 광원(조명 장치 포함)을 의미한다. 또한, 표시 장치는 다음의 모듈도 그 범주 내에 포함한다: FPC, TAB 테이프 또는 TCP 등의 커넥터가 제공되어 있는 모듈; TAB 테이프나 TCP의 끝에 프린트 배선판이 제공되어 있는 모듈; 및 표시 소자 위에 COG 방식에 의해 집적 회로(IC)가 직접 실장되어 있는 모듈.

[0188] 제1 기관 위에 제공된 화소부 및 주사선 구동 회로는, 복수의 트랜지스터를 포함하고, 상기 실시 형태에서 나타낸 소정의 트랜지스터를 적용할 수 있다.

[0189] 표시 장치에 제공되는 표시 소자로서는, 액정 소자(액정 표시 소자라고도 함) 또는 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(ElectroLuminescence), 유기 EL 등을 그 범주에 포함하고 있다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 사용할 수 있다.

[0190] 도 7의 (a) 및 (b)에 나타낸 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 포함한다. 접속 단자 전극(4015) 및 단자 전극(4016)은, FPC(4018)에 포함된 단자에, 이방성 도전층(4019)을 통해서 전기적으로 접속되어 있다.

[0191] 접속 단자 전극(4015)은, 제1 전극층(4030)과 동일한 도전층으로 형성된다. 단자 전극(4016)은, 트랜지스터(4010, 4011)의 소스 전극 및 드레인 전극과 동일한 도전막으로 형성되어 있다.

[0192] 제1 기관(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)는, 복수의 트랜지스터를 포함한다. 도 7의 (a) 및 (b)는, 화소부(4002)에 포함된 트랜지스터(4010), 및 주사선 구동 회로(4004)에 포함된 트랜지스터(4011)를 예시하고 있다. 도 7의 (a)에서, 트랜지스터(4010 및 4011) 위에는 절연층(4020)이 제공되어 있다. 도 7의 (b)에서는, 절연층(4024) 위에 평탄화층(4021)이 더 제공되어 있다. 절연층(4023)은, 하지층으로서 기능하는 절연층이다.

[0193] 본 실시 형태에서는, 상기 실시 형태에서 나타낸 소정의 트랜지스터를 트랜지스터(4010 또는 4011)에 적용할 수 있다.

[0194] 상기 실시 형태에서 나타낸 각각의 트랜지스터의 전기 특성에서의 변동이 억제되고 있어, 트랜지스터는 전기적으로 안정된다. 따라서, 도 7의 (a) 및 (b)에서 나타내는 소정의 반도체 장치로서는 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0195] 도 7의 (b)는, 절연층(4024) 위에 도전층(4017)이 제공되어, 구동 회로용의 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 중첩되는 예를 나타내고 있다. 본 실시 형태에서는, 도전층(4017)을 제1 전극층(4030)과 동일한 도전층으로 형성한다. 도전층(4017)을 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에 제공함으로써, BT 시험에 의한 트랜지스터(4011)의 임계값 전압에서의 변화량을 더 저감할 수 있다. 도전층(4017)에

인가된 전위는, 트랜지스터(4011)의 게이트 전극에 인가된 전위와 같거나 상이하고, 도전층(4017)은 제2 게이트 전극으로서 기능할 수도 있다. 도전층(4017)의 전위는, GND, 0 V, 또는 플로팅 상태일 수 있다.

[0196] 또한, 도전층(4017)은 외부의 전기장을 차폐하는 기능을 갖는다. 즉, 외부의 전기장이 내부(박막 트랜지스터를 포함하는 회로부)에 작용하지 않도록 하는 기능(특히, 정전기 방지 기능)을 갖는다. 도전층(4017)의 차폐 기능은, 정전기 등의 외부의 전기장의 영향으로 인한 트랜지스터의 전기적인 특성에서의 변동을 방지할 수 있다. 도전층(4017)은, 상기 실시 형태에서 나타난 소정의 트랜지스터에 사용될 수 있다.

[0197] 화소부(4002)에 포함된 트랜지스터(4010)는, 표시 패널 내의 표시 소자에 전기적으로 접속된다. 표시 소자의 종류에 대해서는, 표시를 행할 수 있는 한, 특별히 한정되지 않고, 다양한 종류의 표시 소자를 채택할 수 있다.

[0198] 도 7의 (a)에는, 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예를 나타낸다. 도 7의 (a)에 있어서, 표시 소자인 액정 소자(4013)는, 제1 전극층(4030), 제2 전극층(4031) 및 액정층(4008)을 포함한다. 액정층(4008)이 그 사이에 개재되도록, 배향막으로서의 역할을 하는 절연층(4032 및 4033)이 제공되어 있다. 제2 전극층(4031)은 제2 기판(4006)측에 제공된다. 제2 전극층(4031)은 제1 전극층(4030)과 중첩되고, 그 사이에는 액정층(4008)이 개재되어 있다.

[0199] 스페이서(4035)는, 절연층을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 제1 전극층(4030)과 제2 전극층(4031) 간의 간격(셀 갭)을 제어하기 위해서 제공되어 있다. 또는, 구형의(spherical) 스페이서를 사용할 수 있다.

[0200] 표시 소자로서, 액정 소자를 사용하는 경우, 열가소성 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.

[0201] 또는, 배향막이 불필요한 블루상을 나타내는 액정을 사용할 수 있다. 블루상은 액정상 중 하나인데, 이는 콜레스테릭 액정의 온도를 승온해 가면서, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위해서 5 중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 이는 배향 처리를 불필요하게 하는 광학적 등방성이며, 시야각 의존성이 작다. 또한, 배향막을 제공하지 않아도 되고 러빙 처리도 불필요하게 되기 때문에, 러빙 처리에 의해 야기되는 정전기 방전 손상을 방지할 수 있고, 제작 공정 중에 액정 표시 장치의 결함이나 손상을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있다. 산화물 반도체층을 사용하는 트랜지스터는 특히, 정전기의 영향에 의해 트랜지스터의 전기적인 특성이 현저하게 변동해서 설계 범위를 이탈할 가능성을 갖는다. 따라서, 산화물 반도체층을 사용하는 트랜지스터를 포함하는 액정 표시 장치에 블루상을 나타내는 액정 재료를 사용하는 것이 보다 효과적이다.

[0202] 또한, 액정 재료의 고유 저항은, $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이며, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이며, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에 있어서의 고유 저항은, 20℃에서 측정된다.

[0203] 고순도화된 산화물 반도체층을 사용하는, 본 실시 형태에서 사용된 트랜지스터에 있어서는, 오프 상태에 있어서의 전류(오프 전류)를 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호는 오랜 기간 동안 유지될 수 있고, 따라서 전원 온 상태에서는 기입 간격도 길게 설정될 수 있다. 따라서, 리프래시 동작의 빈도를 적게 할 수 있는데, 이는 소비 전력을 억제하는 효과가 있게 한다.

[0204] 액정 표시 장치에 형성된 보유 용량의 크기는, 화소부에 제공된 트랜지스터의 누설 전류 등을 고려하여, 소정의 기간 동안 전하를 유지할 수 있도록 설정된다. 보유 용량의 크기는, 트랜지스터의 오프 전류 등을 고려해서 설정할 수 있다. 고순도의 산화물 반도체층을 사용하는 트랜지스터로 인해, 각 화소에 있어서의 액정 용량의 1/3 이하, 바람직하게는 1/5 이하의 용량을 갖는 보유 용량을 제공하면 충분하다.

[0205] 상술한 산화물 반도체를 사용한 트랜지스터에 있어서는, 비교적 높은 전계 효과 이동도가 얻어질 수 있는데, 이는 고속 구동을 가능하게 한다. 따라서, 표시 기능을 갖는 반도체 장치의 화소부에 상기 트랜지스터를 사용함으로써, 고화질의 화상을 표시되게 한다. 또한, 한 기판 위에 구동 회로부와 화소부를 구분해서 형성할 수 있으므로, 반도체 장치의 부품 개수를 줄일 수 있다.

[0206] 액정 표시 장치에는, 트위스트 네마틱(TN) 모드, 면내 스위칭(IPS) 모드, 프린지 필드 스위칭(FFS) 모드, 측 대

칭 배향 마이크로 셀(ASM) 모드, 광학 보상 복굴절(OCB) 모드, 강유전성 액정(FLC) 모드, 반 강유전성 액정(AFLC) 모드 등을 사용할 수 있다.

[0207] 수직 배향(VA) 모드를 사용한 투과형의 액정 표시 장치 등의 노멀리 블랙형의 액정 표시 장치도 채택할 수 있다. 수직 배향 모드는, 액정 표시 패널의 액정 분자의 배열을 제어하는 방법인데, 이는 전압이 인가되지 않고 있을 때에 패널면에 대하여 액정 분자가 수직으로 향하는 방법이다. 수직 배향 모드로서는, 몇 가지 예가 있다. 예를 들어, 멀티 도메인 수직 정렬(Multi-Domain Vertical Alignment: MVA) 모드, 패턴형 수직 정렬(Patterned Vertical Alignment: PVA) 모드, 어드밴스드 슈퍼 뷰(Advanced Super View: ASV) 모드 등을 사용할 수 있다. 또한, 화소를 몇몇 영역(서브 픽셀)으로 나누고, 각각의 영역에 있어서의 상이한 방향으로 분자를 배향하는 멀티 도메인화 또는 멀티 도메인 설계라고 말하여지는 방법을 사용할 수 있다.

[0208] 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재 또는 반사 방지 부재 등의 광학 부재(광학 기관) 등은 적절히 제공된다. 예를 들어, 편광 기관 및 위상차 기관에 의한 원 편광을 얻을 수 있다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 사용할 수 있다.

[0209] 화소부에 있어서의 표시 방법으로서, 프로그레시브 방법, 인터레이스 방법 등을 사용할 수 있다. 또한, 컬러 표시할 때에 화소 내에서 제어된 색 요소는, R, G 및 B(R은 적색, G는 녹색, B는 청색에 각각 대응)의 삼색에 한정되지 않는다. 예를 들어, R, G, B 및 W(W는 백색에 대응); R, G, B, 및 옐로우, 시안, 마젠타 등에서 하나 이상의 색; 또는 그 외의 것을 사용할 수 있다. 또한, 표시 영역의 크기가, 색 요소의 각 도트 간에서는 상이할 수 있다. 본 발명은 컬러 표시용의 표시 장치에 한정되는 것이 아니라, 모노크롬 표시용의 표시 장치에도 적용할 수도 있다.

[0210] 또는, 표시 장치에 포함되는 표시 소자로서, 일렉트로 루미네센스를 이용하는 발광 소자를 사용할 수 있다. 일렉트로 루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인가, 무기 화합물인가에 따라 구별된다. 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 한다.

[0211] 유기 EL 소자에 있어서는, 발광 소자에 전압을 인가함으로써, 전자 및 정공이 한 쌍의 전극으로부터 발광성의 유기 화합물을 포함하는 층 내에 주입되어, 전류가 흐른다. 캐리어(전자 및 정공)가 재결합하고, 따라서 발광성의 유기 화합물이 여기 상태로 되며, 발광성의 유기 화합물이 여기 상태에서부터 기저 상태로 복귀됨으로써, 발광한다. 이러한 메커니즘으로 인해, 이러한 발광 소자는, 전류 여기형의 발광 소자라고 불린다.

[0212] 무기 EL 소자는, 그 소자 구조에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 내에 분산시킨 발광층을 가지며, 그 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체 사이에 끼워 넣고, 또한 그것을 전극 사이에 끼워 넣는 구조를 가지며, 그 발광 메커니즘은 금속 이온의 내각(inner-shell) 전자 전이를 이용하는 국재형 발광(localized type light emission)이다. 여기에서는, 발광 소자로서 유기 EL 소자를 사용하는 예를 설명한다.

[0213] 발광 소자로부터 발광을 추출하기 위해서는, 적어도 한 쌍의 전극 중 한쪽은 투명하다. 발광 소자는, 기관과는 반대측의 표면을 통해 발광을 추출하는 상면 발광 구조; 기관측의 표면을 통해 발광을 추출하는 하면 발광 구조; 또는 기관과는 반대측의 표면 및 기관측 표면을 통해 발광을 추출하는 양면 발광 구조를 가질 수 있다. 이들 발광 구조 중 소정의 것을 갖는 발광 소자도 사용할 수 있다.

[0214] 도 7의 (b)는 표시 소자로서 발광 소자를 사용하는 발광 장치의 예를 나타낸다. 표시 소자인 발광 소자(4513)는, 화소부(4002)에 제공된 트랜지스터(4010)에 전기적으로 접속되어 있다. 발광 소자(4513)의 구조는, 제1 전극층(4030), 전계 발광층(4511) 및 제2 전극층(4031)을 포함하는, 도 7의 (b)에 나타난 적층 구조에 한정되지 않는다. 발광 소자(4513)의 구조는, 발광 소자(4513)로부터 광이 추출되는 방향 등에 따라, 적절히 변경될 수 있다.

[0215] 뱅크(4510)는, 유기 절연 재료 또는 무기 절연 재료를 사용해서 형성될 수 있다. 특히, 감광성의 수지 재료를 사용해서, 제1 전극층(4030) 위에 개구부를 갖도록 뱅크(4510)가 형성되어, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다.

[0216] 전계 발광층(4511)은, 단일 층 또는 적층된 복수의 층 중 어느 하나로 형성된다.

[0217] 발광 소자(4513) 내에 산소, 수소, 수분, 이산화 탄소 등이 침입하는 것을 방지하기 위해서, 제2 전극층(4031) 및 뱅크(4510) 위에 보호층을 형성할 수 있다. 보호층으로서, 질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄

미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 질화산화 알루미늄막, DLC막 등을 형성할 수 있다. 또한, 제1 기판(4001), 제2 기판(4006) 및 시일재(4005)에 의해 형성된 공간에는, 충전재(4514)가 밀봉을 위해 제공된다. 이러한 방식으로, 패널이 외기에 노출되지 않도록, 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름 또는 자외선 경화 수지 필름 등) 또는 커버재를 이용하여 패널이 패키징(밀봉)되는 것이 바람직하다.

[0218] 충전재(4514)로서는, 질소 또는 아르곤 등의 불활성 가스 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있으며, 폴리비닐 클로라이드(PVC), 아크릴 수지, 폴리에미드, 에폭시 수지, 실리콘 수지, 폴리비닐 부티랄(PVB), 에틸렌 비닐아세테이트(EVA) 등을 사용할 수 있다. 예를 들어, 충전재에는 질소를 사용한다.

[0219] 또한, 필요하다면, 발광 소자의 발광면에는, 편광판, 원 편광판(타원 편광판을 포함), 위상차판($\lambda/4$ 판 또는 $\lambda/2$ 판) 또는 컬러 필터 등의 광학 필름을 적절히 제공할 수 있다. 또한, 편광판 또는 원 편광판에는 반사 방지막을 제공할 수 있다. 예를 들어, 표면의 요철(projections and/or depressions)에 의해 반사광을 확산시켜, 글래어(glare)를 저감할 수 있는 안티-글래어(anti-glare) 처리를 실행할 수 있다.

[0220] 표시 소자에 전압을 인가하는 제1 전극층 및 제2 전극층(각각 화소 전극층, 공통 전극층, 대향 전극층 등이라고도 할 수 있음)은, 광이 추출되는 방향, 전극층이 제공되는 장소, 및 전극층의 패턴 구조 등에 따라, 투광성 또는 반사성을 가질 수 있다.

[0221] 제1 전극층(4030) 및 제2 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고도 함), 인듐 아연 산화물, 또는 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성의 도전성 재료를 사용하여 형성될 수 있다.

[0222] 제1 전극층(4030) 및 제2 전극층(4031) 각각은, 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈륨(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu) 또는 은(Ag) 등의 금속; 그 합금; 및 그 질화물로부터 선택된 하나 또는 복수의 종을 사용해서 형성될 수 있다.

[0223] 제1 전극층(4030) 및 제2 전극층(4031)에는, 도전성 고분자(도전성 중합체라고도 함)를 포함하는 도전성 조성물을 사용할 수도 있다. 도전성 고분자로서는, 소위, π -전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그의 유도체, 폴리피롤 또는 그의 유도체, 폴리티오펜 또는 그의 유도체, 또는 아닐린, 피롤 및 티오펜 중 2종 이상으로 이루어진 공중합체 또는 그의 유도체를 들 수 있다.

[0224] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 제공하는 것이 바람직하다. 보호 회로는, 비선형 소자를 사용해서 형성되는 것이 바람직하다.

[0225] 이상과 같이, 상기 실시 형태에서 나타난 소정의 트랜지스터를 적용함으로써, 표시 기능을 갖는 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0226] 본 실시 형태는, 다른 실시 형태에 기재한 소정의 구조와 적절히 조합해서 구현될 수 있다.

[0227] (실시 형태 4)

[0228] 상기 실시 형태에 나타난 소정의 트랜지스터를 사용하여, 대상물의 정보를 판독하는 이미지 센서 기능을 갖는 반도체 장치를 제작할 수 있다.

[0229] 도 8의 (a)는, 이미지 센서 기능을 갖는 반도체 장치의 일례를 나타낸다. 도 8의 (a)는 포토 센서의 등가 회로이며, 도 8의 (b)는 포토 센서의 일부를 도시하는 단면도이다.

[0230] 포토 다이오드(602)의 한쪽의 전극은, 포토 다이오드 리셋 신호선(658)에 전기적으로 접속되고, 포토 다이오드(602)의 다른 쪽의 전극은, 트랜지스터(640)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(640)의 소스와 드레인 중 어느 한쪽은, 포토 센서 기준 신호선(672)에 전기적으로 접속되고, 트랜지스터(640)의 소스와 드레인 중 다른 쪽은, 트랜지스터(656)의 소스와 드레인 중 어느 한쪽에 전기적으로 접속되어 있다. 트랜지스터(656)의 게이트는, 게이트 신호선(659)에 전기적으로 접속되고, 트랜지스터(656)의 소스와 드레인 중 다른 쪽은, 포토 센서 출력 신호선(671)에 전기적으로 접속되어 있다.

[0231] 본 명세서에 있어서의 회로도에서, 산화물 반도체층을 사용하는 트랜지스터로서 명확하게 판명할 수 있도록, 산화물 반도체층을 사용하는 트랜지스터는 기호 "OS"를 붙여서 도시하고 있다. 도 8의 (a)에 있어서, 트랜지스터(640) 및 트랜지스터(656)는, 상기 실시 형태에 나타난 소정의 트랜지스터가 적용될 수 있는, 채널이 형

성되는 반도체층에 산화물 반도체를 각각 사용하는 트랜지스터이다. 본 실시 형태에서는, 실시 형태 1에 나타난 트랜지스터(150)와 마찬가지로 구조를 갖는 트랜지스터를 사용하는 예를 나타낸다. 트랜지스터(640)는, 산화물 반도체층 위에 채널 보호층으로서 기능하는 절연층이 제공되는 보텀-게이트 구조의 역 스택거형 트랜지스터이다.

[0232] 도 8의 (b)는, 포토 센서에 있어서의 포토 다이오드(602) 및 트랜지스터(640)의 구성예를 도시하는 단면도이다. 절연 표면을 갖는 기판(601)(TFT 기판) 위에 센서로서 기능하는 포토 다이오드(602) 및 트랜지스터(640)가 제공되어 있다. 포토 다이오드(602)와 트랜지스터(640) 위에는 접착층(608)을 그 사이에 개재한 채로 기판(613)이 제공되어 있다.

[0233] 트랜지스터(640) 위에는 절연층(633) 및 절연층(634)이 제공되어 있다. 포토 다이오드(602)는, 절연층(633) 위에 제공되어 있다. 포토 다이오드(602)에 있어서, 절연층(634) 위에 제공된 전극층(642)과 절연층(633) 위에 형성된 각각의 전극(641a 및 641b) 사이에, 절연층(633)측으로부터 순서대로, 제1 반도체층(606a), 제2 반도체층(606b) 및 제3 반도체층(606c)이 적층된다.

[0234] 전극(641b)은, 절연층(634) 위에 형성된 도전층(643)과 전기적으로 접속되고, 전극층(642)은 전극(641a)을 통해서 도전층(645)과 전기적으로 접속되어 있다. 도전층(645)은, 트랜지스터(640)의 게이트 전극과 전기적으로 접속되고, 포토 다이오드(602)는 트랜지스터(640)와 전기적으로 접속되어 있다.

[0235] 여기에서는, 제1 반도체층(606a)으로서 p형의 도전형을 갖는 반도체층, 제2 반도체층(606b)으로서의 고저항 반도체층(i형 반도체층), 및 제3 반도체층(606c)으로서 n형의 도전형을 갖는 반도체층을 적층한 pin형의 포토 다이오드를 예시하고 있다.

[0236] 제1 반도체층(606a)은 p형 반도체층이며, p형 도전형을 부여하는 불순물 원소를 포함하는 비정질 실리콘을 사용하여 형성될 수 있다. 제1 반도체층(606a)은, 13족에 속하는 불순물 원소(붕소(B) 등)를 포함하는 반도체 소스 가스를 사용하여, 플라즈마 CVD법에 의해 형성된다. 반도체 소스 가스로서는, 실란(SiH_4)을 사용할 수 있다. 또는, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다. 또한, 대안적으로는, 불순물 원소를 포함하지 않는 비정질 실리콘막을 형성한 다음에, 확산법이나 이온 주입법에 의해 해당 비정질 실리콘막에 불순물 원소를 도입할 수 있다. 불순물 원소를 확산시키기 위해서는, 이온 주입법 등에 의해 불순물 원소를 도입한 후 그 위에 가열 등을 행할 수 있다. 이 경우에, 비정질 실리콘막을 형성하는 방법으로서, LPCVD법, 기상 성장법, 스퍼터링법 등을 채택할 수 있다. 제1 반도체층(606a)은 10 nm 이상 50 nm 이하의 두께를 갖도록 형성되는 것이 바람직하다.

[0237] 제2 반도체층(606b)은, i형 반도체층(진성 반도체층)이며, 비정질 실리콘을 사용하여 형성된다. 제2 반도체층(606b)의 형성에는, 반도체 소스 가스를 사용하여, 비정질 실리콘을 플라즈마 CVD법에 의해 형성한다. 반도체 소스 가스로서는, 실란(SiH_4)을 사용할 수 있다. 또는, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다. 제2 반도체층(606b)은, LPCVD법, 기상 성장법, 스퍼터링법 등에 의해 대안적으로 형성될 수 있다. 제2 반도체층(606b)은, 200 nm 이상 1000 nm 이하의 두께를 갖도록 형성되는 것이 바람직하다.

[0238] 제3 반도체층(606c)은, n형 반도체층이며, n형 도전형을 부여하는 불순물 원소를 포함하는 비정질 실리콘을 사용하여 형성된다. 제3 반도체층(606c)은, 15족에 속하는 불순물 원소(인(P) 등)를 포함하는 반도체 소스 가스를 사용하여, 플라즈마 CVD법에 의해 형성된다. 반도체 소스 가스로서는, 실란(SiH_4)을 사용할 수 있다. 또는, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다. 또한, 대안적으로는, 불순물 원소를 포함하지 않는 비정질 실리콘막을 형성한 다음, 확산법이나 이온 주입법에 의해 해당 비정질 실리콘막에 불순물 원소를 도입할 수 있다. 불순물 원소를 확산시키기 위해서는, 이온 주입법 등에 의해 불순물 원소를 도입한 후 그 위에 가열 등을 행할 수 있다. 이 경우, 비정질 실리콘막을 형성하는 방법으로서, LPCVD법, 기상 성장법, 스퍼터링법 등을 채택할 수 있다. 제3 반도체층(606c)은, 20 nm 이상 200 nm 이하의 두께를 갖도록 형성되는 것이 바람직하다.

[0239] 제1 반도체층(606a), 제2 반도체층(606b) 및 제3 반도체층(606c)은, 비정질 반도체를 사용하여 형성될 필요가 없고, 이들은 다결정 반도체, 미결정 반도체, 또는 반 비정질 반도체(Semi-Amorphous Semiconductor: SAS)를 사용해서 형성될 수 있다.

[0240] 또한, 광전 효과에 의해 발생한 정공의 이동도는 전자보다 작기 때문에, pin형의 포토 다이오드는 p형의 반도체층 측 표면을 수광면으로서 사용할 때 더 나은 특성을 갖는다. 여기에서는, pin형의 포토 다이오드가 형성되어

있는 기관(601)의 표면으로부터 포토 다이오드(602)에 의해 수신된 광(622)을 전기 신호로 변환하는 예를 나타낸다. 수광면의 반도체층 측과는 반대의 도전형을 갖는 반도체층 측으로부터의 광은 외란 광이므로, 전극층은 차광성 도전층으로부터 형성되는 것이 바람직하다. n형의 반도체층 측 표면은, 대안적으로 수광면으로서 사용할 수 있다.

[0241] 절연층(633 및 634)의 각각으로서는, 표면 요철을 저감하기 위해서, 평탄화층으로서 기능하는 절연층을 사용하는 것이 바람직하다. 절연층(633 및 634)은, 예를 들어, 폴리이미드, 아크릴 수지, 벤조시클로부텐 수지, 폴리아미드 또는 에폭시 수지 등의, 내열성을 갖는 유기 절연 재료를 사용하여 형성될 수 있다. 이러한 유기 절연 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, 포스포실리케이트 유리(PSG), 보로포스포실리케이트 유리(BPSG) 등의 단층 또는 적층을 사용할 수 있다.

[0242] 포토 다이오드(602)에 입사하는 광을 검출함으로써, 피검출물에 대한 정보를 판독할 수 있다. 또한, 피검출물의 정보를 판독하기 위해서는, 백라이트 등의 광원을 사용할 수 있다.

[0243] 상기 실시 형태에서 나타낸 소정의 트랜지스터의 전기 특성에서의 변동이 억제되고, 따라서 트랜지스터는 전기적으로 안정된다. 따라서, 안정된 전기 특성을 갖는 트랜지스터(640)를 포함하는 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 신뢰성이 높은 반도체 장치는 고수율로 제작될 수 있어, 높은 생산성을 달성할 수 있다.

[0244] 본 실시 형태는, 다른 실시 형태에 기재한 소정의 구조와 적절히 조합해서 구현될 수 있다.

[0245] (실시 형태 5)

[0246] 본 명세서에 개시하는 반도체 장치는, 다양한 전자 기기(게임 기기도 포함)에 적용할 수 있다. 전자 기기의 예로서는, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라와 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말기, 음향 재생 장치, 게임 기기(예를 들면, 파칭코기 또는 슬롯 머신), 게임 콘솔 등을 들 수 있다. 이러한 전자 기기의 구체예는 도 9의 (a) 내지 (c) 및 도 10의 (a) 내지 (c)에 도시한다.

[0247] 도 9의 (a)는, 표시부를 갖는 테이블(9000)을 나타내고 있다. 테이블(9000)에 있어서, 하우징(9001)에는 표시부(9003)가 내장되어 있고, 표시부(9003)에는 영상을 표시할 수 있다. 하우징(9001)은 4개의 다리부(9002)에 의해 지지된다. 또한, 전력 공급을 위한 전원 코드(9005)는 하우징(9001)에 제공된다.

[0248] 실시 형태 1 내지 4 중 어느 하나에 나타내는 반도체 장치는, 표시부(9003)에 사용될 수 있어, 전자 기기가 높은 신뢰성을 가질 수 있다.

[0249] 표시부(9003)는, 터치 입력 기능을 갖고 있다. 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 사용자가 터치하면, 사용자가 화면 조작 및 정보 입력을 실행할 수 있다. 또한, 테이블은, 가전 제품과 통신하거나 가전 제품을 제어할 수 있어, 테이블(9000)이 화면 조작에 의해 가전 제품을 제어하는 제어 장치로서 기능할 수 있다. 예를 들어, 실시 형태 3에 나타낸 이미지 센서를 갖는 반도체 장치를 사용하면, 표시부(9003)는 터치 패널로서 기능할 수 있다.

[0250] 또한, 하우징(9001)에 제공된 힌지에 의해, 표시부(9003)의 화면을 바닥에 대하여 수직으로 세울 수도 있으므로, 테이블(9000)은 텔레비전 장치로서 이용할 수도 있다. 큰 화면을 갖는 텔레비전 장치를 좁은 방에 설치하면, 자유 공간이 좁아져 버리지만, 테이블에 표시부가 내장되어 있어, 방의 공간을 효율적으로 이용할 수 있다.

[0251] 도 9의 (b)는, 텔레비전 장치(9100)를 나타내고 있다. 텔레비전 장치(9100)에 있어서, 하우징(9101)에는 표시부(9103)가 내장되어 있고, 표시부(9103)에는 영상을 표시할 수 있다. 여기에서는, 하우징(9101)은 스탠드(9105)에 의해 지지된다.

[0252] 텔레비전 장치(9100)는, 하우징(9101)의 조작 스위치 또는 별도의 리모콘 조작기(9110)에 의해 조작될 수 있다. 리모콘 조작기(9110)의 조작 키(9109)에 의해, 채널 및 음량을 제어할 수 있어, 표시부(9103)에 표시되는 영상을 제어할 수 있다. 또한, 리모콘 조작기(9110)에는, 해당 리모콘 조작기(9110)로부터 출력된 정보를 표시하는 표시부(9107)를 제공할 수 있다.

[0253] 도 9의 (b)에 나타내는 텔레비전 장치(9100)에는, 수신기, 모뎀 등이 제공된다. 수신기를 사용하면, 텔레비전 장치(9100)는 일반의 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 장치(9100)는 모뎀을 통해서 유선 또는

무선에 의한 통신 네트워크에 접속될 수 있어, 단방향(송신자로부터 수신자로) 또는 쌍방향(송신자와 수신자 간, 또는 수신자 간)의 정보 통신을 행할 수 있다.

- [0254] 실시 형태 1 내지 4 중 어느 하나에 나타내는 반도체 장치는, 표시부(9103 및 9107)에 사용될 수 있어, 텔레비전 장치 및 리모콘 조작기는 높은 신뢰성을 가질 수 있다.
- [0255] 도 9의 (c)는 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함하는 컴퓨터를 나타낸다. 컴퓨터는, 표시부(9203)를 위해 본 발명의 한 실시 형태에 따라 제작된 반도체 장치를 포함한다. 상술한 소정의 실시 형태에 나타난 반도체 장치를 사용할 수 있어, 컴퓨터는 높은 신뢰성을 가질 수 있다.
- [0256] 도 10의 (a) 및 도 10의 (b)는 2단으로 접을 수 있는 태블릿형 단말기를 나타낸다. 도 10의 (a)에서, 태블릿형 단말기는 개방(펼쳐진) 상태이며, 하우징(9630), 표시부(9631a)와 표시부(9631b)를 포함하는 표시부(9631), 표시 모드 전환 스위치(9626), 전원 스위치(9627), 전력 절전 모드 전환 스위치(9625), 고정구(9629), 및 조작 스위치(9628)를 포함한다.
- [0257] 실시 형태 1 내지 4 중 어느 하나에 나타내는 반도체 장치는, 표시부(9631a) 및 표시부(9631b)에 사용할 수 있어, 태블릿형 단말기는 높은 신뢰성을 가질 수 있다.
- [0258] 표시부(9631a)의 일부는, 터치 패널 영역(9632a)일 수 있고, 표시된 조작 키(9638)를 터치함으로써 정보를 입력할 수 있다. 도 10의 (a)는, 일례로서, 표시부(9631a)의 절반의 영역이 표시 기능만을 갖고, 다른 절반의 영역이 터치 패널 기능을 갖는 것을 나타내고 있다. 그러나, 표시부(9631a)의 구조는 이에 한정되지 않고, 표시부(9631a)의 모든 영역이 터치 패널 기능을 가질 수 있다. 예를 들어, 표시부(9631a)의 전체면은, 키보드 버튼을 표시할 수 있고, 터치 패널로서의 역할을 할 수 있으며, 표시부(9631b)를 표시 화면으로서 사용할 수 있다.
- [0259] 표시부(9631a)와 마찬가지로, 표시부(9631b)의 일부는 터치 패널 영역(9632b)일 수 있다. 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치를 손가락, 스타일러스 등으로 터치함으로써, 표시부(9631b)에 키보드 버튼을 표시할 수 있다.
- [0260] 터치 패널 영역(9632a 및 9632b)에 대해서는 동시에 터치 입력을 행할 수 있다.
- [0261] 표시 모드 전환 스위치(9626)는, 가로 모드와 세로 모드 간의 전환, 컬러 표시와 흑백 표시 간의 전환 등을 허용한다. 전력 절전 모드 전환 스위치(9625)는, 태블릿형 단말기에 내장하고 있는 광 센서에 의해 검출되는 태블릿형 단말기의 사용시의 외광 광량에 따라서, 표시의 휘도를 최적으로 제어할 수 있다. 태블릿형 단말기는 광 센서뿐만 아니라, 배향을 검출하는 센서(예를 들어, 자이로스코프 또는 가속도 센서) 등의 다른 검출 장치를 포함할 수 있다.
- [0262] 또한, 도 10의 (a)는 표시부(9631b)의 표시 면적이 표시부(9631a)와 동일한 예를 나타내고 있지만, 본 발명의 실시 형태는 이에 한정되지 않는다. 이들은 사이즈 및/또는 화질에 있어서 상이할 수 있다. 예를 들어, 이들 중 한쪽은 다른 쪽보다도 고정밀 영상을 표시할 수 있는 표시 패널일 수 있다.
- [0263] 도 10의 (b)는, 닫힌 상태의 태블릿형 단말기를 나타낸다. 태블릿형 단말기는, 하우징(9630), 태양 전지(9633), 충방전 제어 회로(9634), 배터리(9635) 및 DCDC 컨버터(9636)를 포함한다. 도 10의 (b)에서는, 일례로서, 충방전 제어 회로(9634)는, 배터리(9635) 및 DCDC 컨버터(9636)를 포함한다.
- [0264] 태블릿형 단말기는 2단으로 접힐 수 있기 때문에, 태블릿형 단말기가 미사용시에 하우징(9630)은 닫힌 상태일 수 있다. 따라서, 표시부(9631a 및 9631b)는 보호될 수 있어, 내구성이 우수하고 장기간 사용에도 신뢰성이 우수한 태블릿형 단말기를 제공할 수 있다.
- [0265] 도 10의 (a) 및 (b)에 나타난 태블릿형 단말기는, 여러 가지 정보(예를 들면, 정지 화상, 동화상 및 텍스트 화상)를 표시하는 기능, 캘린더, 일자, 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력에 의해 조작 또는 편집하는 터치 입력 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수도 있다.
- [0266] 태블릿형 단말기의 표면에 장착된 태양 전지(9633)는, 전력을 터치 패널, 표시부, 영상 신호 처리부 등에 공급한다. 태양 전지(9633)의 제공은, 배터리(9635)가 하우징(9630)의 한면 또는 양면에 제공될 수 있어, 배터리(9635)가 효율적으로 충전될 수 있다는 점에서 바람직하다. 배터리(9635)로서는, 리튬 이온 전지를 사용할 수 있고, 이 경우, 소형화 등의 이점이 있다.

- [0267] 도 10의 (b)에 나타내는 충방전 제어 회로(9634)의 구조 및 동작에 대해서는 도 10의 (c)의 블록도를 참조하여 설명한다. 도 10의 (c)는, 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치 SW1 내지 SW3, 및 표시부(9631)를 나타내고 있다. 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 및 스위치 SW1 내지 SW3은, 도 10의 (b)에 나타내는 충방전 제어 회로(9634)에 대응한다.
- [0268] 먼저, 외광을 사용하는 태양 전지(9633)에 의해 전력이 발생하는 경우의 동작 예에 대해서 설명한다. 태양 전지(9633)에 의해 발생한 전력의 전압은, 배터리(9635)를 충전하기 위한 전압이 되도록, DCDC 컨버터(9636)에 의해 승압 또는 강압이 이루어진다. 표시부(9631)가 태양 전지(9633)로부터의 전력으로 동작하면, 스위치 SW1은 온으로 되고, 전력의 전압은 컨버터(9637)에 의해 표시부(9631)의 동작에 필요한 전압으로 승압 또는 강압된다. 한편, 표시부(9631)에서의 표시가 행해지지 않으면, SW1은 오프로 되고, SW2는 온으로 되어, 배터리(9635)가 충전된다.
- [0269] 여기서, 태양 전지(9633)는, 발전 수단의 일례로서 나타냈지만, 배터리(9635)의 충전 방식에 대해서는 특별한 제한은 없으며, 배터리(9635)는 압전 소자 또는 열전 변환 소자(펠티에 소자) 등의 다른 발전 수단으로 충전될 수 있다. 예를 들어, 배터리(9635)는 무선(비접촉)에 의해 전력을 송수신해서 충전할 수 있는 무 접점 전력 전송 모듈을 이용하여 충전될 수 있고, 또는 다른 충전 수단을 조합해서 사용할 수 있다.
- [0270] 본 실시 형태는, 다른 실시 형태에 기재한 구조와 적절히 조합해서 구현할 수 있다.

부호의 설명

- [0271] 101 : 기판
 102 : 절연층
 103 : 게이트 전극
 104 : 게이트 절연층
 105 : 산화물 반도체층
 107 : 절연층
 108 : 절연층
 109 : 절연층
 110 : 평탄화 절연층
 111 : 절연층
 115 : 산화물 반도체층
 117 : 도전층
 119 : 금속층
 121 : 산소
 122 : 산소
 150 : 트랜지스터
 160 : 트랜지스터
 170 : 트랜지스터
 201 : 부분
 202 : 부분
 601 : 기판
 602 : 포토 다이오드
 608 : 접촉층

613 : 기관
 622 : 광
 633 : 절연층
 634 : 절연층
 640 : 트랜지스터
 642 : 전극층
 643 : 도전층
 645 : 도전층
 656 : 트랜지스터
 658 : 포토 다이오드 리셋 신호선
 659 : 게이트 신호선
 671 : 포토 센서 출력 신호선
 672 : 포토 센서 기준 신호선
 4001 : 기관
 4002 : 화소부
 4003 : 신호선 구동 회로
 4004 : 주사선 구동 회로
 4005 : 시일재
 4006 : 기관
 4008 : 액정층
 4010 : 트랜지스터
 4011 : 트랜지스터
 4013 : 액정 소자
 4015 : 접속 단자 전극
 4016 : 단자 전극
 4017 : 도전층
 4018 : FPC
 4019 : 이방성 도전층
 4020 : 절연층
 4021 : 평탄화층
 4023 : 절연층
 4024 : 절연층
 4030 : 전극층
 4031 : 전극층
 4032 : 절연층
 4033 : 절연층

4035 : 스페이서
 4510 : 뱅크
 4511 : 전계 발광층
 4513 : 발광 소자
 4514 : 충전재
 9000 : 테이블
 9001 : 하우징
 9002 : 다리부
 9003 : 표시부
 9004 : 표시 버튼
 9005 : 전원 코드
 9100 : 텔레비전 장치
 9101 : 하우징
 9103 : 표시부
 9105 : 스탠드
 9107 : 표시부
 9109 : 조작 키
 9110 : 리모콘 조작기
 9201 : 본체
 9202 : 하우징
 9203 : 표시부
 9204 : 키보드
 9205 : 외부 접속 포트
 9206 : 포인팅 장치
 9625 : 스위치
 9626 : 스위치
 9627 : 전원 스위치
 9628 : 조작 스위치
 9629 : 고정구
 9630 : 하우징
 9631 : 표시부
 9633 : 태양 전지
 9634 : 충방전 제어 회로
 9635 : 배터리
 9636 : DCDC 컨버터
 9637 : 컨버터

9638 : 조작 키

9639 : 버튼

104a : 게이트 절연층

104b : 게이트 절연층

106a : 소스 전극

106b : 드레인 전극

4018a : FPC

4018b : FPC

606a : 반도체층

606b : 반도체층

606c : 반도체층

641a : 전극

641b : 전극

9631a : 표시부

9631b : 표시부

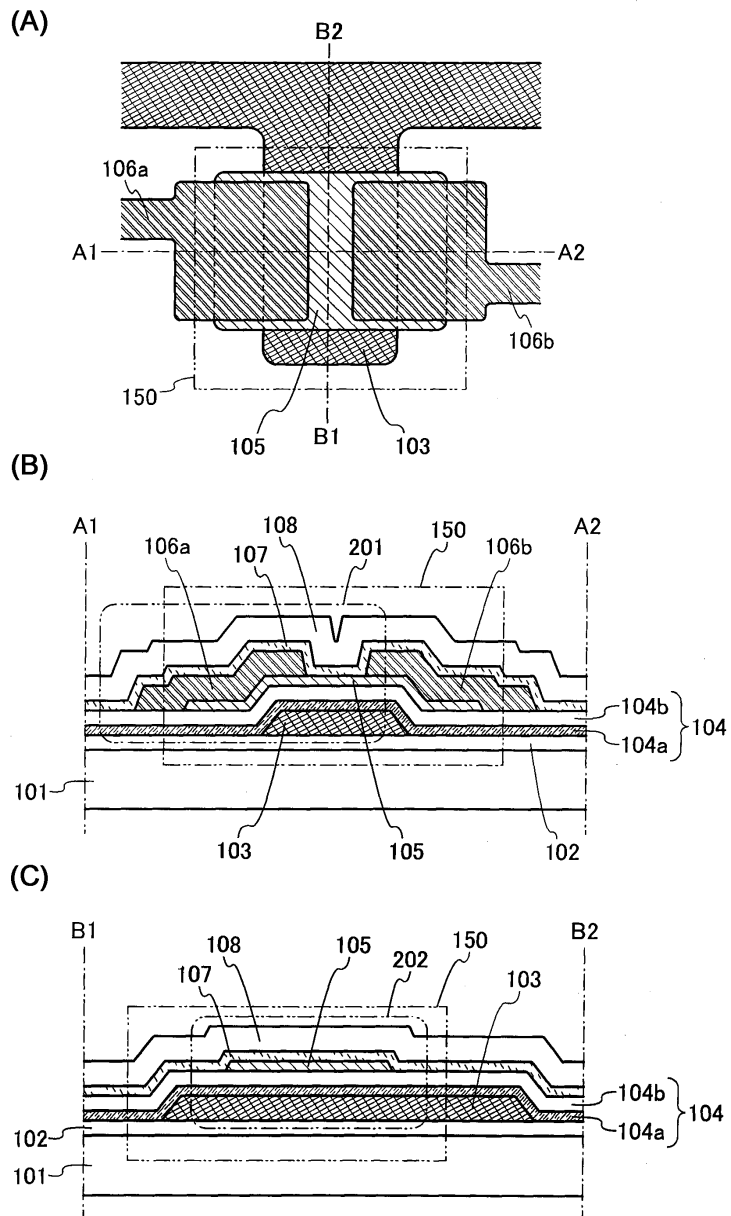
9632a : 영역

9632b : 영역

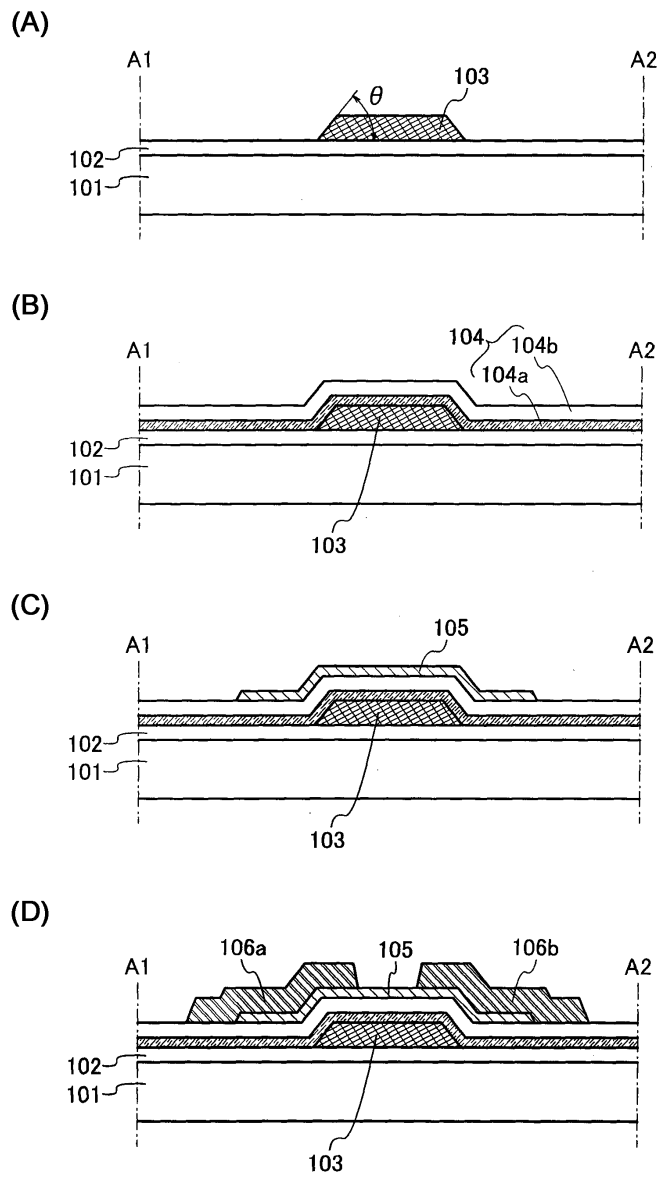
본 출원은, 2012년 1월 25일에 일본 특허청에 출원된 일본 특허 출원 제2012-013451호에 기초하며, 그 전체 내용은 본 명세서에 참고로 인용된다.

도면

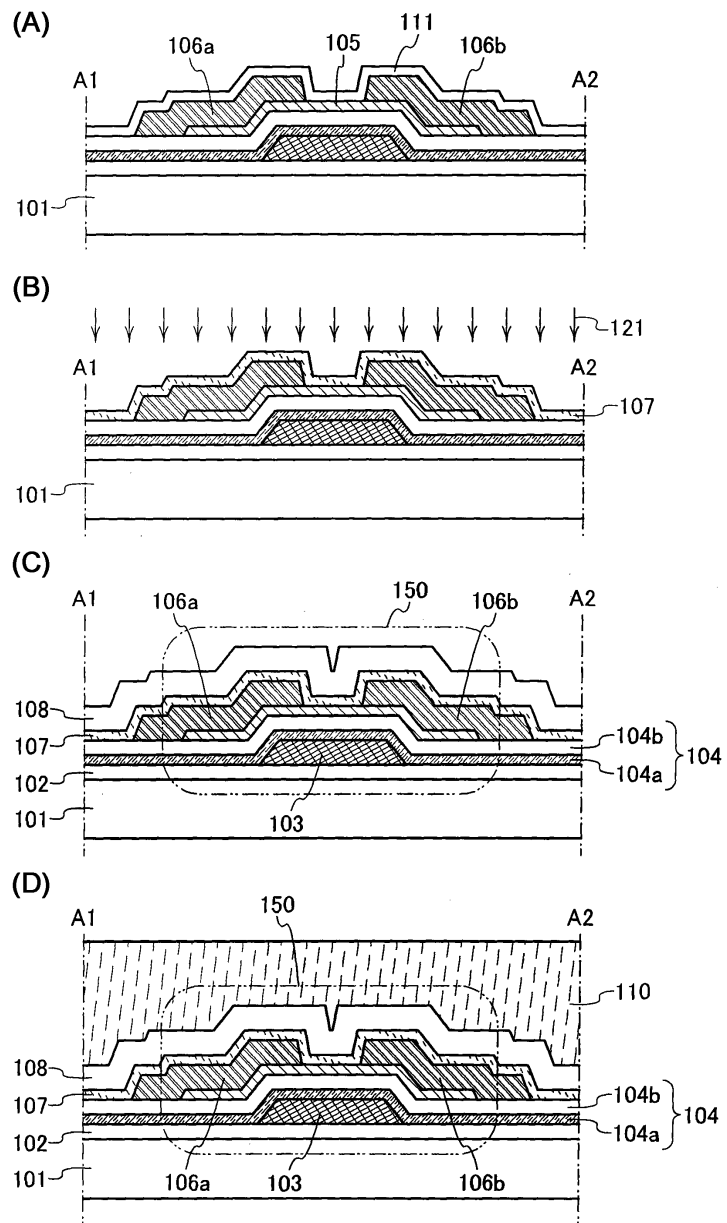
도면1



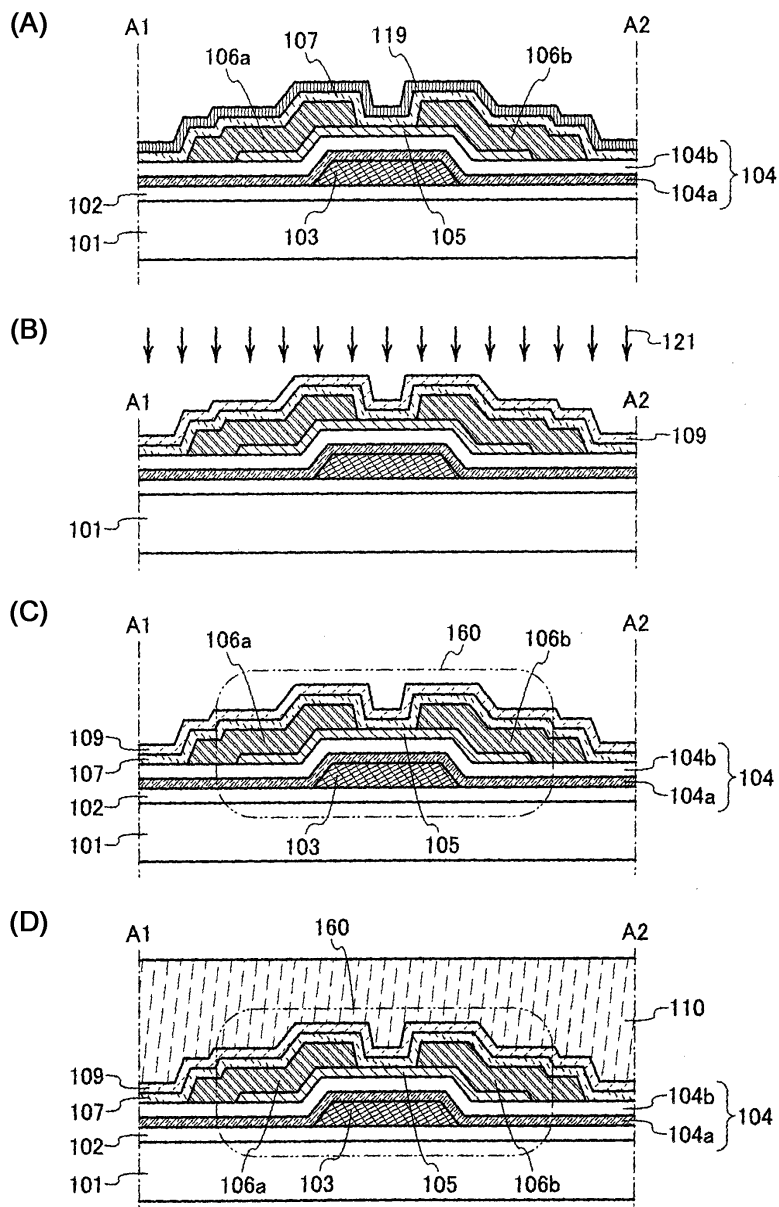
도면2



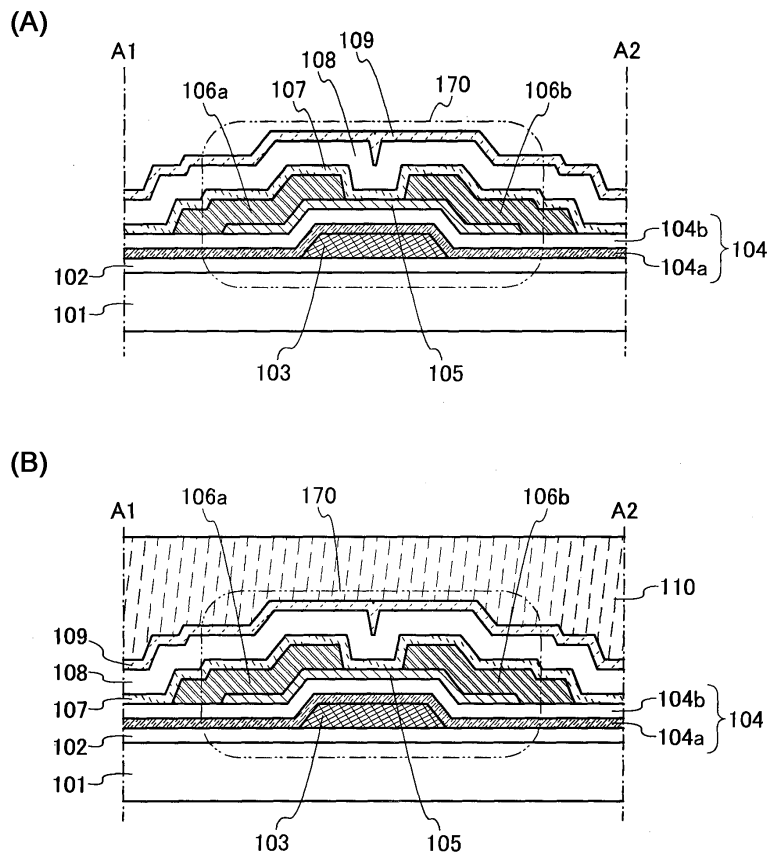
도면3



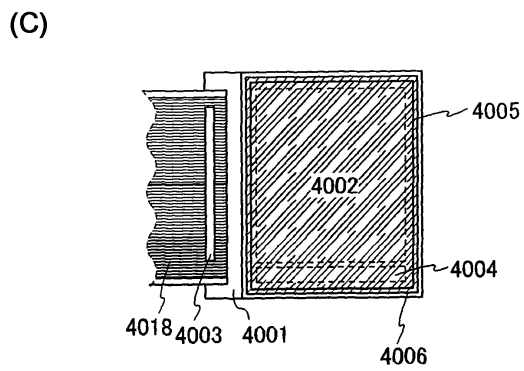
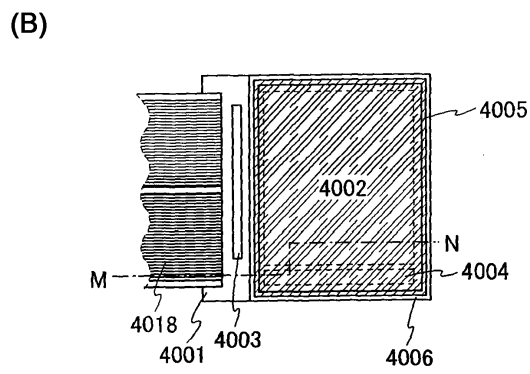
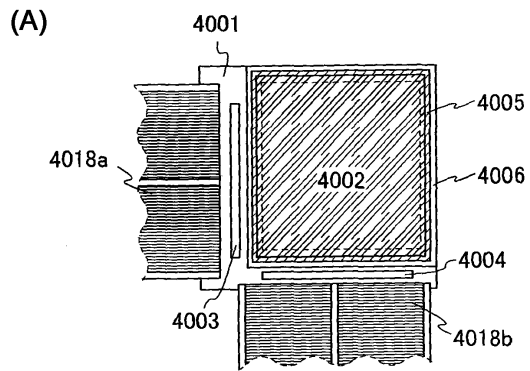
도면4



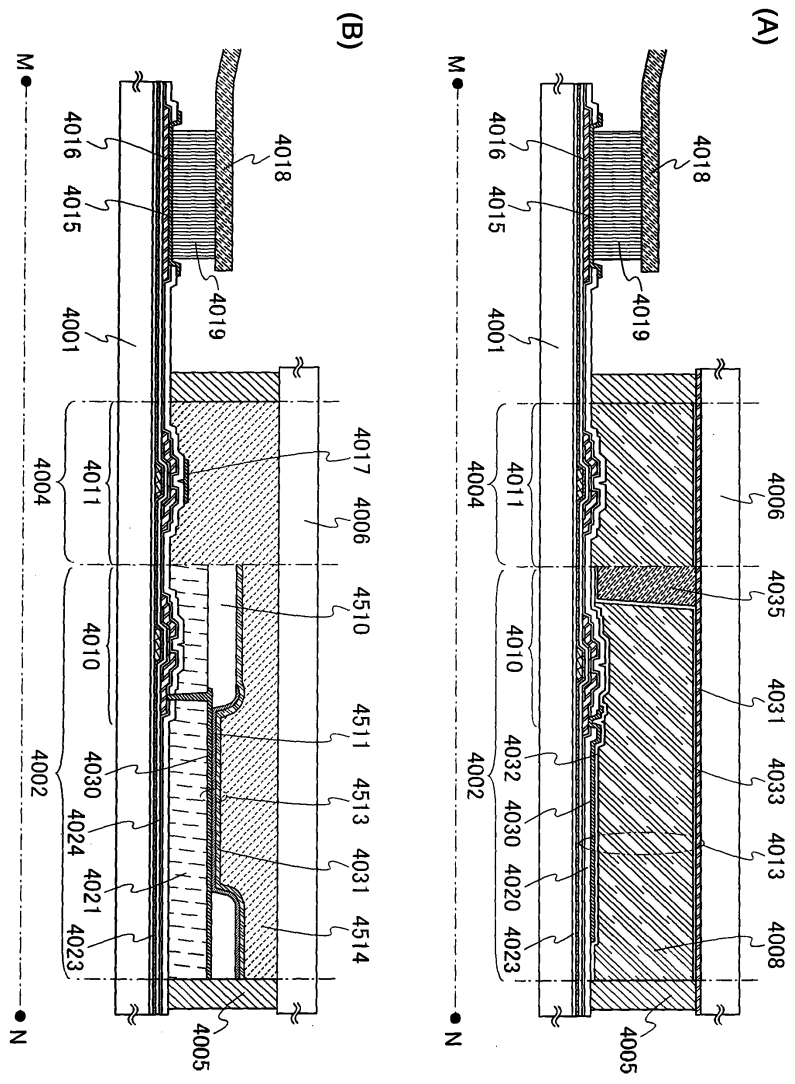
도면5

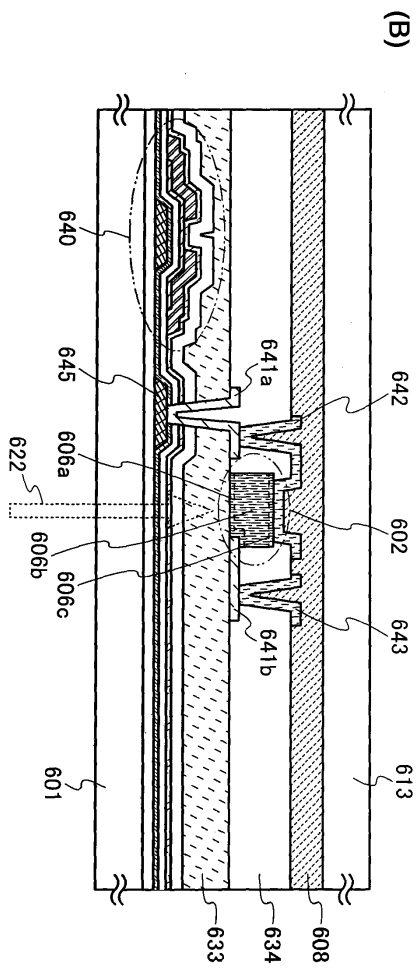
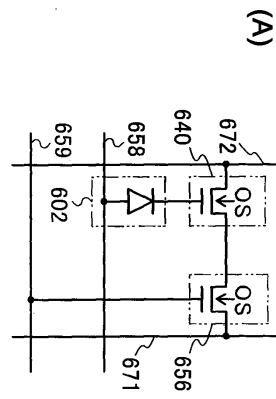


도면6

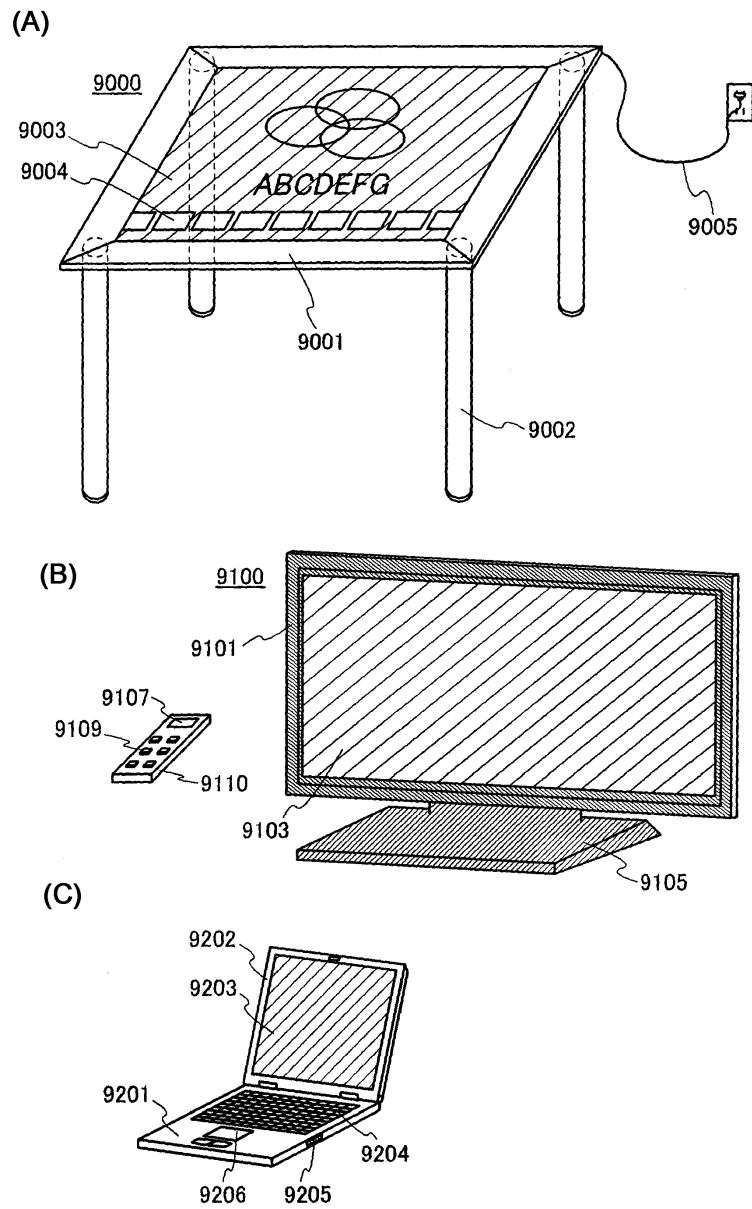


도면7

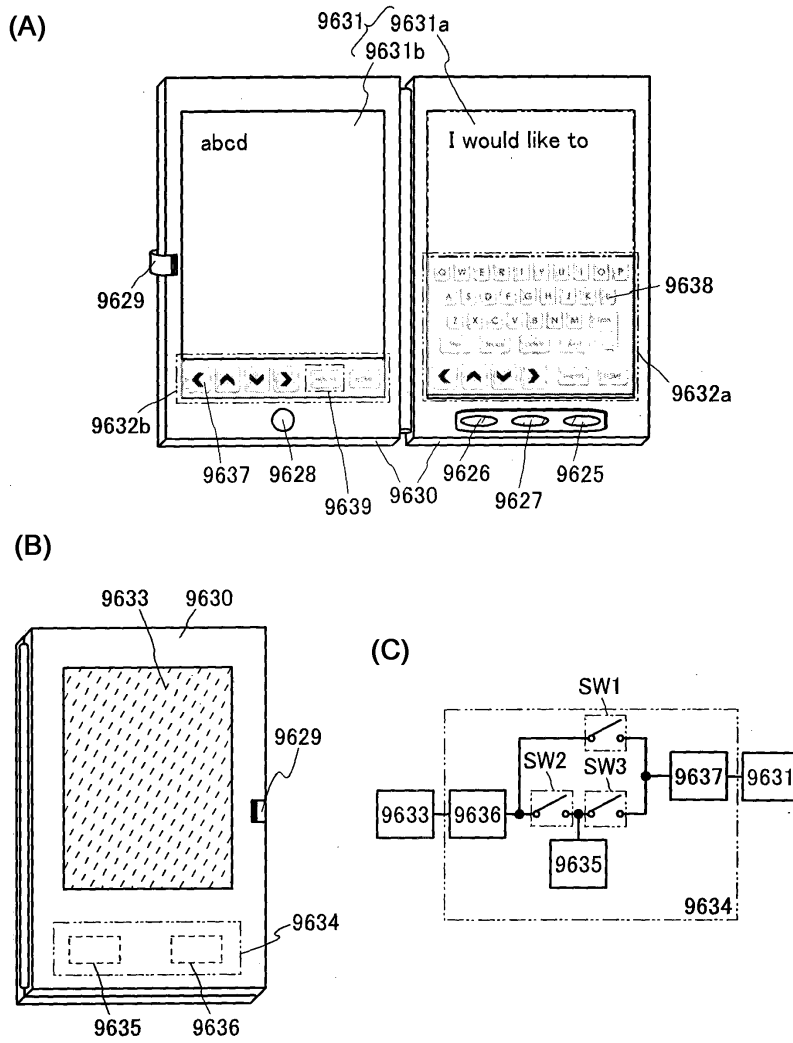




도면9

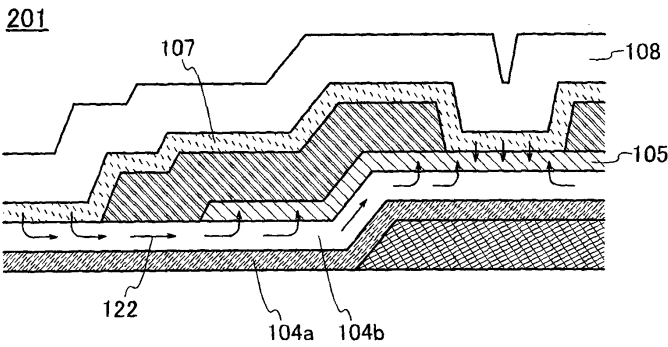


도면10



도면11

(A)



(B)

