



(21) 申请号 201810194182.9

(22) 申请日 2014.01.24

(65) 同一申请的已公布的文献号
申请公布号 CN 108461395 A

(43) 申请公布日 2018.08.28

(30) 优先权数据
2013-011820 2013.01.25 JP

(62) 分案原申请数据
201410035893.3 2014.01.24

(73) 专利权人 瑞萨电子株式会社
地址 日本东京

(72) 发明人 佃荣次 片山弘造 园田贤一郎
国清辰也

(74) 专利代理机构 北京市金杜律师事务所
11256

专利代理师 王茂华

(51) Int.Cl.

H01L 21/283 (2006.01)

H01L 27/115 (2017.01)

H01L 27/11563 (2017.01)

H01L 27/11568 (2017.01)

H01L 27/11573 (2017.01)

H01L 29/423 (2006.01)

H01L 21/336 (2006.01)

H01L 29/792 (2006.01)

审查员 李凌枫

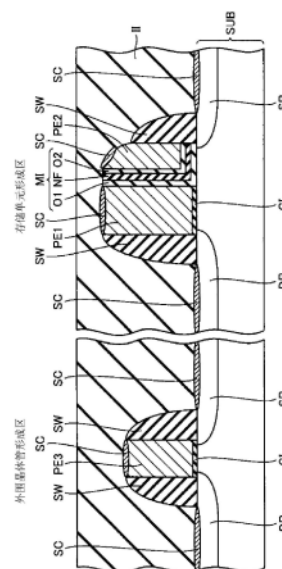
权利要求书2页 说明书15页 附图27页

(54) 发明名称

制造半导体器件的方法

(57) 摘要

本发明涉及一种制造半导体器件的方法,包括:(a)在第一区域中经第一绝缘膜在半导体衬底上方形成第一伪栅电极,经第二绝缘膜在半导体衬底上方形成第二伪栅电极,在第二区域中经第三绝缘膜在半导体衬底上方形成第三伪栅电极,第二伪栅电极经第四绝缘膜与第一伪栅电极相邻,第二伪栅电极的高度大于第三伪栅电极的高度;(b)形成层间绝缘层以便与第一至第三伪栅电极的上表面重叠;(c)抛光层间绝缘层、第一至第三伪栅电极的各部分使其上表面从层间绝缘层暴露;(d)去除第一至第三伪栅电极;以及(e)在第一至第三开口部中填充含金属的膜,第一至第三开口部是在步骤(d)中已经去除第一至第三伪栅电极的区域。



1. 一种制造半导体器件的方法,所述半导体器件包括形成在半导体衬底的第一区域中的非易失性存储器的存储单元和形成在所述半导体衬底的第二区域中的MOS型晶体管,所述方法包括:

(a) 在所述第一区域中,经由第一绝缘膜在所述半导体衬底上方形成第一伪栅电极并且经由第二绝缘膜在所述半导体衬底上方形成第二伪栅电极,在所述第二区域中,经由第三绝缘膜在所述半导体衬底上方形成第三伪栅电极,所述第二伪栅电极被设置为经由第四绝缘膜与所述第一伪栅电极相邻,所述第二伪栅电极的从所述半导体衬底的表面到所述第二伪栅电极的上表面的高度大于所述第三伪栅电极的从所述半导体衬底的所述表面到所述第三伪栅电极的上表面的高度;

(b) 形成层间绝缘层以便与所述第一伪栅电极的上表面、所述第二伪栅电极的所述上表面和所述第三伪栅电极的所述上表面重叠;

(c) 抛光所述层间绝缘层、所述第一伪栅电极、所述第二伪栅电极和所述第三伪栅电极的各部分,使得所述第一伪栅电极、所述第二伪栅电极和所述第三伪栅电极的所述上表面从所述层间绝缘层暴露;

(d) 在步骤(c)之后,去除所述第一伪栅电极、所述第二伪栅电极和所述第三伪栅电极;以及

(e) 在步骤(d)之后,在第一开口部、第二开口部和第三开口部中填充含金属的膜,所述第一开口部是在步骤(d)中已经去除所述第一伪栅电极的区域,所述第二开口部是在步骤(d)中已经去除所述第二伪栅电极的区域,所述第三开口部是在步骤(d)中已经去除所述第三伪栅电极的区域。

2. 根据权利要求1所述的制造半导体器件的方法,还包括:

(f) 通过抛光所述含金属的膜并且将所述含金属的膜分离成所述第一伪栅电极、所述第二伪栅电极和所述第三伪栅电极的各部分,来形成所述存储单元的所述第一伪栅电极、所述存储单元的所述第二伪栅电极和所述MOS型晶体管的所述第三伪栅电极。

3. 根据权利要求2所述的制造半导体器件的方法,其中,

在步骤(f)中,所述含金属的膜被抛光使得在所述第一区域和所述第二区域中暴露所述层间绝缘层。

4. 根据权利要求1所述的制造半导体器件的方法,还包括:

(g) 在所述第一开口部、所述第二开口部和所述第三开口部中嵌入含金属的绝缘膜,步骤(g)在步骤(d)之后,但在步骤(e)之前。

5. 根据权利要求4所述的制造半导体器件的方法,其中,

所述含金属的绝缘膜具有高于氧化硅膜的介电常数。

6. 根据权利要求1所述的制造半导体器件的方法,其中,

在步骤(a)中,所述第二伪栅电极被形成使得所述第二伪栅电极的所述上表面的高度在离开所述第一伪栅电极的方向上逐渐降低。

7. 根据权利要求1所述的制造半导体器件的方法,其中,

所述第二伪栅电极的所述上表面的高度是从所述半导体衬底的所述表面到所述第二伪栅电极的所述上表面的下述位置的高度,所述第二伪栅电极的所述上表面的所述位置在所述第一伪栅电极和所述第二伪栅电极被设置为彼此相邻的方向上最接近所述第一伪栅

电极。

8. 根据权利要求1所述的制造半导体器件的方法, 其中步骤(a)还包括:

(a1) 在所述第一区域中形成第五绝缘膜以便与所述第一伪栅电极重叠, 所述第五绝缘膜用于形成所述第二绝缘膜和所述第四绝缘膜;

(a2) 在所述第五绝缘膜上方形成第一硅膜; 以及

(a3) 通过各向异性蚀刻回蚀所述第一硅膜, 来形成所述第二伪栅电极。

9. 根据权利要求8所述的制造半导体器件的方法, 其中,

所述第二伪栅电极的所述上表面的高度是从所述半导体衬底的所述表面到所述第二伪栅电极的所述上表面的下述位置的高度, 在所述位置处, 所述第二伪栅电极的所述上表面与所述第五绝缘膜接触。

10. 根据权利要求1所述的制造半导体器件的方法, 其中,

所述第二绝缘膜包括电荷积累部。

11. 根据权利要求1所述的制造半导体器件的方法, 其中,

所述第二绝缘膜包括氮化硅膜。

12. 根据权利要求1所述的制造半导体器件的方法, 其中,

所述第二绝缘膜具有第一氧化硅膜、氮化硅膜、二氧化硅膜依次堆叠的构造。

13. 根据权利要求1所述的制造半导体器件的方法, 其中,

所述第一伪栅电极、所述第二伪栅电极和所述第三伪栅电极分别包括硅膜。

制造半导体器件的方法

[0001] 本申请是2014年1月24日提交的申请号为201410035893.3、发明名称为“半导体器件的制造方法”之申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 将在2013年1月25日提交的日本专利申请No.2013-011820的公开,包括说明书、附图和摘要以其整体通过引用在此并入。

技术领域

[0004] 本发明涉及一种半导体器件的制造方法,特别是涉及一种具有多个栅极的存储单元的半导体器件的制造方法。

背景技术

[0005] 关于内置了闪速存储器及CPU(中央处理器,Central Processing Unit)的半导体器件,微型计算机(Microcomputer)常被提起。例如,闪速存储器优选使用即使在关闭电源后仍可保存所记录的信息的元件即非易失性存储器。将非易失性存储器和逻辑用半导体器件混搭在同一半导体衬底上,便可形成高性能的微型计算机。而配置了非易失性存储器和逻辑用半导体器件的微型计算机正被广泛应用于工业设备、家电产品及汽车的车载设备等。

[0006] 一般来说,微型计算机中的非易失性存储器内保存了该微型计算机所必须的程序以供微型计算机随时读出。因此,优选使用混搭了非易失性存储器和逻辑用半导体器件的微型计算机。适合于与所述逻辑用半导体器件混搭的非易失性存储器的存储单元结构的有控制用MIS(Metal Insulator Semiconductor,金属绝缘半导体)晶体管和存储用MIS晶体管一体形成的分裂栅结构的存储单元。

[0007] 分裂栅结构的存储单元中,在日本特开2011-29631号公报(专利文献1)中公开了一种在存储用MIS晶体管中使用了MONOS(Metal Oxide Nitride Oxide Silicon,金属氧氮氧化硅)的MONOS型存储单元。

[0008] 另一方面,近年来随着MIS晶体管的栅极绝缘膜薄膜化已被实现,如在日本特开2011-49282号公报(专利文献2)中公开了使用高介电常数绝缘膜(即所谓的High-K膜)作为栅极绝缘膜、将栅极电极作为金属膜结构的技术。

[0009] 另外,在日本特开2010-282987号公报(专利文献3)中,公开了一种在MONOS型存储单元中在控制用MIS晶体管的侧壁部上形成存储用MIS晶体管的结构。

发明内容

[0010] MONOS型存储单元的外围形成有与存储单元的控制晶体管或存储单元连接的微控制器等外围电路用的MIS晶体管。为了提高外围电路的性能而将高介电常数绝缘膜用做栅极绝缘膜并将金属膜用做栅极电极时,就必须如专利文献2所示的通过后栅极工艺进行。

[0011] 在后栅极工艺中,先暂时通过多晶硅来形成伪栅极电极,并在形成与栅极电极连

接的侧壁结构后除去伪栅极电极。接着再将高介电常数绝缘膜和金属膜填埋入被除去的部分中以形成栅极结构。

[0012] 另一方面,在专利文献3所示的MONOS型存储单元的存储用MIS晶体管形成于控制用MIS晶体管的侧壁上,是通过不使用伪栅极电极的先栅极工艺来形成的。

[0013] 因此,如果想同时形成专利文献3所示的MONOS型存储单元、和具有高介电常数绝缘膜的栅极绝缘膜以及金属栅极电极的外围电路用MIS晶体管时,由于是通过先栅极工艺和后栅极工艺进行的,因此将会增加工序数,从而导致可靠性降低。

[0014] 本发明的所述内容及所述内容以外的目的和新特征将在本说明书的描述及附图说明中写明。

[0015] 根据本专利说明书之一实施方式,在使存储单元形成区的第一及第二堆叠结构成为比外围晶体管形成区的第三堆叠结构的高度高之后,再形成覆盖这些堆叠结构的层间绝缘膜,并对其进行抛光。

[0016] 根据本专利说明书之一实施方式,可制造出可靠性高的半导体器件。

附图说明

[0017] 图1所示的是一实施方式中构成半导体器件的存储单元的剖面概略图。

[0018] 图2所示的是图1的存储单元及作为其外围电路的外围晶体管的剖面概略图。

[0019] 图3所示的是图1的存储单元的控制栅膜及存储器栅膜的其他形状的剖面概略图。

[0020] 图4所示的是一实施方式中半导体器件制造方法的流程图。

[0021] 图5所示的是一实施方式中半导体器件制造方法的第一工序的剖面概略图。

[0022] 图6所示的是一实施方式中半导体器件制造方法的第二工序的剖面概略图。

[0023] 图7所示的是一实施方式中半导体器件制造方法的第三工序的剖面概略图。

[0024] 图8所示的是一实施方式中半导体器件制造方法的第四工序的剖面概略图。

[0025] 图9所示的是一实施方式中半导体器件制造方法的第五工序的剖面概略图。

[0026] 图10所示的是一实施方式中半导体器件制造方法的第六工序的剖面概略图。

[0027] 图11所示的是一实施方式中半导体器件制造方法的第七工序的剖面概略图。

[0028] 图12所示的是一实施方式中半导体器件制造方法的第八工序的剖面概略图。

[0029] 图13所示的是构成比较例的半导体器件的存储单元的剖面概略图。

[0030] 图14所示的是比较例的半导体器件制造方法的流程图。

[0031] 图15所示的是比较例的半导体器件制造方法的第一工序的剖面概略图。

[0032] 图16所示的是比较例的半导体器件制造方法的第二工序的剖面概略图。

[0033] 图17所示的是比较例的半导体器件制造方法的第三工序的剖面概略图。

[0034] 图18所示的是比较例的半导体器件制造方法的第四工序的剖面概略图。

[0035] 图19所示的是比较例的半导体器件制造方法的第五工序的剖面概略图。

[0036] 图20所示的是其他比较例中,形成比图18中的存储单元更薄的状态的剖面概略图。

[0037] 图21所示的是将图20的外围晶体管的上表面进行抛光后的状态的剖面概略图。

[0038] 图22所示的是将第二实施方式中的存储单元及作为外围电路的外围晶体管的剖面概略图。

[0039] 图23所示的是将第三实施方式中的存储单元结构的部分进行扩大后的剖面概略图。

[0040] 图24所示的是将第四实施方式中的半导体晶片的概略平面图。

[0041] 图25所示的是将图24中的虚线所围的区域XXIV的结构进行扩大后的概略平面图。

[0042] 图26所示的是第四实施方式中的存储单元及作为其外围电路的外围晶体管和切割区的剖面概略图。

[0043] 图27所示的是第四实施方式中半导体器件制造方法的一工序的剖面概略图。

具体实施方式

[0044] 下面根据图对实施方式进行说明。

[0045] (第一实施方式)

[0046] 首先,通过图1~图3来说明一实施方式中半导体器件中的存储单元的结构。

[0047] 图1中所示的一实施方式的半导体器件具有作为存储单元的FM0NOS型存储单元FMS(以下简称“存储单元FMS”)。存储单元FMS形成于具有主表面的半导体衬底SUB上。

[0048] 半导体衬底SUB例如由硅的单结晶形成。在半导体衬底SUB的主表面(作为图1中半导体衬底SUB的最上表面且沿着左右方向延伸的面)上,形成有相互隔开的漏极区DR和源极区SR。漏极区DR及源极区SR是通过所谓的n型或p型杂质扩散而形成的,且以夹着后述的控制栅极(第一栅极)及存储器栅极(第二栅极)的方式配置。

[0049] 另外,虽然图中并未示出,但是在漏极区DR及源极区SR的上表面上通常形成有后述的硅化物膜。

[0050] 在半导体衬底SUB的主表面上形成有控制栅极绝缘膜CI(第一绝缘膜),且以与控制栅极绝缘膜CI的上表面接触的方式形成有控制栅膜CG(第一含金属膜)。控制栅膜CG主要进行读取、写入以及擦除动作,本文中控制栅膜CG定义为:除了作为施加电压的含金属膜MT1的金属膜ML及多晶硅膜PLY之外,还具有高介电常数绝缘膜HK及调整膜WAJ。控制栅膜CG具有如下结构:即按顺序堆叠有介电常数比控制栅极绝缘膜CI高的高介电常数绝缘膜HK(介电膜)、调整膜WAJ、金属膜ML、以及多晶硅膜PLY。由此,便形成了由控制栅极绝缘膜CI和控制栅膜CG堆叠而成的控制栅极(第一栅极)。

[0051] 控制栅极绝缘膜CI例如由氧化硅膜等与一般的MOS型晶体管中的栅极绝缘膜同样材质构成。所述栅极绝缘膜CI是为了提高半导体衬底SUB和控制栅膜CG之间的粘着性以及抑制界面状态而形成的。

[0052] 高介电常数绝缘膜HK是有意采用介电常数比控制栅极绝缘膜CI的氧化硅膜高的材质构成的绝缘膜,如由铪类氧化膜构成。通过使一般的栅极绝缘膜CI和高介电常数绝缘膜HK串联形成,将这两者合起来便可提高整体的介电常数,因此也可提高MOS电容部的电容值。

[0053] 调整膜WAJ是指将具有高介电常数绝缘膜HK的控制栅膜CG整体的功函数进行调节(使其降低),结果可对控制栅膜CG的阈电压进行调节(降低)而形成的薄膜,如为镧系元素的氧化膜。

[0054] 高介电常数绝缘膜HK是为了增加上述的MOS容量而使用的,但是在使用高介电常数绝缘膜HK后将有可能出现无法降低控制栅膜CG的功函数从而导致难于控制的情况。而调

整膜WAJ是为了易于控制(降低)此功函数而形成的。

[0055] 含金属膜MT1由金属膜ML和多晶硅膜PLY形成的。金属膜ML是用与其他材质的粘结性良好的氮化钛或氮化钽薄膜形成的。

[0056] 控制栅极绝缘膜CI和控制栅膜CG的侧面的一侧(图1中的右侧的侧面)连接,并以具有延长到半导体衬底SUB的主表面上的延长部的方式形成存储器栅极绝缘膜MI(第二绝缘膜)。

[0057] 以与存储器栅极绝缘膜MI的侧面部和延长部的上表面两边都接触的方式形成存储器栅膜MG(第二含金属膜)。存储器栅膜MG是进行写入/擦除等闪存动作的膜,本文中存储器栅膜MG定义为:除了作为施加电压的含金属膜MT2的金属膜ML及多晶硅膜PLY之外,还具有高介电常数绝缘膜HK及调整膜WAJ。即,存储器栅膜MG以与存储器栅极绝缘膜MI的侧面部和延长部的上表面两部分都连接的方式形成,并具有与控制栅膜CG相同的堆叠结构,即按顺序堆叠有高介电常数绝缘膜HK、调整膜WAJ、金属膜ML、以及多晶硅膜PLY。存储器栅膜MG中的高介电常数绝缘膜HK及调整膜WAJ的功能分别与上述控制栅膜CG中的高介电常数绝缘膜HK及调整膜WAJ相同。如上所述,形成了堆叠有存储器栅极绝缘膜MI和存储器栅膜MG的存储器栅极(第二栅极)。

[0058] 存储器栅极绝缘膜MI与通常的MONOS型存储单元一样,具有由(第一)氧化硅膜O1(SiO_2 等)、氮化硅膜NF(SiN 等)、(第二)氧化硅膜O2(SiO_2 等)等按顺序堆叠而成的结构。其中,特别是通过向氮化硅膜NF注入电子而向存储单元FMS写入数据,再通过向氮化硅膜NF注入空穴从而擦除存储单元FMS的数据。在写入数据时,存储单元FMS的阈值电压上升、在擦除时存储单元FMS的阈值电压将降低。

[0059] 如上所述,存储器栅极绝缘膜MI还包括电荷积蓄膜,所述电荷积蓄膜用于积蓄进行数据写入和擦除时的电荷即电子或空穴,本文中的氮化硅膜NF即是电荷积蓄膜。具有氮化硅膜NF的存储器栅极绝缘膜MI是为了发挥MONOS型存储单元FMS一般功能的必不可少的构成要素。

[0060] 如上所述,存储单元FMS具有控制栅膜CG和存储器栅膜MG这两个栅极电极,由此,便可分别进行写入/擦除的闪存动作。控制栅膜CG和存储器栅膜MG是以在上述的漏极区DR及源极区SR的一部分正上方重叠的方式形成。

[0061] 图1中的存储单元FMS和控制栅膜CG以及存储器栅膜MG具有平坦的表面(上表面),而且,还使控制栅膜CG和存储器栅膜MG为同一高度(厚度)的方式使表面处于“同高(flush)”状态。换言之就是,控制栅极和存储器栅极的高度相同。这是为了对上表面进行CMP(化学机械抛光,Chemical Mechanical Polishing),所以在能确保开口部的情况下,就无需保持“同高(flush)”的状态。另外,本文中所说的“平坦”是指表面上几乎不存在凹凸的状态,且表面与半导体衬底SUB的主表面几乎保持平行状态的意思。

[0062] 同样地,图1中的存储器栅极绝缘膜MI的侧面部的表面与控制栅膜CG和存储器栅膜MG的表面也为同一高度(厚度)(即处于“同高(flush)”状态),存储器栅极绝缘膜MI的延长部的端部(图1的右侧的端部)也与存储器栅膜MG的端部处于“同高(flush)”状态以具有同一平面。

[0063] 另外,图1中虽然简单示出了漏极区DR和源极区SR,但实际上各区DR、SR中除了通常的漏极区DR(源极区SR)之外,还可具有n型或p型杂质浓度比通常漏极区(源极区SR)更低

的、被称为LDD (Light Doped Drain,漏极轻掺杂结构) 的区域,即,还可包括所谓的扩展 (Extension) 或晕圈 (Halo) 的杂质扩散区。

[0064] 另外,存储单元FMS具有覆盖控制栅膜CG及存储器栅膜MG的侧面的侧壁绝缘膜SW。侧壁绝缘膜SW优选由氧化硅膜和氮化硅膜的堆叠结构构成,本文的图中并未示出此堆叠结构。

[0065] 参照图2,半导体衬底SUB的主表面上除了存储单元FMS之外,例如还有MOS型晶体管等的晶体管TR。作为存储单元FMS的外围电路,所述晶体管TR为与存储单元FMS留有间隔而形成的所谓的外围晶体管。

[0066] 晶体管TR中,与通常的MOS型晶体管一样,在半导体衬底SUB内的主表面上相互间留出间隔(以夹着后述的第三栅极的方式)形成有漏极区DR及源极区SR。另外,半导体衬底SUB的主表面上形成有与栅极绝缘膜GI(第三绝缘膜)和栅极绝缘膜GI的上表面接触的栅膜GE(第三含金属膜)。本文中的栅膜GE除了作为施加了电压的含金属膜MT3的金属膜ML及多晶硅膜PLY之外,还具有高介电常数绝缘膜HK及调整膜WAJ。由此形成了堆叠了栅极绝缘膜GI和栅膜GE的栅极(第三栅极)。

[0067] 即,栅膜GE与控制栅膜CG的结构一样,即按顺序堆叠高介电常数绝缘膜HK、调整膜WAJ、金属膜ML、以及多晶硅膜PLY等。栅膜GE中的高介电常数绝缘膜HK及调整膜WAJ的功能分别与上述控制栅膜CG及存储器栅膜MG中的高介电常数绝缘膜HK及调整膜WAJ一样。

[0068] 另外,图2中晶体管TR的栅膜GE具有平坦的表面(上表面),而且栅膜GE与控制栅膜CG及存储器栅膜MG具有同一高度(厚度)(即处于“同高(flush)”状态)。换言之就是,控制栅极和存储器栅极及栅极皆为同一高度。

[0069] 图2中,存储单元FMS和晶体管TR之间共同的构成要素都为同一参照符号,这些都是同样的结构、且在同一层上形成。

[0070] 虽然图1中并未示出,但实际上如图2所示,在形成存储单元FMS和晶体管TR的区域中,以围住各栅极电极的方式形成有层间绝缘层II。所述层间绝缘膜II例如由氧化硅膜形成。

[0071] 而且,图2中的存储单元FMS及晶体管TR双方的漏极区DR及源极区SR的上表面上形成有硅化物膜SC。硅化物膜SC为如下的薄膜,即:因构成漏极区DR等的硅原子与在其上形成的钴或镍元素发生反应而在漏极区DR或源极区SR的最上表面附近形成的薄膜。

[0072] 半导体衬底SUB上形成有多个晶体管TR及存储单元FMS,且相邻的1对晶体管TR(存储单元FMS)之间通常形成有利于进行电分离的隔离绝缘膜,但在此图中并未示出。

[0073] 本实施方式中,如后所述,构成图1及图2中的控制栅膜CG、存储器栅膜MG等的高介电常数绝缘膜HK及金属膜ML等以填埋入被除去了伪栅极电极的开口部中的方式形成。此时,如果是通过溅射法等形成控制栅膜CG及存储器栅膜MG,则按图1及图2所示的方式形成。但如果是使用有机原料气体的MOCVD(Metal Organic Chemical Vapor Deposition,金属有机化学气相沉积)法等CVD法形成控制栅膜CG及存储器栅膜MG时,则如图3所示,以覆盖开口部的底面及侧面的方式,形成为具有杯形的剖面形状。下文将用图1及图2的控制栅膜CG及存储器栅膜MG进行说明,但控制栅膜CG及存储器栅膜MG也可为图3所示的形状。

[0074] 下面参照图4~图12说明上述一实施方式中的半导体器件的制造方法。

[0075] 首先,制备如由硅的单结晶构成的半导体衬底SUB(请参照图1~图3)。参照图4,在

所述半导体衬底SUB的主表面上,如通过通常的LOCOS (LOCal Oxidation of Silicon,硅的局部氧化)法或STI (Shallow Trench Isolation,浅槽隔离)法,相互间留出间隔形成多个元件隔离绝缘膜(相当于图4中的“形成隔离”)。另外,在半导体衬底SUB内的主表面上,在被相互邻接的元件隔离绝缘膜所夹住的区域上,根据需要形成杂质扩散的阱(Well)区(相当于图4中的“形成阱”)。这些内容图中并未示出。

[0076] 接下来再参照图4及图5,在半导体衬底SUB的主表面上形成有存储单元的存储单元形成区中,同时还形成了控制栅极绝缘膜CI(第一绝缘膜)、以及形成有外围晶体管的外围晶体管形成区中的栅极绝缘膜GI(第三绝缘膜)(相当于图4中的“栅极氧化”)。这些膜例如为通过通常的热氧化法形成的氧化硅膜,通常通过光刻及蚀刻法形成所希望得到的图案。

[0077] 接下来参照图4及图5,同时形成与控制栅极绝缘膜CI的上表面连接的第一伪电极PE1、以及与栅极绝缘膜GI的上表面连接的第三伪电极PE3(相当于图4中的“形成伪外围/CG多晶硅栅极”)。这些伪电极PE1、PE3例如由通过CVD(Chemical Vapor Deposition,化学气相沉积)法形成的多晶硅薄膜形成的。如上所述,便形成了控制栅极绝缘膜CI和第一伪电极PE1堆叠而成的第一堆叠结构、栅极绝缘膜GI和第三伪电极PE3堆叠而成的第三堆叠结构。第一伪电极PE1是为了形成存储单元的伪控制栅极,第三伪电极PE3是为了形成外围晶体管的伪栅极。

[0078] 本文中,具有第一伪电极PE1的第一堆叠结构与具有第三伪电极PE3的第三堆叠结构相比,其高度高图5的h。这里所说的“高度”是指相对于半导体衬底SUB的主表面的图的上下方向的距离。

[0079] 具体地说就是,首先通过使第一伪电极PE1和第三伪电极PE3同时成膜,使其形成同样膜厚之后,在形成有覆盖第一伪电极PE1的光致抗蚀剂的状态下,再对第三伪电极PE3的表面进行蚀刻并将之除去。由此,便可使第三伪电极PE3的厚度比第一伪电极PE1厚。

[0080] 除了使第一伪电极PE1和第三伪电极PE3的膜厚不同这点以外,以上各工序在外围晶体管的形成区及存储单元的形成区这两方面是共同的。

[0081] 参照图4及图6,在存储单元的形成区中,在半导体衬底SUB的主表面上形成存储器栅极绝缘膜MI(相当于图4中的“形成ONO”)。存储器栅极绝缘膜MI在与第一堆叠结构的侧面接触的同时,还形成延伸到半导体衬底SUB的主表面上的延长部。具体地说就是,存储器栅极绝缘膜MI是按顺序堆叠有3层膜,即氧化硅膜O1、氮化硅膜NF、氧化硅膜O2。所述绝缘膜O1,NF,O2例如通过通常的CVD法来形成。

[0082] 此时,以覆盖第一堆叠结构的侧面及上表面的方式,在半导体衬底SUB的主表面上按顺序堆叠有氧化硅膜O1、氮化硅膜NF、氧化硅膜O2。

[0083] 接下来,形成包括存储器栅极绝缘膜的延长部的上表面且与存储器栅极绝缘膜MI接触的第二伪电极PE2(相当于图4中的“形成MG”)。第二伪电极PE2为如通过CVD法形成的多晶硅薄膜。具体地说就是,以覆盖图6的第一堆叠结构的上表面、存储器栅极绝缘膜MI的侧面及延长部的上表面的方式形成多晶硅薄膜后,通过各向异性蚀刻(异向性蚀刻)对多晶硅及存储器栅极绝缘膜MI进行回蚀。结果就如图6所示,形成由多晶硅构成的伪电极PE2及存储器栅极绝缘膜MI作为第一堆叠结构的侧壁。之后通过通常的光刻及蚀刻除去多余的部分,以此形成图6所示的结构。如上所述,便形成了堆叠有存储器栅极绝缘膜MI和第二伪电

极PE2的第二堆叠结构。第二伪电极PE2是为了形成存储单元的伪存储器栅膜。

[0084] 此时,具有第二伪电极PE2的第二堆叠结构的高度比具有第三伪电极PE3的第三堆叠结构的高。由于第一伪电极PE1的高度比第三伪电极PE3高,所以,具有第二伪电极PE2的第二堆叠结构也与第一堆叠结构一样,比第三堆叠结构高。

[0085] 但是,第二伪电极PE2的上表面并不平坦,而是如图6所示的,为稍往右侧下倾的形状。因此,第二伪电极PE2优选如下的情况:最大高度(与氧化硅膜02等接触的部分)的区域的高度至少比第一堆叠结构高,最小高度(右侧下斜的最低部分)的区域也比第三堆叠结构的高。

[0086] 以上各工序是仅针对存储单元的形成区进行的,之后的各工序与外围晶体管的形成区及存储单元的形成区都是共同的。

[0087] 参照图4及图7,在外围晶体管的形成区及存储单元的形成区中,以覆盖第一、第二及第三堆叠结构的侧面的方式形成侧壁绝缘膜SW(相当于图4中的“形成外围及存储单元SW”)。侧壁绝缘膜SW以覆盖第一、第二及第三堆叠结构的上表面及侧面的方式形成绝缘膜后,通过各向异性干蚀刻对绝缘膜进行回蚀而形成。侧壁绝缘膜可由氧化硅膜或氮化硅膜中的仅任何一层来形成,也可由氧化硅膜和氮化硅膜的堆叠结构来形成。

[0088] 参照图4及图7,使用由第一及第二堆叠结构及侧壁绝缘膜SW的结构体的自对准技术,通过从半导体衬底SUB的主表面进行离子注入杂质,在存储单元形成区中的半导体衬底SUB的主表面上形成存储单元的源极区SR及漏极区DR(相当于图4中的“形成S/D”)。同样地,通过使用由第三堆叠结构及侧壁绝缘膜SW的结构体的自对准技术,在外围晶体管形成区中的半导体衬底SUB的主表面上形成外围晶体管的源极区SR及漏极区DR。

[0089] 之后,为了修复形成有漏极区DR及源极区SR的区域的结晶状态,例如通过所谓的RTA(Rapid Thermal Anneal,高温快速退火),对半导体衬底SUB进行热处理。

[0090] 但是图7中,以扩展到侧壁绝缘膜SW内侧的第一伪电极PE1及第三伪电极PE3正下方的区域一部分的方式形成漏极区DR及源极区SR。为了形成上述的结构,例如,在形成第一~第三堆叠结构后,在形成侧壁绝缘膜SW前,先一度通过使用了第一~第三堆叠结构的自对准技术,并通过从半导体衬底SUB的主表面进行离子注入杂质,优选形成杂质浓度比上述漏极区DR及源极区SR的杂质浓度低的所谓LDD区。即,在该情况下,在形成第一~第三堆叠结构后,再形成LDD区,并在之后形成侧壁绝缘膜SW。而且,之后还形成漏极区DR及源极区SR。

[0091] 参照图4及图8,在第一伪电极PE1、第二伪电极PE2、第三伪电极PE3、漏极区DR及源极区SR的上表面上形成硅化物膜SC(相当于图4中的“硅化物”)。具体地说就是,以覆盖第一、第二、第三伪电极PE1,PE2,PE3的上表面的方式,在半导体衬底SUB的主表面上形成如钴或镍的金属膜等,如可通过溅射法等一般的金属薄膜形成方法来形成。

[0092] 接下来,在此状态下,对半导体衬底SUB进行图中未示出的热处理。具体地说就是,例如,半导体衬底SUB为镍时,在500℃至600℃的温度条件下对其加热20秒至3分钟。由此,构成漏极区DR及源极区SR的硅原子和其上形成的镍原子将发生反应而生成硅化物膜SC。但是,如为钴的情况下,需在700℃至800℃的温度条件下进行加热。伪电极PE1~PE3与其上形成的钴及镍原子也起同样的反应从而形成硅化物膜SC。

[0093] 参照图4及图9,以覆盖具有第一伪电极PE1、第二伪电极PE2、第三伪电极PE3的第

一～第三堆叠结构的上表面等的方式,在半导体衬底SUB的主表面上形成层间绝缘膜Ⅱ(相当于图4中的“形成层间绝缘膜”)。层间绝缘层Ⅱ例如为通过CVD法形成的氧化硅膜。

[0094] 参照图4及图10,以使被层间绝缘膜Ⅱ覆盖的第一伪电极PE1、第二伪电极PE2的上表面露出的方式,对具有层间绝缘膜Ⅱ一部分的第一及第二堆叠结构的上表面进行抛光(相当于图4中的“CMP工序1”)。此时,使第一伪电极PE1及第二伪电极PE2的上表面露出,对一部分进行抛光以在其上表面形成开口部。所述开口部并不比第一伪电极PE1及第二伪电极PE2在沿着半导体衬底SUB的主表面的方向上的宽度小,且开口部的优选宽度为:在之后的工序中,可从所述开口部除去第一伪电极PE1及第二伪电极PE2的宽度。

[0095] 此时,除了第一及第二伪电极PE1,PE2之外,还以露出第三伪电极PE3的上表面的方式,对具有层间绝缘膜Ⅱ的一部分的第三堆叠结构的上表面进行抛光。同时对第三堆叠结构的上表面与第一及第二堆叠结构的上表面进行抛光。即,此时由于第三堆叠结构比第一及第二堆叠结构的高度低,因此,在露出第一及第二堆叠结构(伪电极PE1,PE2)的上表面后,继续进行抛光,直到露出第三伪电极PE3的上表面为止。

[0096] 这里所说的抛光如优选通过通常的CMP进行。而且,在抛光之后,还需对层间绝缘膜Ⅱ的上表面及伪电极PE1,PE2,PE3的上表面进行平坦化处理。

[0097] 参照图4及图11,通过通常的光刻及蚀刻法除去第一伪电极PE1及第二伪电极PE2(相当于图4的“除去外围/CG及MG多晶栅极”)。通过此处理,在形成有第一伪电极PE1的区域中形成第一开口部CV1,并在形成有第二伪电极PE2的区域中形成第二开口部CV2。

[0098] 此时,除了第一及第二伪电极PE1,PE2外,还与第一及第二伪电极PE1,PE2同时除去第三伪电极PE3,且在形成有第三伪电极PE3的区域中形成第三开口部CV3。

[0099] 参照图4及图12,在存储单元的形成区中,在第一开口部CV1(控制栅极绝缘膜CI的上表面)上按顺序形成高介电常数绝缘膜HK(介电膜)、调整膜WAJ,且在其上依次形成作为含金属膜MT1的金属膜ML和多晶硅膜PLY。由此,便可在层间绝缘膜Ⅱ的上表面和第一开口部CV1上堆叠(填埋)含金属堆叠膜,结果,便可形成构成第一含金属膜(控制栅膜CG)的堆叠结构。即,通过将含金属膜MT1及高介电常数绝缘膜HK以及调整膜WAJ填埋入第一开口部CV1,便可形成控制栅膜CG。

[0100] 本文将金属膜ML和多晶硅膜PLY结合而成的堆叠膜定义为“含金属膜(MT1)”,将高介电常数绝缘膜HK和调整膜WAJ结合而成的堆叠膜定义为“其他膜”,将含金属膜和其他膜结合而成的堆叠膜定义为“含金属堆叠膜”。因构成含金属堆叠膜的各层膜的厚度和开口部CV1的深度之间的关系,也可如图12所示,在层间绝缘层Ⅱ的上表面上,只堆叠含金属堆叠膜中的多晶硅膜PLY。

[0101] 高介电常数绝缘膜HK比控制栅极绝缘膜CI(第一绝缘膜)的介电常数高。高介电常数绝缘膜HK例如可通过CVD法等由铪系的氧化膜形成。调整膜WAJ例如可通过CVD法等由镧系氧化膜形成。另外,金属膜ML例如可通过溅射法等由氮化钛或钽钛合金的薄膜形成。而且,多晶硅膜PLY例如可通过CVD法形成。

[0102] 与上述控制栅膜CG同时,在第二开口部CV2(存储器栅极绝缘膜MI的延长部的上表面)中,以与存储器栅极绝缘膜MI的侧面部接触的方式形成高介电常数绝缘膜HK和调整膜WAJ(其他膜),而且还在其上按顺序形成金属膜ML和多晶硅膜PLY(含金属膜MT2)。由此,便形成了构成第二含金属膜(存储器栅膜MG)的堆叠结构作为含金属堆叠膜。即,通过在第二

开口部CV2中填埋含金属膜MT2、高介电常数绝缘膜HK以及调整膜WAJ,便形成了存储器栅膜MG。

[0103] 而且,在形成控制栅膜CG、存储器栅膜MG的同时,还在第三开口部CV3(栅极绝缘膜GI的上表面)上形成高介电常数绝缘膜HK、调整膜WAJ(及其他膜),而且还在其上按顺序形成金属膜ML和多晶硅膜PLY(及含金属膜MT3)。由此,便可形成作为含金属构成堆叠膜的第三含金属膜(栅膜GE)的堆叠结构。即,通过在第三开口部CV3中填埋含金属膜MT3及高介电常数绝缘膜HK以及调整膜WAJ,便可形成栅膜GE。以上的工序相当于图4的“填埋高k/金属”。

[0104] 形成所述高介电常数绝缘膜HK和调整膜WAJ的工序是在进行为了形成上述硅化物膜SC的热处理之后再进行的。更具体地说就是,在形成高介电常数绝缘膜HK和调整膜WAJ后到完成半导体器件为止的这段时间内,最好不进行热处理。这里所说的热处理是指在形成漏极区DR及硅化物层SC等之后在高温条件下(如500℃或800℃)进行的退火处理(高温热处理)。例如,在此后还有为了形成布线的成膜处理等工序,进行该成膜工序时半导体衬底SUB的温度将上升。因此,严格地说,在上述的成膜工序中虽然也可包括热处理等,但在这里,如上述的温度上升并不包括在热处理中,所以可在高介电常数绝缘膜HK和调整膜WAJ的形成工序后可执行上述温度上升的进程。

[0105] 参照图4、图12及图2,之后通过“CMP工序2”除去图12所示的与层间绝缘膜II的上表面接触的多晶硅膜PLY,并对层间绝缘膜II的上表面进行抛光,直到露出图2所示的层间绝缘膜II为止。使层间绝缘层II露出的结果,就使具有填埋在开口部CV1~CV3中的多晶硅膜PLY等的控制栅膜CG、存储器栅膜MG及栅膜GE的上表面露出,这些上表面为同一高度的平坦面。由此,便形成了控制栅膜CG、存储器栅膜MG及栅膜GE等。

[0106] 之后,在与层间绝缘膜II为同一层及/或更上一层上形成各种布线(相当于图4的“布线工序”),由此便可形成图1所示的具有一实施方式中的存储单元及外围晶体管的半导体器件。

[0107] 接着参照图13~图21的比较例,对一实施方式的作用效果进行说明。

[0108] 参照图13,比较例的半导体器件的存储单元FMS具有与一实施方式的半导体器件的存储单元FMS大致同样的结构。因此,图13中,对于与图1同样结构的地方使用了与图1相同的符号,且不再进行重复说明。

[0109] 图13的存储单元FMS的控制栅膜(与伪电极PE1一样)由多晶硅膜PE11形成,存储器栅膜(与伪电极PE2一样)由多晶硅膜PE12形成,在这点上与图1所示的一实施方式的存储单元FMS不同。在多晶硅膜PE11,PE12的上表面形成有硅化物膜SC。

[0110] 参照图14,比较例中半导体器件的制造方法如下:以与一实施方式相同的方式,在图4中一实施方式的制造方法“形成伪外围/CG多晶硅栅”中作为伪电极形成多晶硅的伪电极PE3并将其除去,但是多晶硅膜PE11一般不被除去而是原样被留作存储单元FMS的电极。也就是说,作为外围电路的晶体管TR是通过使用伪电极的后栅极工艺形成,而存储单元FMS是通过不使用伪电极的先栅极工艺形成的。下面参照图14~图18对比较例的半导体器件的制造方法进行说明。

[0111] 参照图14,与一实施方式一样,制备半导体衬底SUB,并进行“形成隔离”及“形成阱”。接着参照图14及图15,在半导体衬底SUB的主表面上同时形成控制栅极绝缘膜CI和栅极绝缘膜GI。而且还同时形成与控制栅极绝缘膜CI的上表面接触的具有控制栅膜作用的多

晶硅膜PE11,以及与栅极绝缘膜GI的上表面接触的第三伪电极PE3。此时,多晶硅膜PE11与第三伪电极PE3的厚度大致相同。以上工序相当于图14的“栅极氧化”及“形成外围/CG多晶硅栅极”。

[0112] 参照图14及图16,与图6一样形成存储器栅极绝缘膜MI(相当于图14中的“形成ON0”),之后,形成具有存储器栅膜作用的多晶硅膜PE12(相当于图14中的“形成MG”)。

[0113] 参照图14及图17,与图7一样形成侧壁绝缘膜SW(相当于图14中的“形成外围及存储单元SW”)、形成漏极区DR及源极区SR(相当于图14中的“形成S/D”)、形成硅化物膜SC(相当于图14中的“硅化物”)。而且还进行图中未示出的热处理,以形成与图9一样的层间绝缘层II(相当于图14中的“形成层间绝缘膜”)。

[0114] 参照图14及图18,与图10一样对层间绝缘膜II进行抛光(相当于图14中的“CMP工序1”)直到露出多晶硅膜PE11,PE12,PE3的上表面为止。

[0115] 但是,图18的工序中,本来只需使外围晶体管形成区中的第三伪电极PE3的上表面露出即可,但是在此对第三伪电极PE3和多晶硅膜PE11,PE12之间的上表面都进行抛光。因此,多晶硅膜PE11,PE12上表面上的硅化物膜SC也将被研磨掉。由于多晶硅膜PE11,PE12由多晶硅形成,所以如果其上表面不存在硅化物膜SC,则栅极电阻将变高。如果使多晶硅膜PE11与第三伪电极PE3以大致相同的厚度形成便有可能出现这个问题。

[0116] 参照图14及图19,在使多晶硅膜PE11,PE12上表面的硅化物膜SC露出的状态下,仅在外围晶体管的形成区除去第三伪电极PE3(相当于图14中的“除去外围多晶硅栅极”),对于被除去了第三伪电极PE3的区域,在栅极绝缘膜GI的上表面还形成高介电常数绝缘膜HK和调整膜WAJ,而且还在其上按顺序形成作为含金属膜MT3的金属膜ML和多晶硅膜PLY,以形成栅膜GE(相当于图14中的“填埋高k/金属”)。之后与一实施方式一样进行相当于图14的“布线工序”的处理。

[0117] 如上所述,为了解决因多晶硅膜PE11,PE12的上表面上不存在硅化物膜SC而导致的高电阻的问题,如图20及图21所示,只需抑制对由先栅极工艺形成的存储单元的形成区的多晶硅膜PE11,PE12及其上表面的硅化物膜SC进行抛光即可。也就是说,只需使多晶硅膜PE11,PE12比第三伪电极PE3低(薄)便可。由此,即使外围晶体管形成区的第三伪电极PE3的硅化物膜SC被抛光,由于存储单元形成区的多晶硅膜PE11,PE12的硅化物膜SC不被抛光,所以可使栅极电阻保持在低位。

[0118] 但实际上,由于存储单元的多晶硅膜PE12如侧壁绝缘膜SW一样,为稍往右侧下倾的剖面形状,如果此高度较低(薄)将有可能导致变形。另外,如果多晶硅膜PE12越薄,向多晶硅膜PE12进行离子注入的杂质将穿越多晶硅膜PE12,这将可能导致难于向多晶硅膜PE12注入适量的杂质。

[0119] 此时,并非如图20及图21那样,存储单元比外围晶体管低,而是相反,最好使外围晶体管低,而存储单元形成得较高(厚)。为了提高元件的运行速度而推进外围晶体管的细微化,随着外围晶体管细微化的推进,栅极的高度也将变低。假如外围晶体管的栅极较高的话,栅极的剖面的纵深比将变大而无法确保其平衡。因此,优选外围晶体管比存储单元的栅极也较低形成。

[0120] 但是如果如上所述,便与上述图14~图19的工序一样,再次出现存储单元中的多晶硅膜PE11,PE12的硅化物膜SC被除去的问题。

[0121] 即,如果存储单元FMS通过先栅极工艺来形成,而外围晶体管TR如果是通过后栅极工艺形成的话,由于存储单元FMS的多晶硅膜PE11,PE12相对于外围晶体管的第三伪电极PE3而言,其厚度(高度)不管为何种大小关系都将会导致出现上述的问题,所以有可能导致最终产品的可靠性降低。

[0122] 本来,通过先栅极工艺形成存储单元FMS、而通过后栅极工艺形成外围晶体管TR的制造方法中,为了在部分区域上实施后栅极工艺而需要增加工序数,所以该制造方法非常繁杂。

[0123] 因此,如一实施方式一样,通过后栅极工艺形成存储单元FMS和外围晶体管TR,工序数并不比通过后栅极工艺形成外围晶体管TR的比较例的工序多,所以可提供更高可靠性的半导体器件。

[0124] 具体地说就是,如一实施方式所述,优选第一,第二伪电极PE1,PE2形成比第三伪电极PE3厚的情况。由此,便可抑制存储单元电极的变形,而且随着外围晶体管的细微化还可使外围晶体管较薄地形成。另外,由于第二伪电极PE2形成于第一伪电极PE1的侧壁部上,所以第二伪电极PE2的上表面为倾斜状的。因此如图10所示的工序中,如果第二伪电极PE2不比第三伪电极PE3高则第二伪电极PE2的露出部将变窄,在如图11的工序中,将导致难于除去第二电极。另外,在图12的工序中,也难于将金属膜填埋入开口部中。因此,在一实施方式中,第二伪电极PE2形成比第三伪电极PE3高。

[0125] 在第一及第二伪电极PE1,PE2比第三伪电极PE3厚时,通过对第三伪电极PE3的上表面进行抛光,第一及第二电极的上表面也将被抛光。如上所述,通过在第一及第二伪电极PE1,PE2的上表面进行抛光并形成开口部,便可在之后的工序中通过该开口部确实除去第一及第二伪电极PE1,PE2。

[0126] 如上所述,在一实施方式中,存储单元FMS的伪控制栅极的第一伪电极PE1和伪存储器栅极的第二伪电极PE2都比外围晶体管TR的伪栅极的第三伪电极PE3高。因此,通过CMP进行平坦化的工序后,确实除去伪控制栅极和伪存储器栅极以及伪栅极,由此便可在除去后的开口部上填埋金属膜。接下来便可很容易地通过后栅极工艺形成存储单元FMS和外围晶体管TR。

[0127] 结果,如图14~图19的工序所示,无需再区别地通过后栅极工艺和通过先栅极工艺形成外围晶体管和存储单元,因此可大幅减少制造工艺的工序数。结果,因工序数减少,便可减少特性偏差的影响,从而提高半导体器件的可靠性。

[0128] 而且,由于第一及第二伪电极PE1,PE2在组装和测试工序中将被除去,所以使第一及第二伪电极PE1,PE2比第三伪电极PE3厚,完全不存在问题。通过使第一及第二伪电极PE1,PE2比第三伪电极PE3厚,便可使存储单元的侧壁绝缘膜SW及存储器栅极绝缘膜MI的高度(厚度)与最终形成的外围晶体管的高度(厚度)等同。

[0129] 接下来,在一实施方式中,由暂时形成的多晶硅构成的伪电极PE1~PE3被除去后,便形成了控制栅膜CG、存储器栅膜MG及栅膜GE。由于这些膜包括含金属膜MT1~MT3,所以电阻比多晶硅的伪电极PE1~PE3的电阻小。因此,可抑制随着外围晶体管及存储单元的细微化导致的电阻增加。虽然含金属膜MT1~MT3含有多晶硅膜PLY,但是通过使其含有金属膜ML,便可充分降低电阻值。

[0130] 另外,通过使控制栅膜CG及存储器栅膜MG等含有金属膜ML,便可抑制栅极的空乏

化。因此,反转栅极的电容将变大,从而可改善短沟道特性。

[0131] 通过使存储器栅膜MG等含有金属膜ML,便可通过存储器栅膜MG的功函数的变化来抑制从存储器栅膜MG向氮化硅膜NF注入的电子,结果,可深度(确实)除去存储单元FMS中的数据。

[0132] 另外,通过使控制栅膜CG等含有高介电常数绝缘膜HK,即使在控制栅极绝缘膜CI等难以实现薄膜化的情况下也可维持较高的电容性。

[0133] 但是在使用高介电常数绝缘膜HK时,有可能导致难于控制存储器栅膜MG的功函数。因此,通过形成用于调整功函数的调整膜WAJ,便可调整存储器栅膜MG的功函数。但是,由于调整膜WAJ耐热性较差,例如,在形成含有调整膜WAJ的存储器栅膜MG之后对源极区SR及漏极区DR进行退火处理时,将有可能无法进行功函数的调整。

[0134] 因此,在形成构成存储单元FMS的控制栅膜CG及存储器栅膜MG之前,先形成伪电极PE1,PE2,并在包括上述的(高温)热处理通常的晶体管形成的工艺后除去伪电极PE1,PE2之后,再形成含有调整膜WAJ的控制栅膜CG及存储器栅膜MG,即所谓的后栅极工艺。如上所述,便可抑制调整膜WAJ因热所受的不良影响,从而更容易进行功函数的调整。结果,便可确实(更深度)地擦除存储器栅膜MG中的数据。

[0135] 由于控制栅膜CG及存储器栅膜MG与伪电极PE1,PE2相比电阻较低,所以在形成控制栅膜CG及存储器栅膜MG后无需在所述上表面上形成硅化物膜SC。因此,在形成控制栅膜CG及存储器栅膜MG后无须再如上所述地进行退火等高温的热处理,由此可获得比上述更好的效果。而且,由于无需在控制栅膜CG及存储器栅膜MG的上表面形成硅化物膜SC,所以可抑制因这些电极上的硅化物膜SC之间的接触而引起的两者的短路现象。

[0136] 另外,如上所述,在图10的“CMP工序1”中,抛光的程度最好是使伪电极PE1,PE2等的上表面完全露出。由此,在图11的工序中,便可确实除去伪电极PE1,PE2等。

[0137] 而且,通过使外围晶体管的栅膜GE具有与存储单元的控制栅膜CG及存储器栅膜MG为同样的结构,便可使外围晶体管TR具有更高电容且更低的电阻。另外,由于可使外围晶体管的栅膜GE与存储单元的控制栅膜CG及存储器栅膜MG同时形成,所以可抑制工序数的增加。

[0138] (第二实施方式)

[0139] 参照图22,本实施方式的半导体器件与图2所示的第一实施方式的半导体器件具有大致相同的结构。但本实施方式中,在含金属膜MT1~MT3不具有多晶硅PLY而仅含有金属膜ML,这点与第一实施方式不同。金属膜ML例如为氮化钛的薄膜。

[0140] 本实施方式中的含金属膜MT1~MT3与第一实施方式中的含金属膜MT1~MT3具有几乎相同的厚度。本实施方式中的金属膜ML的膜厚大致等于第一实施方式中的金属膜ML和多晶硅膜PLY的厚度的总和。

[0141] 本实施方式仅在上述的内容与第一实施方式不同,而此外的其他方面皆与第一实施方式相同,所以图22中,与第一实施方式相同的构成要素也用了与第一实施方式相同的符号,且不再进行重复说明。在此后的其他方式也同样处理。

[0142] 在第一实施方式中,为了形成含金属膜MT1~MT3,有必要形成金属膜ML和多晶硅膜PLY的2层膜,但在本实施方式中,仅需形成金属膜ML(1层膜)便可。因此,可简化工艺。

[0143] 另外,通过配置作为替代多晶硅膜PLY的金属即氮化钛的薄膜,便可减少含金属膜

MT1~MT3整体的电阻。

[0144] (第三实施方式)

[0145] 参照图23,在本实施方式中,在构成存储器栅极绝缘膜MI的氮化硅膜NF的延长部中的端部形成在氧化硅膜01,02延长部的端部的内侧。结果,氮化硅膜NF延长部的端部形成在比存储器栅膜MG的端部(图23右侧的侧面)更靠内的内侧。这里所说的“内侧”是指图23的左侧(配置有控制栅膜CG的一侧)。

[0146] 氮化硅膜NF因稍后描述的过蚀刻而形成在比存储器栅膜MG的端部的内侧,之后在形成侧壁绝缘膜SW时,通过该绝缘膜将氮化硅膜NF端部的外侧进行填埋。但是与其他的实施方式一样,存储器栅极绝缘膜MI中的氧化硅膜01,02的端部以与存储器栅膜MG的端部为同一平面(即处于“同高(flush)”状态)的方式形成。

[0147] 图23的结构由如下方法形成。

[0148] 与图6一样,在存储单元形成区中形成存储器栅极绝缘膜MI和第二伪电极PE2后,在半导体衬底SUB的主表面上在源极区SR的内侧(图23中的左侧)形成高浓度注入源极MS。所述高浓度注入源极MS与源极区SR同样地,通过离子注入形成。高浓度注入源极MS以高浓度注入源极MS中的杂质浓度与源极区SR位置连续的方式形成。

[0149] 所述存储单元为热孔擦除型(hot-hole erase type)时,由于需要通过高浓度注入的陡峭轮廓(steep profile),所以高浓度注入源极MS最好不采用LDD。但是,当该存储单元为隧道擦除型(tunnel erase type)时,高浓度注入源极MS无需为高浓度,只需与通常的MIS晶体管一样,只要使短隧道特性良好的低浓度化便可。

[0150] 在形成高浓度注入源极MS后,仅是存储器栅极绝缘膜MI的氮化硅膜NF被选择性地从延长部的端部开始进行过蚀刻。通过此处理,仅对于在存储器栅极绝缘膜MI中的氮化硅膜NF,其端部形成在比存储器栅膜MG的端部的内侧。

[0151] 由于本实施方式中半导体器件具有上述的结构,所以可提高存储单元FMS的数据擦除效率。下面说明其理由。

[0152] 在向氮化硅膜NF注入空穴以擦除存储单元FMS的数据时,配置了高浓度注入源极MS以在高浓度注入源极MS端部附近的半导体衬底SUB的硅上形成空穴,再通过电场对所述空穴进行加速,并使所述空穴注入氮化硅膜NF中。

[0153] 但是,如果配置了氮化硅膜NF,则导致该区域中对空穴进行加速的电场变弱,将导致难于在高浓度注入源极MS正上方的氮化硅膜NF上注入空穴。结果,将可能导致数据的擦除变慢。

[0154] 具体地说就是,假如在高浓度注入源极MS的正上方堆叠存储器栅膜MG,则高浓度注入源极MS正上方的氮化硅膜NF上则通常没有空穴注入。特别是所谓的形成有被称为扩展(Extension)的杂质的扩散区时更是如此。此时,存储器栅膜MG和高浓度注入源极MS之间的电场强度没发生变化,数据擦除也如通常一样进行。但是,如果在高浓度注入源极MS正上方的氮化硅膜NF上被注入了空穴,则所注入的空穴将移动到所重叠的存储器栅膜MG中。如上所述,存储器栅膜MG和高浓度注入源极MS之间的电场强度将变弱,数据的擦除将会变慢。

[0155] 因此如图23所示,不在高浓度注入源极MS的正上方配置氮化硅膜NF,便可抑制使空穴加速的电场变弱,从而可高效地将空穴注入到氮化硅膜NF中。因此,可提高存储单元FMS的数据擦除效率。

[0156] (第四实施方式)

[0157] 参照图24,本实施方式中,以及上述各实施方式中的存储单元FMS及外围晶体管TR例如形成于由硅的单结晶形成的半导体晶片WFR上。具体地说就是,半导体晶片WFR的主表面上相互间接间隔按行列状配置有多个芯片区CR(元件形成区)。所述芯片区CR中,形成有上述存储单元FMS及外围晶体管TR等半导体元件。另外,上述的半导体衬底SUB是指作为半导体晶片WFR基台的基板,实际上与半导体晶片WFR和半导体衬底SUB为同一意思。

[0158] 被相邻的一对芯片区CR所夹着的区域,换言之就是形成在芯片区CR外围的区域为切割区DLR,而切割区DLR中,一个半导体晶片WFR按每个芯片区CR进行分割,从而形成半导体芯片。

[0159] 参照图25,由于切割区DLR是半导体晶片WFR被切断的区域,所以,此时还形成用于形成存储单元FMS等的位置校准用标记。但是,在所述切割区DLR中,在其至少一部分上还形成结构体形成区FMR,结构体形成区FMR上形成有多个结构体FFMS。

[0160] 参照图26,由于切割区DLR的结构体FFMS是作为伪结构体而形成的,所以也可为如通过多晶硅薄膜形成的、与存储单元FMS及晶体管TR的电极不同的结构和材质。

[0161] 参照图27,切割区DLR的结构体FFMS优选在进行图5所示的形成第一堆叠结构的工序、以及与图6所示的形成第二堆叠结构的工序的同时,相对于切割区而形成。如上所述,结构体FFMS的结构及材质也可不同于第一及第二堆叠结构的电极。

[0162] 结构体FFMS优选以与第一或第二堆叠结构的厚度(高度)大致相同的方式形成。另外,构成第二堆叠结构的第二伪电极PE2通过回蚀,并且使其剖面形状形成为稍往右侧下倾的形状,所以其厚度(高度)不是固定的。此时的第二堆叠结构的厚度(高度)是指其最大的厚度,是指与第一堆叠结构的上表面为同一平面的上表面部(即为“同高(flush)”的部分)的厚度。

[0163] 上述各实施方式中,如果形成与第一伪电极PE1和第二伪电极PE2具有几乎同样高度的结构体FFMS时,如图10所示的工序一样,在实施对伪电极PE1,PE2的上表面进行抛光的CMP工序时,结构体FFMS将成为进行CMP时施加在半导体衬底SUB侧上的力的支撑。因此,即使在伪电极PE1,PE2和伪电极PE3的厚度不同时,也可减少对于半导体基板SUB的位置进行CMP的加工量的偏差,从而可均一地进行CMP的抛光。

[0164] 在结构体FFMS的支撑下,通过CMP对伪电极PE1~PE3进行抛光,直至其与结构体FFMS成为同一高度为止,因此便可如图26所示,在之后形成的控制栅膜CG、存储器栅膜MG以及栅膜GE的高度都与结构体FFMS的高度大致相同。

[0165] 上述的CMP工序是在进行后栅极工艺时为了有效除去存储单元FMS及晶体管TR的伪电极PE1,PE2等的重要的工序,所以,如果CMP的加工量出现偏差,则最终形成的存储单元FMS等的电极的形状也有可能出现异常。但是,如果如上所述,在切割区DLR上形成伪的结构体FFMS,便可提高CMP的加工精度,所以,可提高最终形成的存储单元FMS等的可靠性。

[0166] 另外,实施方式中所记载的内容的一部分如下所示。

[0167] (1) 半导体器件具有形成于半导体衬底的主表面上的存储单元和外围晶体管。所述存储单元包括第一栅极,所述第一栅极由形成于主表面上的第一绝缘膜和与第一绝缘膜的上表面接触的第一含金属膜堆叠而成;所述存储单元包括第二栅极,所述第二栅极由形成于主表面上且与第一栅极的侧面接触、并具有延伸到半导体衬底主表面上的延长部的方

式形成的第二绝缘膜、以及具有第二绝缘膜的延长部的上表面且与第二绝缘膜接触的第二含金属膜堆叠而形成；所述外围晶体管包括第三栅极，所述第三栅极由形成于主表面上的第三绝缘膜、以及与第三绝缘膜的上表面接触的第三含金属膜堆叠而形成。而且，上述第一、第二及第三含金属膜的上表面都为平坦的面。

[0168] (2) 在(1)的半导体器件中，上述第一、第二及第三栅极为同一高度。

[0169] (3) 在(1)的半导体器件中，上述第二绝缘膜中具有积蓄电荷的电荷积蓄膜。

[0170] (4) 在(3)的半导体器件中，上述电荷积蓄膜为氮化硅膜。

[0171] (5) 在(1)的半导体器件中，上述第二绝缘膜的结构为按顺序堆叠第一氧化硅膜、氮化硅膜、以及第二氧化硅膜。

[0172] (6) 在(4)或(5)的半导体器件中，上述氮化硅膜的端部配置在第二含金属膜的端部的内侧。

[0173] (7) 在(1)的半导体器件中，上述存储单元具有以夹住第一及第二栅极的方式配置在主表面上的漏极区及源极区，且在上述漏极区及源极区上形成有硅化物。

[0174] (8) 在(1)的半导体器件中，上述外围晶体管具有以夹着第三栅极的方式配置在主表面上的漏极区及源极区。

[0175] (9) 在(1)的半导体器件中，上述第一、第二及第三含金属膜中的每一个包括含金属膜(或其他膜)。上述含金属膜仅由氮化钛薄膜构成。

[0176] (10) 在(1)的半导体器件中，上述第一、第二及第三含金属膜中的每一个包括含金属膜(或其他膜)。上述含金属膜为按顺序堆叠氮化钛薄膜、多晶硅薄膜的结构。

[0177] (11) 在(9)或(10)的半导体器件中，上述第一、第二及第三含金属膜中的每一个的结构为按顺序堆叠有：介电常数比第一、第二及第三绝缘膜高的介电膜、用于调整高介电常数绝缘膜的功函数的调整膜、以及含金属膜。

[0178] (12) 在(1)的半导体器件中，上述主表面上包括形成有存储单元及晶体管的元件形成区、以及形成于元件形成区外围的切割区。在上述切割区中还包括形成有具有相同厚度的第一、第二及第三栅极的结构体的工序。

[0179] 以上根据实施方式具体地说明了本案发明人所作的发明，但是本发明并不受到所述实施方式的限定，在不超出其要旨的范围内能够进行种种变更，在此无需赘言。

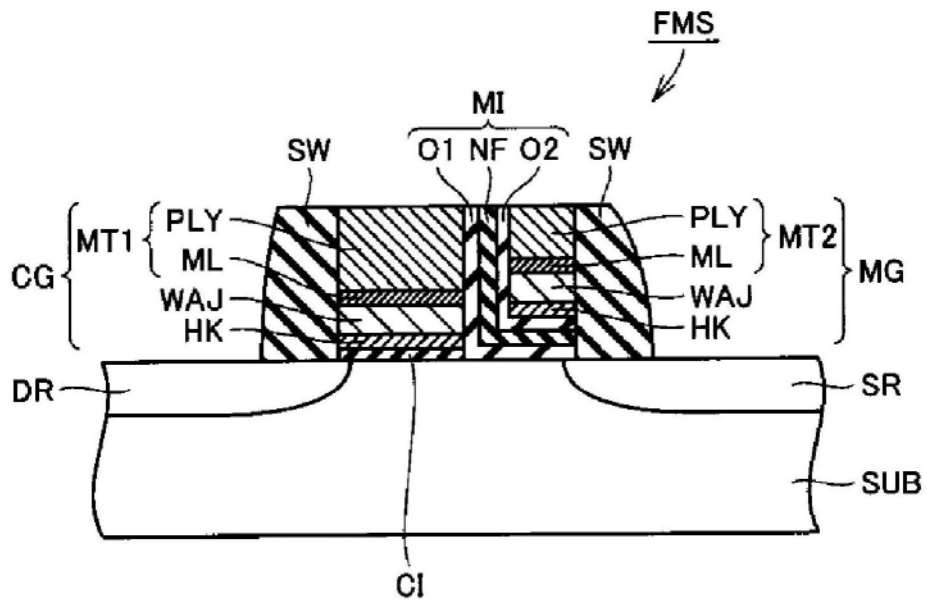


图1

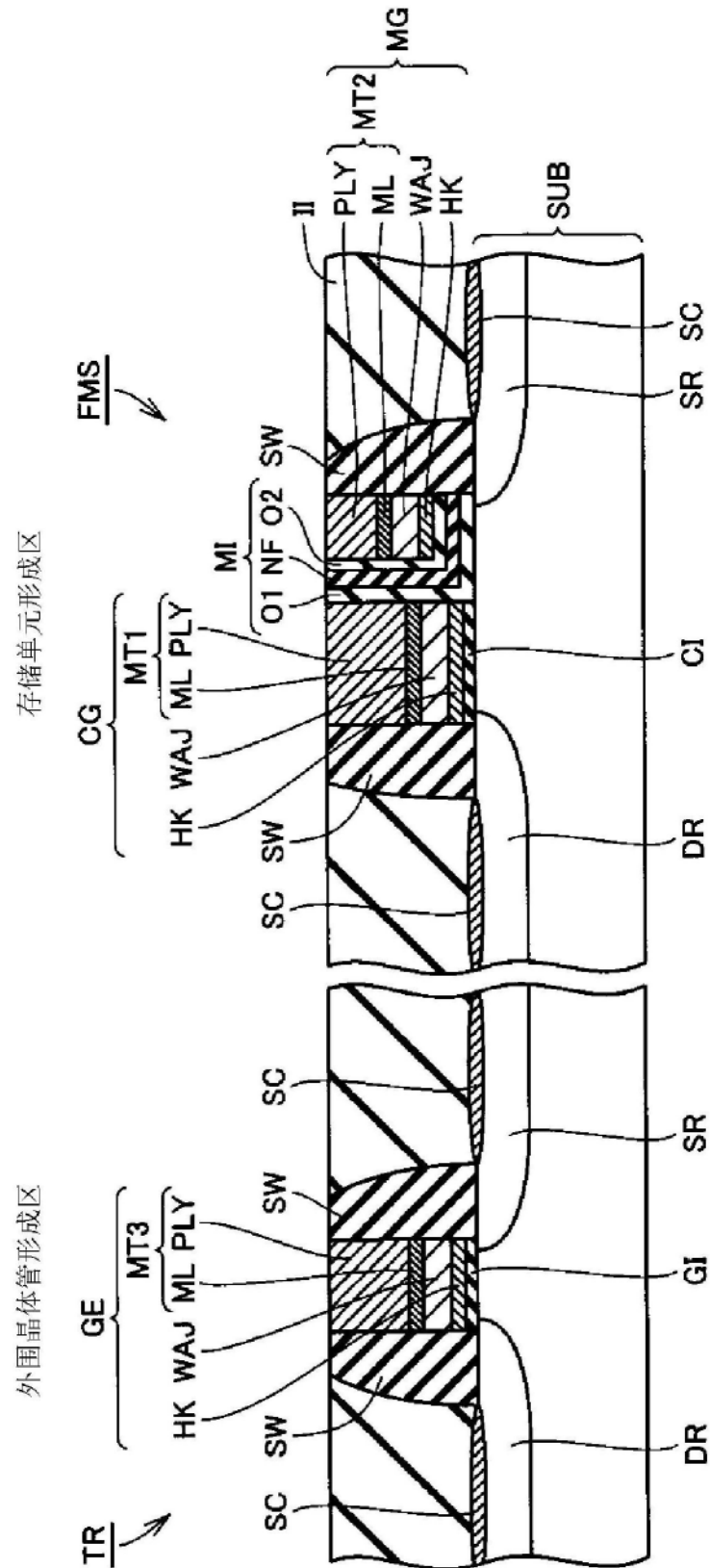


图2

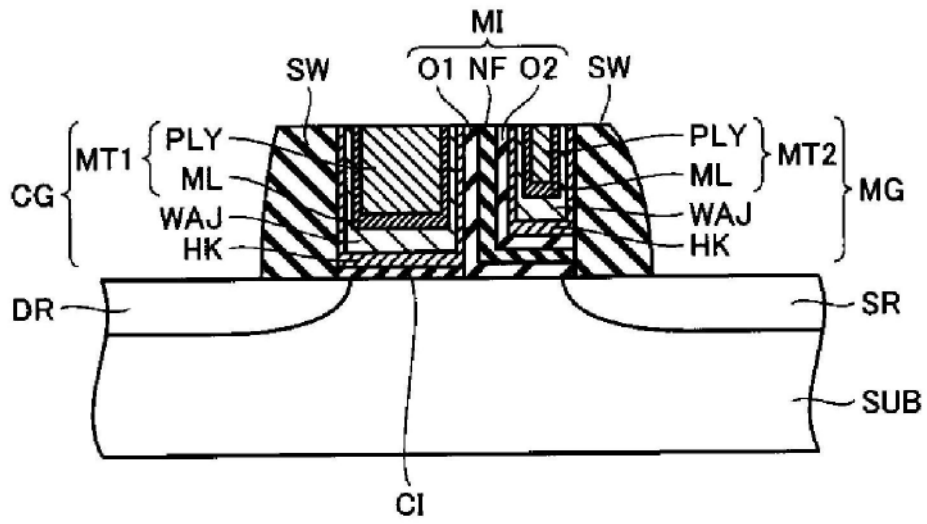


图3

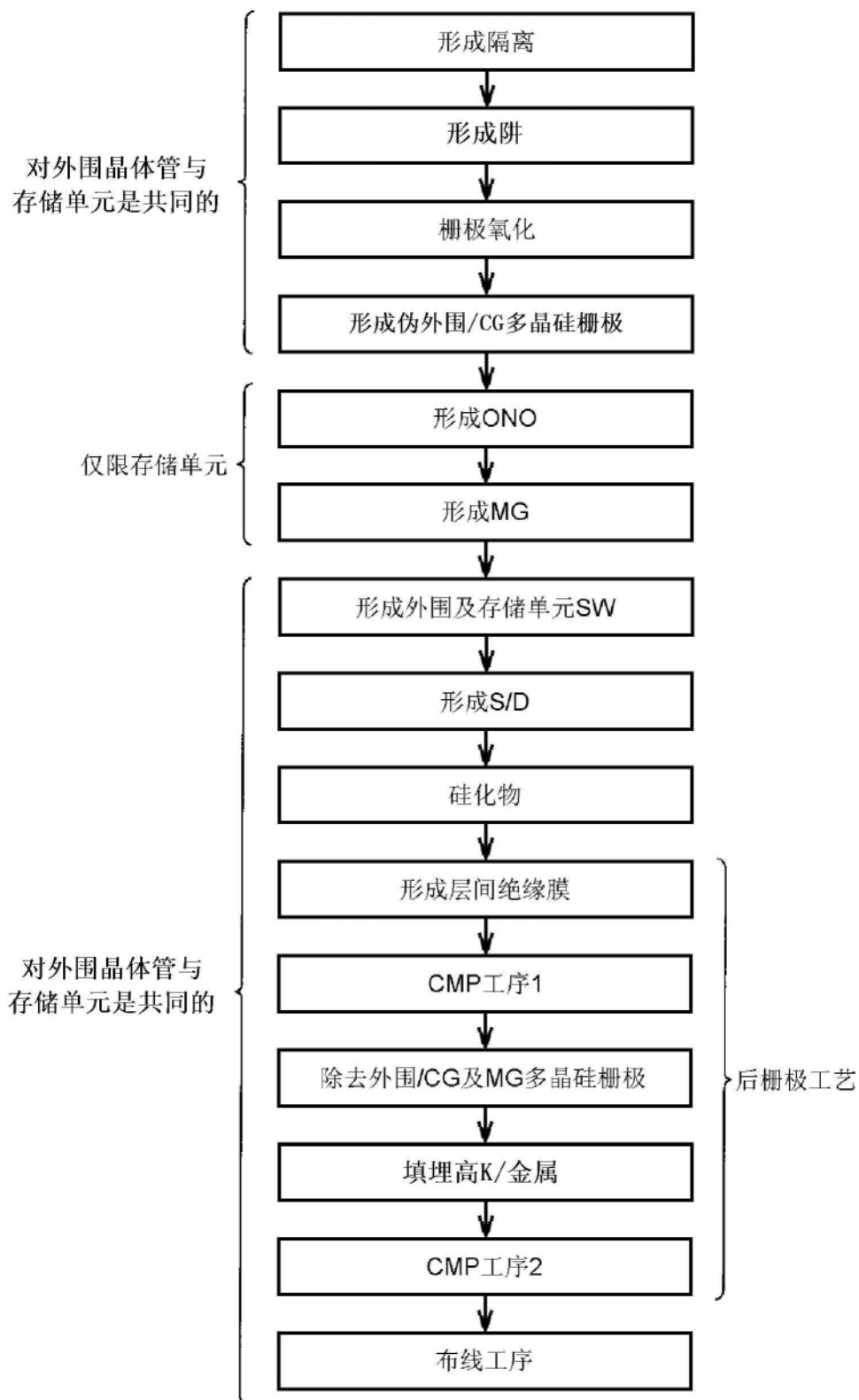


图4

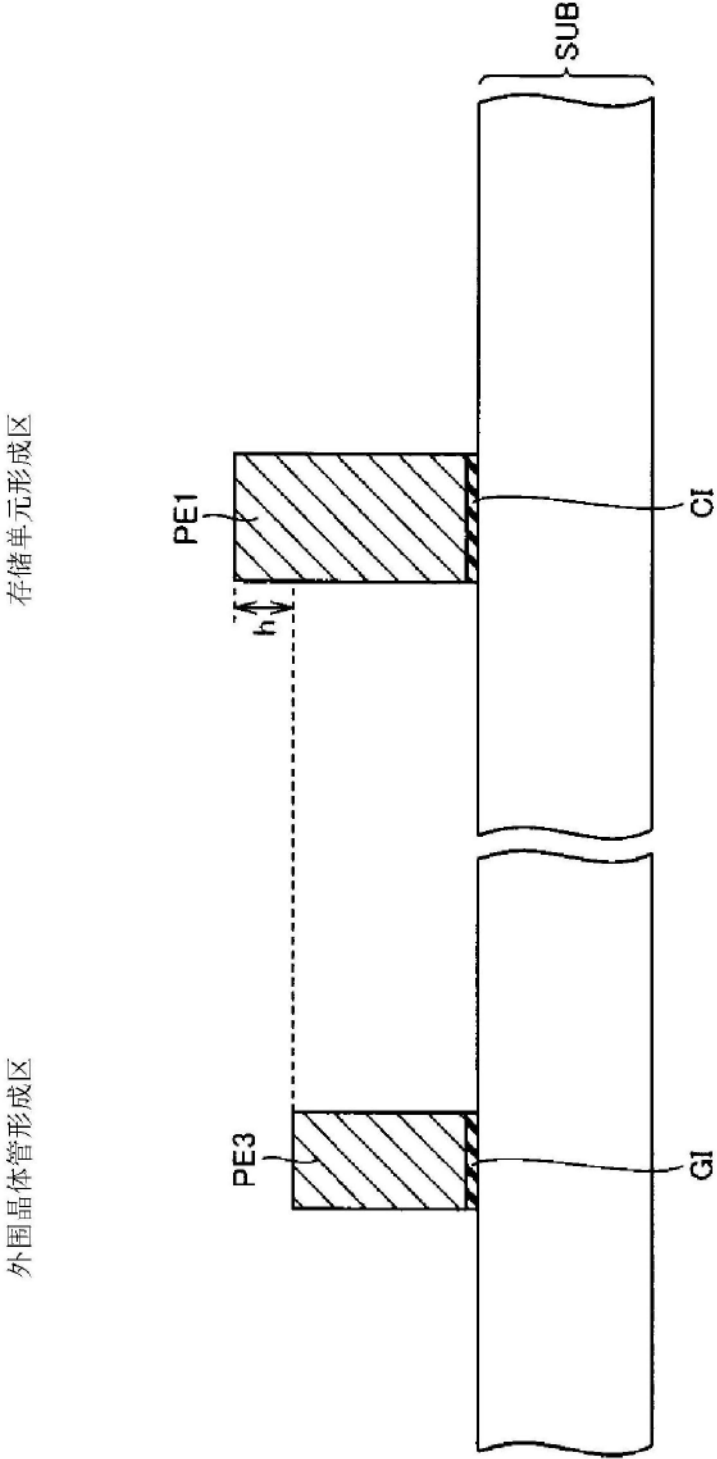


图5

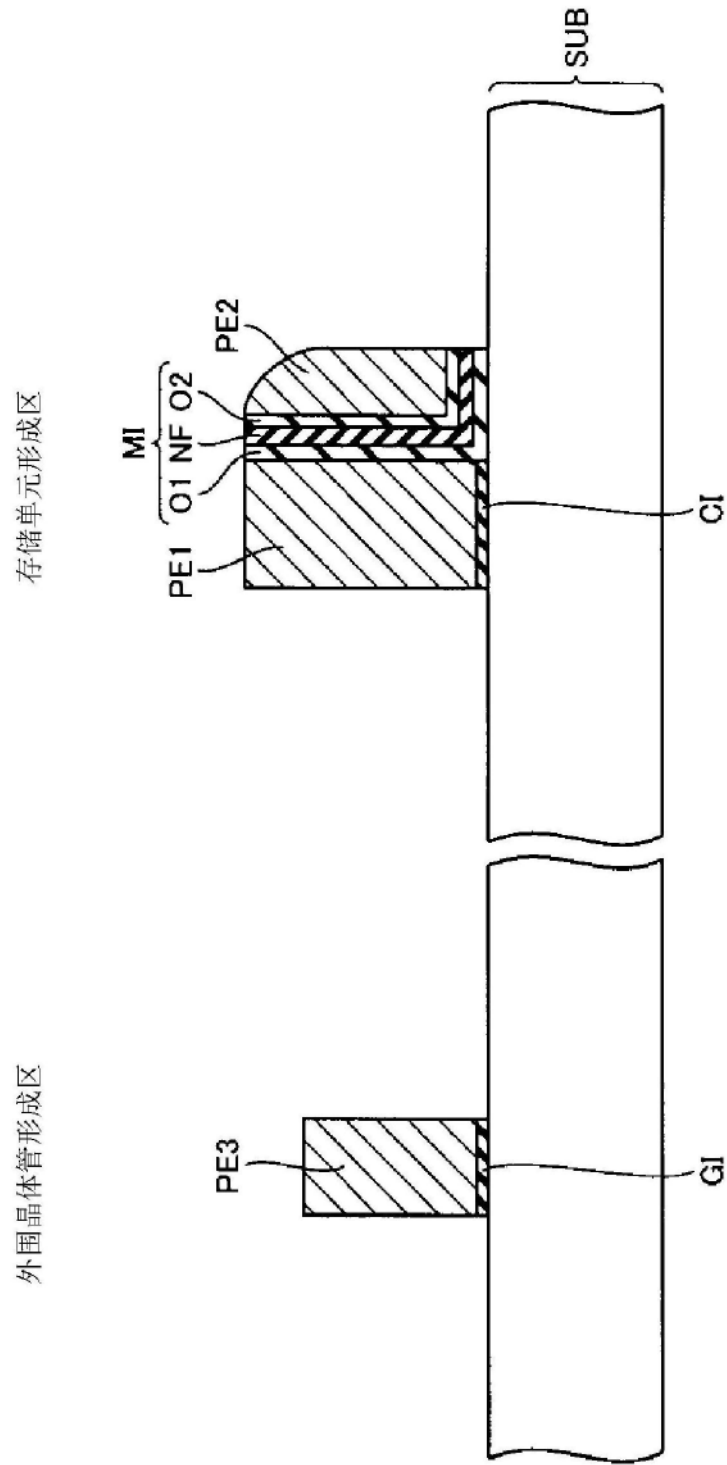


图6

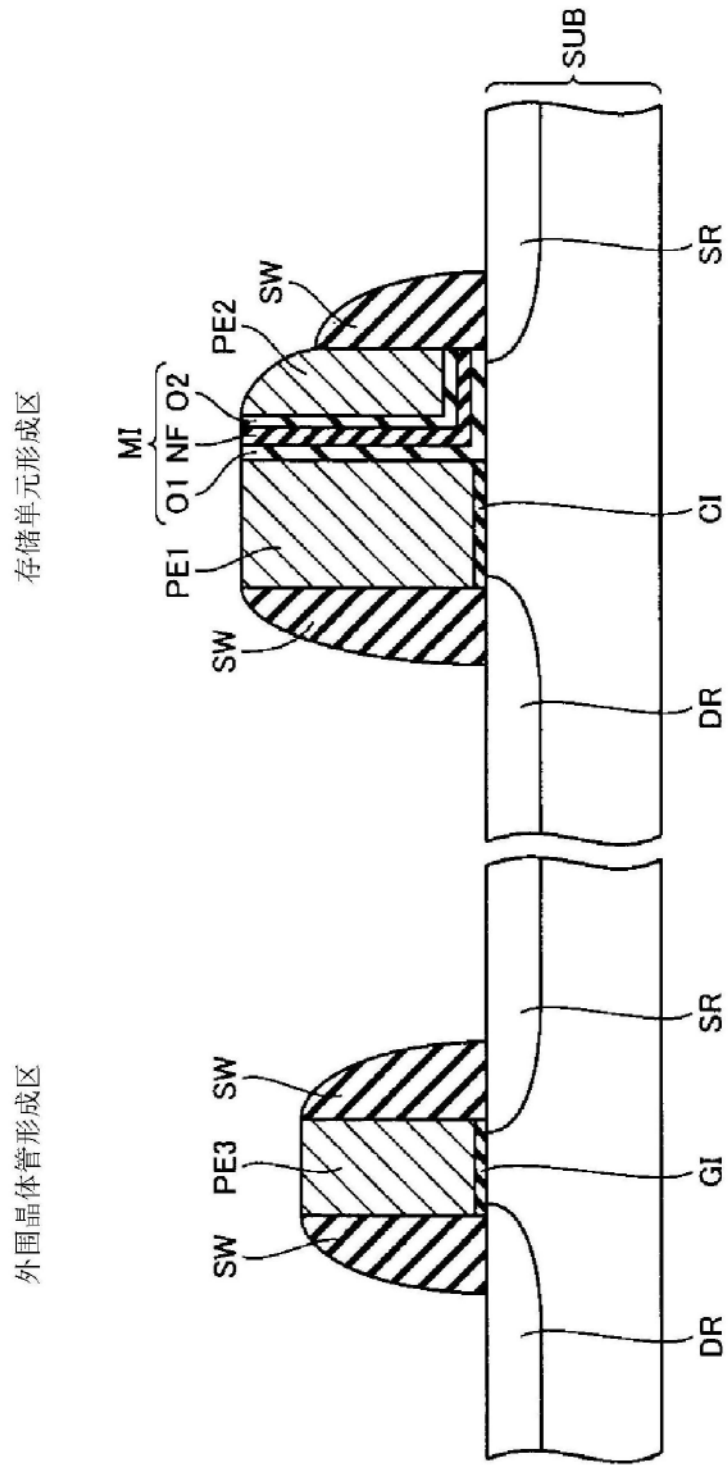


图7

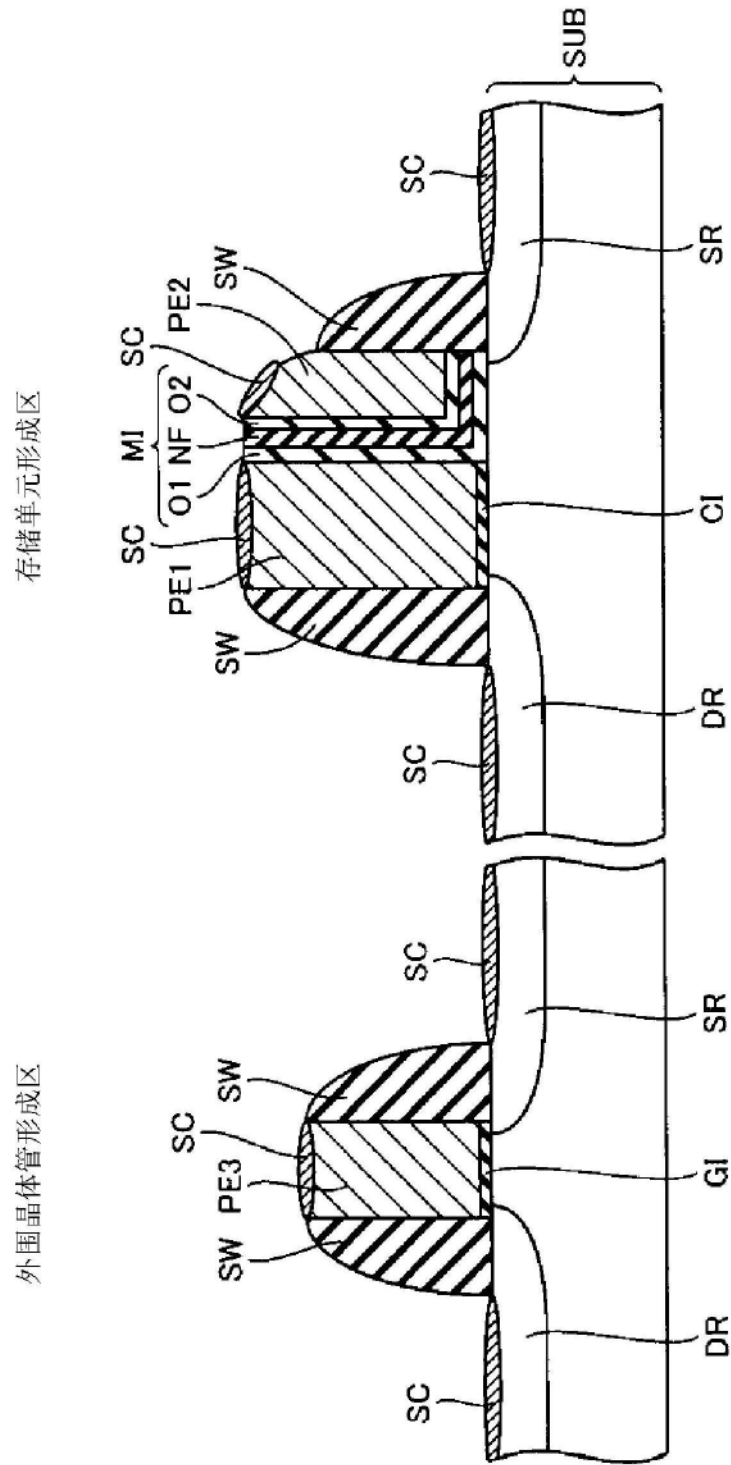


图8

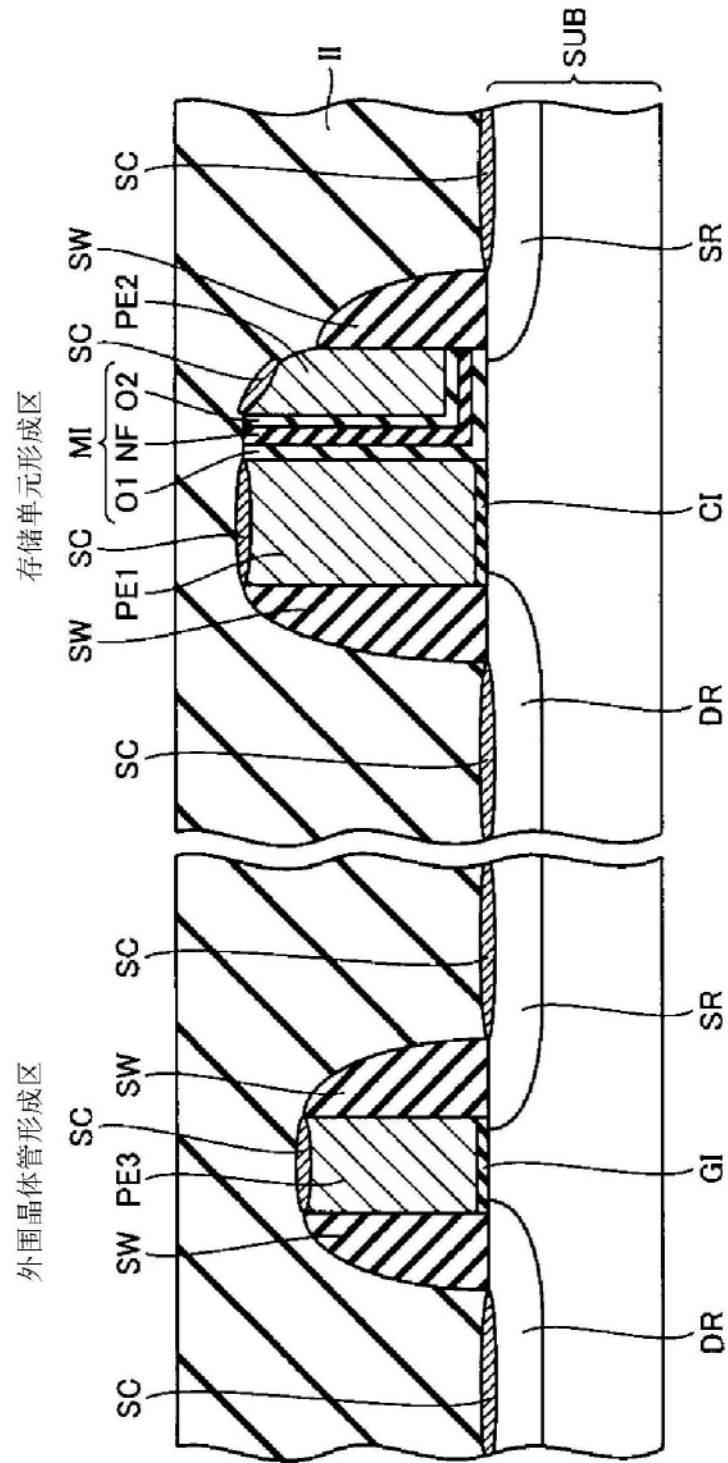


图9

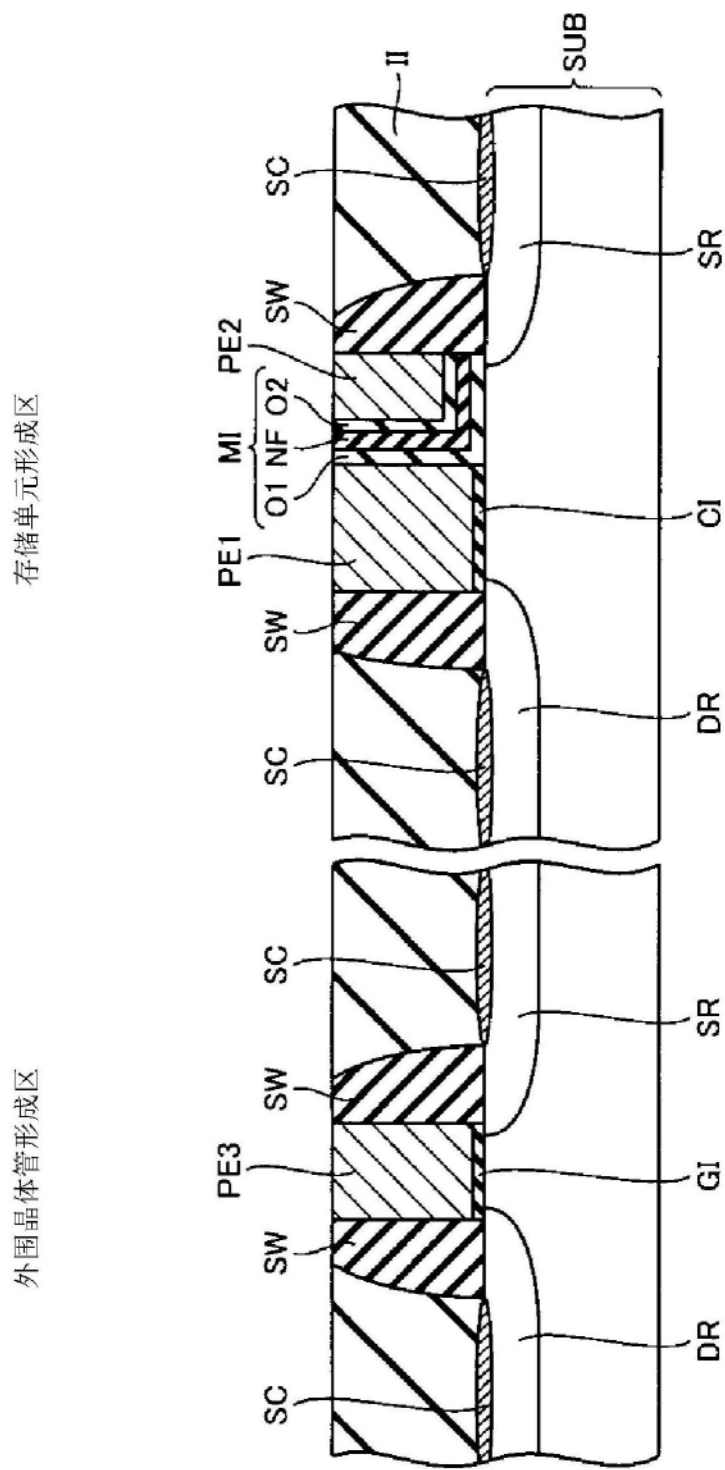


图10

存储单元形成区

外围晶体管形成区

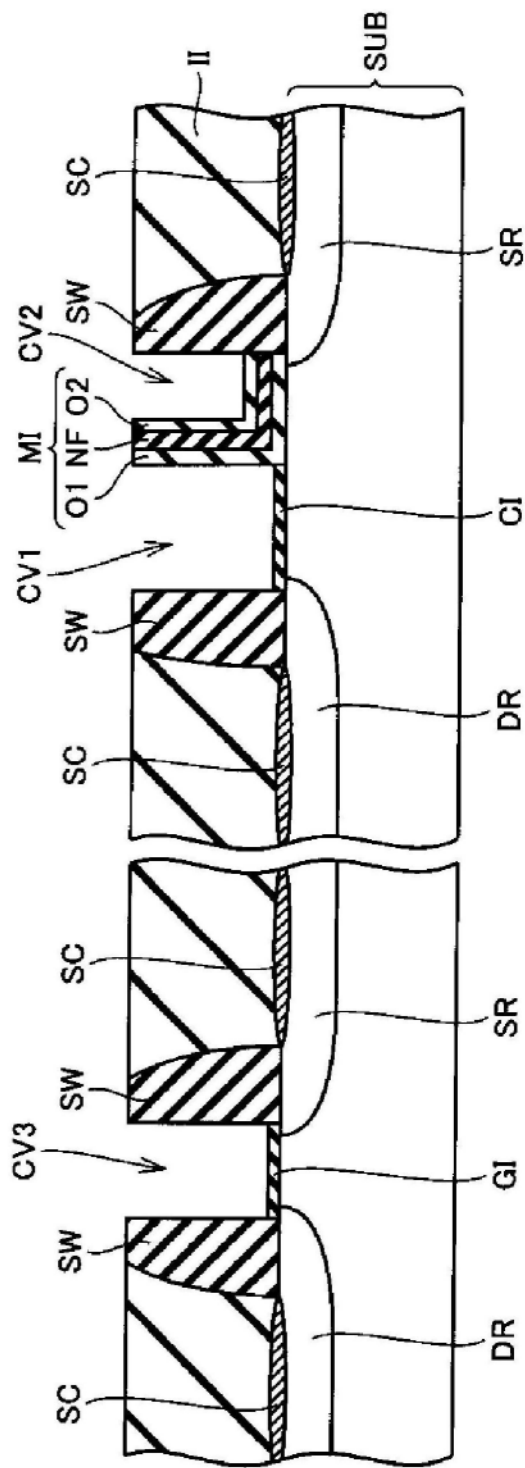


图11

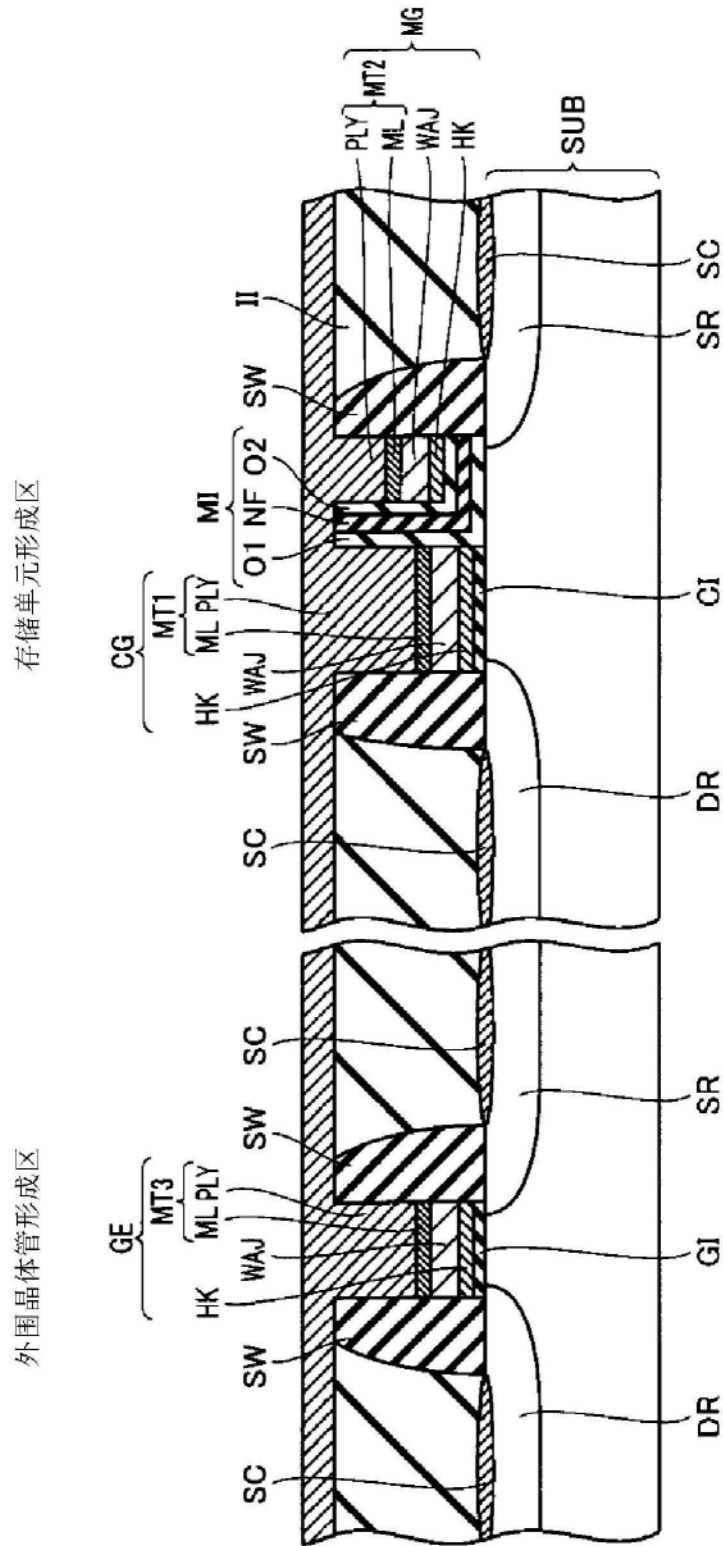


图12

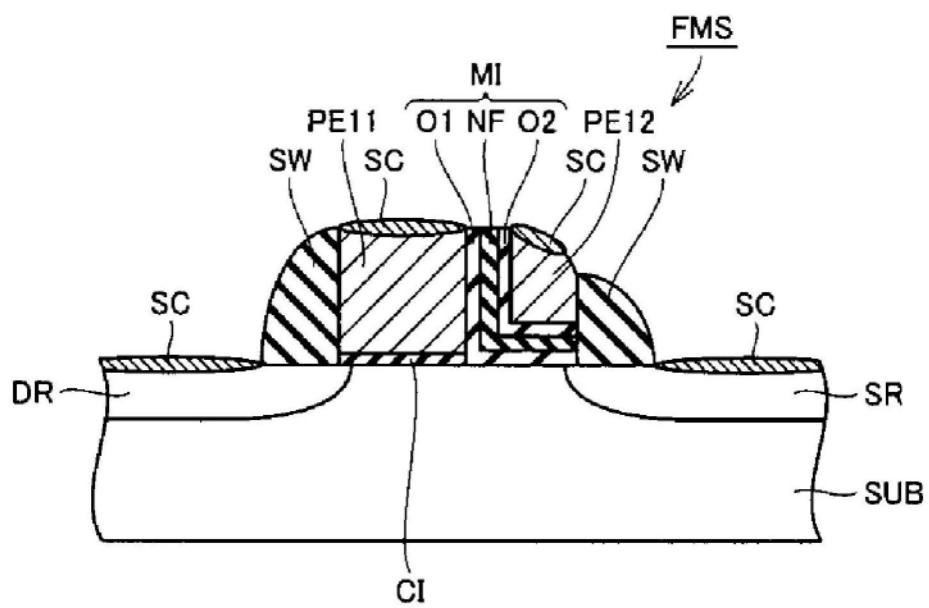


图13

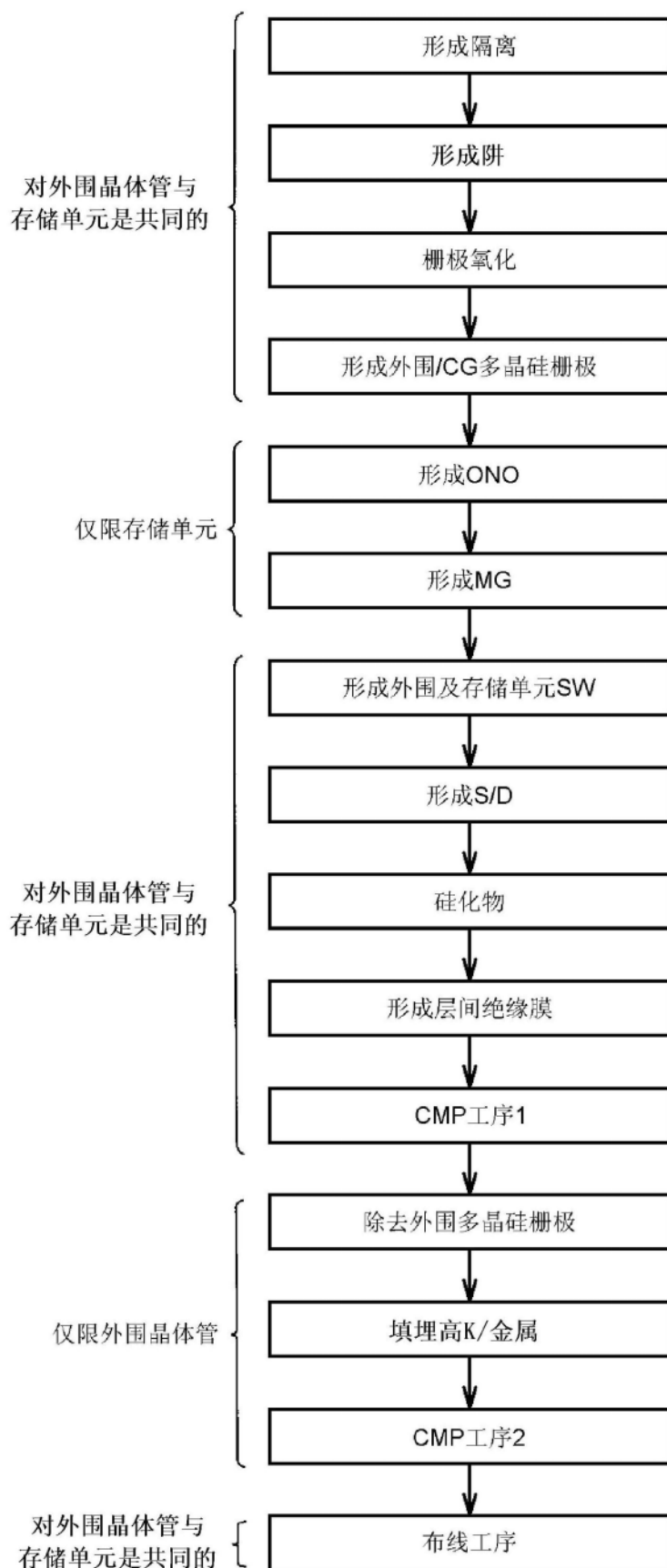


图14

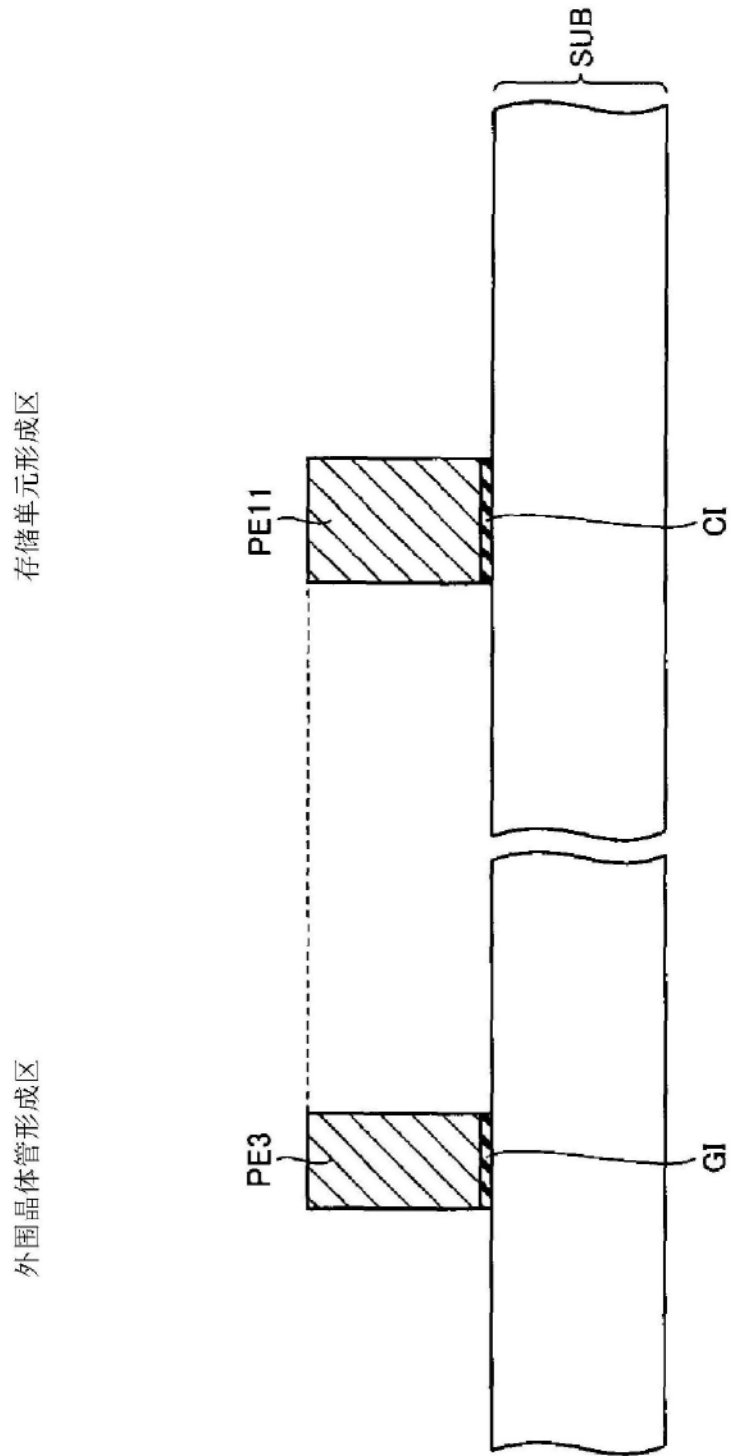


图15

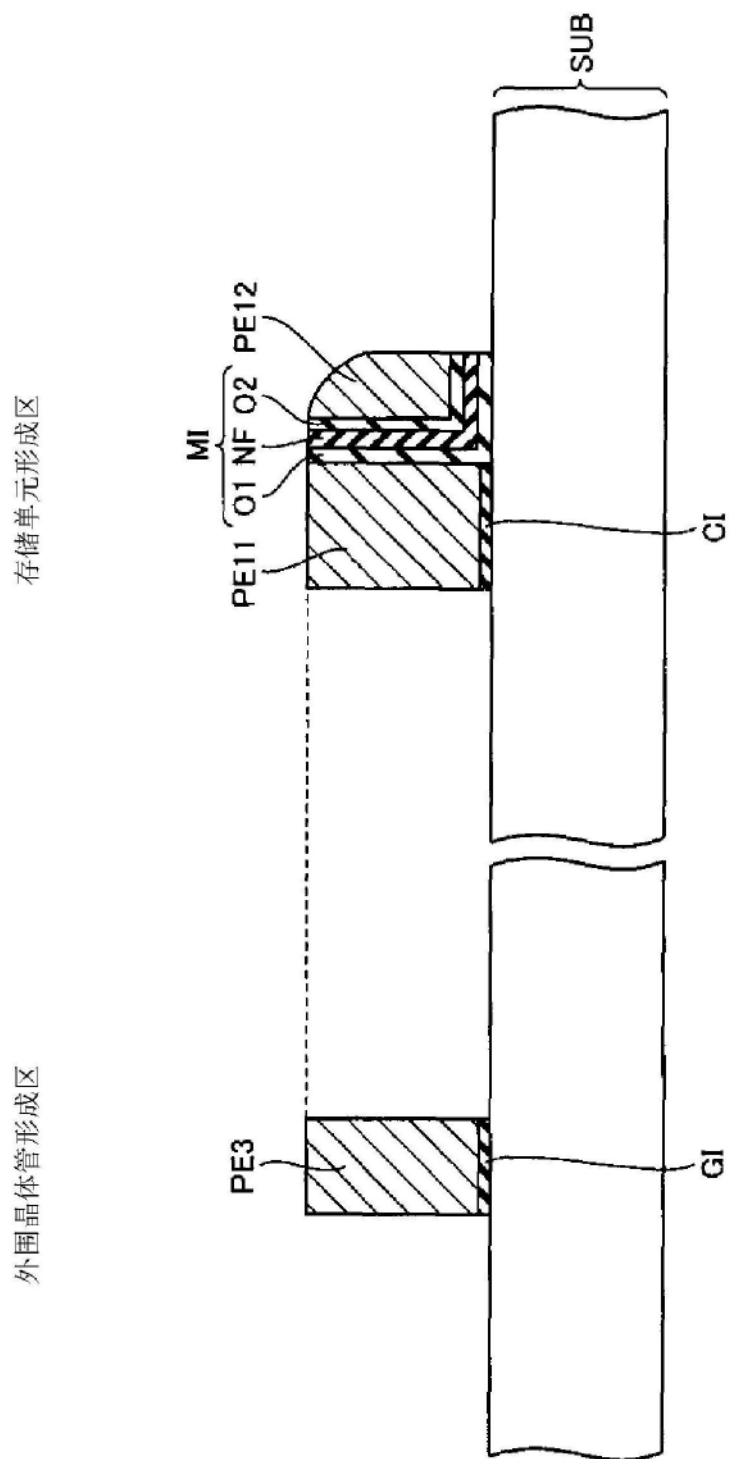


图16

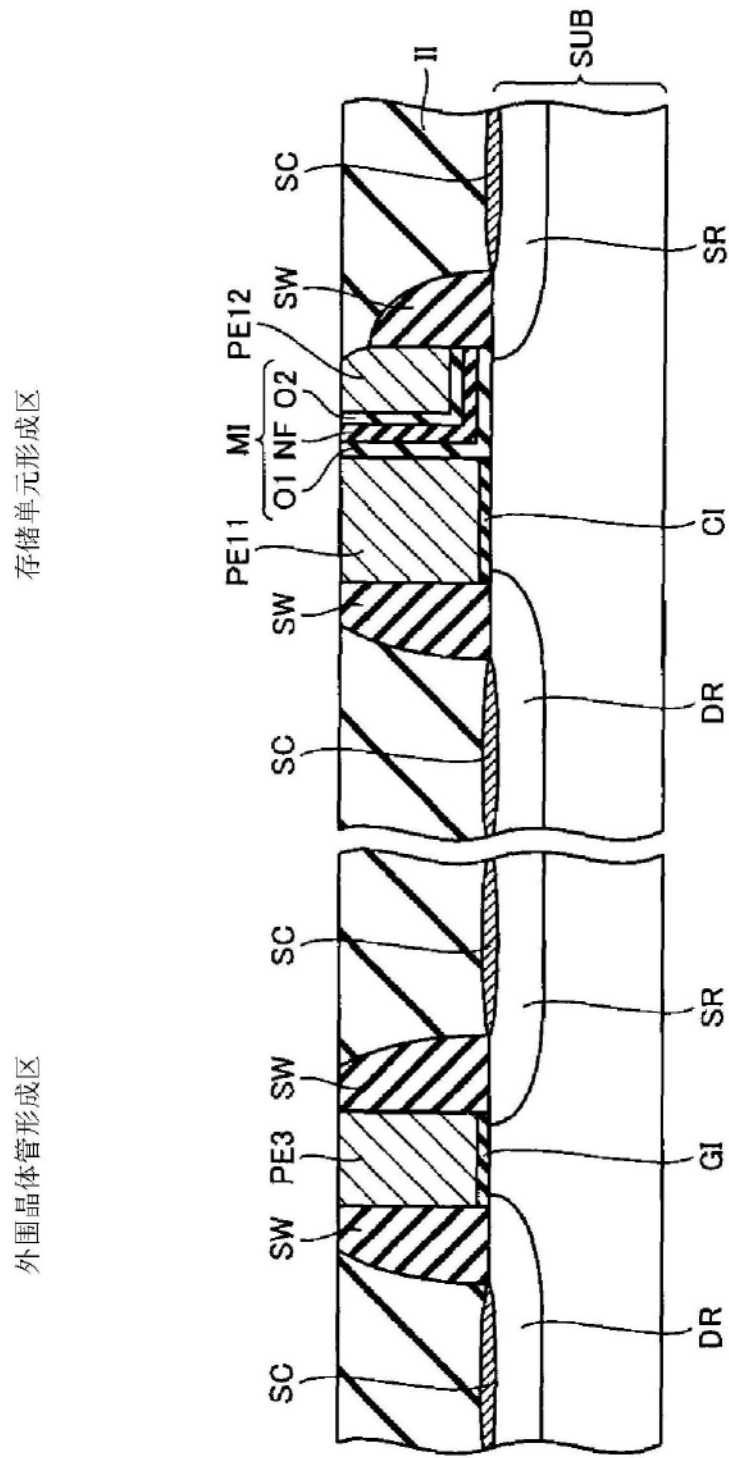


图18

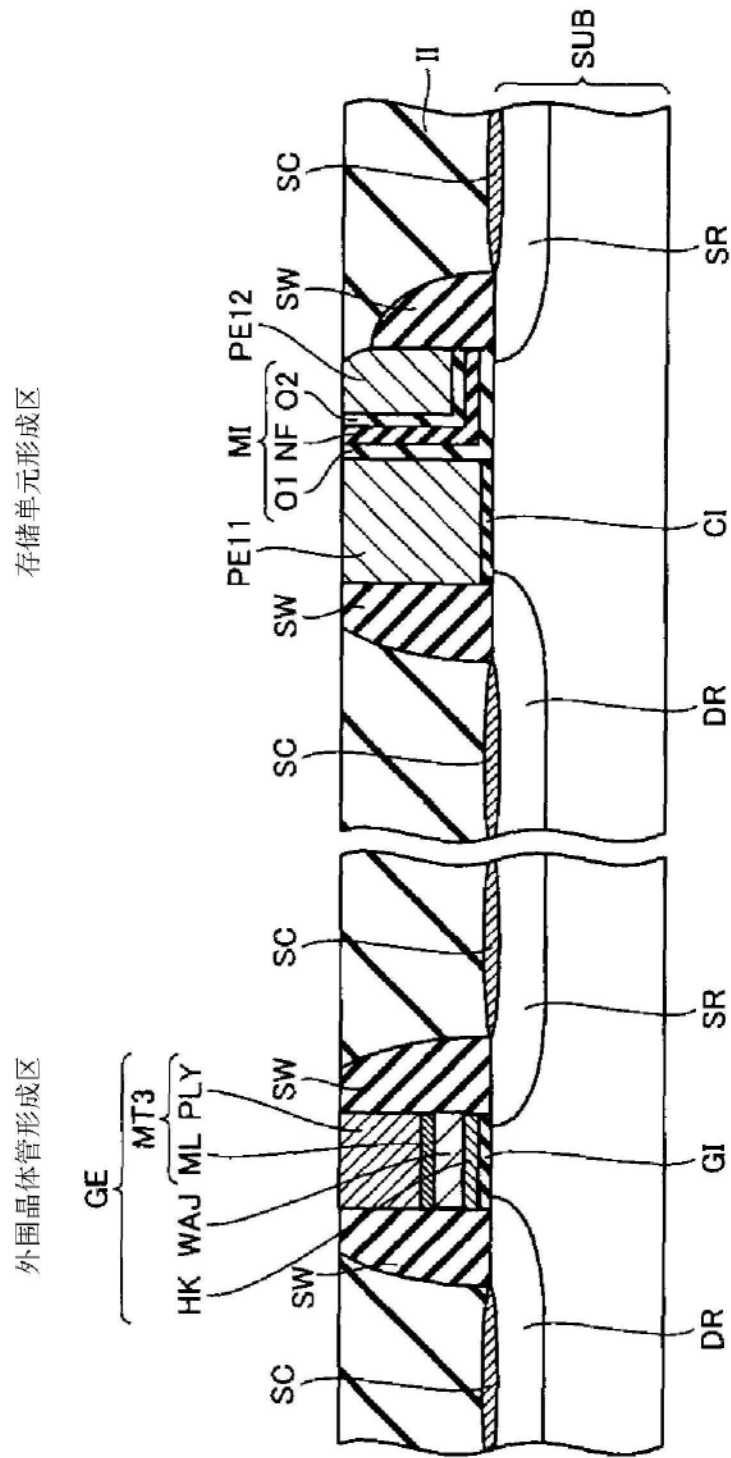


图19

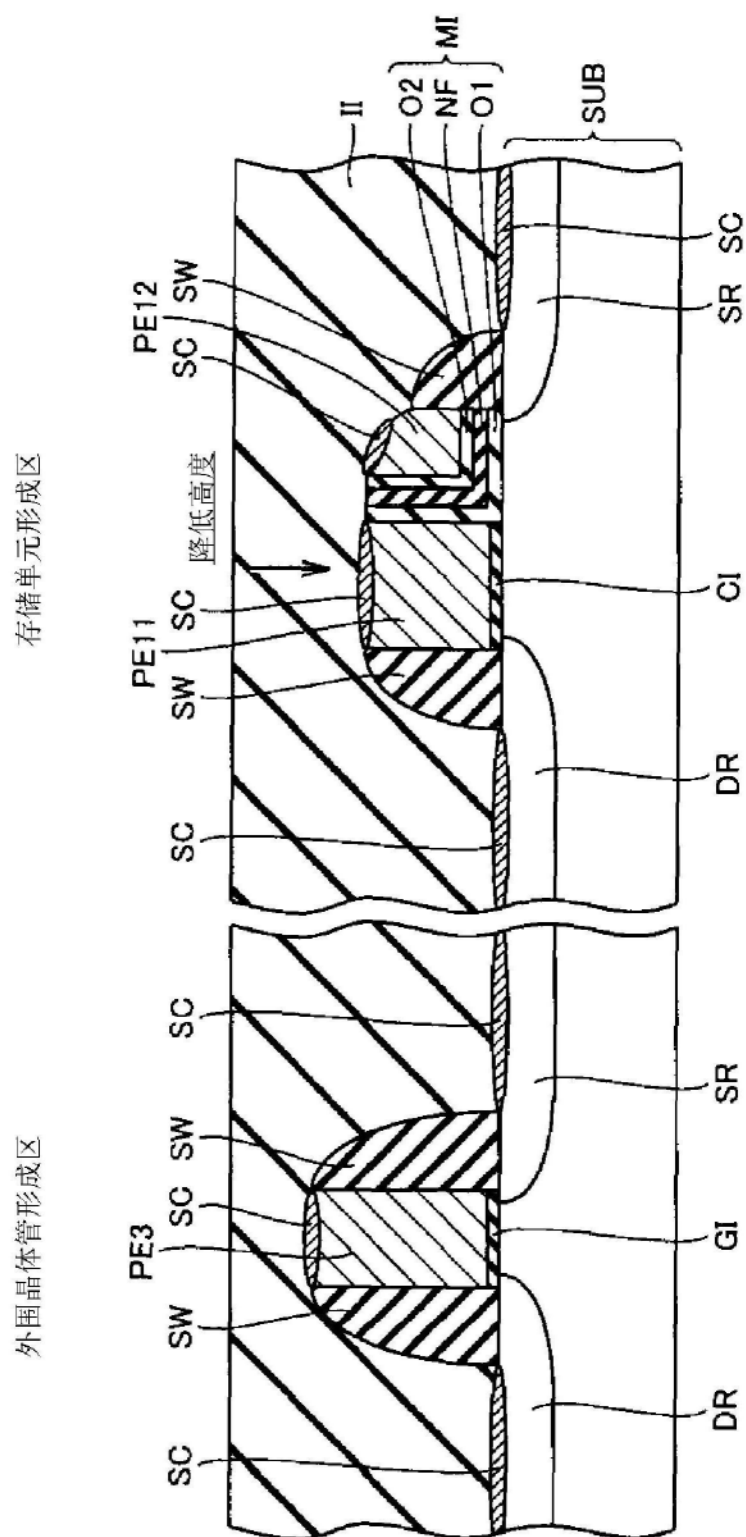


图20

存储单元形成区

外围晶体管形成区

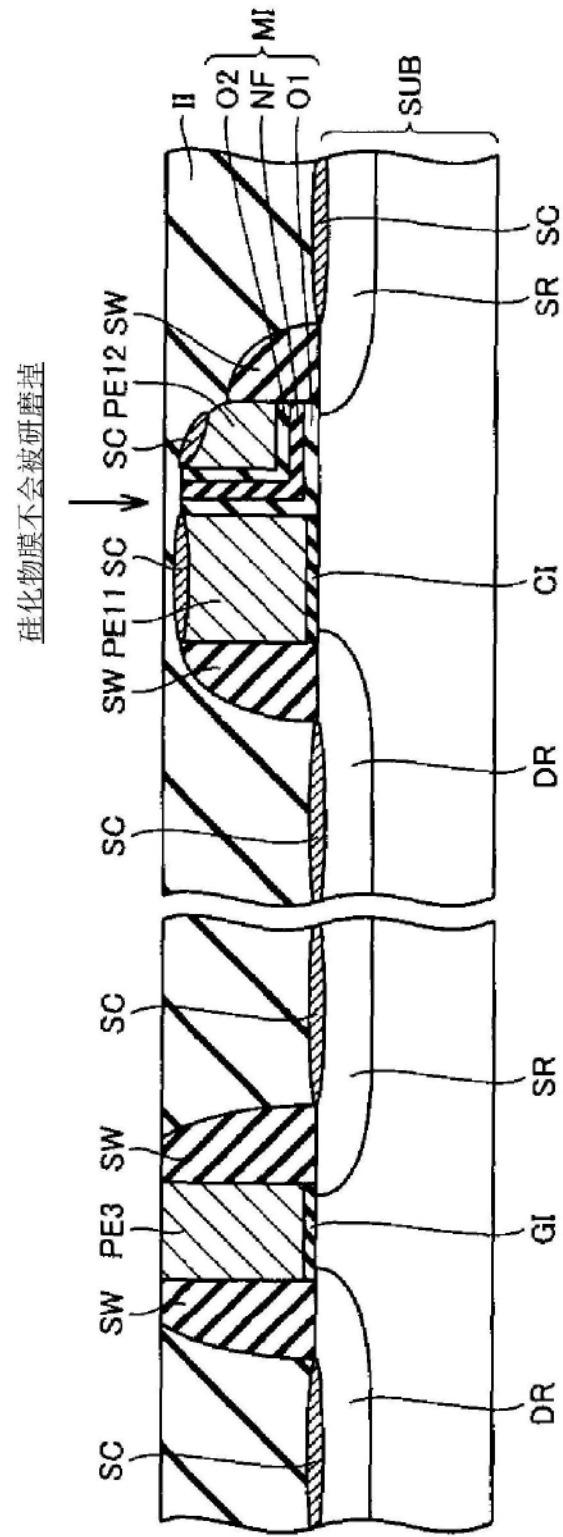


图21

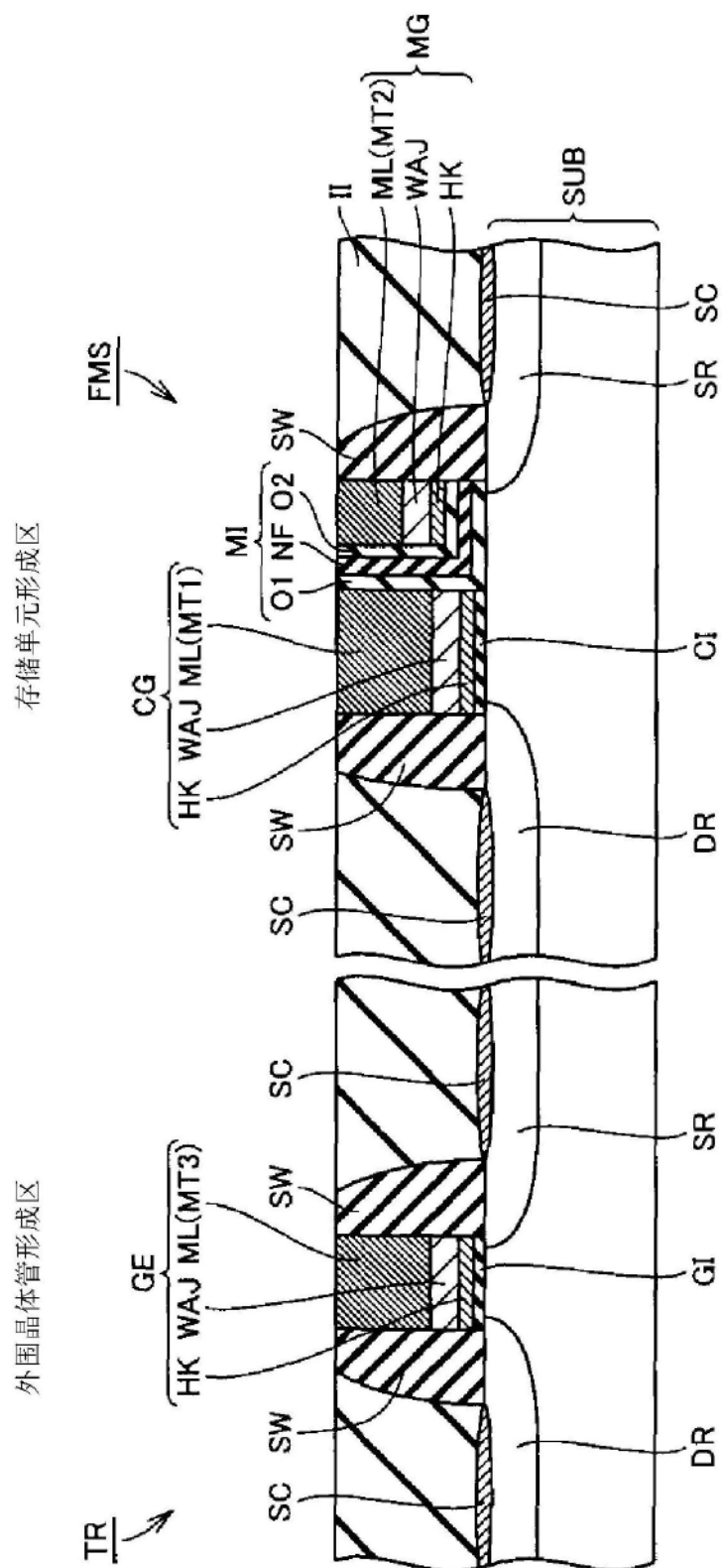


图22

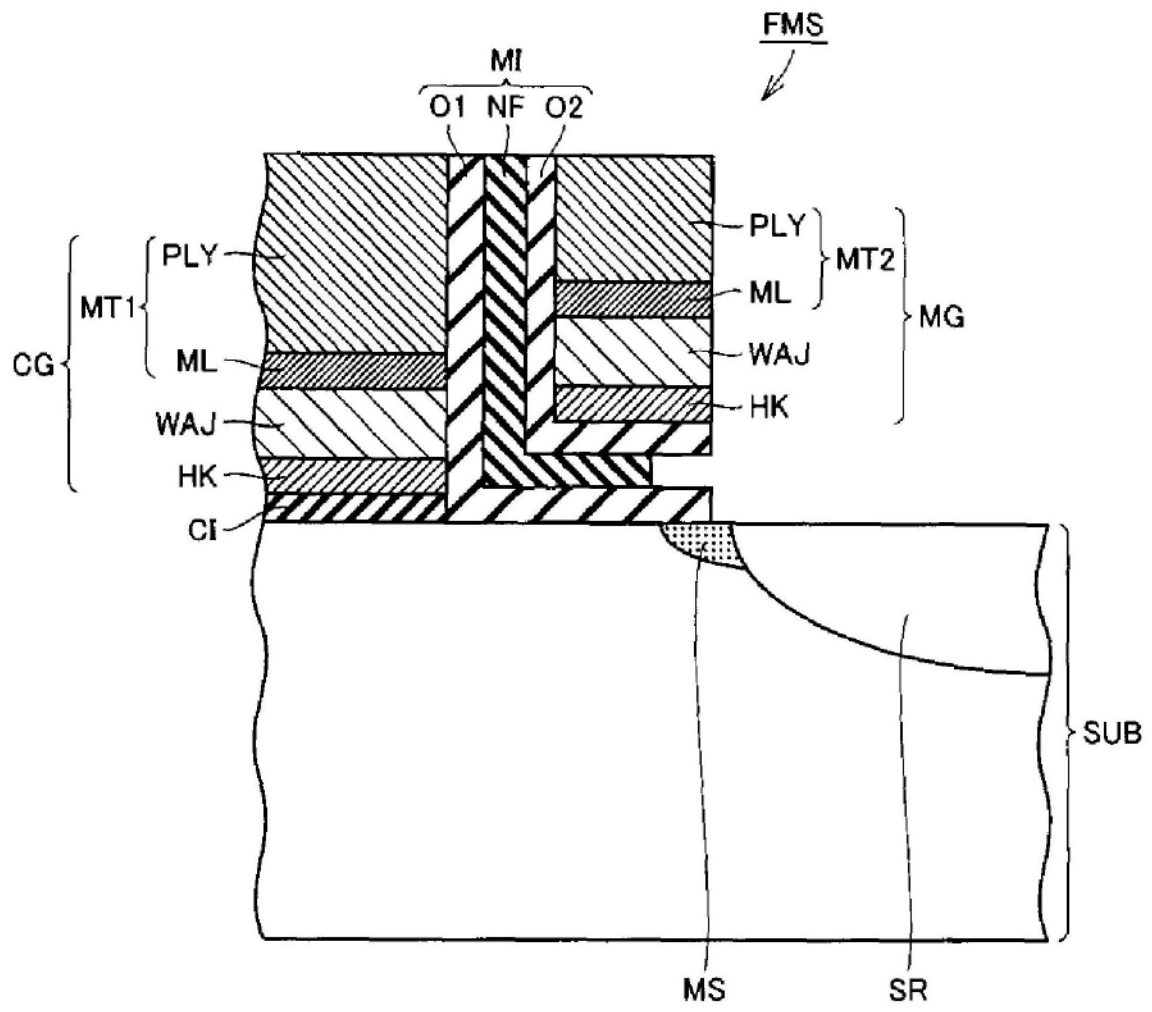


图23

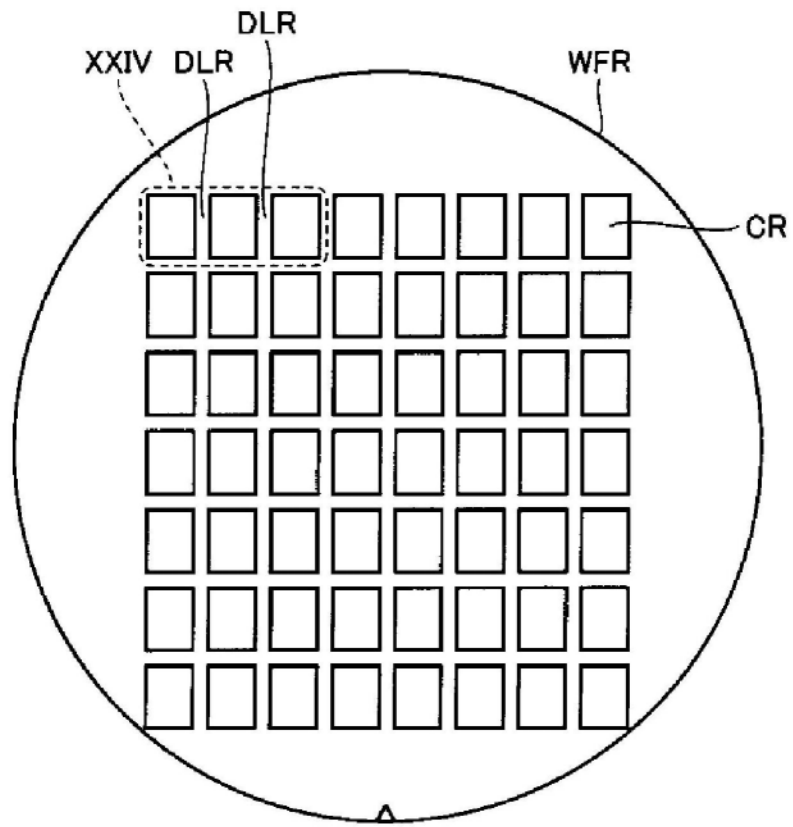


图24

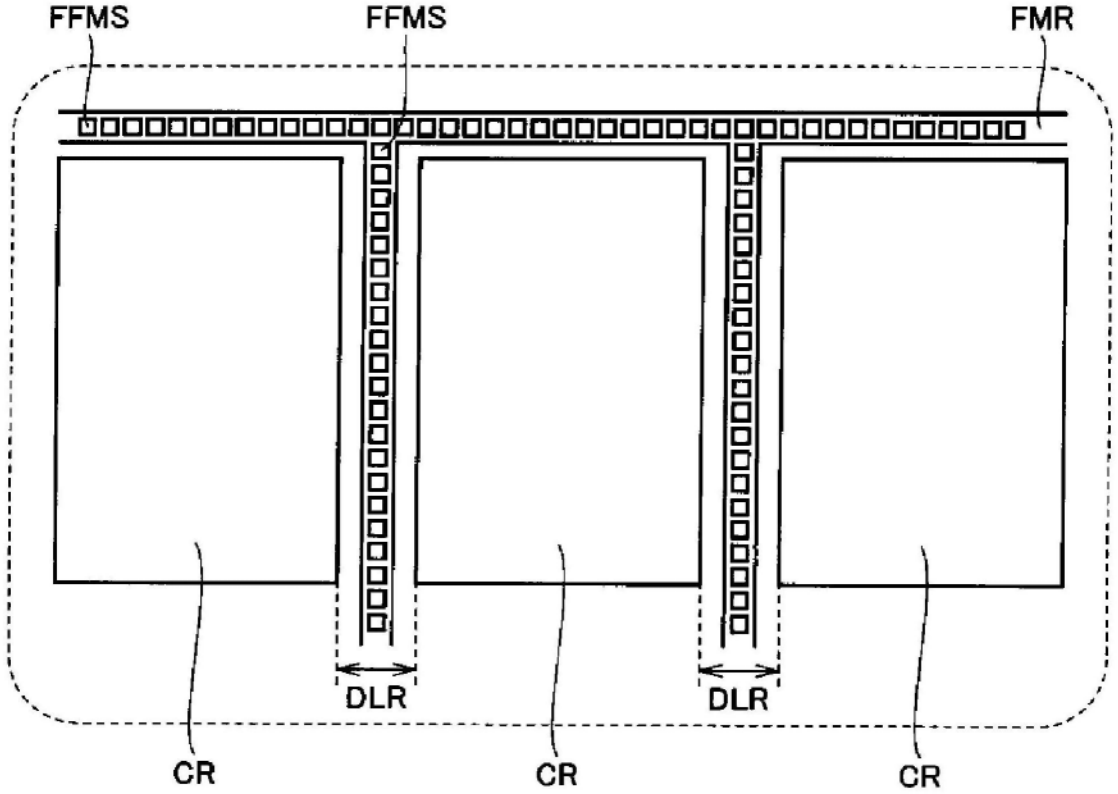


图25

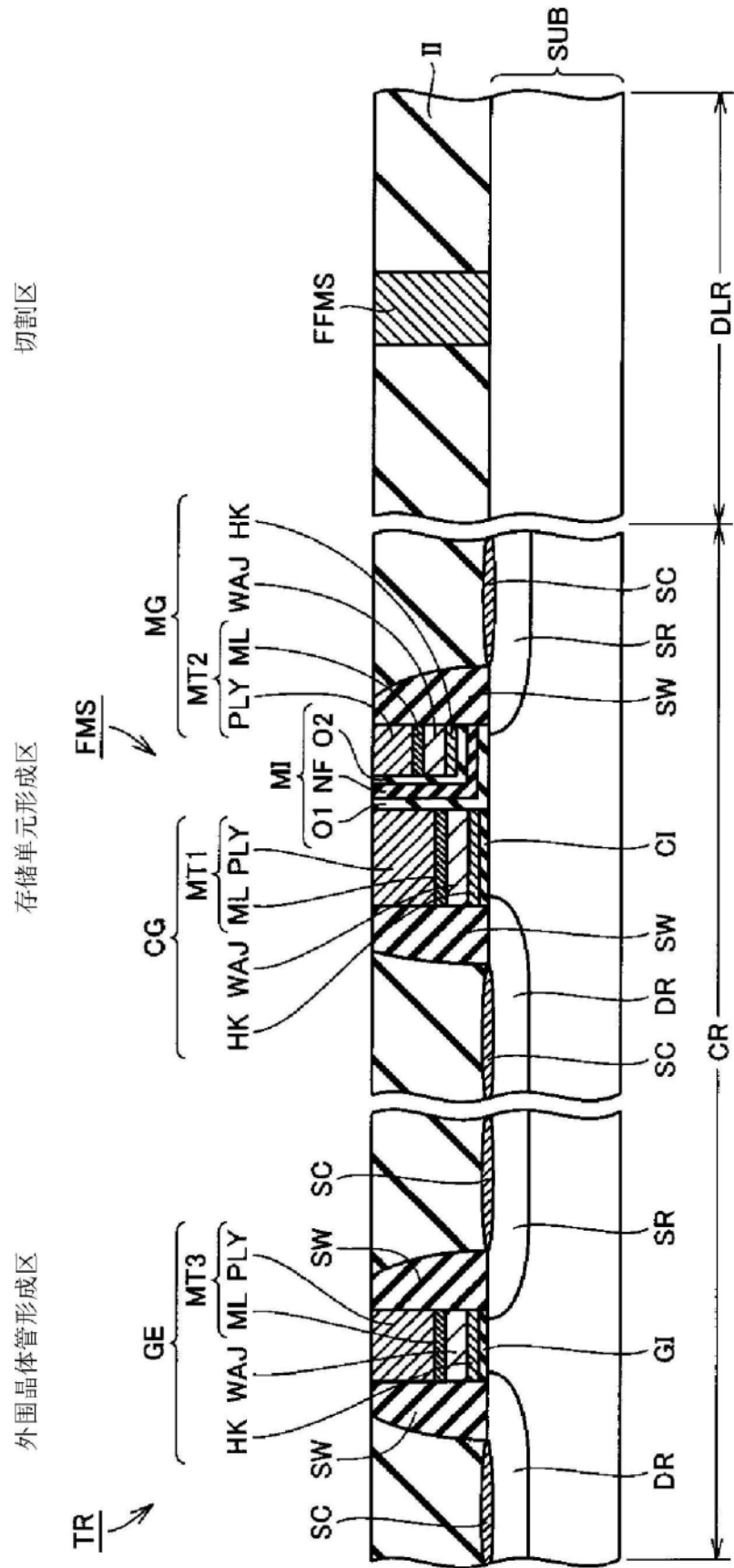


图26

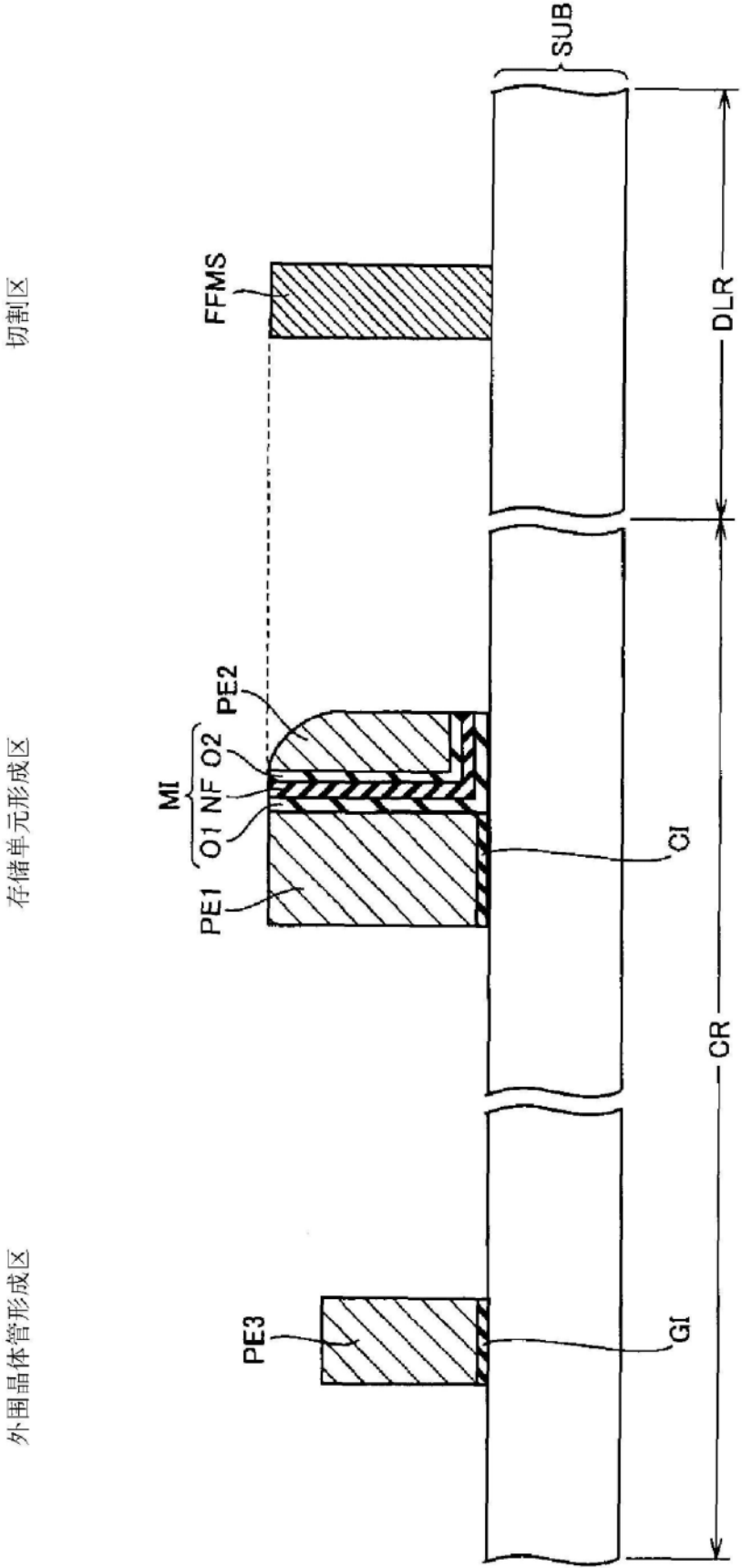


图27