

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7254462号
(P7254462)

(45)発行日 令和5年4月10日(2023.4.10)

(24)登録日 令和5年3月31日(2023.3.31)

(51)国際特許分類		F I	
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78 6 1 9 A
H 0 1 L	29/786(2006.01)	H 0 1 L	27/06 1 0 2 A
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/088 E
H 0 1 L	27/06 (2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	27/088(2006.01)	H 0 1 L	29/78 6 1 7 T
請求項の数 2 (全63頁) 最終頁に続く			
(21)出願番号	特願2018-150541(P2018-150541)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷3 9 8 番地
(22)出願日	平成30年8月9日(2018.8.9)	(72)発明者	山崎 舜平 神奈川県厚木市長谷3 9 8 番地 株式会 社半導体エネルギー研究所内
(65)公開番号	特開2020-27825(P2020-27825A)	(72)発明者	奥野 直樹 神奈川県厚木市長谷3 9 8 番地 株式会 社半導体エネルギー研究所内
(43)公開日	令和2年2月20日(2020.2.20)	(72)発明者	澤井 寛美 神奈川県厚木市長谷3 9 8 番地 株式会 社半導体エネルギー研究所内
審査請求日	令和3年8月3日(2021.8.3)	(72)発明者	駒形 大樹 神奈川県厚木市長谷3 9 8 番地 株式会 社半導体エネルギー研究所内 最終頁に続く

(54)【発明の名称】 半導体装置の作製方法

(57)【特許請求の範囲】

【請求項1】
基板上に第1の絶縁体を形成し、
前記第1の絶縁体の上に、第1の酸化膜、第2の酸化膜および第1の導電膜を順に成膜し、
前記第1の酸化膜、前記第2の酸化膜および前記第1の導電膜を加工して、第1の酸化物、酸化物層および導電体層を形成し、
前記第1の酸化物、前記酸化物層および前記導電体層を覆って第1の絶縁膜および第2の絶縁膜を順に成膜し、
前記酸化物層、前記導電体層、前記第1の絶縁膜および前記第2の絶縁膜に前記第1の酸化物が露出する開口を形成することで、
第2の酸化物、第3の酸化物、第1の導電体、第2の導電体、第2絶縁体および第3の絶縁体を形成し、
第3の酸化膜、第3の絶縁膜および第2の導電膜を順に成膜し、
平坦化処理を行うことによって、前記第3の酸化膜、前記第3の絶縁膜および前記第2の導電膜を前記第3の絶縁体の一部が露出するまで除去し、第4の酸化物、第4の絶縁体および第3の導電体を形成し、
第1の加熱処理を行い、
前記第1の加熱処理を行う時間は、24時間以上100時間以下であり、
第2の加熱処理を行い、

10

前記第 3 の導電体上に第 4 の絶縁膜を成膜する、半導体装置の作製方法。

【請求項 2】

基板上に第 1 の絶縁体を形成し、

前記第 1 の絶縁体の上に、第 1 の酸化膜、第 2 の酸化膜および第 1 の導電膜を順に成膜し、
前記第 1 の酸化膜、前記第 2 の酸化膜および前記第 1 の導電膜を加工して、第 1 の酸化物、
酸化物層および導電体層を形成し、

前記第 1 の酸化物、前記酸化物層および前記導電体層を覆って第 1 の絶縁膜および第 2 の
絶縁膜を順に成膜し、

前記酸化物層、前記導電体層、前記第 1 の絶縁膜および前記第 2 の絶縁膜に前記第 1 の酸
化物が露出する開口を形成することで、

第 2 の酸化物、第 3 の酸化物、第 1 の導電体、第 2 の導電体、第 2 絶縁体および第 3 の絶
縁体を形成し、

第 3 の酸化膜、第 3 の絶縁膜および第 2 の導電膜を順に成膜し、

平坦化処理を行うことによって、前記第 3 の酸化膜、前記第 3 の絶縁膜および前記第 2 の
導電膜を前記第 3 の絶縁体の一部が露出するまで除去し、第 4 の酸化物、第 4 の絶縁体お
よび第 3 の導電体を形成し、

第 1 の加熱処理を行い、

前記第 1 の加熱処理を行う時間は、24 時間以上 48 時間以下であり、

第 2 の加熱処理を行い、

前記第 3 の導電体上に第 4 の絶縁膜を成膜する、半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本
発明の一態様は、半導体ウエハ、モジュール、および電子機器に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装
置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装
置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影
装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、および電
子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明
の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様
は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マ
ター）に関するものである。

【背景技術】

【0004】

トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られてい
るが、その他の材料として酸化物半導体が注目されている。酸化物半導体としては、例え
ば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化
物も知られている。多元系金属の酸化物の中でも、特に、In-Ga-Zn 酸化物（以下、
IGZO と呼ぶ）に関する研究が盛んに行われている。

【0005】

IGZO に関する研究により、酸化物半導体において、単結晶でも非晶質でもない、C
AAC (c-axis aligned crystalline) 構造および nc (nanocrystalline) 構造が見出された（非特許文献 1 乃至非特許文献 3 参照）。
非特許文献 1 および非特許文献 2 では、C AAC 構造を有する酸化物半導体を用いてト
ランジスタを作製する技術も開示されている。さらに、C AAC 構造および nc 構造より
も結晶性の低い酸化物半導体でさえも、微小な結晶を有することが、非特許文献 4 および

10

20

30

40

50

非特許文献 5 に示されている。

【 0 0 0 6 】

さらに、IGZOを活性層として用いたトランジスタは極めて低いオフ電流を持ち（非特許文献 6 参照）、その特性を利用したLSIおよびディスプレイが報告されている（非特許文献 7 および非特許文献 8 参照）。

【先行技術文献】

【非特許文献】

【 0 0 0 7 】

【文献】S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p.183 - 186 10

S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4 S, p.04ED18 - 1 - 04ED18 - 10

S. Ito et al., "The Proceedings of AM-FPD'13 Digest of Technical Papers", 2013, p.151 - 154

S. Yamazaki et al., "ECS Journal of Solid State Science and Technology", 2014, volume 3, issue 9, p.Q3012 - Q3022 20

S. Yamazaki, "ECS Transactions", 2014, volume 64, issue 10, p.155 - 164

K. Kato et al., "Japanese Journal of Applied Physics", 2012, volume 51, p.021201 - 1 - 021201 - 7

S. Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, p.T216 - T217

S. Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, p.626 - 629 30

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、高い周波数特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。 40

【 0 0 0 9 】

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、情報の書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

【 0 0 1 0 】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の

一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、基板上に第1の絶縁体を形成し、第1の絶縁体の上に、第1の酸化膜、第2の酸化膜および第1の導電膜を順に成膜し、第1の酸化膜、第2の酸化膜および第1の導電膜を加工して、第1の酸化物、酸化物層および導電体層を形成し、第1の酸化物、酸化物層および導電体層を覆って第1の絶縁膜および第2の絶縁膜を順に成膜し、酸化物層、導電体層、第1の絶縁膜および第2の絶縁膜に第1の酸化物が露出する開口を形成することで、第2の酸化物、第3の酸化物、第1の導電体、第2の導電体、第2絶縁体および第3の絶縁体を形成し、第3の酸化膜、第3の絶縁膜および第2の導電膜を順に成膜し、平坦化処理を行うことによって、第3の酸化膜、第3の絶縁膜および第2の導電膜を第3の絶縁体の一部が露出するまで除去し、第4の酸化物、第4の絶縁体および第3の導電体を形成し、第1の加熱処理を行い、第2の加熱処理を行い、第3の導電体上に第4の絶縁膜を成膜する半導体装置の作製方法である。

10

【0012】

また、第1の加熱処理は、窒素雰囲気において、300 以上450 以下で行うことが好ましい。

【0013】

また、第1の加熱処理の時間は、1時間以上行うことが好ましい。

20

【0014】

また、第2の加熱処理および第4の絶縁膜の成膜は、減圧下において順に行うことが好ましい。

【0015】

また、第4の絶縁体は、酸化アルミニウムまたは窒化シリコン、のいずれかーを含むことが好ましい。

【0016】

また、第4の絶縁体は、第1の材料および第2の材料を含み、第1の材料は、第2の材料の下側に位置し、第2の材料の下面に接していることが好ましい。

30

【0017】

また、第1の材料は、酸化アルミニウムを含み、第2の材料は、窒化シリコンを含み、第2の材料は、第1の材料と異なる材料であることが好ましい。

【0018】

また、第1乃至第4の酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を含むことが好ましい。

【0019】

また、本発明の一態様は、第1の絶縁体と、第1の絶縁体上の第1の酸化物と、第1の酸化物上の第2の酸化物および第3の酸化物と、第2の酸化物上の第1の導電体と、第3の酸化物上の第2の導電体と、第1の酸化物上の第4の酸化物と、第4の酸化物上の第2の絶縁体と、第2の絶縁体上の第3の導電体と、第3の導電体上の第3の絶縁体と、第3の絶縁体上の第4の絶縁体と、を有し、第4の酸化物は、第1の酸化物の上面、第1の導電体の側面、第2の導電体の側面、第2の酸化物の側面および第3の酸化物の側面と、それぞれ接し、第1の酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を有し、第4の酸化物は、第1の酸化物が有する構成元素の少なくとも一を有し、第2の酸化物、および第3の酸化物は、それぞれ、元素Mを有し、第2の酸化物、および第3の酸化物は、第1の酸化物よりも元素Mの濃度が高い領域を有する半導体装置である。

40

【0020】

また、第3の絶縁体は、酸素、およびアルミニウムを含み、第4の絶縁体は、窒素、お

50

よびシリコンを含むことが好ましい。

【発明の効果】

【0021】

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、高い周波数特性を有する半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

10

【0022】

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

【0023】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

20

【図面の簡単な説明】

【0024】

【図1】本発明の一態様に係る半導体装置の上面図および断面図。

【図2】本発明の一態様に係る半導体装置の上面図および断面図。

【図3】本発明の一態様に係る半導体装置の断面図。

【図4】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図5】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図6】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図7】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図8】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

30

【図9】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図10】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図11】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図12】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図13】酸化物半導体のエネルギーバンド構造を説明する図。

【図14】酸化物半導体上に配置した導電体の酸化を説明する模式図。

【図15】酸化物半導体上に配置した導電体の酸化を説明する模式図。

【図16】酸化物半導体上に配置した導電体の酸化を説明する模式図。

【図17】本発明の一態様に係る記憶装置の構成を示す断面図。

【図18】本発明の一態様に係る記憶装置の構成を示す断面図。

40

【図19】本発明の一態様に係る記憶装置の構成例を示すブロック図。

【図20】本発明の一態様に係る記憶装置の構成例を示す回路図。

【図21】本発明の一態様に係る半導体装置の模式図。

【図22】本発明の一態様に係る記憶装置の模式図。

【図23】本発明の一態様に係る電子機器を示す図。

【図24】実施例の酸化物のキャリア濃度を示すグラフ。

【図25】実施例の酸化物の水素濃度を示すグラフ。

【図26】初期状態のモデルと最終状態のモデルを説明する図。

【図27】エネルギーの変化を説明する図。

【発明を実施するための形態】

50

【 0 0 2 5 】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 6 】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

10

【 0 0 2 7 】

また、特に上面図（「平面図」ともいう）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

【 0 0 2 8 】

また、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

20

【 0 0 2 9 】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【 0 0 3 0 】

例えば、本明細書等において、X と Y とが接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接的に接続されている場合とが、本明細書等に関示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

30

【 0 0 3 1 】

ここで、X、Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【 0 0 3 2 】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

40

【 0 0 3 3 】

なお、本明細書等において、トランジスタの構造によっては、実際にチャネルの形成される領域（チャネル形成領域）におけるチャネル幅（以下、「実効的なチャネル幅」ともいう）と、トランジスタの上面図において示されるチャネル幅（以下、「見かけ上のチャネル幅」ともいう）と、が異なる場合がある。例えば、ゲートが半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視でき

50

なくなる場合がある。例えば、微細かつゲートが半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

【 0 0 3 4 】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【 0 0 3 5 】

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

10

【 0 0 3 6 】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS (Density of States) が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

20

【 0 0 3 7 】

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

30

【 0 0 3 8 】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

【 0 0 3 9 】

また、本明細書等において、「平行」とは、二つの直線が-10度以上10度以下の角度で配置されている状態をいう。したがって、-5度以上5度以下の場合も含まれる。また、「略平行」とは、二つの直線が-30度以上30度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が80度以上100度以下の角度で配置されている状態をいう。したがって、85度以上95度以下の場合も含まれる。また、「略垂直」とは、二つの直線が60度以上120度以下の角度で配置されている状態をいう。

40

【 0 0 4 0 】

なお、本明細書において、バリア膜とは、水、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、当該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

【 0 0 4 1 】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor または単にOSともいう)

50

などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSFETあるいはOSTランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0042】

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\mu\text{m}$ あたりの電流が、室温において $1\times 10^{-20}\text{A}$ 以下、85℃において $1\times 10^{-18}\text{A}$ 以下、または125℃において $1\times 10^{-16}\text{A}$ 以下であることをいう。

【0043】

(実施の形態1)

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。なお、本発明の一態様においては、トランジスタ作製工程中における、加熱処理を特定の条件、または特定の範囲とすることによって、信頼性が良好な半導体装置を提供することができる。なお、トランジスタ作製工程中における加熱処理については、後述の半導体装置の作製方法にて、詳細を説明する。

【0044】

<半導体装置の構成例>

図1(A)、図1(B)、および図1(C)は、本発明の一態様に係るトランジスタ200、およびトランジスタ200周辺の上面図および断面図である。

【0045】

図1(A)は、トランジスタ200を有する半導体装置の上面図である。また、図1(B)、および図1(C)は、当該半導体装置の断面図である。ここで、図1(B)は、図1(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図1(C)は、図1(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。なお、図1(A)の上面図では、図の明瞭化のために一部の要素を省いている。

【0046】

本発明の一態様の半導体装置は、基板(図示せず)上の絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214上のトランジスタ200と、トランジスタ200上の絶縁体280と、絶縁体280上の絶縁体282と、絶縁体282上の絶縁体283と、絶縁体283上の絶縁体274と、絶縁体274上の絶縁体281と、を有する。絶縁体212、絶縁体214、絶縁体280、絶縁体282、絶縁体283、絶縁体274、および絶縁体281は層間膜として機能する。また、トランジスタ200と電気的に接続し、プラグとして機能する導電体240(導電体240a、および導電体240b)とを有する。なお、プラグとして機能する導電体240の側面に接して絶縁体241(絶縁体241a、および絶縁体241b)が設けられる。また、絶縁体281上、および導電体240上には、導電体240と電気的に接続し、配線として機能する導電体246(導電体246a、および導電体246b)が設けられる。

【0047】

また、絶縁体272、絶縁体273、絶縁体280、絶縁体282、絶縁体283、絶縁体274、および絶縁体281の開口の内壁に接して絶縁体241aが設けられ、その側面に接して導電体240aの第1の導電体が設けられ、さらに内側に導電体240aの第2の導電体が設けられている。また、絶縁体272、絶縁体273、絶縁体280、絶縁体282、絶縁体283、絶縁体274、および絶縁体281の開口の内壁に接して絶縁体241bが設けられ、その側面に接して導電体240bの第1の導電体が設けられ、さらに内側に導電体240bの第2の導電体が設けられている。ここで、導電体240の上面の高さと、絶縁体281の上面の高さは同程度にできる。なお、トランジスタ200では、導電体240の第1の導電体および導電体240の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240を単

10

20

30

40

50

層、または３層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

【００４８】

[トランジスタ２００]

図１に示すように、トランジスタ２００は、絶縁体２１４上の絶縁体２１６と、絶縁体２１６に埋め込まれるように配置された導電体２０５（導電体２０５ａ、および導電体２０５ｂ）と、絶縁体２１６上、および導電体２０５上の絶縁体２２２と、絶縁体２２２上の絶縁体２２４と、絶縁体２２４上の酸化物２３０ａと、酸化物２３０ａ上の酸化物２３０ｂと、酸化物２３０ｂ上の酸化物２４３ａおよび酸化物２４３ｂと、酸化物２４３ａ上の導電体２４２ａと、酸化物２４３ｂ上の導電体２４２ｂと、酸化物２３０ｂ上の酸化物
 ２３０ｃと、酸化物２３０ｃ上の絶縁体２５０と、絶縁体２５０上に位置し、酸化物２３
 ０ｃと重なる導電体２６０（導電体２６０ａ、および導電体２６０ｂ）と、絶縁体２２４
 の上面の一部、酸化物２３０ａの側面、酸化物２３０ｂの側面、酸化物２４３ａの側面、
 酸化物２４３ｂの側面、導電体２４２ａの側面、導電体２４２ａの上面、導電体２４２ｂ
 の側面、および導電体２４２ｂの上面と接する絶縁体２７２と、絶縁体２７２上の絶縁体
 ２７３と、を有する。また、酸化物２３０ｃは、酸化物２４３ａの側面、酸化物２４３ｂ
 の側面、導電体２４２ａの側面および導電体２４２ｂの側面とそれぞれ接する。導電体
 ２６０は、導電体２６０ａおよび導電体２６０ｂを有し、導電体２６０ｂの底面および側面
 を包むように導電体２６０ａが配置される。ここで、図１（Ｂ）に示すように、導電体
 ２６０の上面は、絶縁体２５０の上面および酸化物２３０ｃの上面と略一致して配置される
 。また、絶縁体２８２は、導電体２６０、酸化物２３０ｃ、絶縁体２５０、および絶縁体
 ２８０のそれぞれの上面と接する。

10

20

【００４９】

また、絶縁体２２２、絶縁体２７２、絶縁体２７３、絶縁体２８２、および絶縁体２８
 ３は、水素（例えば、水素原子、水素分子など）の少なくとも一の拡散を抑制する機能を
 有することが好ましい。また、絶縁体２２２、絶縁体２７２、絶縁体２７３、および絶縁
 体２８２は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する
 機能を有することが好ましい。例えば、絶縁体２２２、絶縁体２７２、絶縁体２７３、お
 よび絶縁体２８２は、それぞれ絶縁体２２４よりも酸素および水素の一方または双方の透
 過性が低いことが好ましい。絶縁体２２２、絶縁体２７２、絶縁体２７３、絶縁体２８２
 、および絶縁体２８３は、それぞれ絶縁体２５０よりも酸素および水素の一方または双方
 の透過性が低いことが好ましい。絶縁体２２２、絶縁体２７２、絶縁体２７３、絶縁体２
 ８２、および絶縁体２８３は、それぞれ絶縁体２８０よりも酸素および水素の一方または
 双方の透過性が低いことが好ましい。

30

【００５０】

図１（Ｂ）に示すように、絶縁体２７２は、導電体２４２ａの上面と側面、導電体２４
 ２ｂの上面と側面、酸化物２４３ａの側面、酸化物２４３ｂの側面、酸化物２３０ａの側
 面、酸化物２３０ｂの側面、および絶縁体２２４の上面に接することが好ましい。また、
 絶縁体２７２上に絶縁体２７３が接して設けられていることが好ましい。これにより、絶
 縁体２８０は、絶縁体２７２、および絶縁体２７３によって、絶縁体２２４および酸化物
 ２３０と離隔される。

40

【００５１】

また、酸化物２３０は、絶縁体２２４上の酸化物２３０ａと、酸化物２３０ａ上の酸化
 物２３０ｂと、酸化物２３０ｂ上に配置され、少なくとも一部が酸化物２３０ｂの上面に
 接する酸化物２３０ｃと、を有することが好ましい。

【００５２】

なお、トランジスタ２００では、チャネル形成領域と、その近傍において、酸化物２３
 ０ａ、酸化物２３０ｂ、および酸化物２３０ｃの３層を積層する構成について示している
 が、本発明はこれに限られるものではない。例えば、酸化物２３０ｂの単層、酸化物２３
 ０ｂと酸化物２３０ａの２層構造、酸化物２３０ｂと酸化物２３０ｃの２層構造、または

50

4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ200では、導電体260を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体260が、単層構造であってもよいし、3層以上の積層構造であってもよい。

【0053】

ここで、導電体260は、トランジスタのゲートとして機能し、導電体242aおよび導電体242bは、それぞれソース電極またはドレイン電極として機能する。トランジスタ200は、ゲートとして機能する導電体260が、絶縁体280などによって形成される開口を埋めるように自己整合的に形成される。導電体260をこのように形成することにより、導電体242aと導電体242bの間の領域に、導電体260を位置合わせすることなく確実に配置することができる。

10

【0054】

また、トランジスタ200は、チャネル形成領域を含む酸化物230（酸化物230a、酸化物230b、および酸化物230c）に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

【0055】

チャネル形成領域に酸化物半導体を用いたトランジスタ200は、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200に用いることができる。

【0056】

20

例えば、酸化物230として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

【0057】

酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230b上に酸化物230cを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

30

【0058】

なお、酸化物230は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

40

【0059】

また、酸化物230bは、結晶性を有することが好ましい。例えば、後述するCAAC-OS（c-axis aligned crystalline oxide semiconductor）を用いることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有してい

50

る。よって、ソース電極またはドレイン電極による、酸化物 230b からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物 230b から酸素が引き抜かれることを低減できるので、トランジスタ 200 は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

【0060】

また、酸化物 230a および酸化物 230c の伝導帯下端のエネルギーが、酸化物 230b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 230a および酸化物 230c の電子親和力が、酸化物 230b の電子親和力より小さいことが好ましい。

【0061】

ここで、酸化物 230a、酸化物 230b、および酸化物 230c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 230a、酸化物 230b、および酸化物 230c の接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 230a と酸化物 230b との界面、および酸化物 230b と酸化物 230c との界面において形成される混合層の欠陥準位密度を低くするとよい。

【0062】

具体的には、酸化物 230a として、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]、または $1 : 1 : 0.5$ [原子数比] の金属酸化物を用いればよい。また、酸化物 230b として、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、または $1 : 1 : 1$ [原子数比] の金属酸化物を用いればよい。また、酸化物 230c として、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]、 $Ga : Zn = 2 : 1$ [原子数比]、または $Ga : Zn = 2 : 5$ [原子数比] の金属酸化物を用いればよい。また、酸化物 230c を積層構造とする場合の具体例としては、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] と、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比] との積層構造、 $Ga : Zn = 2 : 1$ [原子数比] と、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] との積層構造、 $Ga : Zn = 2 : 5$ [原子数比] と、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] との積層構造、酸化ガリウムと、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] との積層構造などが挙げられる。

【0063】

このとき、キャリアの主たる経路は酸化物 230b となる。酸化物 230a、酸化物 230c を上述の構成とすることで、酸化物 230a と酸化物 230b との界面、および酸化物 230b と酸化物 230c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は高いオン電流、および高い周波数特性を得ることができる。

【0064】

酸化物 230 は、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、エネルギーギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

【0065】

電子親和力または伝導帯下端のエネルギー準位 E_c は、図 13 に示すように、真空準位と価電子帯上端のエネルギー E_v との差であるイオン化ポテンシャル I_p と、エネルギーギャップ E_g から求めることができる。イオン化ポテンシャル I_p は、例えば、紫外線光電子分光分析 (UPS: Ultraviolet Photoelectron Spectroscopy) 装置を用いて測定することができる。エネルギーギャップ E_g は、例えば、分光エリプソメータを用いて測定することができる。

【0066】

また、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネル形成領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合があ

10

20

30

40

50

る。また、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、チャネル形成領域中の酸素欠損はできる限り低減されていることが好ましい。例えば、絶縁体 250 を介して酸化物 230 に酸素を供給し、酸素欠損を補填すればよい。これにより、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

【0067】

また、酸化物半導体の近傍に配置された導電体が、金属、または合金からなる場合、酸化物半導体を構成する酸素原子により、当該導電体が酸化する場合がある。当該導電体が、酸化により導電性が低下する場合、半導体装置の電気特性のばらつきや、信頼性の低下などの原因となる蓋然性が高い。

10

【0068】

ここで、図 14 乃至図 16 を用いて、酸化物半導体が有する酸素原子による酸化物半導体と接する金属、または合金からなる構造体の酸化反応について説明する。以下では、具体的に、酸化物半導体として In - Ga - Zn 酸化物、導電体として窒化タンタルを用いた場合の酸化反応について説明する。

【0069】

図 14 (A) は、In - Ga - Zn 酸化物からなる酸化物半導体 10 と、および窒化タンタルからなる導電体 20 との積層体の断面において、界面近傍の領域を示す。なお、図中、各構造体に示す黒丸は酸素原子を示す。また、酸化物半導体 10 に示す白丸は、酸化物半導体中に生じた酸素欠損を示す。

20

【0070】

図 14 (B) は、導電体 20 の酸化反応の初期過程を示す。なお、導電体 20 において、酸素が低濃度で固溶した領域を酸素固溶領域 22 として示す。また、図 14 (C) は、導電体 20 の酸化反応により、生じた酸化物 30 の成長過程を示す。

【0071】

まず、図 15 を用いて、導電体 20 の酸化反応の初期過程を説明する。なお、図中矢印は、酸素原子の移動方向を示す。導電体 20 の酸化反応の初期過程では、導電体 20 の界面の金属原子タンタルと、酸化物半導体 10 の界面の酸素イオンが相互作用していると推測される。

30

【0072】

図 15 (A) に示すように、図中黒丸で示す酸素イオンは、酸化物半導体 10 と導電体 20 との界面に到達すると、導電体 20 の界面の金属原子タンタルと、吸着する。

【0073】

図 15 (B) に示すように、酸素イオンが金属原子タンタルと吸着した状態で、加熱処理が行われた場合、酸素イオンは導電体 20 の内部に拡散し、窒化タンタル内部に、酸素固溶領域 22 が形成される (図 15 (B) 参照)。なお、酸素固溶領域 22 が形成された時点では、まだ酸化反応は生じておらず、酸素イオンは、導電体 20 の内部に不純物として固溶した状態である。また、酸素イオンが、導電体 20 に拡散することで、酸化物半導体 10 の界面には、一時的に、酸素欠損が生じる場合がある。

40

【0074】

なお、導電体 20 が、酸素を固溶できる容量は、導電体 20 の結晶性、または緻密さに依存すると推測される。また、酸化物半導体 10 の界面の酸素イオンが、導電体 20 に固溶することで、酸化物半導体 10 の界面に生じた酸素欠損には、酸化物半導体 10 の内部の酸素原子が補填される (図 15 (C) 参照)。

【0075】

図 15 (A) 乃至図 15 (C) に示す過程を繰り返すことにより、酸素固溶領域 22 中の酸素濃度は高くなる。ここで、酸素固溶領域 22 中の酸素の固溶が飽和すると、酸素固溶領域 22 中の金属原子タンタルの酸化が開始する。従って、図 15 (D) に示すように、酸化物半導体 10 と導電体 20 との間に、酸化タンタルを含む酸化物 30 が形成される。

50

【 0 0 7 6 】

なお、金属の酸化反応の初期過程において、一般的には酸化物の核生成が生じることが知られている。一方で、酸化物半導体を用いた半導体装置の作製工程でかかる熱履歴は、比較的低温であるため、酸化物半導体 1 0 と導電体 2 0 との界面には非晶質の酸化物の薄膜が形成されると推測される。

【 0 0 7 7 】

続いて、図 1 6 を用いて、酸化物半導体 1 0 と導電体 2 0 との間に生じた酸化物 3 0 の成長過程を説明する。酸化物 3 0 が生じることで、酸化物 3 0 と酸化物半導体 1 0 との界面は、酸素が欠乏し、酸素欠損の濃度が高い状態となる。つまり、酸化物半導体 1 0 中には、酸素欠損の濃度勾配が生じていると考えられる。

10

【 0 0 7 8 】

従って、図 1 6 (A) 乃至図 1 6 (C) に示すように、酸化物半導体 1 0 において、酸素欠損の濃度を均一化するため、酸化物半導体 1 0 の内部の酸素イオンが拡散する。当該酸素イオンが、酸化物 3 0 との界面に到達すると考えられる (図 1 6 (A) 参照) 。さらに、当該到達した酸素イオンは、酸化物 3 0 が有する酸化タンタルの成長反応に使われ、酸化物 3 0 が増膜する (図 1 6 (B) および図 1 6 (C) 参照) 。

【 0 0 7 9 】

酸化タンタルを有する酸化物 3 0 において、界面の欠陥の影響を考慮しない場合、一般的には酸化反応は酸化物 3 0 の薄膜内の金属および酸素イオンの拡散速度に依存する。

【 0 0 8 0 】

従って、酸素イオンの拡散により、酸化物半導体 1 0 、および酸化物 3 0 の内部では、酸素濃度の勾配が生じる。その場合、酸化物 3 0 中での酸素イオンの拡散速度が、酸化物 3 0 における酸化タンタルの成長速度を決める要因になると推測できる。なお、拡散種が酸素イオンの場合は、酸化物 3 0 の酸化タンタル内で拡散し、酸化物 3 0 および導電体 2 0 の界面に到達することにより、新たな酸化タンタルを生成し、酸化物 3 0 の増膜が起こると考えられる。また、本酸化反応の成長過程において、導電体 2 0 の酸素固溶領域 2 2 は導電体 2 0 内部へと拡張していくと考えられる。

20

【 0 0 8 1 】

上述のような導電体の酸化反応を抑制するために、本発明の一態様のトランジスタ 2 0 0 は、図 1 (B) に示すように、酸化物 2 3 0 b と、ソース電極またはドレイン電極として機能する導電体 2 4 2 (導電体 2 4 2 a よび導電体 2 4 2 b) と、の間に酸化物 2 4 3 (酸化物 2 4 3 a および酸化物 2 4 3 b) が配置されている。導電体 2 4 2 と、酸化物 2 3 0 とが接しない構成となるので、導電体 2 4 2 が、酸化物 2 3 0 の酸素を吸収することを抑制できる。つまり、導電体 2 4 2 の酸化を防止することで、導電体 2 4 2 の導電率の低下を抑制することができる。従って、酸化物 2 4 3 は、導電体 2 4 2 の酸化を抑制する機能を有することが好ましい。

30

【 0 0 8 2 】

従って、酸化物 2 4 3 は、酸素の透過を抑制する機能を有することが好ましい。ソース電極やドレイン電極として機能する導電体 2 4 2 と酸化物 2 3 0 b との間に酸素の透過を抑制する機能を有する酸化物 2 4 3 を配置することで、導電体 2 4 2 と、酸化物 2 3 0 b との間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ 2 0 0 の電気特性およびトランジスタ 2 0 0 の信頼性を向上させることができる。

40

【 0 0 8 3 】

酸化物 2 4 3 として、元素 M を有する金属酸化物を用いてもよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物 2 4 3 は、酸化物 2 3 0 b よりも元素 M の濃度が高いことが好ましい。また、酸化物 2 4 3 として、酸化ガリウムを用いてもよい。また、酸化物 2 4 3 として、 $I_n - M - Z_n$ 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物 2 4 3 に用いる金属酸化物において、 I_n に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、 I_n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 4 3 の膜厚は、0 . 5 n m 以

50

上 5 nm 以下が好ましく、より好ましくは、1 nm 以上 3 nm 以下である。また、酸化物 243 は、結晶性を有すると好ましい。酸化物 243 が結晶性を有する場合、酸化物 230 中の酸素の放出を好適に抑制することが出来る。例えば、酸化物 243 としては、六方晶などの結晶構造であれば、酸化物 230 中の酸素の放出を抑制できる場合がある。

【0084】

本発明の一態様であるトランジスタ 200 は、図 1 (B) (C) に示すように、絶縁体 282 と、絶縁体 250 とが、直接接する構造となっている。このような構造とすることで、絶縁体 280 に含まれる酸素が、導電体 260 に吸収され難くなる。従って、絶縁体 280 に含まれる酸素は、酸化物 230 c を介して、酸化物 230 a および酸化物 230 b へ効率よく注入することができるので、酸化物 230 a 中および酸化物 230 b 中の酸素欠損を低減し、トランジスタ 200 の電気特性および信頼性を向上させることができる。また、絶縁体 280 に含まれる水素などの不純物が絶縁体 250 へ混入することを抑えることができるので、トランジスタ 200 の電気特性および信頼性への悪影響を抑制することができる。絶縁体 282 としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、または酸化ハフニウムを用いることができる。

10

【0085】

絶縁体 272、および絶縁体 273 は、水素や水などの不純物および酸素の透過を抑制する機能を有することが好ましい。

【0086】

図 3 (A) は、図 1 (A) に A5 - A6 の一点鎖線で示す部位の断面を拡大した図であり、トランジスタ 200 のソース領域またはドレイン領域のチャネル幅方向の断面図でもある。図 3 (A) に示すように、導電体 242 b の上面、導電体 242 b の側面、酸化物 230 a の側面、および酸化物 230 b の側面は、絶縁体 272、および絶縁体 273 で覆う構造となっているので、導電体 242 b の側面および導電体 242 b の上面方向から導電体 242 b への水素や水などの不純物および酸素の拡散を抑制することができる。また、導電体 242 b の下面は酸化物 243 b と接する構造となっており、酸化物 230 b の酸素は、酸化物 243 b によってブロックされるので導電体 242 b へ拡散することを抑制する。従って、導電体 242 b の周囲からの導電体 242 b への酸素の拡散を抑制することができるので、導電体 242 b の酸化を抑制することができる。尚、導電体 242 a についても同様の効果を有する。また、酸化物 230 a の側面、および酸化物 230 b の側面方向から酸化物 230 a および酸化物 230 b への水素や水などの不純物の拡散を抑制することができる。絶縁体 272 としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜を用いることができる。また、絶縁体 273 としては、例えば、酸化アルミニウム、または酸化ハフニウムを用いることができる。

20

30

【0087】

図 3 (B) は、図 1 (B) のトランジスタ 200 の右半分を拡大した図である。導電体 240 b の左側の側面 (図 3 (B) に点線で囲んだ箇所) は、酸化物 230 c が接しており、絶縁体 250 からの水素や水などの不純物および酸素が導電体 240 b へ拡散することを抑制することができる。また、導電体 240 b の右側の側面は、絶縁体 272 が接しており、絶縁体 280 からの水素や水などの不純物および酸素が導電体 240 b へ拡散することを抑制することができる。尚、導電体 240 a についても、同様の効果を有する。

40

【0088】

以上のように導電体 240 の周囲を水素や水などの不純物および酸素の透過を抑制する機能を有する絶縁体 272、酸化物 230 c、および酸化物 243 b で囲む構成とすることで、導電体 240 の酸化を抑制し、トランジスタ 200 の電気特性の向上およびトランジスタ 200 の信頼性を向上させることができる。

【0089】

また、図 1 (C) に示すように、絶縁体 224 の底面を基準として、酸化物 230 a および酸化物 230 b と、導電体 260 とが、重ならない領域における導電体 260 の底面

50

の高さは、酸化物 2 3 0 b の底面の高さより低い位置に配置されていることが好ましい。また、酸化物 2 3 0 b と、導電体 2 6 0 とが、重ならない領域における導電体 2 6 0 の底面の高さと、酸化物 2 3 0 b の底面の高さと、の差は、0 nm 以上 1 0 0 nm 以下、好ましくは、3 nm 以上 5 0 nm 以下、より好ましくは、5 nm 以上 2 0 nm 以下とする。

【0090】

このように、ゲートとして機能する導電体 2 6 0 が、チャネル形成領域の酸化物 2 3 0 b の側面および上面を酸化物 2 3 0 c および絶縁体 2 5 0 を介して覆う構成となっており、導電体 2 6 0 の電界をチャネル形成領域の酸化物 2 3 0 b 全体に作用させやすくなる。よって、トランジスタ 2 0 0 のオン電流を増大させ、周波数特性を向上させることができる。

10

【0091】

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、高い周波数特性を有するトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。

【0092】

以下では、本発明の一態様に係るトランジスタ 2 0 0 を有する半導体装置の詳細な構成について説明する。

【0093】

20

導電体 2 0 5 は、酸化物 2 3 0、および導電体 2 6 0 と、重なるように配置する。また、導電体 2 0 5 は、絶縁体 2 1 4 および絶縁体 2 1 6 に埋め込まれて設けることが好ましい。

【0094】

ここで、導電体 2 6 0 は、第 1 のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体 2 0 5 は、第 2 のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体 2 0 5 に印加する電位を、導電体 2 6 0 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 2 0 0 の V_{th} を制御することができる。特に、導電体 2 0 5 に負の電位を印加することにより、トランジスタ 2 0 0 の V_{th} を 0 V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 2 0 5 に負の電位を印加したほうが、印加しない場合よりも、導電体 2 6 0 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

30

【0095】

なお、導電体 2 0 5 は、図 1 (A) に示すように、酸化物 2 3 0 の導電体 2 4 2 a および導電体 2 4 2 b と重ならない領域の大きさよりも、大きく設けるとよい。特に、図 1 (C) に示すように、導電体 2 0 5 は、酸化物 2 3 0 のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物 2 3 0 のチャネル幅方向における側面の外側において、導電体 2 0 5 と、導電体 2 6 0 とは、絶縁体を介して重畳していることが好ましい。または、導電体 2 0 5 を大きく設けることによって、導電体 2 0 5 形成以降の作製工程のプラズマを用いた処理において、局所的なチャージング（チャージアップと言う）の緩和ができる場合がある。ただし、本発明の一態様はこれに限定されない。導電体 2 0 5 は、少なくとも導電体 2 4 2 a と、導電体 2 4 2 b との間に位置する酸化物 2 3 0 と重畳すればよい。

40

【0096】

上記構成を有することで、第 1 のゲートとしての機能を有する導電体 2 6 0 の電界と、第 2 のゲートとしての機能を有する導電体 2 0 5 の電界によって、チャネル形成領域を電氣的に取り囲むことができる。本明細書において、第 1 のゲート、および第 2 のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel (S-channel)` 構造とよぶ。

【0097】

50

また、導電体 205a は、水または水素などの不純物および酸素の透過を抑制する導電体が好ましい。例えば、チタン、窒化チタン、タンタル、または窒化タンタルを用いることができる。また、導電体 205b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205 を 2 層で図示したが、3 層以上の多層構造としてもよい。

【0098】

導電体 205 を 5 層とした一例を図 2 に示す。導電体 205 は、絶縁体 216 の開口の内壁に接して導電体 205c が形成され、さらに内側に導電体 205d が形成されている。また、導電体 205d の内側に導電体 205e が形成されている。さらに、導電体 205d の内壁に接し、かつ導電体 205e の上面に接するように導電体 205f が形成され、導電体 205f の内側に導電体 205g が形成されている。ここで、導電体 205c、導電体 205d、導電体 205d、および導電体 205f の上面の高さと、絶縁体 216 の上面の高さは同程度にできる。また、導電体 205c は、導電体 205a と同様の材料を用いることが好ましく、導電体 205e および導電体 205g は、導電体 205b と同様の材料を用いることが好ましい。

10

【0099】

ここで、酸化物半導体と、酸化物半導体の下層に位置する絶縁体、または導電体と、酸化物半導体の上層に位置する絶縁体、または導電体とを、大気開放を行わずに、異なる膜種を連続成膜することで、不純物（特に、水素、水）の濃度が低減された、実質的に高純度真性である酸化物半導体膜を成膜することができるので好ましい。

20

【0100】

例えば、6 つの処理チャンバーを有する成膜装置を用いて、絶縁体 216、および導電体 205 上に配置される、絶縁体 222、絶縁体 224 となる絶縁膜、酸化物 230a となる酸化膜、酸化物 230b となる酸化膜、酸化物 243 となる酸化膜、および導電体 242 となる導電膜を順に連続成膜すればよい。

【0101】

絶縁体 212、絶縁体 214、絶縁体 272、絶縁体 282、絶縁体 283 および絶縁体 281 は、水または水素などの不純物が、基板側から、または、上方からトランジスタ 200 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 212、絶縁体 214、絶縁体 272、絶縁体 282、絶縁体 283 および絶縁体 281 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

30

【0102】

例えば、絶縁体 212、絶縁体 283、および絶縁体 281 として、窒化シリコンなどを用い、絶縁体 214、絶縁体 272、および絶縁体 283 として、酸化アルミニウムなどを用いることが好ましい。これにより、水または水素などの不純物が絶縁体 212、および絶縁体 214 を介して、基板側からトランジスタ 200 側に拡散するのを抑制することができる。または、絶縁体 224 などに含まれる酸素が、絶縁体 212、および絶縁体 214 を介して基板側に、拡散するのを抑制することができる。また、水または水素などの不純物が絶縁体 272 よりも上方に配置されている絶縁体 280、および導電体 246 などから絶縁体 272 を介してトランジスタ 200 側に拡散するのを抑制することができる。この様に、トランジスタ 200 を、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体 212、絶縁体 214、絶縁体 282、および絶縁体 283 で取り囲む構造とすることが好ましい。

40

【0103】

また、絶縁体 212、絶縁体 283、および絶縁体 281 の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体 212、絶縁体 283、および絶縁体 281 の抵抗率

50

を概略 $1 \times 10^{13} \text{ cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体 212、絶縁体 283、および絶縁体 281 が、導電体 205、導電体 242 または導電体 260 のチャージアップを緩和することができる場合がある。絶縁体 212、絶縁体 283、および絶縁体 281 の抵抗率は、好ましくは、 $1 \times 10^{10} \text{ cm}$ 以上 $1 \times 10^{15} \text{ cm}$ 以下とする。

【0104】

また、絶縁体 216、絶縁体 280、および絶縁体 274 は、絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 216、絶縁体 280、および絶縁体 274 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンなどを適宜用いればよい。

【0105】

絶縁体 222、および絶縁体 224 は、ゲート絶縁体としての機能を有する。

【0106】

ここで、酸化物 230 と接する絶縁体 224 は、加熱により酸素を脱離することが好ましい。本明細書では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。例えば、絶縁体 224 は、酸化シリコンまたは酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

【0107】

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、昇温脱離ガス分析 (TDS (Thermal Desorption Spectroscopy) 分析) にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 400 以下の範囲が好ましい。

【0108】

絶縁体 222 は、水または水素などの不純物が、基板側からトランジスタ 200 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体 222 は、絶縁体 224 より水素透過性が低いことが好ましい。絶縁体 222、および絶縁体 272 によって、絶縁体 224 および酸化物 230などを囲むことにより、外方から水または水素などの不純物がトランジスタ 200 に侵入することを抑制することができる。

【0109】

さらに、絶縁体 222 は、酸素 (例えば、酸素原子、酸素分子などの少なくとも一) の拡散を抑制する機能を有する (上記酸素が透過しにくい) ことが好ましい。例えば、絶縁体 222 は、絶縁体 224 より酸素透過性が低いことが好ましい。絶縁体 222 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 230 が有する酸素が、絶縁体 222 より下側へ拡散することを低減できるので、好ましい。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

【0110】

絶縁体 222 は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物 (ハフニウムアルミネート) などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 からの酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の混入を抑制する層として機能する。

10

20

30

40

50

【0111】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0112】

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO₃)または(Ba, Sr)TiO₃(BST)などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

10

【0113】

なお、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0114】

酸化物230b上には、酸化物243が設けられ、酸化物243上には、ソース電極、およびドレイン電極として機能する導電体242(導電体242a、および導電体242b)が設けられる。導電体242の膜厚は、例えば、1nm以上50nm以下、好ましくは2nm以上25nm以下、とすればよい。

20

【0115】

導電体242としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

30

【0116】

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの上面に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

40

【0117】

絶縁体224と同様に、絶縁体250は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、酸化物230bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

【0118】

50

また、絶縁体 250 と導電体 260 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 250 から導電体 260 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 250 から導電体 260 への酸素の拡散が抑制される。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の酸素による導電体 260 の酸化を抑制することができる。

【0119】

また、当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体 250 に酸化シリコンや酸化窒化シリコンなどを用いる場合、当該金属酸化物は、比誘電率が高い high-k 材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体 250 と当該金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

【0120】

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物 (ハフニウムアルミネート) などを用いることが好ましい。

【0121】

または、当該金属酸化物は、ゲートの一部としての機能を有する場合がある。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

【0122】

特に、ゲートとして機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0123】

導電体 260 は、図 1 では 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

【0124】

導電体 260 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素 (例えば、酸素原子、酸素分子などの少なくとも一) の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0125】

また、導電体 260 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 250 に含まれる酸素により、導電体 260 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

【0126】

また、導電体 2 6 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 2 6 0 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 2 6 0 b は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。
【 0 1 2 7 】

絶縁体 2 8 0 は、例えば、絶縁体 2 8 0 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンなどを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

10

【 0 1 2 8 】

絶縁体 2 8 0 中の水または水素などの不純物濃度が低減されていることが好ましい。また、絶縁体 2 8 0 の上面は、平坦化されていてもよい。

【 0 1 2 9 】

絶縁体 2 8 2 は、水または水素などの不純物が、上方から絶縁体 2 8 0 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体 2 8 2 としては、例えば、酸化アルミニウム、窒化シリコン、または窒化酸化シリコンなどの絶縁体を用いればよい。

【 0 1 3 0 】

20

また、絶縁体 2 8 2 の上に、層間膜として機能する絶縁体 2 7 4 を設けることが好ましい。絶縁体 2 7 4 は、絶縁体 2 2 4 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

【 0 1 3 1 】

導電体 2 4 0 a および導電体 2 4 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 2 4 0 a および導電体 2 4 0 b は積層構造としてもよい。

【 0 1 3 2 】

また、導電体 2 4 0 を積層構造とする場合、絶縁体 2 8 1、絶縁体 2 7 4、絶縁体 2 8 2、絶縁体 2 8 0、絶縁体 2 7 3、および絶縁体 2 7 2 と接する導電体には、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 2 8 0 に添加された酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。また、絶縁体 2 8 1 より上層から水または水素などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に混入するのを抑制することができる。

30

【 0 1 3 3 】

絶縁体 2 4 1 a および絶縁体 2 4 1 b としては、例えば、酸化アルミニウム、窒化シリコン、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 2 4 1 a および絶縁体 2 4 1 b は、絶縁体 2 7 2、および絶縁体 2 7 3 に接して設けられるので、絶縁体 2 8 0 などから水または水素などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に混入するのを抑制することができる。また、絶縁体 2 8 0 に含まれる酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。

40

【 0 1 3 4 】

また、導電体 2 4 0 a の上面、および導電体 2 4 0 b の上面に接して配線として機能する導電体 2 4 6 (導電体 2 4 6 a、および導電体 2 4 6 b) を配置してもよい。導電体 2 4 6 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、窒化チタン

50

と上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

【0135】

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

【0136】

<基板>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0137】

<絶縁体>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0138】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0139】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

【0140】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0141】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、

酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、または酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコンまたは窒化シリコンなどの金属窒化物を用いることができる。

【0142】

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

【0143】

<導電体>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0144】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0145】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲートとして機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

【0146】

特に、ゲートとして機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0147】

<金属酸化物>

酸化物230として、酸化物半導体として機能する金属酸化物を用いることが好ましい

10

20

30

40

50

。以下では、本発明に係る酸化物 2 3 0 に適用可能な金属酸化物について説明する。

【0148】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたは錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0149】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫などとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

10

【0150】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0151】

20

[金属酸化物の構造]

酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

【0152】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

30

【0153】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう) を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

【0154】

40

また、CAAC-OSは、インジウム、および酸素を有する層 (以下、In層) と、元素M、亜鉛、および酸素を有する層 (以下、(M, Zn)層) とが積層した、層状の結晶構造 (層状構造ともいう) を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

【0155】

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下す

50

る場合があるため、C A A C - O S は不純物や欠陥（酸素欠損（V o : o x y g e n v a c a n c y とともいう）など）の少ない金属酸化物ともいえる。したがって、C A A C - O S を有する金属酸化物は、物理的性質が安定する。そのため、C A A C - O S を有する金属酸化物は熱に強く、信頼性が高い。

【 0 1 5 6 】

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。

10

【 0 1 5 7 】

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム - ガリウム - 亜鉛酸化物（以下、I G Z O）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、I G Z O は、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数 m m の結晶、または数 c m の結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

【 0 1 5 8 】

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する金属酸化物である。a - l i k e O S は、鬆または低密度領域を有する。すなわち、a - l i k e O S は、n c - O S および C A A C - O S と比べて、結晶性が低い。

20

【 0 1 5 9 】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a - l i k e O S 、n c - O S 、C A A C - O S のうち、二種以上を有していてもよい。

【 0 1 6 0 】

なお、本発明の一態様の半導体装置においては、酸化物半導体（金属酸化物）の構造に特に限定はないが、好ましくは結晶性を有すると好ましい。例えば、酸化物 2 3 0 を C A A C - O S 構造とし、酸化物 2 4 3 を六方晶の結晶構造とすることが出来る。酸化物 2 3 0、及び酸化物 2 4 3 を上記の結晶構造とすることで、高い信頼性を有する半導体装置とすることができる。また、酸化物 2 3 0 a、酸化物 2 3 0 c、および酸化物 2 4 3 を概略同じ組成とすることができる。

30

【 0 1 6 1 】

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

【 0 1 6 2 】

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、S I M S により得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法（S I M S : S e c o n d a r y I o n M a s s S p e c t r o m e t r y）により得られる濃度）を、 $1 \times 10^{18} \text{ atoms / cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms / cm}^3$ 以下にする。

40

【 0 1 6 3 】

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

50

【0164】

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0165】

トランジスタの半導体に用いる金属酸化物として、結晶性の高い薄膜を用いることが好ましい。該薄膜を用いることで、トランジスタの安定性または信頼性を向上させることができる。該薄膜として、例えば、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜が挙げられる。しかしながら、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜を基板上に形成するには、高温またはレーザー加熱の工程が必要とされる。よって、製造工程のコストが増加し、さらに、スループットも低下してしまう。

10

【0166】

2009年に、CAAC構造を有するIn-Ga-Zn酸化物(CAAC-IGZOと呼ぶ)が発見されたことが、非特許文献1および非特許文献2で報告されている。ここでは、CAAC-IGZOは、c軸配向性を有する、結晶粒界が明確に確認されない、低温で基板上に形成可能である、ことが報告されている。さらに、CAAC-IGZOを用いたトランジスタは、優れた電気特性および信頼性を有することが報告されている。

20

【0167】

また、2013年には、nc構造を有するIn-Ga-Zn酸化物(nc-IGZOと呼ぶ)が発見された(非特許文献3参照)。ここでは、nc-IGZOは、微小な領域(例えば、1nm以上3nm以下の領域)において原子配列に周期性を有し、異なる該領域間で結晶方位に規則性が見られないことが報告されている。

【0168】

非特許文献4および非特許文献5では、上記のCAAC-IGZO、nc-IGZO、および結晶性の低いIGZOのそれぞれの薄膜に対する電子線の照射による平均結晶サイズの推移が示されている。結晶性の低いIGZOの薄膜において、電子線が照射される前でさえ、1nm程度の結晶性IGZOが観察されている。よって、ここでは、IGZOにおいて、完全な非晶質構造(completely amorphous structure)の存在を確認できなかった、と報告されている。さらに、結晶性の低いIGZOの薄膜と比べて、CAAC-IGZOの薄膜およびnc-IGZOの薄膜は電子線照射に対する安定性が高いことが示されている。よって、トランジスタの半導体として、CAAC-IGZOの薄膜またはnc-IGZOの薄膜を用いることが好ましい。

30

【0169】

金属酸化物を用いたトランジスタは、非導通状態において極めてリーク電流が小さい、具体的には、トランジスタのチャネル幅 $1 \mu\text{m}$ あたりのオフ電流が $y \text{ A}/\mu\text{m}$ ($10^{-24} \text{ A}/\mu\text{m}$) オーダである、ことが非特許文献6に示されている。例えば、金属酸化物を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている(非特許文献7参照)。

40

【0170】

また、金属酸化物を用いたトランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置への応用が報告されている(非特許文献8参照)。表示装置では、表示される画像が1秒間に数十回切り換っている。1秒間あたりの画像の切り換え回数はリフレッシュレートと呼ばれている。また、リフレッシュレートを駆動周波数と呼ぶこともある。このような人の目で知覚が困難である高速の画面の切り換えが、目の疲労の原因として考えられている。そこで、表示装置のリフレッシュレートを低下させて、画像の書き換え回数を減らすことが提案されている。また、リフレッシュレートを低下させた駆動により、表示装置の消費電力を低減することが可能である。このような駆動方法を、ア

50

イドリング・ストップ駆動と呼ぶ。

【0171】

C A A C 構造および n c 構造の発見は、C A A C 構造または n c 構造を有する金属酸化物を用いたトランジスタの電気特性および信頼性の向上、ならびに、製造工程のコスト低下およびスループットの向上に貢献している。また、該トランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置および L S I への応用研究が進められている。

【0172】

<半導体装置の作製方法>

次に、図 1 に示す、本発明に係るトランジスタ 200 を有する半導体装置について、作製方法を図 4 乃至図 12 を用いて説明する。また、図 4 乃至図 12 において、各図の (A) は上面図を示す。また、各図の (B) は、(A) に示す A1 - A2 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、各図の (C) は、(A) に A3 - A4 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のチャネル幅方向の断面図でもある。なお、各図の (A) の上面図では、図の明瞭化のために一部の要素を省いている。

10

【0173】

まず、基板 (図示しない) を準備し、当該基板上に絶縁体 212 を成膜する。絶縁体 212 の成膜は、スパッタリング法、化学気相成長 (CVD: Chemical Vapor Deposition) 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、パルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法、または ALD (Atomic Layer Deposition) 法などを用いて行うことができる。

20

【0174】

なお、CVD 法は、プラズマを利用するプラズマ CVD (PECVD: Plasma Enhanced CVD) 法、熱を利用する熱 CVD (TCVD: Thermal CVD) 法、光を利用する光 CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属 CVD (MCVD: Metal CVD) 法、有機金属 CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

【0175】

プラズマ CVD 法は、比較的低温で高品質の膜が得られる。また、熱 CVD 法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子 (トランジスタ、容量素子など) などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱 CVD 法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱 CVD 法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

30

【0176】

また、ALD 法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、および低温での成膜が可能、などの効果がある。また、ALD 法には、プラズマを利用した成膜方法 PEALD (Plasma Enhanced ALD) 法も含まれる。プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD 法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD 法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X 線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いて行うことができる。

40

【0177】

50

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0178】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

10

【0179】

本実施の形態では、絶縁体212として、CVD法によって窒化シリコンを成膜する。このように、絶縁体212として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体212より下層（図示せず）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体212を介して上の層に拡散するのを抑制することができる。また、窒化シリコンのように水または水素などの不純物が透過しにくい絶縁体を用いることにより絶縁体212より下層から水または水素などの不純物の拡散を抑制することができる。

20

【0180】

次に、絶縁体212上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、酸化アルミニウムを用いる。

【0181】

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

30

【0182】

次に、絶縁体216に絶縁体214に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして溝を形成する際のエッチングストッパ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化シリコン膜を用いた場合は、絶縁体214は窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

【0183】

開口の形成後に、導電体205となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体205となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

40

【0184】

本実施の形態では、導電体205となる導電膜として、多層構造とする。まず、スパッタリング法によって窒化タンタルを成膜し、当該窒化タンタルの上に窒化チタンを積層する。このような金属窒化物を導電体205となる導電膜の下層に用いることにより、後述

50

する導電体 205 となる導電膜の上層の導電膜として銅などの拡散しやすい金属を用いても、当該金属が導電体 205 から外に拡散するのを防ぐことができる。

【0185】

次に、導電体 205 となる導電膜の上層の導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。本実施の形態では、導電体 205 となる導電膜の上層の導電膜として、銅などの低抵抗導電性材料を成膜する。

【0186】

次に、CMP 処理 (Chemical Mechanical Polishing) を行うことで、導電体 205 となる導電膜の上層、ならびに導電体 205 となる導電膜の下層の一部を除去し、絶縁体 216 を露出する。その結果、開口部のみに、導電体 205 となる導電膜が残存する。これにより、上面が平坦な、導電体 205 を形成することができる。なお、当該 CMP 処理により、絶縁体 216 の一部が除去される場合がある (図 4 参照)。

10

【0187】

ここからは、上記と異なる導電体 205 の形成方法について以下に説明する。

【0188】

絶縁体 214 上に、導電体 205 となる導電膜を成膜する。導電体 205 となる導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。また、導電体 205 となる導電膜は、多層膜とすることができる。本実施の形態では、導電体 205 となる導電膜としてタングステンを成膜する。

20

【0189】

次に、リソグラフィー法を用いて、導電体 205 となる導電膜を加工し、導電体 205 を形成する。

【0190】

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrF エキシマレーザ光、ArF エキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体 (例えば水) を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

30

【0191】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電体 205 となる導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電体 205 となる導電膜のエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電体 205 となる導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

40

【0192】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いるこ

50

とができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

【0193】

次に、絶縁体214上、導電体205上に絶縁体216となる絶縁膜を成膜する。絶縁体216となる絶縁体の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216となる絶縁膜として、CVD法によって酸化シリコンを成膜する。

10

【0194】

ここで、絶縁体216となる絶縁膜の膜厚は、導電体205の膜厚以上とすることが好ましい。例えば、導電体205の膜厚を1とすると、絶縁体216となる絶縁膜の膜厚は、1以上3以下とする。本実施の形態では、導電体205の膜厚の膜厚を150nmとし、絶縁体216となる絶縁膜の膜厚を350nmとする。

【0195】

次に、絶縁体216となる絶縁膜にCMP処理を行うことで、絶縁体216となる絶縁膜の一部を除去し、導電体205の表面を露出させる。これにより、上面が平坦な、導電体205と、絶縁体216を形成することができる。以上が、導電体205の異なる形成方法である。

20

【0196】

次に、絶縁体216、および導電体205上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

30

【0197】

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

【0198】

次に、絶縁体222上に絶縁膜224Aを成膜する。絶縁膜224Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

40

【0199】

続いて、加熱処理を行うことが好ましい。加熱処理は、250 以上650 以下、好ましくは300 以上500 以下、さらに好ましくは320 以上450 以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素または不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

【0200】

50

本実施の形態では、窒素雰囲気にて400の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400の温度で1時間の処理を行う。当該加熱処理によって、絶縁膜224Aに含まれる水、水素などの不純物を除去することができる。

【0201】

また、加熱処理は、絶縁体222の成膜後に行ってもよい。当該加熱処理は、上述した加熱処理条件を用いることができる。

【0202】

ここで、絶縁膜224Aに過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁膜224A内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁膜224Aに含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

【0203】

ここで、絶縁膜224A上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜し、該酸化アルミニウムを絶縁膜224Aに達するまで、CMPを行ってもよい。当該CMPを行うことで絶縁膜224A表面の平坦化および絶縁膜224A表面の平滑化を行うことができる。当該酸化アルミニウムを絶縁膜224A上に配置してCMPを行うことで、CMPの終点検出が容易となる。また、CMPによって、絶縁膜224Aの一部が研磨されて、絶縁膜224Aの膜厚が薄くなることがあるが、絶縁膜224Aの成膜時に膜厚を調整すればよい。絶縁膜224A表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁膜224A上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁膜224Aに酸素を添加することができるので好ましい。

【0204】

次に、絶縁膜224A上に、酸化膜230A、酸化膜230Bを順に成膜する(図4参照)。なお、上記酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜230Bとの界面近傍を清浄に保つことができる。

【0205】

酸化膜230Aおよび、酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

【0206】

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットを用いることができる。

【0207】

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁膜224Aに供給される場合がある。したがって、酸化膜230Aのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

【0208】

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含ま

10

20

30

40

50

れる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

【0209】

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [原子数比] (2:2:1 [原子数比])、あるいは1:3:4 [原子数比] のターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比]、あるいは1:1:1 [原子数比] のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求める特性に合わせて形成するとよい。

10

【0210】

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜230A、および酸化膜230B中の水、水素などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

【0211】

次に、酸化膜230B上に酸化膜243Aを成膜する。酸化膜243Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。酸化膜243Aは、Inに対するGaの原子数比が、酸化膜230BのInに対するGaの原子数比より大きいことが好ましい。本実施の形態では、酸化膜243Aとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] のターゲットを用いて成膜する。次に、酸化膜243A上に導電膜242Aを成膜する。導電膜242Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる(図4参照)。

20

【0212】

次に、酸化膜230A、酸化膜230B、酸化膜243A、および導電膜242Aを島状に加工して、酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bを形成する(図5参照)。なお、図示しないが、当該工程において、絶縁膜224Aの酸化物230aと重ならない領域の膜厚が薄くなることもある。

30

【0213】

ここで、酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bの側面は、絶縁体222の上面对し、概略垂直であることが好ましい。酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bの側面が、絶縁体222の上面对し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。または、酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bと絶縁体222の上面のなす角が低い角度になる構成にしてもよい。その場合、酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bの側面と絶縁体222の上面のなす角は60°以上70°未満が好ましい。この様な形状とすることで、これより後の工程において、絶縁体272などの被覆性が向上し、鬆などの欠陥を低減することができる。

40

【0214】

また、導電体層242Bの側面と導電体層242Bの上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい(以下、ラウンド状ともいう)。湾曲面は、例えば、導電体層242B層の端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

【0215】

50

なお、当該酸化膜および導電膜の加工はリソグラフィー法を用いて行えばよい。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0216】

次に絶縁膜224A、酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bの上に、絶縁膜272Aを成膜する(図6参照)。

【0217】

絶縁膜272Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁膜272Aは、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、スパッタリング法またはALD法によって、酸化アルミニウム、窒化シリコン、酸化シリコン、または、酸化ガリウムを成膜してもよい。

10

【0218】

次に、絶縁膜272A上に、絶縁膜273Aを成膜する。絶縁膜273Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。例えば、ALD法によって、酸化アルミニウムを成膜することが好ましい。本実施の形態では、ALD法によって、酸化アルミニウムを成膜する(図6参照)。なお、絶縁膜273Aを成膜しない構成とすることもできる。

【0219】

次に、絶縁膜273A上に、絶縁体280となる絶縁膜を成膜する。絶縁体280となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に、絶縁体280となる絶縁膜にCMP処理を行い、上面が平坦な絶縁体280を形成する(図7参照)。

20

【0220】

次に、絶縁体280の一部、絶縁膜273Aの一部、絶縁膜272Aの一部、酸化物層243B、および導電体層242Bの一部を加工して、酸化物230bに達する開口を形成する。該開口は、導電体205と重なるように形成することが好ましい。該開口の形成によって、酸化物243a、酸化物243b、導電体242a、導電体242b、絶縁体272、絶縁体273、および絶縁体224を形成する(図7参照)。

【0221】

また、絶縁体280の一部、絶縁膜273Aの一部、絶縁膜272Aの一部、酸化物層243B、および導電体層242Bの一部の加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体280の一部をドライエッチング法で加工し、絶縁膜273Aの一部をウェットエッチング法で加工し、絶縁膜272Aの一部、酸化物層243B、および導電体層242Bの一部をドライエッチング法で加工してもよい。

30

【0222】

これまでのドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物230a、および酸化物230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

【0223】

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液などを用いたウェット洗浄、プラズマを用いたプラズマ処理、または熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。

40

【0224】

ウェット洗浄としては、シュウ酸、リン酸、アンモニア水、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。

【0225】

次に、第1の加熱処理を行っても良い。第1の加熱処理は、酸素を含む雰囲気下で行うと好適である。または、第1の加熱処理は、減圧下で行い、大気に暴露することなく、連

50

続いて酸化膜 230C を成膜してもよい。このような処理を行うことによって、酸化物 230b の表面などに表面に吸着している水分および水素を除去し、さらに酸化物 230a および酸化物 230b 中の水分濃度および水素濃度を低減させることができる。第 1 の加熱処理の温度は、100 以上 400 以下が好ましく、さらに好ましくは 150 以上 350 以下である。本実施の形態では、第 1 の加熱処理の温度を 200 とし、減圧下で行う（図 8 参照）。

【0226】

ここで、酸化膜 230C は、少なくとも酸化物 230a の側面の一部、酸化物 230b の側面の一部および上面の一部、酸化物 243 の側面の一部、導電体 242 の側面の一部、絶縁体 272 の側面、絶縁体 273 の側面、および絶縁体 280 の側面と接するように設けられることが好ましい。導電体 242 は、酸化物 243、絶縁体 272、酸化膜 230C に囲まれることで、以降の工程において導電体 242 の酸化による導電率の低下を抑制することができる。

10

【0227】

酸化膜 230C の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。酸化膜 230C として、In に対する Ga の原子数比が、酸化膜 230B の In に対する Ga の原子数比より大きいことが好ましい。本実施の形態では、酸化膜 230C として、スパッタリング法によって、In : Ga : Zn = 1 : 3 : 4 [原子数比] のターゲットを用いて成膜する。

【0228】

尚、酸化膜 230C は、積層としてもよい。例えば、スパッタリング法によって、In : Ga : Zn = 4 : 2 : 4.1 [原子数比] のターゲットを用いて成膜して、連続して In : Ga : Zn = 1 : 3 : 4 [原子数比] のターゲットを用いて成膜してもよい。

20

【0229】

特に、酸化膜 230C の成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物 230a および酸化物 230b に供給される場合がある。または、酸化膜 230C の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 280 に供給される場合がある。したがって、酸化膜 230C のスパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

【0230】

次に、第 2 の加熱処理を行っても良い。第 2 の加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜 250A を成膜してもよい。このような処理を行うことによって、酸化膜 230C の表面などに表面に吸着している水分および水素を除去し、さらに酸化物 230a、酸化物 230b および酸化膜 230C 中の水分濃度および水素濃度を低減させることができる。第 2 の加熱処理の温度は、100 以上 400 以下が好ましい。本実施の形態では、第 2 の加熱処理の温度を 200 とする（図 9 参照）。

30

【0231】

絶縁膜 250A は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。絶縁膜 250A として、CVD 法により、酸化窒化シリコンを成膜することが好ましい。なお、絶縁膜 250A を成膜する際の成膜温度は、250 以上 450 未満、特に 350 前後とすることが好ましい。絶縁膜 250A を、350 で成膜することで、不純物が少ない絶縁体を成膜することができる。

40

【0232】

次に、導電膜 260Aa および導電膜 260Ab を成膜する。導電膜 260Aa および導電膜 260Ab の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。例えば、CVD 法を用いることが好ましい。本実施の形態では、ALD 法を用いて、導電膜 260Aa を成膜し、CVD 法を用いて導電膜 260Ab を成膜する（図 10 参照）。

【0233】

次に、CMP 処理によって、酸化膜 230C、絶縁膜 250A、導電膜 260Aa およ

50

び導電膜 260Ab を絶縁体 280 が露出するまで研磨することによって、酸化物 230c、絶縁体 250 および導電体 260（導電体 260a および導電体 260b）を形成する（図 11 参照）。

【0234】

ここで、導電体 242 は、酸化物 243、絶縁体 272、酸化物 230c に囲まれるように設けられているため、導電体 242 の酸化による導電率の低下を抑制することができる。

【0235】

次に、第 3 の加熱処理を行う。本発明の一態様では、第 3 の加熱処理を行うことによって、酸化膜 230C、絶縁体 280 中に含まれる不純物（代表的には、水、水素など）を好適に除去することが可能である。例えば、第 3 の加熱処理を行うことによって、酸化膜 230C 中に含まれる水、水素などを除去（脱水・脱水素化）することによって、酸化膜 230C を高純度真性に近づけることができる。また、第 3 の加熱処理を行うことによって、絶縁体 280 中に含まれる水、水素などを除去（脱水・脱水素化）することによって、酸化膜 230C に拡散しうる水、水素などをトランジスタの作製工程中で除去することができる（図 11 参照）。

【0236】

なお、第 3 の加熱処理は、窒素雰囲気または、酸素が含まれる雰囲気で行うことができる。好ましくは、第 3 の加熱処理として、窒素と酸素とが含まれる雰囲気下で行うと好適である。窒素と酸素とが含まれる雰囲気下で行う場合、酸素の割合は、窒素と酸素の合計の 5% 以上 20% 以下とすることが好ましい。また、第 3 の加熱処理の温度は、好ましくは、300 以上 450 以下、より好ましくは、300 以上 400 以下である。代表的には、350、またはその近傍の温度が好適である。また、加熱処理時間は、100 時間以下、好ましくは、1 時間以上 48 時間以下である。代表的には、24 時間、またはその近傍の処理時間が好適である。該加熱処理を行うことで、酸化物 230、絶縁体 250 および絶縁体 280 中の水分濃度および水素濃度を低減させ、酸化物 230 のチャネル形成領域のキャリア密度を低減することができる。本実施の形態では、窒素雰囲気にて、350 の温度で、24 時間の加熱処理を行う。なお、第 3 の加熱処理によって、導電体 260 が酸化されない条件で実施するのが好ましい。

【0237】

または、RTA 装置を用いて、RTA (Rapid thermal anneal) 処理を行ってもよい。RTA 処理とは、短時間にて高温の加熱処理を行うことである。例えば、窒素雰囲気にて、400 以上 700 以下の温度にて 60 秒以上、120 秒以下の加熱処理を行うことができる。なお、RTA 装置に用いる光源としては、ランプ方式を用いることができる。ランプ方式の RTA 装置を用いることで、処理タクトを高め、生産性を向上させることができる。

【0238】

次に、第 4 の加熱処理を行っても良い。第 4 の加熱処理は、減圧下で行い、大気に暴露することなく、連続して、導電体 260 上、酸化物 230c 上、絶縁体 250 上、および絶縁体 280 上に、絶縁体 282 となる絶縁膜および絶縁体 283 となる絶縁膜を順に形成すると好ましい。このような処理を行うことによって、導電体 260 表面、酸化物 230c 表面、絶縁体 250 表面、および絶縁体 280 表面などに吸着している水分および水素を除去することができるので好ましい。絶縁体 282 となる絶縁膜および絶縁体 283 となる絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。絶縁体 282 となる絶縁膜としては、例えば、スパッタリング法によって、酸化アルミニウムを成膜することが好ましい。また、絶縁体 283 となる絶縁膜としては、例えば、スパッタリング法によって、窒化シリコンを成膜することが好ましい。このように絶縁体 282 および絶縁体 283 を配置することによって、外方から水または水素などの不純物が絶縁体 282 および絶縁体 283 を介してトランジスタ 200 へ拡散することを抑制できる。また、導電体 260 の上面に接して、絶縁体 2

10

20

30

40

50

８２を形成することで、この後の加熱処理において、絶縁体２８０が有する酸素が導電体２６０へ吸収されることを抑制することができるので好ましい（図１２参照）。

【０２３９】

上述のように本発明の一態様においては、第３の加熱処理を行うことによって、信頼性が良好な半導体装置を提供することができる。

【０２４０】

次に、第５の加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて４００の温度で１時間の処理を行う。該加熱処理によって、絶縁体２８２の成膜によって添加された酸素を絶縁体２８０へ注入することができる。また、該酸素は、酸化物２３０ｃを介して、酸化物２３０ａ、および酸化物２３０ｂへ注入することができる。

10

【０２４１】

次に絶縁体２８３上に、絶縁体２７４となる絶縁体を成膜してもよい。絶縁体２７４となる絶縁膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、またはＡＬＤ法などを用いて行うことができる（図１２参照）。

【０２４２】

次に絶縁体２７４上に、絶縁体２８１となる絶縁体を成膜してもよい。絶縁体２８１となる絶縁膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、またはＡＬＤ法などを用いて行うことができる。絶縁体２８１となる絶縁膜としては、例えば、スパッタリング法によって、窒化シリコンを成膜することが好ましい。（図１２参照）。

【０２４３】

次に、絶縁体２７２、絶縁体２７３、絶縁体２８０、絶縁体２８２、絶縁体２８３、絶縁体２７４および絶縁体２８１に、導電体２４２ａおよび導電体２４２ｂに達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

20

【０２４４】

次に、絶縁体２４１となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体２４１を形成する。当該導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、またはＡＬＤ法などを用いて行うことができる。絶縁体２４１となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ＡＬＤ法によって、酸化アルミニウムまたは窒化シリコンを成膜することが好ましい。また、異方性エッチングは、例えばドライエッチング法などを行えばよい。開口の側壁部をこのような構成とすることで、外方からの酸素の透過を抑制し、次に形成する導電体２４０ａおよび導電体２４０ｂの酸化を防止することができる。また、導電体２４０ａおよび導電体２４０ｂから、水、水素などの不純物が外部に拡散することを防ぐことができる。

30

【０２４５】

次に、導電体２４０ａおよび導電体２４０ｂとなる導電膜を成膜する。導電体２４０ａおよび導電体２４０ｂとなる導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、との積層とすることができる。導電体２４０となる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

40

【０２４６】

次に、ＣＭＰ処理を行うことで、導電体２４０ａおよび導電体２４０ｂとなる導電膜の一部を除去し、絶縁体２８１を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体２４０ａおよび導電体２４０ｂを形成することができる（図１参照）。なお、当該ＣＭＰ処理により、絶縁体２８１の一部が除去される場合がある。

【０２４７】

次に、導電体２４６となる導電膜を成膜する。導電体２４６となる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

【０２４８】

50

次に、導電体 2 4 6 となる導電膜をリソグラフィ法によって加工し、導電体 2 4 0 a の上面と接する導電体 2 4 6 a および導電体 2 4 0 b の上面と接する導電体 2 4 6 b を形成する（図 1 参照）。

【 0 2 4 9 】

以上により、図 1 に示すトランジスタ 2 0 0 を有する半導体装置を作製することができる。図 4 乃至図 1 2 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 2 0 0 を作製することができる。

【 0 2 5 0 】

本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、高い周波数特性を有する半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

【 0 2 5 1 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態および他の実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【 0 2 5 2 】

（実施の形態 2）

本実施の形態では、半導体装置の一形態を、図 1 7 および図 1 8 を用いて説明する。

【 0 2 5 3 】

〔記憶装置 1〕

本発明の一態様である容量素子を使用した、半導体装置（記憶装置）の一例を図 1 7 に示す。本発明の一態様の半導体装置は、トランジスタ 2 0 0 はトランジスタ 3 0 0 の上方に設けられ、容量素子 1 0 0 はトランジスタ 3 0 0、およびトランジスタ 2 0 0 の上方に設けられている。なお、トランジスタ 2 0 0 として、先の実施の形態で説明したトランジスタ 2 0 0 を用いることができる。

【 0 2 5 4 】

トランジスタ 2 0 0 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 2 0 0 は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

【 0 2 5 5 】

図 1 7 に示す半導体装置において、配線 1 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 1 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 1 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 1 0 0 4 はトランジスタ 2 0 0 の第 1 のゲートと電氣的に接続され、配線 1 0 0 6 はトランジスタ 2 0 0 の第 2 のゲートと電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ 2 0 0 のソースおよびドレインの他方は、容量素子 1 0 0 の電極の一方と電氣的に接続され、配線 1 0 0 5 は容量素子 1 0 0 の電極の他方と電氣的に接続されている。

【 0 2 5 6 】

また、図 1 7 に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

【 0 2 5 7 】

< トランジスタ 3 0 0 >

トランジスタ 300 は、基板 311 上に設けられ、ゲートとして機能する導電体 316、ゲート絶縁体として機能する絶縁体 315、基板 311 の一部からなる半導体領域 313、およびソース領域またはドレイン領域として機能する低抵抗領域 314a、および低抵抗領域 314b を有する。トランジスタ 300 は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。

【0258】

ここで、図 17 に示すトランジスタ 300 はチャンネルが形成される半導体領域 313 (基板 311 の一部) が凸形状を有する。また、半導体領域 313 の側面および上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 300 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体膜を形成してもよい。

10

【0259】

なお、図 17 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0260】

<容量素子 100>

容量素子 100 は、トランジスタ 200 の上方に設けられる。容量素子 100 は、第 1 の電極として機能する導電体 110 と、第 2 の電極として機能する導電体 120、および誘電体として機能する絶縁体 130 とを有する。

20

【0261】

また、例えば、導電体 246 上に設けた導電体 112 と、導電体 110 は、同時に形成することができる。なお、導電体 112 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と電氣的に接続するプラグ、または配線としての機能を有する。

【0262】

図 17 では、導電体 112、および導電体 110 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

30

【0263】

また、絶縁体 130 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

【0264】

例えば、絶縁体 130 には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率 (high - k) 材料との積層構造を用いることが好ましい。当該構成により、容量素子 100 は、高誘電率 (high - k) の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

40

【0265】

なお、高誘電率 (high - k) 材料 (高い比誘電率の材料) の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

【0266】

一方、絶縁耐力が大きい材料 (低い比誘電率の材料) としては、酸化シリコン、酸化窒

50

化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

【 0 2 6 7 】

< 配線層 >

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

10

【 0 2 6 8 】

例えば、トランジスタ 3 0 0 上には、層間膜として、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 が順に積層して設けられている。また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には容量素子 1 0 0、またはトランジスタ 2 0 0 と電氣的に接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 はプラグ、または配線として機能する。

【 0 2 6 9 】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

20

【 0 2 7 0 】

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 1 7 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線として機能する。

【 0 2 7 1 】

同様に、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 には、導電体 2 1 8、及びトランジスタ 2 0 0 を構成する導電体 (導電体 2 0 5) 等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線としての機能を有する。さらに、導電体 1 2 0、および絶縁体 1 3 0 上には、絶縁体 1 5 0 が設けられている。

30

【 0 2 7 2 】

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【 0 2 7 3 】

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【 0 2 7 4 】

40

例えば、絶縁体 1 5 0、絶縁体 2 1 0、絶縁体 3 5 2、および絶縁体 3 5 4 等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド (ナイロ

50

ン、アラミドなど)、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【0275】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体214、絶縁体212および絶縁体350等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【0276】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【0277】

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0278】

例えば、導電体328、導電体330、導電体356、導電体218、および導電体112等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンをを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0279】

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

【0280】

例えば、図17では、過剰酸素を有する絶縁体224と、導電体245との間に、絶縁体276を設けるとよい。絶縁体276と、絶縁体222、および絶縁体272とが接して設けられることで、絶縁体224、およびトランジスタ200は、バリア性を有する絶縁体により、封止する構造とすることができる。さらに、絶縁体276は、絶縁体280の一部とも接することが好ましい。絶縁体276が、絶縁体280まで延在していることで、酸素や不純物の拡散を、より抑制することができる。

【0281】

つまり、絶縁体276を設けることで、絶縁体224が有する過剰酸素が、導電体245に吸収されることを抑制することができる。また、絶縁体276を有することで、不純物である水素が、導電体245を介して、トランジスタ200へ拡散することを抑制することができる。

【0282】

なお、絶縁体276としては、水または水素などの不純物、および酸素の拡散を抑制す

10

20

30

40

50

る機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【 0 2 8 3 】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

10

【 0 2 8 4 】

[記憶装置 2]

本発明の一態様である半導体装置を使用した、記憶装置の一例を図 1 8 に示す。図 1 8 に示す記憶装置は、図 1 7 で示したトランジスタ 2 0 0、トランジスタ 3 0 0、および容量素子 1 0 0 を有する半導体装置に加え、トランジスタ 4 0 0 を有している。

【 0 2 8 5 】

トランジスタ 4 0 0 は、トランジスタ 2 0 0 の第 2 のゲート電圧を制御することができる。例えば、トランジスタ 4 0 0 の第 1 のゲート及び第 2 のゲートをソースとダイオード接続し、トランジスタ 4 0 0 のソースと、トランジスタ 2 0 0 の第 2 のゲートを接続する構成とする。当該構成でトランジスタ 2 0 0 の第 2 のゲートの負電位を保持するとき、トランジスタ 4 0 0 の第 1 のゲートーソース間の電圧および、第 2 のゲートーソース間の電圧は、0 V になる。トランジスタ 4 0 0 において、第 2 のゲート電圧及び第 1 のゲート電圧が 0 V のときのドレイン電流が非常に小さいため、トランジスタ 2 0 0 およびトランジスタ 4 0 0 に電源供給をしなくても、トランジスタ 2 0 0 の第 2 のゲートの負電位を長時間維持することができる。これにより、トランジスタ 2 0 0、およびトランジスタ 4 0 0 を有する記憶装置は、長期にわたり記憶内容を保持することが可能である。

20

【 0 2 8 6 】

従って、図 1 8 において、配線 1 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 1 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 1 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 1 0 0 4 はトランジスタ 2 0 0 のゲートと電氣的に接続され、配線 1 0 0 6 はトランジスタ 2 0 0 のバックゲートと電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ 2 0 0 のソースおよびドレインの他方は、容量素子 1 0 0 の電極の一方と電氣的に接続され、配線 1 0 0 5 は容量素子 1 0 0 の電極の他方と電氣的に接続されている。配線 1 0 0 7 はトランジスタ 4 0 0 のソースと電氣的に接続され、配線 1 0 0 8 はトランジスタ 4 0 0 のゲートと電氣的に接続され、配線 1 0 0 9 はトランジスタ 4 0 0 のバックゲートと電氣的に接続され、配線 1 0 1 0 はトランジスタ 4 0 0 のドレインと電氣的に接続されている。ここで、配線 1 0 0 6、配線 1 0 0 7、配線 1 0 0 8、及び配線 1 0 0 9 が電氣的に接続されている。

30

40

【 0 2 8 7 】

また、図 1 8 に示す記憶装置は、図 1 7 に示す記憶装置と同様に、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、1 個のトランジスタ 4 0 0 は、複数のトランジスタ 2 0 0 の第 2 のゲート電圧を制御することができる。そのため、トランジスタ 4 0 0 は、トランジスタ 2 0 0 よりも、少ない個数を設けるとよい。

【 0 2 8 8 】

< トランジスタ 4 0 0 >

トランジスタ 4 0 0 は、トランジスタ 2 0 0 と、同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ 4 0 0 は、第 1 のゲートとして機

50

能する導電体 4 6 0 (導電体 4 6 0 a、および導電体 4 6 0 b)と、第 2 のゲートとして機能する導電体 4 0 5 (導電体 4 0 5 a、および導電体 4 0 5 b)と、ゲート絶縁層として機能する絶縁体 2 2 2、および絶縁体 4 5 0 と、チャネル形成領域を有する酸化物 4 3 0 c と、ソースとして機能する導電体 4 4 2 a、酸化物 4 4 3 a、酸化物 4 3 1 a、および酸化物 4 3 1 b と、ドレインとして機能する導電体 4 4 2 b、酸化物 4 4 3 b、酸化物 4 3 2 a、および酸化物 4 3 2 b と、プラグとして機能する導電体 4 4 0 (導電体 4 4 0 a、および導電体 4 4 0 b)と、を有する。

【0289】

トランジスタ 4 0 0 において、導電体 4 0 5 は、導電体 2 0 5 と、同じ層である。酸化物 4 3 1 a、および酸化物 4 3 2 a は、酸化物 2 3 0 a と、同じ層であり、酸化物 4 3 1 b、および酸化物 4 3 2 b は、酸化物 2 3 0 b と、同じ層である。導電体 4 4 2 は、導電体 2 4 2 と、同じ層である。酸化物 4 4 3 は、酸化物 2 4 3 と、同じ層である。酸化物 4 3 0 c は、酸化物 2 3 0 c と、同じ層である。絶縁体 4 5 0 は、絶縁体 2 5 0 と、同じ層である。導電体 4 6 0 は、導電体 2 6 0 と、同じ層である。

【0290】

なお、同じ層に形成された構造体は、同時に形成することができる。例えば、酸化物 4 3 0 c は、酸化物 2 3 0 c となる酸化膜を加工することで、形成することができる。

【0291】

トランジスタ 4 0 0 の活性層として機能する酸化物 4 3 0 c は、酸化物 2 3 0 などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ 4 0 0 のしきい値電圧を 0 V より大きくし、オフ電流を低減し、第 2 のゲート電圧及び第 1 のゲート電圧が 0 V のときのドレイン電流を非常に小さくすることができる。

【0292】

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン(スクライプライン、分断ライン、又は切断ラインと呼ぶ場合がある)について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝(ダイシングライン)を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断(分割)する場合がある。

【0293】

ここで、例えば、図 1 8 に示すように、絶縁体 2 7 2 と、絶縁体 2 2 2 とが接する領域をダイシングラインとなるように設計することが好ましい。つまり、複数のトランジスタ 2 0 0 を有するメモリセル、およびトランジスタ 4 0 0 の外縁に設けられるダイシングラインとなる領域近傍において、絶縁体 2 2 4 に開口を設ける。また、絶縁体 2 2 4 の側面を覆うように、絶縁体 2 7 2 を設ける。

【0294】

つまり、上記絶縁体 2 2 4 に設けた開口において、絶縁体 2 2 2 と、絶縁体 2 7 2 とが接する。例えば、このとき、絶縁体 2 2 2 と、絶縁体 2 7 2 とを同材料及び同方法を用いて形成してもよい。絶縁体 2 2 2、および絶縁体 2 7 2 を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、酸化アルミニウムを用いることが好ましい。

【0295】

当該構造により、絶縁体 2 2 2、および絶縁体 2 7 2 で、絶縁体 2 2 4、トランジスタ 2 0 0、およびトランジスタ 4 0 0 を包み込むことができる。絶縁体 2 2 2、および絶縁体 2 7 2 は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ 2 0 0、およびトランジスタ 4 0 0 に拡散することを防ぐことができる。

【0296】

また、当該構造により、絶縁体 2 2 4 の過剰酸素が絶縁体 2 7 2、および絶縁体 2 2 2 を介して外部に拡散することを防ぐことができる。従って、絶縁体 2 2 4 の過剰酸素は、効率的にトランジスタ 2 0 0、またはトランジスタ 4 0 0 におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ 2 0 0、またはトランジスタ 4 0 0 におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ 2 0 0、またはトランジスタ 4 0 0 におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 2 0 0、またはトランジスタ 4 0 0 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

【0297】

本実施の形態に示す構成、方法などは、他の実施の形態および他の実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【0298】

(実施の形態 3)

本実施の形態では、図 1 9 および図 2 0 を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OS トランジスタと呼ぶ場合がある）、および容量素子が適用されている記憶装置（以下、OS メモリ装置と呼ぶ場合がある）について説明する。OS メモリ装置は、少なくとも容量素子と、容量素子の充放電を制御する OS トランジスタを有する記憶装置である。OS トランジスタのオフ電流は極めて小さいので、OS メモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

【0299】

< 記憶装置の構成例 >

図 1 9 (A) に OS メモリ装置の構成の一例を示す。記憶装置 1 4 0 0 は、周辺回路 1 4 1 1、およびメモリセルアレイ 1 4 7 0 を有する。周辺回路 1 4 1 1 は、行回路 1 4 2 0、列回路 1 4 3 0、出力回路 1 4 4 0、コントロールロジック回路 1 4 6 0 を有する。

【0300】

列回路 1 4 3 0 は、例えば、列デコーダ、プリチャージ回路、センスアンプ、および書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ 1 4 7 0 が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路 1 4 4 0 を介して、データ信号 R D A T A として記憶装置 1 4 0 0 の外部に出力される。また、行回路 1 4 2 0 は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

【0301】

記憶装置 1 4 0 0 には、外部から電源電圧として低電源電圧 (V S S)、周辺回路 1 4 1 1 用の高電源電圧 (V D D)、メモリセルアレイ 1 4 7 0 用の高電源電圧 (V I L) が供給される。また、記憶装置 1 4 0 0 には、制御信号 (C E、W E、R E)、アドレス信号 A D D R、データ信号 W D A T A が外部から入力される。アドレス信号 A D D R は、行デコーダおよび列デコーダに入力され、W D A T A は書き込み回路に入力される。

【0302】

コントロールロジック回路 1 4 6 0 は、外部からの入力信号 (C E、W E、R E) を処理して、行デコーダ、列デコーダの制御信号を生成する。C E は、チップイネーブル信号であり、W E は、書き込みイネーブル信号であり、R E は、読み出しイネーブル信号である。コントロールロジック回路 1 4 6 0 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

【0303】

メモリセルアレイ 1 4 7 0 は、行列状に配置された、複数個のメモリセル M C と、複数の配線を有する。なお、メモリセルアレイ 1 4 7 0 と行回路 1 4 2 0 とを接続している配線の数、メモリセル M C の構成、一行に有するメモリセル M C の数などによって決まる

10

20

30

40

50

。また、メモリセルアレイ 1 4 7 0 と列回路 1 4 3 0 とを接続している配線の数、メモリセル MC の構成、一行に有するメモリセル MC の数などによって決まる。

【 0 3 0 4 】

なお、図 1 9 (A) において、周辺回路 1 4 1 1 とメモリセルアレイ 1 4 7 0 を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図 1 9 (B) に示すように、周辺回路 1 4 1 1 の一部の上に、メモリセルアレイ 1 4 7 0 が重なるように設けられてもよい。例えば、メモリセルアレイ 1 4 7 0 の下に重なるように、センスアンプを設ける構成にしてもよい。

【 0 3 0 5 】

図 2 0 に上述のメモリセル MC に適用できるメモリセルの構成例について説明する。

10

【 0 3 0 6 】

[D O S R A M]

図 2 0 (A) 乃至 (C) に、D R A M のメモリセルの回路構成例を示す。本明細書等において、1 O S トランジスタ 1 容量素子型のメモリセルを用いた D R A M を、D O S R A M (D y n a m i c O x i d e S e m i c o n d u c t o r R a n d o m A c c e s s M e m o r y) と呼ぶ場合がある。図 2 0 (A) に示す、メモリセル 1 4 7 1 は、トランジスタ M 1 と、容量素子 C A と、を有する。なお、トランジスタ M 1 は、ゲート (フロントゲートと呼ぶ場合がある) 、及びバックゲートを有する。

【 0 3 0 7 】

トランジスタ M 1 の第 1 端子は、容量素子 C A の第 1 端子と接続され、トランジスタ M 1 の第 2 端子は、配線 B I L と接続され、トランジスタ M 1 のゲートは、配線 W O L と接続され、トランジスタ M 1 のバックゲートは、配線 B G L と接続されている。容量素子 C A の第 2 端子は、配線 C A L と接続されている。

20

【 0 3 0 8 】

配線 B I L は、ビット線として機能し、配線 W O L は、ワード線として機能する。配線 C A L は、容量素子 C A の第 2 端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線 C A L には、低レベル電位を印加するのが好ましい。配線 B G L は、トランジスタ M 1 のバックゲートに電位を印加するための配線として機能する。配線 B G L に任意の電位を印加することによって、トランジスタ M 1 のしきい値電圧を増減することができる。

30

【 0 3 0 9 】

また、メモリセル MC は、メモリセル 1 4 7 1 に限定されず、回路構成の変更を行うことができる。例えば、メモリセル MC は、図 2 0 (B) に示すメモリセル 1 4 7 2 のように、トランジスタ M 1 のバックゲートが、配線 B G L でなく、配線 W O L と接続される構成にしてもよい。また、例えば、メモリセル MC は、図 2 0 (C) に示すメモリセル 1 4 7 3 ように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタ M 1 で構成されたメモリセルとしてもよい。

【 0 3 1 0 】

上記実施の形態に示す半導体装置をメモリセル 1 4 7 1 等に用いる場合、トランジスタ M 1 としてトランジスタ 2 0 0 を用い、容量素子 C A として容量素子 1 0 0 を用いることができる。トランジスタ M 1 として O S トランジスタを用いることによって、トランジスタ M 1 のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタ M 1 によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル 1 4 7 1 、メモリセル 1 4 7 2 、メモリセル 1 4 7 3 に対して多値データ、又はアナログデータを保持することができる。

40

【 0 3 1 1 】

また、D O S R A M において、上記のように、メモリセルアレイ 1 4 7 0 の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

50

【 0 3 1 2 】

[N O S R A M]

図 2 0 (D) 乃至 (H) に、 2 トランジスタ 1 容量素子のゲインセル型のメモリセルの回路構成例を示す。図 2 0 (D) に示す、メモリセル 1 4 7 4 は、トランジスタ M 2 と、トランジスタ M 3 と、容量素子 C B と、を有する。なお、トランジスタ M 2 は、フロントゲート (単にゲートと呼ぶ場合がある) 、及びバックゲートを有する。本明細書等において、トランジスタ M 2 に O S トランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、N O S R A M (N o n v o l a t i l e O x i d e S e m i c o n d u c t o r R A M) と呼ぶ場合がある。

【 0 3 1 3 】

トランジスタ M 2 の第 1 端子は、容量素子 C B の第 1 端子と接続され、トランジスタ M 2 の第 2 端子は、配線 W B L と接続され、トランジスタ M 2 のゲートは、配線 W O L と接続され、トランジスタ M 2 のバックゲートは、配線 B G L と接続されている。容量素子 C B の第 2 端子は、配線 C A L と接続されている。トランジスタ M 3 の第 1 端子は、配線 R B L と接続され、トランジスタ M 3 の第 2 端子は、配線 S L と接続され、トランジスタ M 3 のゲートは、容量素子 C B の第 1 端子と接続されている。

【 0 3 1 4 】

配線 W B L は、書き込みビット線として機能し、配線 R B L は、読み出しビット線として機能し、配線 W O L は、ワード線として機能する。配線 C A L は、容量素子 C B の第 2 端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線 C A L には、低レベル電位を印加するのが好ましい。配線 B G L は、トランジスタ M 2 のバックゲートに電位を印加するための配線として機能する。配線 B G L に任意の電位を印加することによって、トランジスタ M 2 のしきい値電圧を増減することができる。

【 0 3 1 5 】

また、メモリセル M C は、メモリセル 1 4 7 4 に限定されず、回路の構成を適宜変更することができる。例えば、メモリセル M C は、図 2 0 (E) に示すメモリセル 1 4 7 5 のように、トランジスタ M 2 のバックゲートが、配線 B G L でなく、配線 W O L と接続される構成にしてもよい。また、例えば、メモリセル M C は、図 2 0 (F) に示すメモリセル 1 4 7 6 のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタ M 2 で構成されたメモリセルとしてもよい。また、例えば、メモリセル M C は、図 2 0 (G) に示すメモリセル 1 4 7 7 のように、配線 W B L と配線 R B L を一本の配線 B I L としてまとめた構成であってもよい。

【 0 3 1 6 】

上記実施の形態に示す半導体装置をメモリセル 1 4 7 4 等に用いる場合、トランジスタ M 2 としてトランジスタ 2 0 0 を用い、トランジスタ M 3 としてトランジスタ 3 0 0 を用い、容量素子 C B として容量素子 1 0 0 を用いることができる。トランジスタ M 2 として O S トランジスタを用いることによって、トランジスタ M 2 のリーク電流を非常に低くすることができる。これにより、書き込んだデータをトランジスタ M 2 によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル 1 4 7 4 に多値データ、又はアナログデータを保持することができる。メモリセル 1 4 7 5 乃至 1 4 7 7 も同様である。

【 0 3 1 7 】

なお、トランジスタ M 3 は、チャネル形成領域にシリコンを有するトランジスタ (以下、S i トランジスタと呼ぶ場合がある) であってもよい。S i トランジスタの導電型は、n チャネル型としてもよいし、p チャネル型としてもよい。S i トランジスタは、O S トランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタ M 3 として、S i トランジスタを用いてもよい。また、トランジスタ M 3 に S i トランジスタを用いることで、トランジスタ M 3 の上に積層してトラ

10

20

30

40

50

ンジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

【0318】

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2、M3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0319】

また、図20(H)に3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図20(H)に示すメモリセル1478は、トランジスタM4乃至M6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、RWL、WWL、BGL、およびGNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、WBLに電氣的に接続してもよい。

10

【0320】

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

【0321】

なお、トランジスタM5、M6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至M6がOSトランジスタでもよい、この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

20

【0322】

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、M6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に低くすることができる。

【0323】

なお、本実施の形態に示す、周辺回路1411、およびメモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

30

【0324】

本実施の形態に示す構成、方法などは、他の実施の形態および他の実施例に示す構成、構造、方法などと適宜組み合わせ用いることができる。

【0325】

(実施の形態4)

本実施の形態では、図21を用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路(システム)が実装されている。このように、複数の回路(システム)を一つのチップに集積する技術を、システムオンチップ(System on Chip: SoC)と呼ぶ場合がある。

40

【0326】

図21(A)に示すように、チップ1200は、CPU(Central Processing Unit)1211、GPU(Graphics Processing Unit)1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

【0327】

50

チップ１２００には、バンプ（図示しない）が設けられ、図２１（Ｂ）に示すように、プリント基板（Printed Circuit Board：PCB）１２０１の第１の面と接続する。また、PCB１２０１の第１の面の裏面には、複数のバンプ１２０２が設けられており、マザーボード１２０３と接続する。

【０３２８】

マザーボード１２０３には、DRAM１２２１、フラッシュメモリ１２２２等の記憶装置が設けられていてもよい。例えば、DRAM１２２１に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ１２２２に先の実施の形態に示すNOSRAMを用いることができる。

【０３２９】

CPU１２１１は、複数のCPUコアを有することが好ましい。また、GPU１２１２は、複数のGPUコアを有することが好ましい。また、CPU１２１１、およびGPU１２１２は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU１２１１、およびGPU１２１２に共通のメモリが、チップ１２００に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU１２１２は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU１２１２に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

【０３３０】

また、CPU１２１１、およびGPU１２１２が同一チップに設けられていることで、CPU１２１１およびGPU１２１２間の配線を短くすることができ、CPU１２１１からGPU１２１２へのデータ転送、CPU１２１１、およびGPU１２１２が有するメモリ間のデータ転送、およびGPU１２１２での演算後に、GPU１２１２からCPU１２１１への演算結果の転送を高速に行うことができる。

【０３３１】

アナログ演算部１２１３はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部１２１３に上記積和演算回路を設けてもよい。

【０３３２】

メモリコントローラ１２１４は、DRAM１２２１のコントローラとして機能する回路、およびフラッシュメモリ１２２２のインターフェースとして機能する回路を有する。

【０３３３】

インターフェース１２１５は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

【０３３４】

ネットワーク回路１２１６は、LAN（Local Area Network）などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

【０３３５】

チップ１２００には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ１２００に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ１２００を低コストで作製することができる。

【０３３６】

GPU１２１２を有するチップ１２００が設けられたPCB１２０１、DRAM１２２１、およびフラッシュメモリ１２２２が設けられたマザーボード１２０３は、GPUモジュール１２０４と呼ぶことができる。

10

20

30

40

50

【0337】

G P Uモジュール1204は、S o C技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップP C、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、G P U1212を用いた積和演算回路により、ディープニューラルネットワーク（D N N）、畳み込みニューラルネットワーク（C N N）、再帰型ニューラルネットワーク（R N N）、自己符号化器、深層ボルツマンマシン（D B M）、深層信念ネットワーク（D B N）などの演算を実行することができるため、チップ1200をA Iチップ、またはG P Uモジュール1204をA Iシステムモジュールとして用いることができる。

10

【0338】

本実施の形態に示す構成、方法などは、他の実施の形態および他の実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【0339】

（実施の形態5）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータや、ノート型のコンピュータや、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、S Dカード）、U S Bメモリ、S S D（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図22にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

20

【0340】

図22（A）はU S Bメモリの模式図である。U S Bメモリ1100は、筐体1101、キャップ1102、U S Bコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。基板1104のメモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

30

【0341】

図22（B）はS Dカードの外観の模式図であり、図22（C）は、S Dカードの内部構造の模式図である。S Dカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、S Dカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とS Dカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。基板1113のメモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

40

【0342】

図22（D）はS S Dの外観の模式図であり、図22（E）は、S S Dの内部構造の模式図である。S S D1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばD O S R A Mチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、S S D1150の容量を増やすことができる。基板1153のメモ

50

リチップ 1 1 5 4 などに先の実施の形態に示す半導体装置を組み込むことができる。

【 0 3 4 3 】

本実施の形態に示す構成、方法などは、他の実施の形態および他の実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【 0 3 4 4 】

(実施の形態 6)

本実施の形態では、本発明の一態様の半導体装置に適用可能な電子機器の具体例について図 2 3 を用いて説明する。

【 0 3 4 5 】

より具体的には、本発明の一態様に係る半導体装置は、CPU や GPU などのプロセッサ、またはチップに用いることができる。図 2 3 に、本発明の一態様に係る CPU や GPU などのプロセッサ、またはチップを備えた電子機器の具体例を示す。

10

【 0 3 4 6 】

< 電子機器・システム >

本発明の一態様に係る GPU 又はチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ (Digital Signage : 電子看板)、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係る集積回路又はチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

20

【 0 3 4 7 】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【 0 3 4 8 】

本発明の一態様の電子機器は、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの) を有していてもよい。

30

【 0 3 4 9 】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図 2 3 に、電子機器の例を示す。

【 0 3 5 0 】

[携帯電話]

図 2 3 (A) には、情報端末の一種である携帯電話 (スマートフォン) が図示されている。情報端末 5 5 0 0 は、筐体 5 5 1 0 と、表示部 5 5 1 1 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5 5 1 1 に備えられ、ボタンが筐体 5 5 1 0 に備えられている。

40

【 0 3 5 1 】

情報端末 5 5 0 0 は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部 5 5 1 1 に表示するアプリケーション、表示部 5 5 1 1 に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部 5 5 1 1 に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

50

【 0 3 5 2 】

[情報端末 1]

図 2 3 (B) には、デスクトップ型情報端末 5 3 0 0 が図示されている。デスクトップ型情報端末 5 3 0 0 は、情報端末の本体 5 3 0 1 と、ディスプレイ 5 3 0 2 と、キーボード 5 3 0 3 と、を有する。

【 0 3 5 3 】

デスクトップ型情報端末 5 3 0 0 は、先述した情報端末 5 5 0 0 と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末 5 3 0 0 を用いることで、新規の人工知能の開発を行うことができる。

10

【 0 3 5 4 】

なお、上述では、電子機器としてスマートフォン、及びデスクトップ用情報端末を例として、それぞれ図 2 3 (A)、(B) に図示したが、スマートフォン、及びデスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、及びデスクトップ用情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、ノート型情報端末、ワークステーションなどが挙げられる。

【 0 3 5 5 】

[電化製品]

図 2 3 (C) は、電化製品の一例である電気冷凍冷蔵庫 5 8 0 0 を示している。電気冷凍冷蔵庫 5 8 0 0 は、筐体 5 8 0 1、冷蔵室用扉 5 8 0 2、冷凍室用扉 5 8 0 3 等を有する。

20

【 0 3 5 6 】

電気冷凍冷蔵庫 5 8 0 0 に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫 5 8 0 0 を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫 5 8 0 0 は、電気冷凍冷蔵庫 5 8 0 0 に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫 5 8 0 0 に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

【 0 3 5 7 】

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

30

【 0 3 5 8 】

[ゲーム機]

図 2 3 (D) は、ゲーム機の一例である携帯ゲーム機 5 2 0 0 を示している。携帯ゲーム機は、筐体 5 2 0 1、表示部 5 2 0 2、ボタン 5 2 0 3 等を有する。

【 0 3 5 9 】

携帯ゲーム機 5 2 0 0 に本発明の一態様のGPU又はチップを適用することによって、低消費電力の携帯ゲーム機 5 2 0 0 を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

40

【 0 3 6 0 】

更に、携帯ゲーム機 5 2 0 0 に本発明の一態様のGPU又はチップを適用することによって、人工知能を有する携帯ゲーム機 5 2 0 0 を実現することができる。

【 0 3 6 1 】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機 5 2 0 0 に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場す

50

る人物の言動が変化するという表現が可能となる。

【 0 3 6 2 】

また、携帯ゲーム機 5 2 0 0 で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1 人でもゲームを行うことができる。

【 0 3 6 3 】

図 2 3 (D) では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の G P U 又はチップを適用するゲーム機はこれに限定されない。本発明の一態様の G P U 又はチップを適用するゲーム機としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

10

【 0 3 6 4 】

[移動体]

本発明の一態様の G P U 又はチップは、移動体である自動車、及び自動車の運転席周辺に適用することができる。

【 0 3 6 5 】

図 2 3 (E 1) は移動体の一例である自動車 5 7 0 0 を示し、図 2 3 (E 2) は、自動車の室内におけるフロントガラス周辺を示す図である。図 2 3 (E 2) では、ダッシュボードに取り付けられた表示パネル 5 7 0 1、表示パネル 5 7 0 2、表示パネル 5 7 0 3 の他、ピラーに取り付けられた表示パネル 5 7 0 4 を図示している。

20

【 0 3 6 6 】

表示パネル 5 7 0 1 乃至表示パネル 5 7 0 3 は、スピードメーターやタコメーター、走行距離、給油量、ギア状態、エアコンの設定など、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル 5 7 0 1 乃至表示パネル 5 7 0 3 は、照明装置として用いることも可能である。

【 0 3 6 7 】

表示パネル 5 7 0 4 には、自動車 5 7 0 0 に設けられた撮像装置（図示しない）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車 5 7 0 0 の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル 5 7 0 4 は、照明装置として用いることもできる。

30

【 0 3 6 8 】

本発明の一態様の G P U 又はチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車 5 7 0 0 の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル 5 7 0 1 乃至表示パネル 5 7 0 4 には、道路案内、危険予測などの情報を表示する構成としてもよい。

【 0 3 6 9 】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

40

【 0 3 7 0 】

[放送システム]

本発明の一態様の G P U 又はチップは、放送システムに適用することができる。

【 0 3 7 1 】

図 2 3 (F) は、放送システムにおけるデータ伝送を模式的に示している。具体的には

50

、図 2 3 (F) は、放送局 5 6 8 0 から送信された電波 (放送信号) が、各家庭のテレビジョン受信装置 (T V) 5 6 0 0 に届くまでの経路を示している。T V 5 6 0 0 は、受信装置を備え (図示しない)、アンテナ 5 6 5 0 で受信された放送信号は、当該受信装置を介して、T V 5 6 0 0 に送信される。

【 0 3 7 2 】

図 2 3 (F) では、アンテナ 5 6 5 0 は、U H F (U l t r a H i g h F r e q u e n c y) アンテナを図示しているが、アンテナ 5 6 5 0 としては、B S ・ 1 1 0 ° C S アンテナ、C S アンテナなども適用できる。

【 0 3 7 3 】

電波 5 6 7 5 A、電波 5 6 7 5 B は地上波放送用の放送信号であり、電波塔 5 6 7 0 は受信した電波 5 6 7 5 A を増幅して、電波 5 6 7 5 B の送信を行う。各家庭では、アンテナ 5 6 5 0 で電波 5 6 7 5 B を受信することで、T V 5 6 0 0 で地上波 T V 放送を視聴することができる。なお、放送システムは、図 2 3 (F) に示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

【 0 3 7 4 】

上述した放送システムは、本発明の一態様のチップを適用して、人工知能を利用した放送システムとしてもよい。放送局 5 6 8 0 から各家庭の T V 5 6 0 0 に放送データを送信するとき、エンコードによって放送データの圧縮が行われ、アンテナ 5 6 5 0 が当該放送データを受信したとき、T V 5 6 0 0 に含まれる受信装置のデコードによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコードの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高い T V 5 6 0 0 で当該放送データの表示を行うとき、デコードによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

【 0 3 7 5 】

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン (U H D T V : 4 K、8 K) 放送に対して好適である。

【 0 3 7 6 】

また、T V 5 6 0 0 側における人工知能の応用として、例えば、T V 5 6 0 0 に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

【 0 3 7 7 】

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

【 0 3 7 8 】

本実施の形態に示す構成、方法などは、他の実施の形態および他の実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【 実施例 1 】

【 0 3 7 9 】

本実施例では、金属酸化物を含む試料を作製し、金属酸化物のキャリア濃度を測定した。金属酸化物のキャリア濃度は、ホール効果測定器を用いて測定した。

【 0 3 8 0 】

試料の作製方法について説明する。まず、石英基板上にスパッタリング法により、I n : G a : Z n = 4 : 2 : 4 . 1 [原子数比] のターゲットを用いて、膜厚 4 0 n m の金属酸化物を形成した。次に、窒素雰囲気にて、4 0 0 の温度で 1 時間の加熱処理と、酸素雰囲気にて、4 0 0 の温度で 1 時間の加熱処理を連続して行った。次に、金属酸化物上に、C V D 法を用いて酸化窒化シリコン膜を 1 1 0 n m 形成した。

【 0 3 8 1 】

10

20

30

40

50

ここで、試料を試料A、試料B、および試料Cの3つに分割し、試料Aは、加熱処理を行わず、試料Bは、窒素雰囲気にて350の温度で1時間の加熱処理を行い、試料Cは、窒素雰囲気にて350の温度で24時間の加熱処理を行った。

【0382】

次に、試料A、試料B、および試料Cについてホール効果測定器を用いて、キャリア濃度を測定した。

【0383】

図24に各試料のキャリア濃度測定結果のグラフを示す。加熱処理を行わなかった試料Aは、 $1.8 \times 10^{20} / \text{cm}^3$ 、窒素雰囲気にて350の温度で1時間の加熱処理を行った試料Bは、 $5.6 \times 10^{19} / \text{cm}^3$ 、窒素雰囲気にて350の温度で24時間の加熱処理を行った試料Cは、 $3.0 \times 10^{18} / \text{cm}^3$ となった。

10

【0384】

以上の結果より、窒素雰囲気にて350の温度にて加熱処理を行うことで、金属酸化物のキャリア濃度が低減され、また、加熱処理の時間が長いほど、さらにキャリア濃度が低減されることが確認された。

【0385】

本実施例に示す構成、構造、方法などは、他の実施の形態および他の実施例に示す構成、構造、方法などと適宜組み合わせることができる。

【実施例2】

【0386】

本実施例では、金属酸化物を含む試料を作製し、金属酸化物中の水素濃度を測定した。金属酸化物中の水素濃度は、2次イオン質量分析法(SIMS)を用いて測定した。

20

【0387】

試料の作製方法について説明する。まず、シリコン基板上に熱酸化法によって、シリコン酸化膜を100nmの膜厚で形成した。次に、スパッタリング法により、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用いて、膜厚40nmの金属酸化物を形成した。次に、窒素雰囲気にて、400の温度で1時間の加熱処理と、酸素雰囲気にて、400の温度で1時間の加熱処理を連続して行った。次に、金属酸化物上に、CVD法を用いて酸化窒化シリコン膜を110nm形成した。

【0388】

30

ここで、試料を試料D、試料E、および試料Fの3つに分割し、試料Dは、加熱処理を行わず、試料Eは、窒素雰囲気にて350の温度で1時間の加熱処理を行い、試料Fは、窒素雰囲気にて350の温度で24時間の加熱処理を行った。

【0389】

次に、試料D、試料E、および試料FについてSIMS分析を行い、各試料の金属酸化物中の水素濃度プロファイルを測定した。なお、分析方向は、試料の裏面から表面に向かって分析し、金属酸化物中を水素の定量範囲とした。

【0390】

図25に各試料の水素濃度のプロファイルを示す。試料Dの金属酸化物中の水素濃度は概略 $1 \times 10^{20} \text{ atoms} / \text{cm}^3$ であり、試料Eの金属酸化物中の水素濃度は概略 $8 \times 10^{19} \text{ atoms} / \text{cm}^3$ であり、試料Fの金属酸化物中の水素濃度は概略 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ であった。すなわち、加熱処理を行わなかった試料Dの水素濃度が最も高く、窒素雰囲気にて350の温度で1時間の加熱処理を行った試料Eの水素濃度は、試料Dよりも低く、窒素雰囲気にて350の温度で24時間の加熱処理を行った試料Fは、試料Eよりも低かった。

40

【0391】

以上の結果より、窒素雰囲気にて350の温度にて加熱処理を行うことで、金属酸化物中の水素濃度が低減され、また、加熱処理の時間が長いほど、さらに水素濃度が低減されることが確認された。

【0392】

50

本実施例に示す構成、構造、方法などは、他の実施の形態および他の実施例に示す構成、構造、方法などと適宜組み合わせて用いることができる。

【実施例 3】

【0393】

本実施例では、金属酸化物中に、酸素欠損内に位置する水素および過剰酸素が存在する場合、酸素欠損内に位置する水素が、酸素欠損から抜け出すかを、計算により評価した。具体的には、1つの酸素サイトに余剰酸素を有するIGZOにおいて、酸素欠損内に位置する水素原子が、酸素欠損から抜け出すのに必要なエネルギー（活性化障壁ともいう。）および酸素欠損から抜け出す頻度を算出した。ここで、酸素欠損内に位置する水素原子をH_o（V_oHと表記する場合もある。）と表記する。また、当該酸素サイトに存在する酸素原子の一方を、便宜上、余剰酸素と呼ぶ。

10

【0394】

酸素欠損内に位置する水素原子が酸素欠損から抜け出し、当該酸素欠損近傍の酸素原子と結合するまでの水素原子および余剰酸素の移動経路におけるエネルギー変化を、NEB（Nudged Elastic Band）法を用いて計算した。計算には、第一原理計算ソフトウェアVASP（The Vienna Ab initio simulation package）を用いた。計算条件を表1に示す。

【0395】

【表 1】

汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	800 eV
k点	2×2×3
計算手法	NEB法
計算する中間構造の数	3

20

30

【0396】

初期状態のモデルを図26（A）に示し、最終状態のモデルを図26（B）に示す。なお、ここでの初期状態とは、水素原子が酸素欠損内に位置し、かつ、当該酸素欠損近傍に余剰酸素が存在する状態である。なお、当該余剰酸素は、当該酸素欠損に近接し、In層の酸素サイトに存在するとする。つまり、図26（A）の破線で示すように、当該酸素サイトには、2つの酸素原子（うち1つは余剰酸素である。）が存在する。また、最終状態とは、水素原子が1個のGa及び2個のZnと結合した酸素原子と結合した状態である。つまり、最終状態では、酸素欠損は、余剰酸素により補償（修復）されている。

【0397】

酸素欠損内に位置する水素、および、酸素原子と結合した水素原子は、電子を放出するドナーとして機能する場合がある。そこで、モデル内の電子数が、本来の電子数から1引いた数となるよう設定して、計算を行っている。これにより、初期状態のモデルおよび最終状態のモデルにおいて、電子が占有される最高の準位が、価電子帯上端の準位となる。

40

【0398】

モデルが初期状態から最終状態まで変化する際の、各モデルのエネルギーの変化を図27に示す。図27の横軸は、水素原子と余剰酸素の中点の移動距離[nm]である。また、図27の縦軸は、最終状態のモデルのエネルギーを基準（0.0 eV）とした、各モデルのエネルギー[eV]である。図27より、酸素欠損近傍に余剰酸素が存在する場合、酸素欠損内に位置する水素原子が酸素欠損から抜け出す際の活性化障壁E_aは約0.36 e

50

Vであった。

【0399】

次に、酸素欠損近傍に余剰酸素が存在する場合、酸素欠損内に位置する水素原子が酸素欠損から抜け出す頻度 Γ を、数式1を用いて、計算により得られた活性化障壁 E_a の値から算出した。

【0400】

【数1】

$$\Gamma = \nu \exp\left(-\frac{E_a}{k_B T}\right)$$

10

【0401】

ここで、 k_B はボルツマン定数、 T は絶対温度 [K]、 ν は頻度因子を示す。また、頻度因子 $\nu = 1.0 \times 10^{13} \text{ s}^{-1}$ と仮定する。

【0402】

上記頻度 ν は、室温 (27) では、1時間あたり約 8.3×10^6 回であった。このことから、酸素欠損近傍に余剰酸素が存在することで、酸素欠損内に位置する水素原子が酸素欠損から抜け出すことが示唆される。

【0403】

以上のことから、酸素欠損内に位置する水素は、過剰酸素によって、酸素欠損から抜け出すことが分かった。また、酸素欠損から抜け出した水素は、金属酸化物中から放出されやすいことが分かった。

20

【0404】

以上、本実施例に示す構成、構造、方法などは、他の実施の形態および他の実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【符号の説明】

【0405】

10 酸化物半導体、20 導電体、22 酸素固溶領域、30 酸化物、100 容量素子、110 導電体、112 導電体、120 導電体、130 絶縁体、150 絶縁体、200 トランジスタ、205 導電体、205a 導電体、205b 導電体、205c 導電体、205d 導電体、205e 導電体、205f 導電体、205g 導電体、210 絶縁体、212 絶縁体、214 絶縁体、216 絶縁体、218 導電体、222 絶縁体、224 絶縁体、224A 絶縁膜、230 酸化物、230a 酸化物、230A 酸化膜、230b 酸化物、230B 酸化膜、230c 酸化物、230C 酸化膜、240 導電体、240a 導電体、240b 導電体、241 絶縁体、241a 絶縁体、241b 絶縁体、242 導電体、242a 導電体、242A 導電膜、242b 導電体、242B 導電体層、243 酸化物、243a 酸化物、243A 酸化膜、243b 酸化物、243B 酸化物層、245 導電体、246 導電体、246a 導電体、246b 導電体、250 絶縁体、250A 絶縁膜、260 導電体、260a 導電体、260Aa 導電膜、260Ab 導電膜、260b 導電体、272 絶縁体、272A 絶縁膜、273 絶縁体、273A 絶縁膜、274 絶縁体、276 絶縁体、280 絶縁体、281 絶縁体、282 絶縁体、283 絶縁体、300 トランジスタ、311 基板、313 半導体領域、314a 低抵抗領域、314b 低抵抗領域、315 絶縁体、316 導電体、320 絶縁体、322 絶縁体、324 絶縁体、326 絶縁体、328 導電体、330 導電体、350 絶縁体、352 絶縁体、354 絶縁体、356 導電体、400 トランジスタ、405 導電体、405a 導電体、405b 導電体、430c 酸化物、431a 酸化物、431b 酸化物、432a 酸化物、432b 酸化物、440 導電体、440a 導電体、440b 導電体、442 導電体、

30

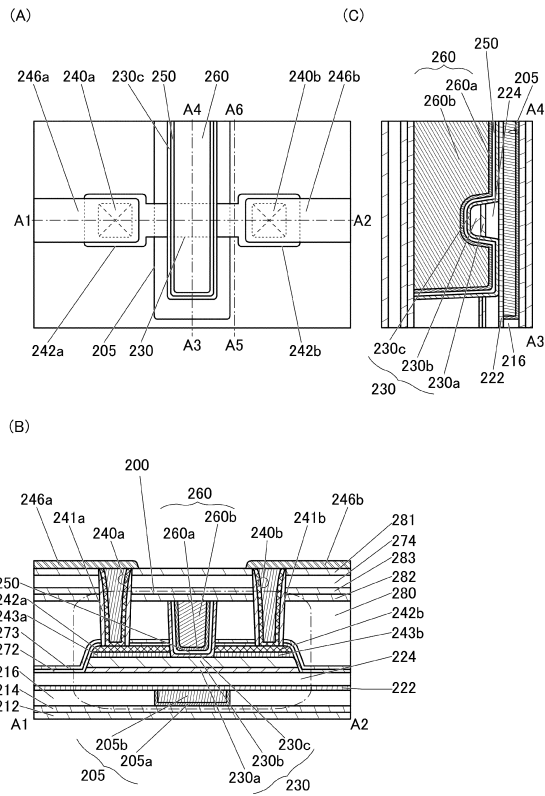
40

50

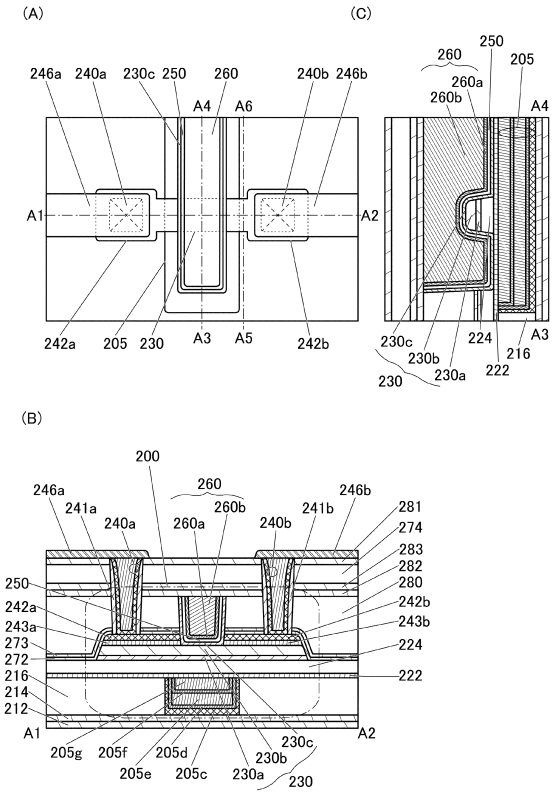
4 4 2 a 導電体、4 4 2 b 導電体、4 4 3 酸化物、4 4 3 a 酸化物、4 4 3 b 酸化物、4 5 0 絶縁体、4 6 0 導電体、4 6 0 a 導電体、4 6 0 b 導電体、1 0 0 1 配線、1 0 0 2 配線、1 0 0 3 配線、1 0 0 4 配線、1 0 0 5 配線、1 0 0 6 配線、1 0 0 7 配線、1 0 0 8 配線、1 0 0 9 配線、1 0 1 0 配線

【図面】

【図 1】



【図 2】



10

20

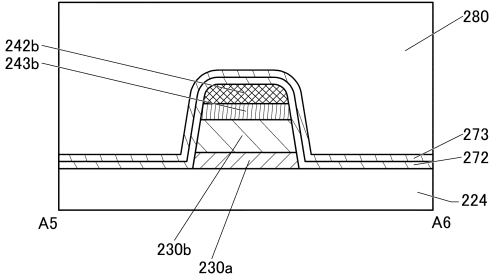
30

40

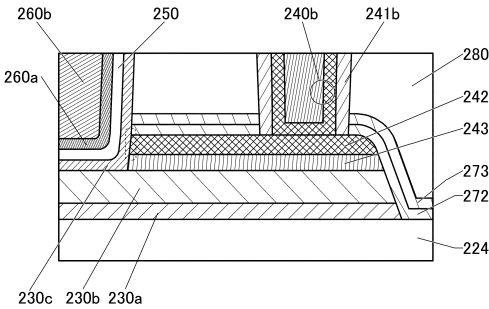
50

【図 3】

(A)

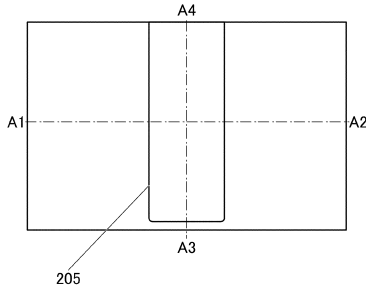


(B)

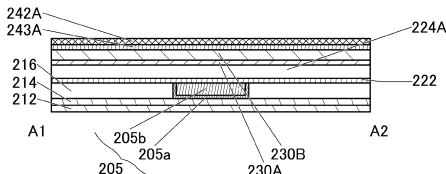


【図 4】

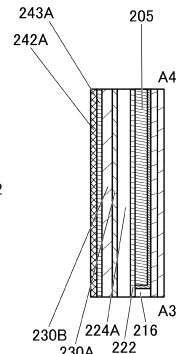
(A)



(B)



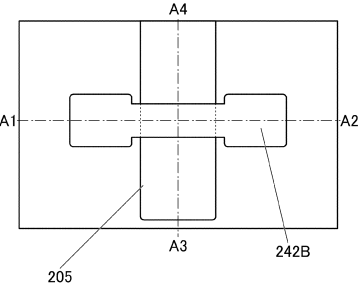
(C)



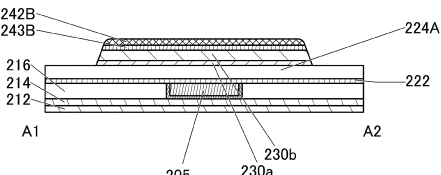
10

【図 5】

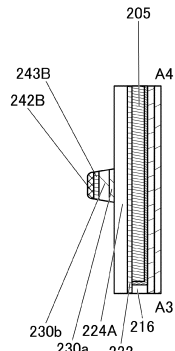
(A)



(B)

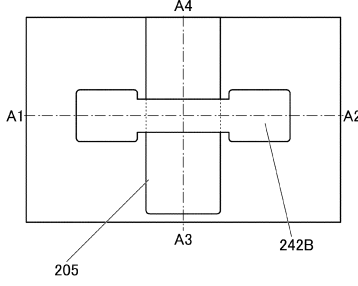


(C)

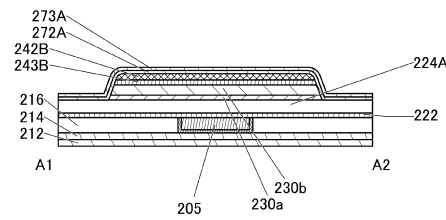


【図 6】

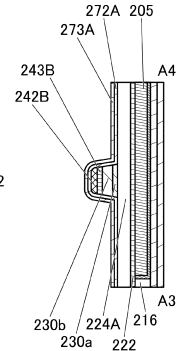
(A)



(B)



(C)

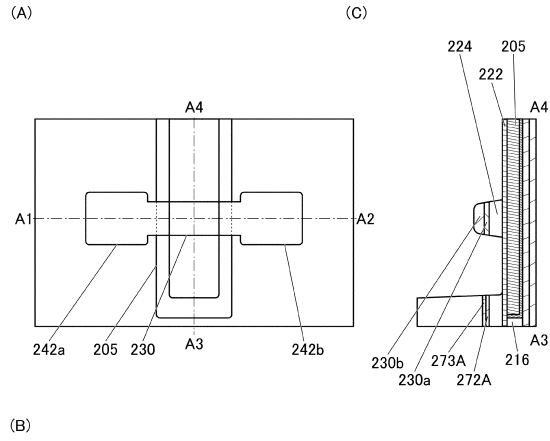


30

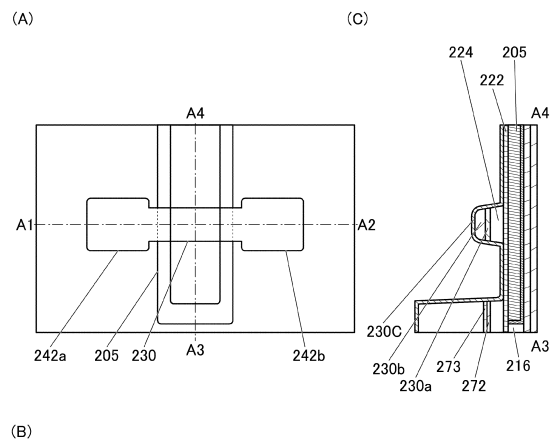
40

50

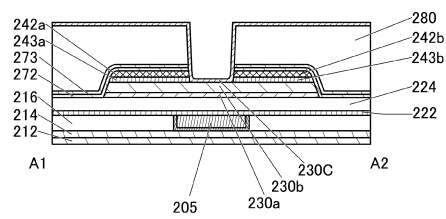
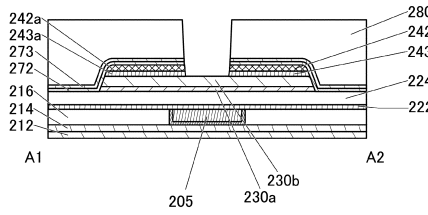
【図 7】



【図 8】

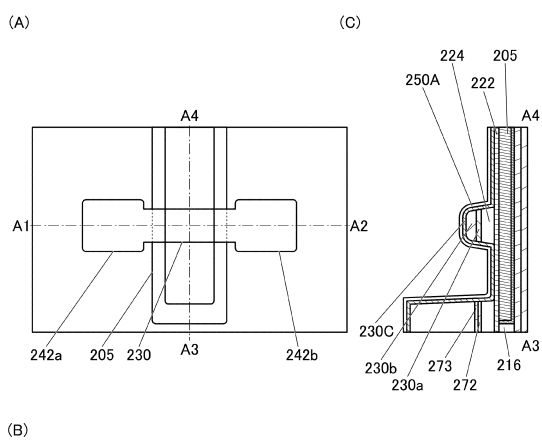


10

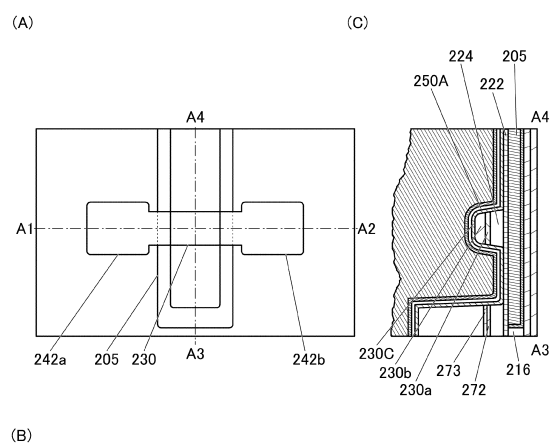


20

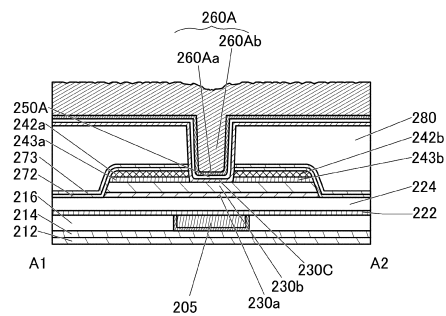
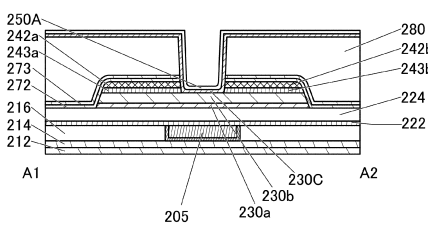
【図 9】



【図 10】



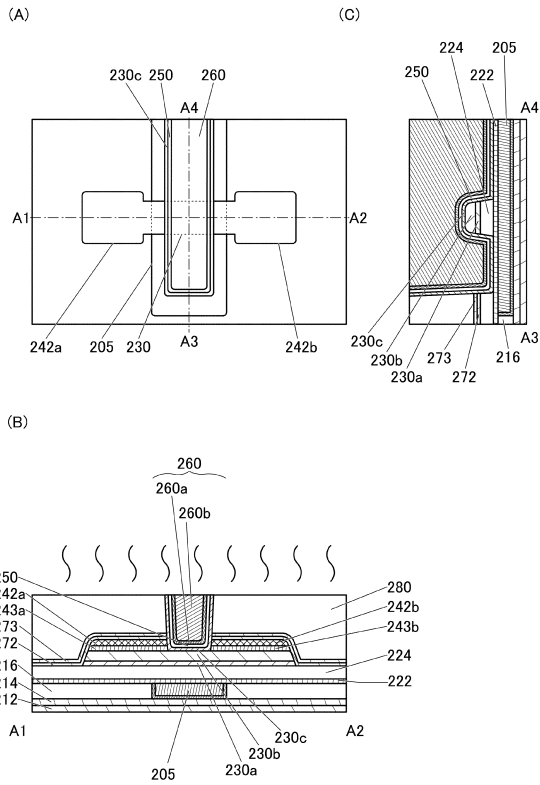
30



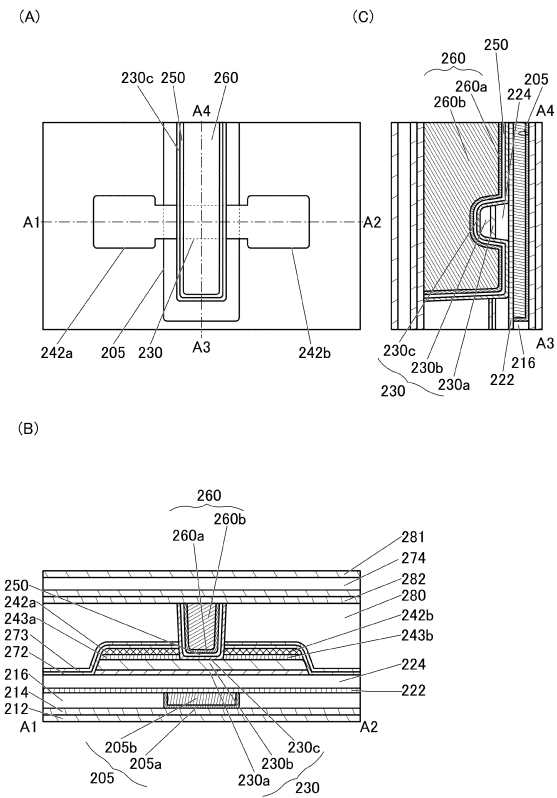
40

50

【図 1 1】



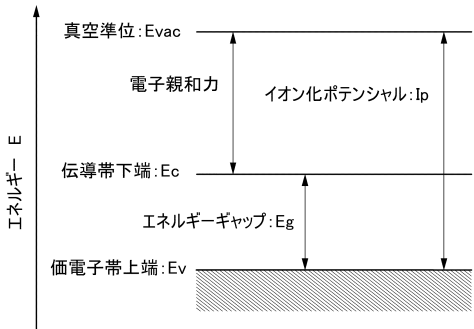
【図 1 2】



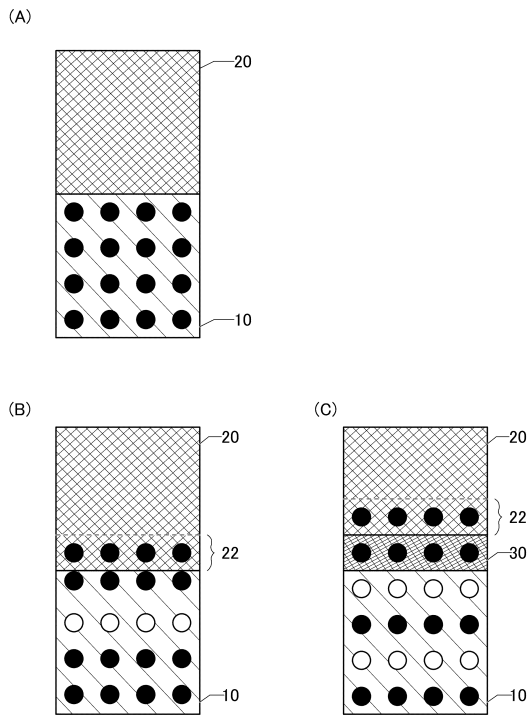
10

20

【図 1 3】



【図 1 4】

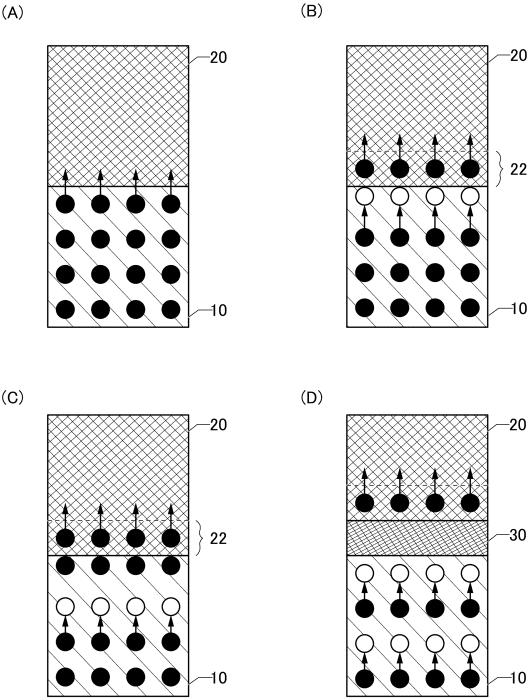


30

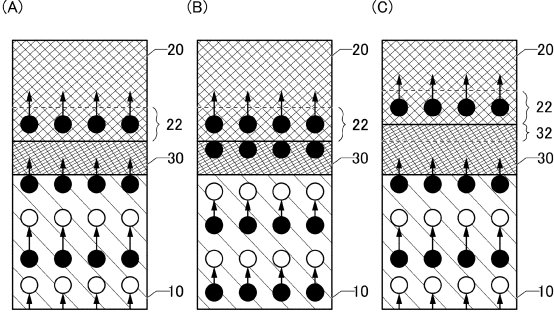
40

50

【図 15】



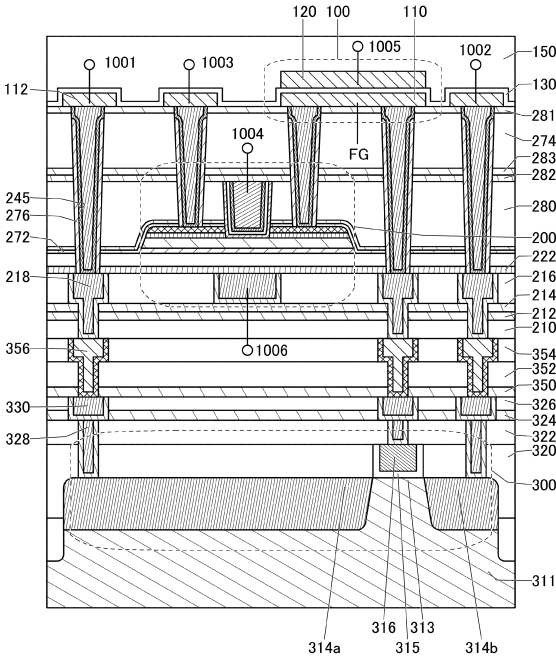
【図 16】



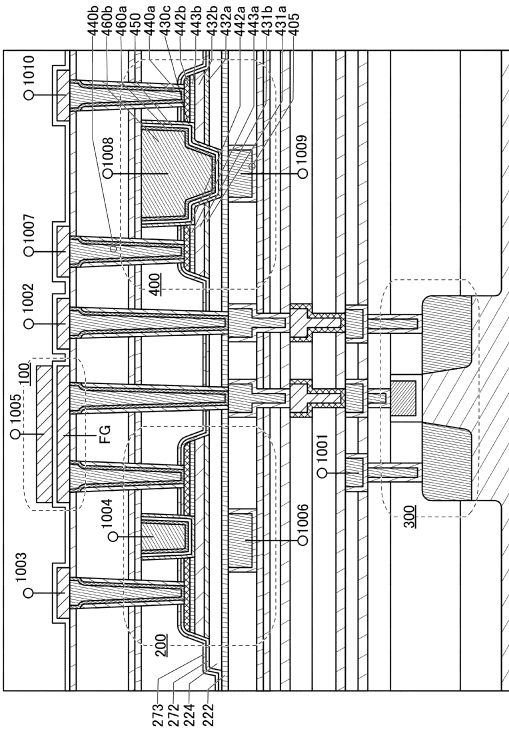
10

20

【図 17】



【図 18】

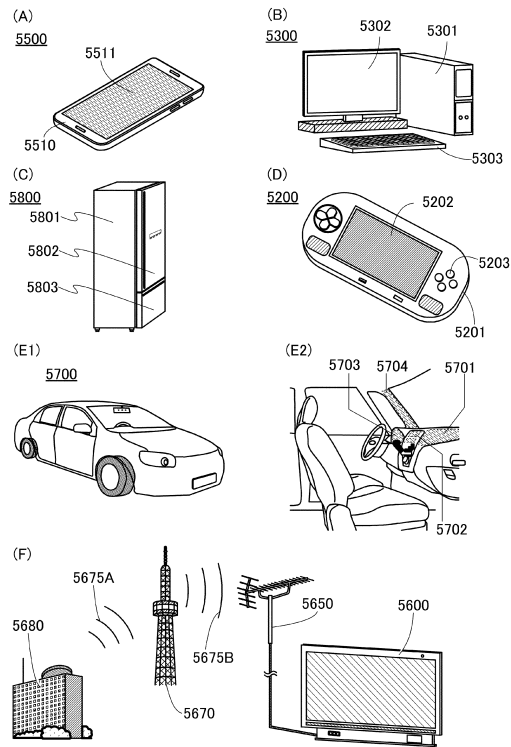


30

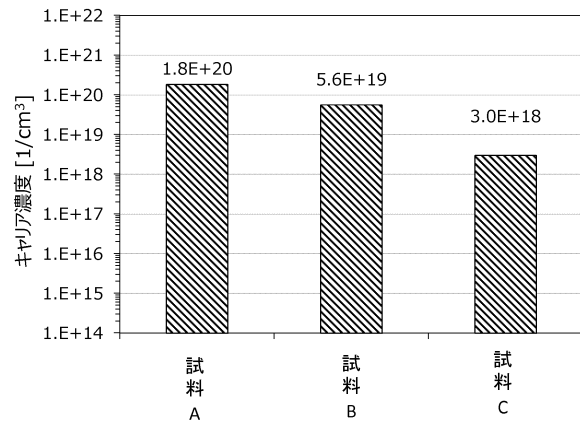
40

50

【図 2 3】



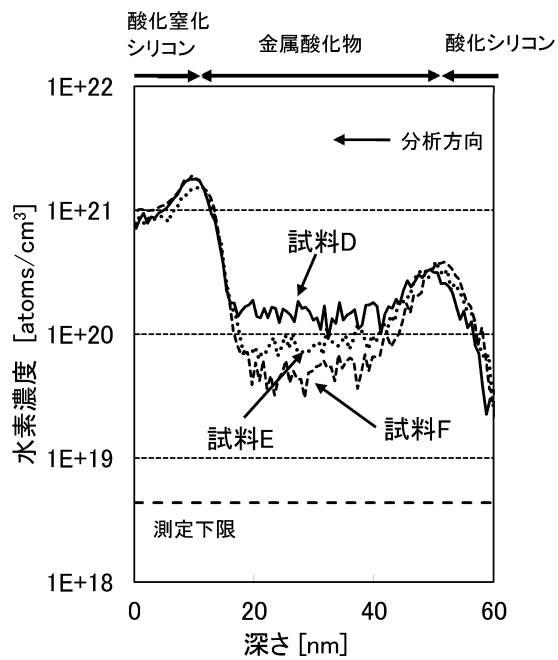
【図 2 4】



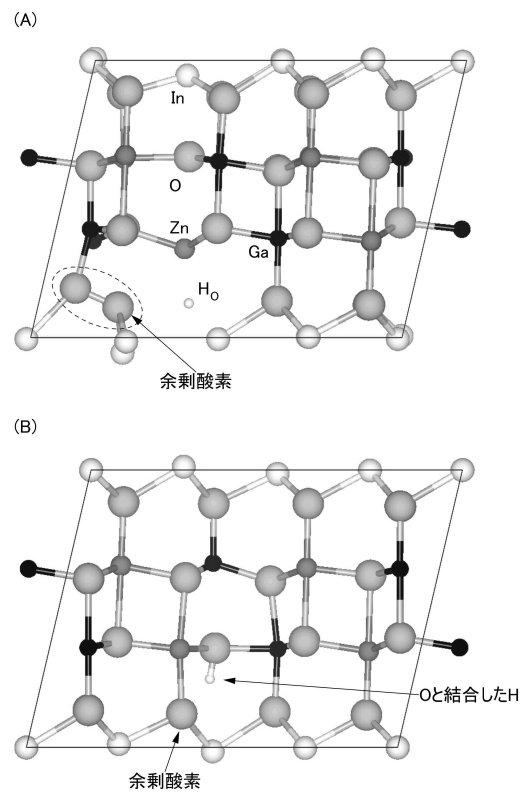
10

20

【図 2 5】



【図 2 6】

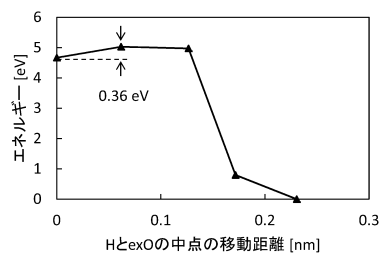


30

40

50

【図 27】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 0 1 L 29/788 (2006.01)	H 0 1 L	29/78	6 1 8 B
H 0 1 L 29/792 (2006.01)	H 1 0 B	12/00	6 2 1 Z
H 1 0 B 12/00 (2023.01)	H 1 0 B	12/00	6 7 1 C
H 1 0 B 41/70 (2023.01)	H 1 0 B	12/00	6 7 1 Z
	H 1 0 B	12/00	8 0 1
	H 1 0 B	41/70	

審査官 田付 徳雄

- (56)参考文献 国際公開第 2 0 1 7 / 0 7 2 6 2 7 (W O , A 1)
特開 2 0 1 8 - 0 2 2 8 7 9 (J P , A)
特開 2 0 1 7 - 1 4 3 2 5 5 (J P , A)
米国特許出願公開第 2 0 1 7 / 0 2 2 9 4 8 6 (U S , A 1)
米国特許出願公開第 2 0 1 9 / 0 2 4 5 0 9 0 (U S , A 1)

- (58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 9 / 7 8 6
H 1 0 B 1 2 / 0 0
H 1 0 B 4 1 / 7 0