

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018年10月4日 (04.10.2018)



(10) 国际公布号
WO 2018/176823 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2017/107689
- (22) 国际申请日: 2017年10月25日 (25.10.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710203914.1 2017年3月30日 (30.03.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市高新区工业园内, Anhui 230012 (CN)。
- (72) 发明人: 熊欣 (XIONG, Xin); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。熊雄 (XIONG, Xiong); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。梁恒镇 (LIANG, Hengzhen); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。刘荣钺 (LIU, Rongcheng); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: GOA UNIT, DRIVE METHOD THEREFOR, GOA DRIVE CIRCUIT AND DISPLAY APPARATUS

(54) 发明名称: 一种GOA单元及其驱动方法、GOA驱动电路、显示装置

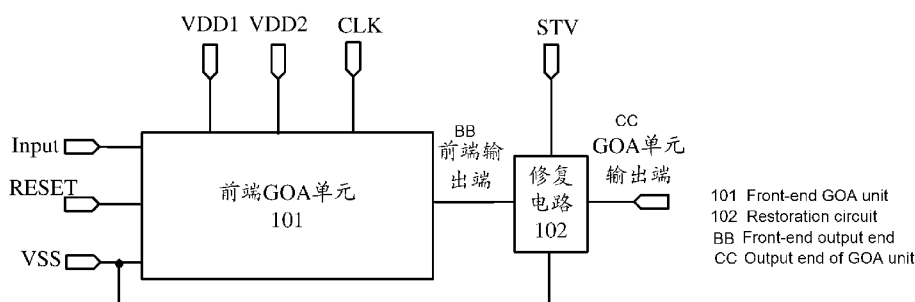


图 1

(57) Abstract: Disclosed are a GOA unit, a drive method for a GOA unit, a GOA drive circuit and a display apparatus, wherein the GOA unit comprises: a front-end GOA unit (101) which is connected to a signal input end (Input), a reset signal end (RESET), a first power supply voltage end (VSS), a second power supply voltage end (VDD1), a third power supply voltage end (VDD2), a clock signal end (CLK) and a front-end output end, and which is configured to output a clock signal of the clock signal end (CLK) to the front-end output end when an input signal of the signal input end (Input) is at a valid input electric level; and a restoration circuit (102) which is connected to the front-end output end, a frame start signal (STV), the first power supply voltage end (VSS) and an output end of the GOA unit, and which is configured to output a pulse of the front-end output end to the output end of the GOA unit when the frame start signal (STV) is at the valid input electric level, and to make the output end of the GOA unit have no output so that the GOA unit is in a no-output state when the frame start signal (STV) is at an invalid input electric level.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种GOA单元、GOA单元的驱动方法、GOA驱动电路和显示装置，该GOA单元包括：前端GOA单元(101)，连接信号输入端(Input)、复位信号端(RESET)、第一电源电压端(VSS)、第二电源电压端(VDD1)、第三电源电压端(VDD2)、时钟信号端(CLK)以及前端输出端，被配置以在信号输入端(Input)的输入信号处于有效输入电平时，将时钟信号端(CLK)的时钟信号输出到前端输出端；以及修复电路(102)，连接前端输出端、帧起始信号(STV)、第一电源电压端(VSS)以及GOA单元的输出端，被配置以在帧起始信号(STV)处于有效输入电平时，将前端输出端的一个脉冲输出到GOA单元的输出端；以及在帧起始信号(STV)处于非有效输入电平时，使得GOA单元的输出端无输出以使得该GOA单元处于无输出状态。

一种 GOA 单元及其驱动方法、GOA 驱动电路、显示装置

技术领域

本公开涉及显示技术领域，更具体地说，涉及一种具有自修复功能的阵列基板行驱动单元及其驱动方法、包含该 GOA 单元的 GOA 驱动电路以及包含该 GOA 驱动电路的显示装置。

背景技术

目前，栅极驱动装置一般通过阵列工艺形成在液晶显示器的阵列基板上，即阵列基板行驱动（Gate Driver on Array, GOA）工艺，这种集成工艺节省了成本，是未来 TFT-LCD 的发展趋势。

GOA 单元目前仍旧还有许多需要完善的地方，目前 GOA 单元输出异常绝大部分都是 GOA 单元多个输出（Multi-Output），若 GOA 单元能够通过自身的设计达到自我修复多个输出的功能，提升产品良率，提升产品的抗干扰能力，提升产品品质和可靠性，另一方面增加设计边框(Margin)，从而增加设计的可调整性，降低设计难度。

GOA 单元是为了代替栅极驱动器 IC 的功能，实现成本降低，目前 GOA 单元的功能还没有达到栅极驱动器 IC 那么全面稳定。由于制程当中的不稳定性及客户系统对面板时序的要求，GOA 单元很可能因为各种各样的原因导致异常输出，即多个输出状况，一旦发生多个输出，由于 GOA 单元的级联特性，会影响到整个 GOA 单元的工作发生 AD（Abnormal Display 异常显示）不良；现有设计中没有针对多个输出进行自我修复的修复电路，所以 GOA 单元对于异常的工作信号极其敏感且无法修复（重启可恢复）。

发明内容

本公开的另外方面和优点部分将在后面的描述中阐述，还有部分可从描述中明显地看出，或者可以在本公开的实践中得到。

在本公开中，在前端 GOA 单元后端增加修复电路，在每一帧的开始时，帧起始信号 STV 会导通第一修复控制晶体管 M12，对每一行栅极的 GOA 单元的复位节点 RE 充电。当前端 GOA 单元输出多输出时，由于此时复位节点 RE 为高电平，导通第二修复控制晶体管 M13，第一帧前端输出端的输出正常

输出。同时前端输出端的输出会导通第三修复控制晶体管 M14，从而拉低复位节点 RE 的电平，截止第二修复控制晶体管 M13，屏蔽掉其他的异常输出。从而达到异常输出时的自我修复功能。

本公开提供了一种阵列基板行驱动 GOA 单元，包括：前端 GOA 单元，
5 连接信号输入端、复位信号端、第一电源电压端、第二电源电压端、第三电源电压端、时钟信号端以及前端输出端，被配置以在信号输入端的输入信号处于有效输入电平时，将时钟信号端的时钟信号输出到前端输出端；以及修复电路，连接前端输出端、帧起始信号、第一电源电压端以及 GOA 单元的输
10 出端，被配置以在帧起始信号处于有效输入电平时，将前端输出端的一个脉冲输出到 GOA 单元的输出端；以及在帧起始信号处于非有效输入电平时，使得 GOA 单元的输出端无输出以使得该 GOA 单元处于无输出状态。

其中，修复电路包括：第一修复控制晶体管，其栅极和第一极分别与帧起始信号连接，第二极与复位节点连接；第二修复控制晶体管，其栅极和复位节点连接，第一极与前端输出端连接，第二极连接 GOA 单元的输出端；第
15 一电容器，其第一端与复位节点连接；以及第三修复控制晶体管，其栅极与下一级 GOA 单元的输出端连接，第一极与第一电容器的第二端连接，第二极与第一电源电压端连接。

其中，前端 GOA 单元包括：输入电路，连接信号输入端和上拉节点，被配置以在信号输入端的输入信号处于有效输入电平时，将所接收的输入信
20 号传递到上拉节点；复位电路，连接复位信号端、第一电源电压端和上拉节点，被配置以在复位信号端的复位信号处于有效控制电平时将上拉节点处的上拉信号下拉至第一电源电压端的电源电压；下拉控制电路，连接第二电源电压端、第三电源电压端、上拉节点、下拉节点以及第一电源电压端，被配置为控制下拉电路是否进行操作；下拉电路，连接下拉节点、上拉节点、第
25 一电源电压端和前端输出端，被配置以在下拉节点处的下拉信号处于有效下拉电平时将所述前端输出端和所述上拉节点的电压下拉至所述第一电源电压端的电源电压；以及输出电路，连接时钟信号端、上拉节点和前端输出端，被配置以在上拉节点处的上拉信号处于有效上拉电平时将时钟信号端的时钟信号输出到前端输出端。

30 其中，输入电路包括：输入晶体管，其栅极和第一极与信号输入端连接，第二极与上拉节点连接。

其中，复位电路包括：复位晶体管，其栅极与复位信号端连接，第一极与上拉节点连接，第二极与第一电源电压端连接。

其中，下拉控制电路包括第一下拉控制电路和第二下拉控制电路，其中下拉节点包括第一下拉节点和第二下拉节点。

- 5 其中，第一下拉控制电路包括：第一下拉控制晶体管，其栅极和第一下拉控制节点连接，第一极与第二电源电压端连接，第二极与第一下拉节点连接；第二下拉控制晶体管，其栅极与上拉节点连接，第一极与第一下拉节点连接，第二极与第一电源电压端连接；第三下拉控制晶体管，其栅极和第一极分别与第二电源电压端连接，第二极与第一下拉控制节点连接；以及第四
- 10 下拉控制晶体管，其栅极与上拉节点连接，第一极与第一下拉控制节点连接，第二极与第一电源电压端连接，第二下拉控制电路包括：第五下拉控制晶体管，其栅极和第二下拉控制节点连接，第一极与第三电源电压端连接，第二极与第二下拉节点连接；第六下拉控制晶体管，其栅极与上拉节点连接，第一极与第二下拉节点连接，第二极与第一电源电压端连接；第七下拉控制晶
- 15 体管，其栅极和第一极分别与第三电源电压端连接，第二极与第二下拉控制节点连接；以及第八下拉控制晶体管，其栅极与上拉节点连接，第一极与第二下拉控制节点连接，第二极与第一电源电压端连接。

其中，下拉电路包括第一下拉电路和第二下拉电路。

- 20 第一下拉电路包括：第一节点下拉晶体管，第一节点下拉晶体管的栅极与第一下拉节点连接，第一节点下拉晶体管的第一极与上拉节点连接，第一节点下拉晶体管的第二极与第一电源电压端连接；和第一输出下拉晶体管，第一输出下拉晶体管的栅极与第一下拉节点连接，第一输出下拉晶体管的第一极与前端输出端连接，第一输出下拉晶体管的第二极与第一电源电压端连接；第二下拉电路包括：第二节点下拉晶体管，第二节点下拉晶体管的栅极
- 25 与第二下拉节点连接，第二节点下拉晶体管的第一极与上拉节点连接，第二节点下拉晶体管的第二极与第一电源电压端连接；和第二输出下拉晶体管，第二输出下拉晶体管的栅极与第二下拉节点连接，第二输出下拉晶体管的第一极与前端输出端连接，第二输出下拉晶体管的第二极与第一电源电压端连接。

- 30 其中，输出电路包括：输出晶体管，其栅极与上拉节点连接，第一极与时钟信号端连接，第二极与前端输出端连接；第二电容器，其第一端与上拉

节点连接，第二端与前端输出端连接。

其中，在每一帧的开始时帧起始信号为有效输入电平。

本公开还提供了一种 GOA 单元的驱动方法，该 GOA 单元包含如上所述的 GOA 单元，该方法包括：在帧起始信号处于有效输入电平时，通过修复电路将前端 GOA 单元的前端输出端的一个脉冲输出到 GOA 单元的输出端；在帧起始信号处于非有效输入电平时，通过修复电路使得 GOA 单元的输出端无输出以使得该 GOA 单元处于无输出状态。

其中，在每一帧的开始时帧起始信号为有效输入电平。

本公开还提供了一种 GOA 驱动电路，包括级联的 N 个 GOA 单元，该 N 个 GOA 单元是第一 GOA 单元至第 N GOA 单元，每一个 GOA 单元是如上所述的 GOA 单元，其中 N 为大于等于 2 的整数。

其中在所述级联的 N 个 GOA 单元中，第一 GOA 单元的信号输入端连接帧起始信号，第 N GOA 单元的复位信号端连接帧起始信号；第二 GOA 单元至第 N GOA 单元中的每个 GOA 单元的信号输入端连接到与其相邻的上一级 GOA 单元的输出端，所述第一 GOA 单元至第 N-1 GOA 单元中的每个 GOA 单元的复位信号端连接到与其相邻的下一级 GOA 单元的输出端。

其中，在 GOA 驱动电路中，将帧起始信号接入每一级 GOA 单元。

本公开还提供了一种显示装置，包括上述的 GOA 驱动电路。

20 附图说明

通过结合附图对本公开的优选实施例进行详细描述，本公开的上述和其他目的、特性和优点将会变得更加清楚，其中相同的标号指定相同结构的单元，并且在其中：

图 1 示出了根据本公开实施例具有自我修复功能的单一 GOA 单元的框图；

图 2A 示出了根据本公开实施例具有自我修复功能的单一 GOA 单元的结构图；

图 2B 示出了图 2A 的单一 GOA 单元的详细框图；

图 3 示出了根据本公开实施例具有自我修复功能的单一 GOA 单元的示例电路图；

图 4 示出了根据本公开实施例当 GOA 单元异常时具有自我修复功能的

GOA 单元的时序图；

图 5 示出了根据本公开实施例当 GOA 单元正常时具有自我修复功能的 GOA 单元的时序图；

图 6 示出了根据本公开实施例 GOA 驱动电路的整体结构；

5 图 7 示出了根据本公开实施例的 GOA 单元的驱动方法的流程图。

具体实施方式

下面将参照示出本公开实施例的附图充分描述本公开。然而，本公开可以以许多不同的形式实现，而不应当认为限于这里所述的实施例。相反，提供这些实施例以便使本公开透彻且完整，并且将向本领域技术人员充分表达本公开的范围。在附图中，为了清楚起见放大了组件。

本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本实施例中，每个晶体管的漏极和源极的连接方式可以互换，因此，本公开实施例中各晶体管的漏极、源极实际是没有区别的。这里，仅仅是为了区分晶体管除栅极之外的两极，而将其中一极称为漏极，另一极称为源极。本公开实施例中采用的薄膜晶体管可以为 N 型晶体管，也可以为 P 型晶体管。在本公开实施例中，当采用 N 型薄膜晶体管时，其第一极可以是源极，第二极可以是漏极。在以下实施例中，以薄膜晶体管为 N 型晶体管为例进行的说明，即栅极的信号是高电平时，薄膜晶体管导通。可以想到，当采用 P 型晶体管时，需要相应调整驱动信号的时序。

图 1 示出了根据本公开实施例具有自我修复功能的单一 GOA 单元的框图。

如图 1 所示的，在一个实施例中，GOA 单元包括前端 GOA 单元 101 和修复电路 102。在根据本公开的 GOA 单元中，在前端 GOA 单元 101 的输出端之后增加了修复电路 102。

在一个实施例中，例如前端 GOA 单元 101 连接信号输入端 Input、复位信号端 RESET、第一电源电压端 VSS、第二电源电压端 VDD1、第三电源电压端 VDD2、时钟信号端 CLK 以及前端输出端，被配置以在信号输入端的输入信号 Input 处于有效输入电平时，将时钟信号端 CLK 的时钟信号输出到前端输出端。

在一个实施例中，例如修复电路 102 连接前端 GOA 单元 101 的前端输

出端、帧起始信号 STV、第一电源电压端 VSS 以及 GOA 单元的输出端，被配置以在帧起始信号 STV 处于有效输入电平时，将前端输出端的一个脉冲输出到 GOA 单元的输出端；以及在帧起始信号 STV 处于非有效输入电平时，使得 GOA 单元的输出端无输出以使得该 GOA 单元处于无输出状态。从而，

5 根据本公开的 GOA 单元可以滤除掉异常输出和干扰信号。

其中，第一电源电压端 VSS 是低电源电压端。第二和第三电源电压端 VDD1 和 VDD2 是高电源电压端。

图 2A 示出了根据本公开实施例具有自我修复功能的单一 GOA 单元的结构图。

10 如图 2A 所示的，在一个实施例中，例如前端 GOA 单元 101 包括：输入电路 201、复位电路 202、下拉控制电路 203、下拉电路 204 和输出电路 205。

所述输入电路 201 连接信号输入端 Input 和上拉节点 PU，被配置以在信号输入端的输入信号 Input 处于有效输入电平时，将所接收的输入信号传递

15 到上拉节点 PU。

所述复位电路 202 连接复位信号端 RESET、第一电源电压端 VSS 和上拉节点 PU，被配置以在复位信号端 RESET 的复位信号处于有效控制电平时将上拉节点 PU 处的上拉信号下拉至第一电源电压端 VSS 的电源电压。

所述下拉控制电路 203 连接第二电源电压端 VDD1、第三电源电压端

20 VDD2、上拉节点 PU、下拉节点 PD1 和 PD2 以及第一电源电压端 VSS，被配置为控制下拉电路 204 是否进行操作。例如，下拉控制电路 203 在上拉节点 PU 处的上拉信号处于有效上拉电平时在下拉节点 PD 处产生处于非有效下拉电平的下拉信号；而在上拉节点 PU 处的上拉信号处于非有效上拉电平时，响应高电平电压信号 VDD1 或 VDD2，将高电平电压信号 VDD1 或 VDD2 提

25 供给下拉节点 PD1 和 PD2。

所述下拉电路 204 连接下拉节点 PD、上拉节点 PU、第一电源电压端 VSS 和前端输出端，被配置以在下拉节点 PD 处的下拉信号处于有效下拉电平时将所述前端输出端和所述上拉节点 PU 下拉至所述第一电源电压端 VSS 的电源电压。

30 所述输出电路 205 连接时钟信号端 CLK、上拉节点 PU 和前端输出端，被配置以在上拉节点 PU 处的上拉信号处于有效上拉电平时将时钟信号端

CLK 的时钟信号输出到前端输出端。

所述修复电路 102 连接前端输出端、帧起始信号 STV 和 GOA 单元的输出端，被配置以在帧起始信号 STV 来了之后，将前端输出端的一个脉冲输出到 GOA 单元的输出端，并且在其他时间段内，使得 GOA 单元的输出端无输出，以使得该 GOA 单元处于无输出状态。

图 2B 示出了图 2A 的单一 GOA 单元的详细框图。

如图 2B 所示，下拉控制电路 203 包括第一下拉控制电路 2031 和第二下拉控制电路 2032，并且下拉节点 PD 包括第一下拉节点 PD1 和第二下拉节点 PD2。

10 下拉电路 204 包括第一下拉电路 2041 和第二下拉电路 2042。

第一下拉控制电路 2031 连接第二电源电压端 VDD1、上拉节点 PU、第一下拉节点 PD1 以及第一电源电压端 VSS，被配置为控制第一下拉电路 2041 是否进行操作。例如，第一下拉控制电路 2031 在上拉节点 PU 处的上拉信号处于有效上拉电平时在第一下拉节点 PD1 处产生处于非有效下拉电平的下拉信号；而在上拉节点 PU 处的上拉信号处于非有效上拉电平时，响应高电平电压信号 VDD1，将高电平电压信号 VDD1 提供给第一下拉节点 PD1。

第二下拉控制电路 2032 连接第三电源电压端 VDD2、上拉节点 PU、第二下拉节点 PD2 以及第一电源电压端 VSS，被配置为控制第二下拉电路 2042 是否进行操作。例如，第二下拉控制电路 2032 在上拉节点 PU 处的上拉信号处于有效上拉电平时在第二下拉节点 PD2 处产生处于非有效下拉电平的下拉信号；而在上拉节点 PU 处的上拉信号处于非有效上拉电平时，响应高电平电压信号 VDD2，将高电平电压信号 VDD2 提供给第二下拉节点 PD2。

第一下拉电路 2041 连接第一下拉节点 PD1、上拉节点 PU、第一电源电压端 VSS 和前端输出端，被配置以在第一下拉节点 PD1 处的下拉信号处于有效下拉电平时将所述前端输出端和所述上拉节点 PU 下拉至所述第一电源电压端 VSS 的电源电压。

第二下拉电路 2042 连接第二下拉节点 PD、上拉节点 PU、第一电源电压端 VSS 和前端输出端，被配置以在第二下拉节点 PD2 处的下拉信号处于有效下拉电平时将所述前端输出端和所述上拉节点 PU 下拉至所述第一电源电压端 VSS 的电源电压。

图 3 示出了根据本公开实施例具有自我修复功能的单一 GOA 单元的示

例电路图。

下面以图 3 中的晶体管均为在栅极输入高电平时导通的 N 型晶体管为例进行说明。

如图 3 所示，在一个实施例中，例如，输入电路 201 包括输入晶体管 M1，
5 输入晶体管 M1 的栅极和第一极分别与信号输入端 INPUT 连接，输入晶体管 M1 的第二极与上拉节点 PU 连接。在信号输入端 INPUT 的输入信号处于高电平时，输入晶体管 M1 导通，将信号输入端 INPUT 的输入信号传递到上拉节点 PU。输入电路 201 的具体实现结构和控制方式等不构成对本公开实施例的限制。

10 在一个实施例中，例如，复位电路 202 包括复位晶体管 M2，复位晶体管 M2 的栅极与复位信号端 RESET 连接，第一极与上拉节点 PU 连接，第二极与第一电源电压端 VSS 连接。在复位信号端 RESET 处的复位信号处于高电平时，复位晶体管 M2 导通，将上拉节点 PU 处的上拉信号下拉至第一电源电压端 VSS 的电源电压。上述的复位电路 202 仅仅是示例，其还可以具有其它
15 结构。

在一个实施例中，例如，下拉控制电路 203 包括第一下拉控制电路 2031 和第二下拉控制电路 2032，下拉节点 PD 包括第一下拉节点 PD1 和第二下拉节点 PD2。

第一下拉控制电路 2031 包括第一下拉控制晶体管 M5、第二下拉控制晶
20 体管 M6、第三下拉控制晶体管 M9 和第四下拉控制晶体管 M8。第一下拉控制晶体管 M5 的栅极和第一下拉控制节点 PD_CN1 连接，第一极与第二电源电压端 VDD1 连接，第二极与第一下拉节点 PD1 连接；第二下拉控制晶体管 M6 的栅极与上拉节点 PU 连接，第一极与第一下拉节点 PD1 连接，第二极与第一电源电压端 VSS 连接；第三下拉控制晶体管 M9 的栅极和第一极分别与
25 第二电源电压端 VDD1 连接，第二极与第一下拉控制节点 PD_CN1 连接；第四下拉控制晶体管 M8 的栅极与上拉节点 PU 连接，第一极与第一下拉控制节点 PD_CN1 连接，第二极与第一电源电压端 VSS 连接。

第二下拉控制电路 2032 包括第五下拉控制晶体管 M5'、第六下拉控制晶
30 体管 M6'、第七下拉控制晶体管 M9' 和第八下拉控制晶体管 M8'。第五下拉控制晶体管 M5' 的栅极和第二下拉控制节点 PD_CN2 连接，第一极与第三电源电压端 VDD2 连接，第二极与第二下拉节点 PD2 连接；第六下拉控制晶体

管 M6'的栅极与上拉节点 PU 连接, 第一极与第二下拉节点 PD2 连接, 第二极与第一电源电压端 VSS 连接; 第七下拉控制晶体管 M9'的栅极和第一极分别与第三电源电压端 VDD2 连接, 第二极与第二下拉控制节点 PD_CN2 连接; 第八下拉控制晶体管 M8'的栅极与上拉节点 PU 连接, 第一极与第二下拉控制节点 PD_CN2 连接, 第二极与第一电源电压端 VSS 连接。

5 在一个实施例中, 例如, 下拉电路 204 包括第一下拉电路 2041 和第二下拉电路 2042。

第一下拉电路 2041 包括第一节点下拉晶体管 M10 和第一输出下拉晶体管 M11, 第一节点下拉晶体管 M10 的栅极和第一输出下拉晶体管 M11 的栅极与第一下拉节点 PD1 连接, 第一节点下拉晶体管 M10 的第二极和第一输出下拉晶体管 M11 的第二极与第一电源电压端 VSS 连接, 第一节点下拉晶体管 M10 的第一极与上拉节点 PU 连接, 第一输出下拉晶体管 M11 的第一极与前端输出端连接。在第一下拉节点 PD1 处的下拉信号处于高电平时, 第一节点下拉晶体管 M10 和第一输出下拉晶体管 M11 导通, 分别将上拉节点 PU 和前端输出端下拉至第一电源电压端 VSS 的电源电压。

第二下拉电路 2042 包括第二节点下拉晶体管 M10'和第二输出下拉晶体管 M11', 第二节点下拉晶体管 M10'的栅极和第二输出下拉晶体管 M11'的栅极与第二下拉节点 PD2 连接, 第二节点下拉晶体管 M10'的第二极和第二输出下拉晶体管 M11'的第二极与第一电源电压端 VSS 连接, 第二节点下拉晶体管 M10'的第一极与上拉节点 PU 连接, 第二输出下拉晶体管 M11'的第一极与前端输出端连接。在第二下拉节点 PD2 处的下拉信号处于高电平时, 第二节点下拉晶体管 M10'和第二输出下拉晶体管 M11'导通, 分别将上拉节点 PU 和前端输出端下拉至第一电源电压端 VSS 的电源电压。

25 上述的下拉控制电路 203 和下拉电路 204 仅仅是示例, 其还可以具有其它结构。

在一个实施例中, 例如, 输出电路 205 包括输出晶体管 M3 和第二电容器 C2, 输出晶体管 M3 的栅极与上拉节点 PU 连接, 输出晶体管 M3 的第一极与时钟信号端 CLK 连接, 输出晶体管 M3 的第二极与前端输出端连接; 第二电容器 C2 的第一端与上拉节点 PU 连接, 第二电容器 C2 的第二端与前端输出端连接。在上拉节点 PU 处的上拉信号处于高电平时, 输出晶体管 M3 导通, 将时钟信号端 CLK 的第二时钟信号输出到前端输出端。

上述的输出电路 205 仅仅是示例，其还可以具有其它结构。

在一个实施例中，例如，修复电路 102 包括第一修复控制晶体管 T12、第二修复控制晶体管 T13、第三修复控制晶体管 T14 和第一电容器 C1。第一修复控制晶体管 T12 的栅极和第一极与帧起始信号 STV 连接，第一修复控制晶体管 T12 的第二极与复位节点 RE 连接。第二修复控制晶体管 T13 的栅极和复位节点 RE 连接，第二修复控制晶体管 T13 的第一极与前端输出端连接，第二修复控制晶体管 T13 的第二极连接 GOA 单元的输出端。第一电容器 C1 5 一端与复位节点 RE 连接，其第二端与第三修复控制晶体管 T14 的第一极连接。第三修复控制晶体管 T14 的栅极与下一级 GOA 单元的输出端连接，第三修复控制晶体管 T14 的第二极与第一电源电压端 VSS 连接。

在每一帧的开始时，帧起始信号 STV 会导通第一修复控制晶体管 M12，对每一行栅极的 GOA 单元的复位节点 RE 充电。当前端 GOA 单元输出多输出时，由于此时复位节点 RE 为高电平，导通第二修复控制晶体管 M13，第一帧前端输出端的输出正常输出。同时前端输出端的输出会导通第三修复控制晶体管 M14，从而拉低复位节点 RE 的电平，截止第二修复控制晶体管 M13，屏蔽掉其他的异常输出。从而达到异常输出时的自我修复功能。

上述的修复电路 102 仅仅是示例，其还可以具有能够实现相同功能的其它结构。

修复电路 102 的功能实现步骤如下：

20 每一帧开始时，帧起始信号 STV 使得每一行 GOA 单元的第一修复控制晶体管 M12 导通，给复位节点 RE 充电，通过第一电容器 C1 维持高电平。

复位节点 RE 置高电平使得第二修复控制晶体管 M13 维持导通状态。

此时前端输出端的输出通过导通状态的第二修复控制晶体管 M13，输出一个脉冲到 GOA 单元的输出端。

25 前端输出端输出一个脉冲后反向导通第三修复控制晶体管 M14 拉低复位节点 RE 的电压。

复位节点 RE 的电压置低，截止第二修复控制晶体管 M13。

由于第二修复控制晶体管 M13 截止，在下一个帧起始信号 STV 到来之前该行 GOA 单元锁定无输出状态。

30 图 4 示出了根据本公开实施例当 GOA 单元异常时具有自我修复功能的 GOA 单元的时序图。

图 5 示出了根据本公开实施例当 GOA 单元正常时具有自我修复功能的 GOA 单元的时序图。

参照图 4，前端 GOA 单元的前端输出端输出异常，即具有多个输出。在前端输出端输出第一个脉冲期间，STV 导通第一修复控制晶体管 M12，给复位节点 RE 充电。复位节点 RE 置高电平使得第二修复控制晶体管 M13 维持导通状态。此时前端输出端的输出通过导通状态的第二修复控制晶体管 M13，输出一个脉冲到 GOA 单元的输出端。前端输出端输出一个脉冲后反向导通第三修复控制晶体管 M14 拉低复位节点 RE 的电压。复位节点 RE 的电压置低，截止第二修复控制晶体管 M13。因此，在下一个帧起始信号 STV 到来之前复位输出端处于无输出状态。因此，即使前端输出端产生多输出故障，通过修复电路也能够修复多输出的问题。

也即，根据本公开实施例的 GOA 单元的驱动方法包括：在帧起始信号处于有效输入电平时，将前端 GOA 单元的前端输出端的一个脉冲输出到 GOA 单元的输出端；以及在帧起始信号处于非有效输入电平时，使得 GOA 单元的输出端无输出以使得该 GOA 单元处于无输出状态。

参照图 5，图 5 中的前端 GOA 单元的前端输出端未出现异常，此时，复位输出端保持了前端输出端的正常输出。

通过图 4 和图 5 的时序图可知，根据本公开实施例的具有自我修复功能的 GOA 单元能够很好地解决异常多个输出的问题。

图 6 示出了根据本公开实施例 GOA 驱动电路的整体结构。

图 6 所示的 GOA 驱动电路包括级联的 N 个 GOA 单元，该 N 个 GOA 单元是第一 GOA 单元至第 N GOA 单元，其中 N 为大于等于 2 的整数。每级 GOA 单元都可以采用上文中所描述的结构。

其中在所述级联的 N 个 GOA 单元中，

第一 GOA 单元的信号输入端连接帧起始信号，第 N GOA 单元的复位信号端连接帧起始信号。

第二 GOA 单元至第 N GOA 单元中的每个 GOA 单元的信号输入端连接到与其相邻的上一级 GOA 单元的输出端。

所述第一 GOA 单元至第 N-1 GOA 单元中的每个 GOA 单元的复位信号端连接到与其相邻的下一级 GOA 单元的输出端。

其中，在 GOA 驱动电路中，将帧起始信号接入每一级 GOA 单元。

各级 GOA 单元的驱动信号输出端与栅线相连。

上述 GOA 驱动电路通过各级 GOA 单元的驱动信号输出端与对应的栅线连接，用于顺序地向对应的栅线输出扫描信号。

本公开还提供了一种包括上述的 GOA 驱动电路的显示装置。

5 图 7 示出了根据本公开实施例的 GOA 单元的驱动方法的流程图。

该 GOA 单元包括前端 GOA 单元和修复电路。如图 7 所示，在步骤 S701，在帧起始信号处于有效输入电平时，通过修复电路将前端 GOA 单元的前端输出端的一个脉冲输出到 GOA 单元的输出端。

10 在步骤 S702，在帧起始信号处于非有效输入电平时，通过修复电路使得 GOA 单元的输出端无输出以使得该 GOA 单元处于无输出状态。

其中，在每一帧的开始时帧起始信号为有效输入电平。

15 本公开在现有的 GOA 架构上增加了自修复结构，通过 3 个 TFT 的导通和截止对前端输出进行合理选择性输出，从而达到消除多个输出状况和屏蔽异常干扰信号。提升产品品质，产品良率及产品可靠性；提升设计边框，降低设计难度；通过对前端输出端输出后的信号进行处理，达到对 GOA 单元的自修复功能和抗干扰功能。

20 除非另有定义，这里使用的所有术语（包括技术和科学术语）具有与本公开所属领域的普通技术人员共同理解的相同含义。还应当理解，诸如在通常字典里定义的那些术语应当被解释为具有与它们在相关技术的上下文中的含义相一致的含义，而不应用理想化或极度形式化的意义来解释，除非这里明确地这样定义。

25 上面是对本公开的说明，而不应被认为是对其的限制。尽管描述了本公开的若干示例性实施例，但本领域技术人员将容易地理解，在不背离本公开的新颖教学和优点的前提下可以对示例性实施例进行许多修改。因此，所有这些修改都意图包含在权利要求书所限定的本公开范围内。应当理解，上面是对本公开的说明，而不应被认为是限于所公开的特定实施例，并且对所公开的实施例以及其他实施例的修改意图包含在所附权利要求书的范围内。本公开由权利要求书及其等效物限定。

30 本申请要求于 2017 年 03 月 30 日递交的中国专利申请第 201710203914.1 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1. 一种 GOA 单元，包括：

5 前端 GOA 单元，连接信号输入端、复位信号端、第一电源电压端、第二电源电压端、第三电源电压端、时钟信号端以及前端输出端，被配置以在信号输入端的输入信号处于有效输入电平时，将时钟信号端的时钟信号输出到前端输出端；以及

10 修复电路，连接前端输出端、帧起始信号、第一电源电压端以及 GOA 单元的输出端，被配置以在帧起始信号处于有效输入电平时，将前端输出端的一个脉冲输出到 GOA 单元的输出端；以及在帧起始信号处于非有效输入电平时，使得 GOA 单元的输出端无输出以使得该 GOA 单元处于无输出状态。

2. 根据权利要求 1 所述的 GOA 单元，其中，修复电路包括：

15 第一修复控制晶体管，其栅极和第一极分别与帧起始信号连接，第二极与复位节点连接；

第二修复控制晶体管，其栅极和复位节点连接，第一极与前端输出端连接，第二极连接 GOA 单元的输出端；

第一电容器，其第一端与复位节点连接；以及

20 第三修复控制晶体管，其栅极与下一级 GOA 单元的输出端连接，第一极与第一电容器的第二端连接，第二极与第一电源电压端连接。

3. 根据权利要求 2 所述的 GOA 单元，其中，前端 GOA 单元包括：

输入电路，连接信号输入端和上拉节点，被配置以在信号输入端的输入信号处于有效输入电平时，将所接收的输入信号传递到上拉节点；

25 复位电路，连接复位信号端、第一电源电压端和上拉节点，被配置以在复位信号端的复位信号处于有效控制电平时将上拉节点处的上拉信号下拉至第一电源电压端的电源电压；

下拉控制电路，连接第二电源电压端、第三电源电压端、上拉节点、下拉节点以及第一电源电压端，被配置为控制下拉电路是否进行操作；

30 下拉电路，连接下拉节点、上拉节点、第一电源电压端和前端输出端，被配置以在下拉节点处的下拉信号处于有效下拉电平时将所述前端输出端和所述上拉节点的电压下拉至所述第一电源电压端的电源电压；以及

输出电路，连接时钟信号端、上拉节点和前端输出端，被配置以在上拉节点处的上拉信号处于有效上拉电平时将时钟信号端的时钟信号输出到前端输出端。

4. 根据权利要求 3 所述的 GOA 单元，其中，输入电路包括：

5 输入晶体管，其栅极和第一极与信号输入端连接，第二极与上拉节点连接。

5. 根据权利要求 3 所述的 GOA 单元，其中，复位电路包括：

复位晶体管，其栅极与复位信号端连接，第一极与上拉节点连接，第二极与第一电源电压端连接。

10 6. 根据权利要求 3 所述的 GOA 单元，其中，下拉控制电路包括第一下拉控制电路和第二下拉控制电路，其中下拉节点包括第一下拉节点和第二下拉节点。

7. 根据权利要求 6 所述的 GOA 单元，其中，第一下拉控制电路包括：

15 第一下拉控制晶体管，其栅极和第一下拉控制节点连接，第一极与第二电源电压端连接，第二极与第一下拉节点连接；

第二下拉控制晶体管，其栅极与上拉节点连接，第一极与第一下拉节点连接，第二极与第一电源电压端连接；

第三下拉控制晶体管，其栅极和第一极分别与第二电源电压端连接，第二极与第一下拉控制节点连接；以及

20 第四下拉控制晶体管，其栅极与上拉节点连接，第一极与第一下拉控制节点连接，第二极与第一电源电压端连接，

第二下拉控制电路包括：

第五下拉控制晶体管，其栅极和第二下拉控制节点连接，第一极与第三电源电压端连接，第二极与第二下拉节点连接；

25 第六下拉控制晶体管，其栅极与上拉节点连接，第一极与第二下拉节点连接，第二极与第一电源电压端连接；

第七下拉控制晶体管，其栅极和第一极分别与第三电源电压端连接，第二极与第二下拉控制节点连接；以及

30 第八下拉控制晶体管，其栅极与上拉节点连接，第一极与第二下拉控制节点连接，第二极与第一电源电压端连接。

8. 根据权利要求 3 所述的 GOA 单元，其中，下拉电路包括第一下拉电

路和第二下拉电路。

9. 根据权利要求 8 所述的 GOA 单元, 其中, 第一下拉电路包括:

第一节点下拉晶体管, 第一节点下拉晶体管的栅极与第一下拉节点连接, 第一节点下拉晶体管的第一极与上拉节点连接, 第一节点下拉晶体管的第二极与第一电源电压端连接; 和

第一输出下拉晶体管, 第一输出下拉晶体管的栅极与第一下拉节点连接, 第一输出下拉晶体管的第一极与前端输出端连接, 第一输出下拉晶体管的第二极与第一电源电压端连接;

第二下拉电路包括:

10 第二节点下拉晶体管, 第二节点下拉晶体管的栅极与第二下拉节点连接, 第二节点下拉晶体管的第一极与上拉节点连接, 第二节点下拉晶体管的第二极与第一电源电压端连接; 和

第二输出下拉晶体管, 第二输出下拉晶体管的栅极与第二下拉节点连接, 第二输出下拉晶体管的第一极与前端输出端连接, 第二输出下拉晶体管的第二极与第一电源电压端连接。

10. 根据权利要求 3 所述的 GOA 单元, 其中, 输出电路包括:

输出晶体管, 其栅极与上拉节点连接, 第一极与时钟信号端连接, 第二极与前端输出端连接;

第二电容器, 其第一端与上拉节点连接, 第二端与前端输出端连接。

20 11. 根据权利要求 1-10 中任一项所述的 GOA 单元, 其中, 在每一帧的开始时帧起始信号为有效输入电平。

12. 一种 GOA 单元的驱动方法, 该 GOA 单元包含如权利要求 1-11 的任意一项所述的 GOA 单元, 该方法包括:

25 在帧起始信号处于有效输入电平时, 通过修复电路将前端 GOA 单元的前端输出端的一个脉冲输出到 GOA 单元的输出端;

在帧起始信号处于非有效输入电平时, 通过修复电路使得 GOA 单元的输出端无输出以使得该 GOA 单元处于无输出状态。

13. 根据权利要求 12 所述的驱动方法, 其中, 在每一帧的开始时帧起始信号为有效输入电平。

30 14. 一种 GOA 驱动电路, 包括级联的 N 个 GOA 单元, 该 N 个 GOA 单元是第一 GOA 单元至第 N GOA 单元, 每一个 GOA 单元是如权利要求 1 至

11 中任一项所述的 GOA 单元，其中 N 为大于等于 2 的整数。

15. 根据权利要求 14 的 GOA 驱动电路，其中在所述级联的 N 个 GOA 单元中，

5 第一 GOA 单元的信号输入端连接帧起始信号，第 N GOA 单元的复位信号端连接帧起始信号；

第二 GOA 单元至第 N GOA 单元中的每个 GOA 单元的信号输入端连接到与其相邻的上一级 GOA 单元的输出端，

所述第一 GOA 单元至第 N-1 GOA 单元中的每个 GOA 单元的复位信号端连接到与其相邻的下一级 GOA 单元的输出端。

10 16. 根据权利要求 15 的 GOA 驱动电路，其中，在 GOA 驱动电路中，将帧起始信号接入每一级 GOA 单元。

17. 一种显示装置，包括根据权利要求 14-16 的任何一个所述的 GOA 驱动电路。

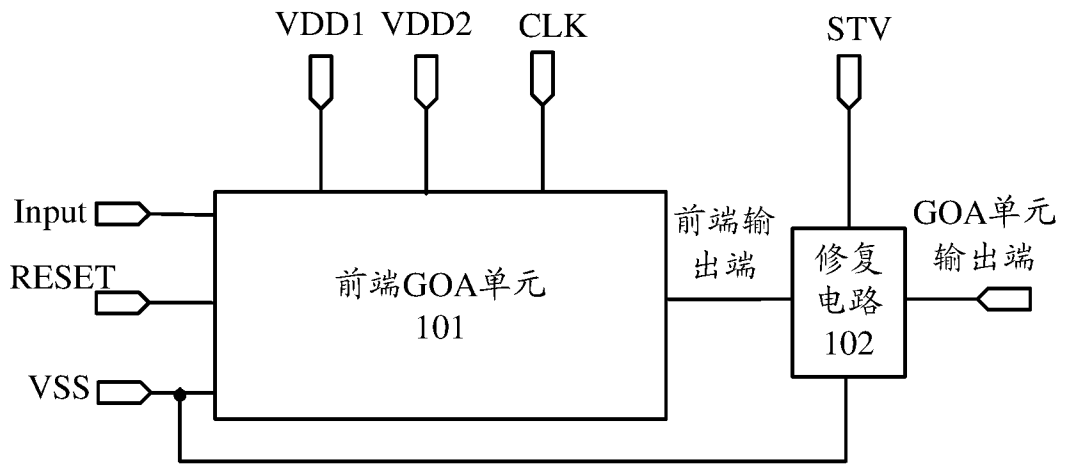


图 1

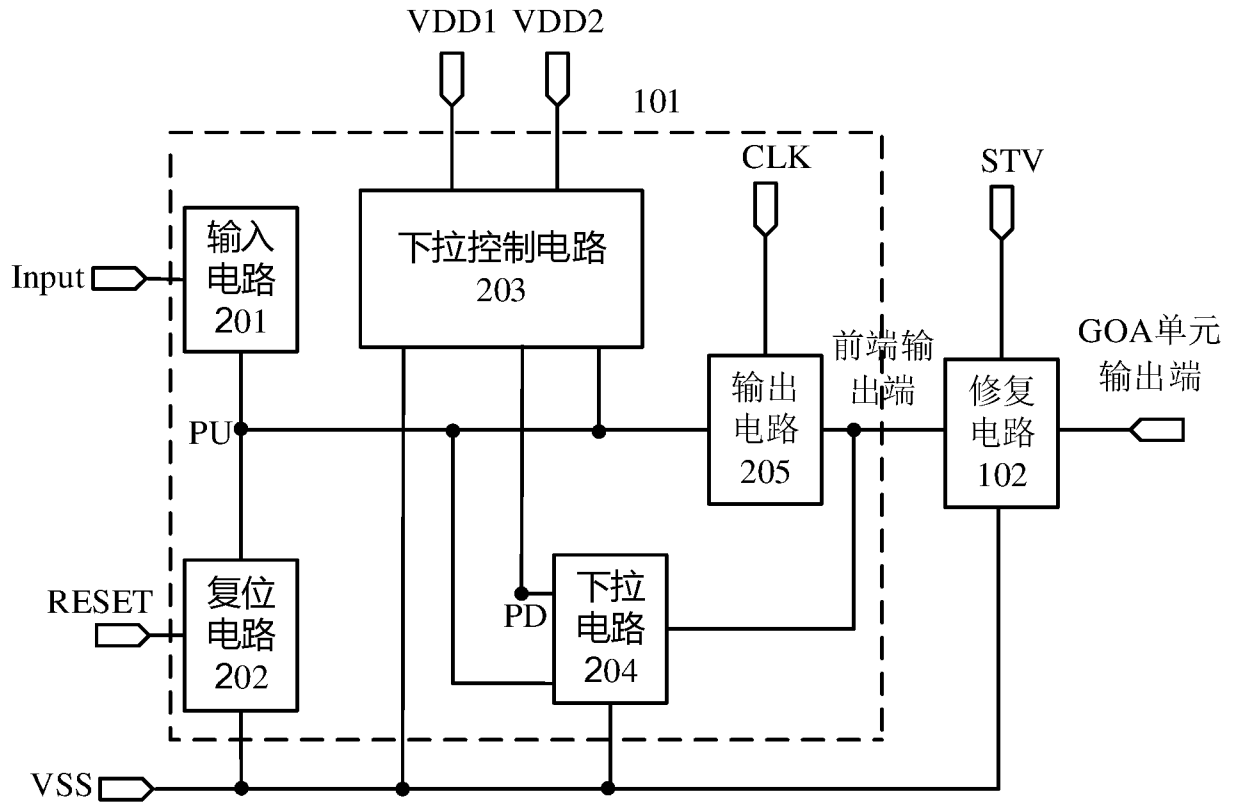


图 2A

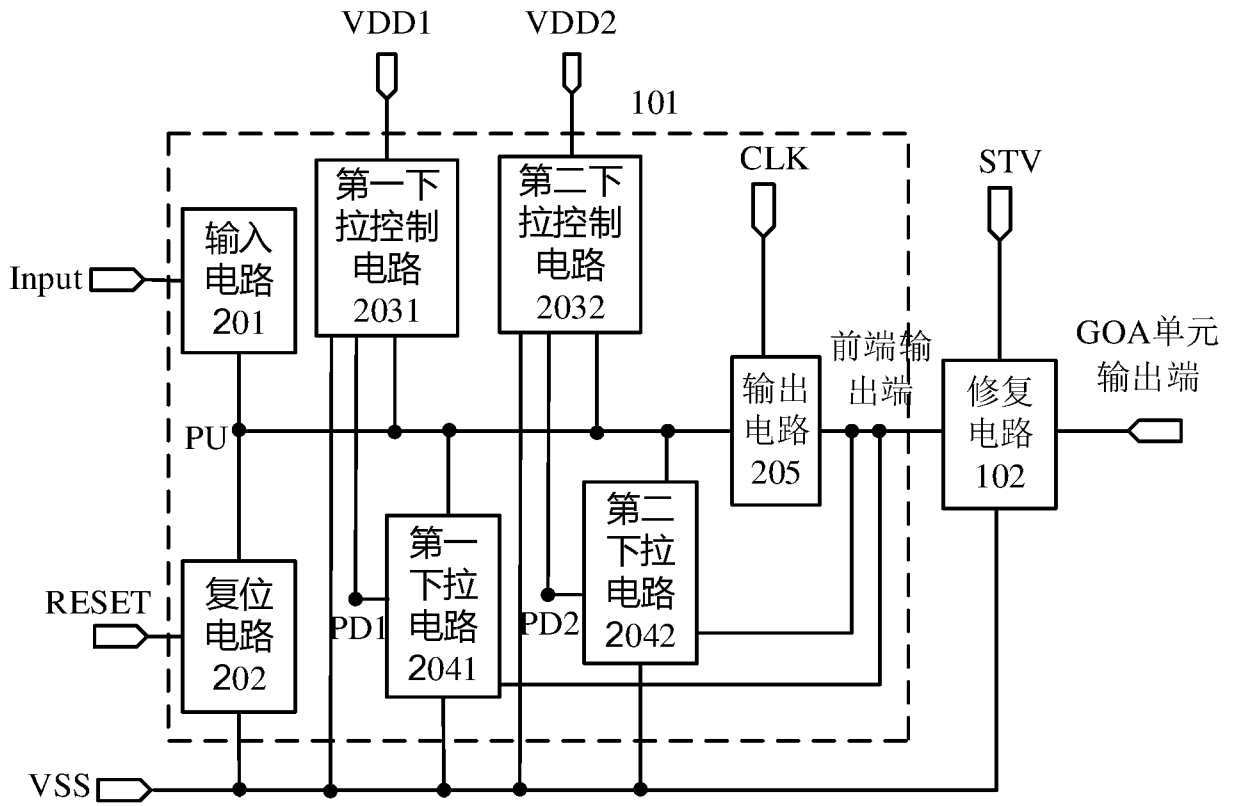


图 2B

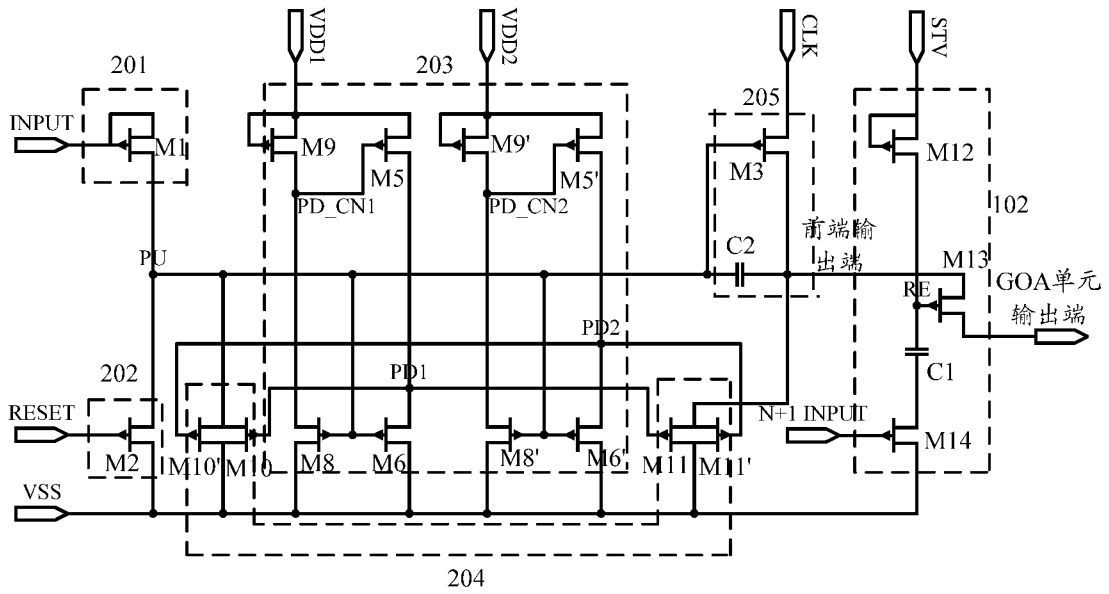


图 3

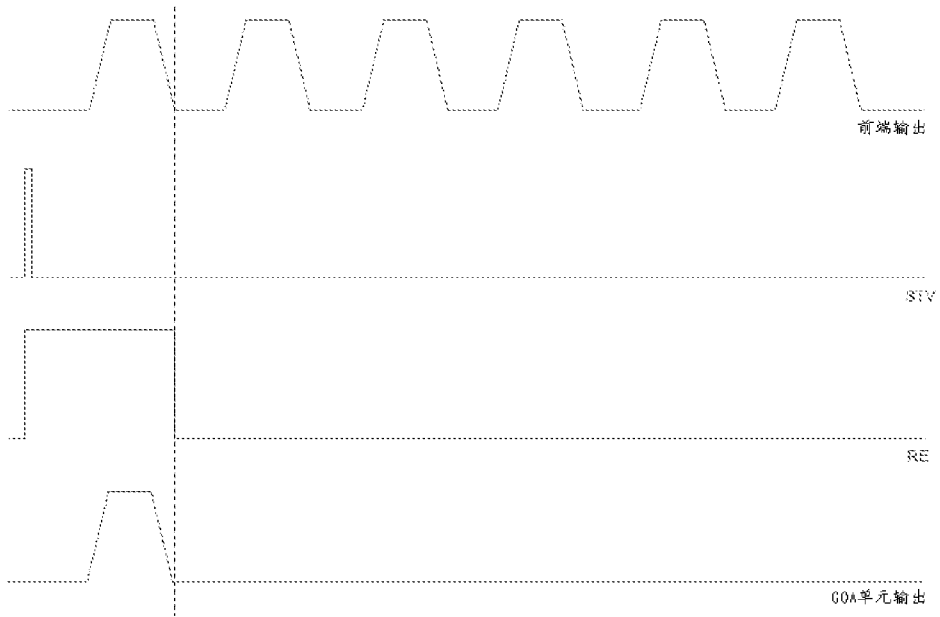


图 4

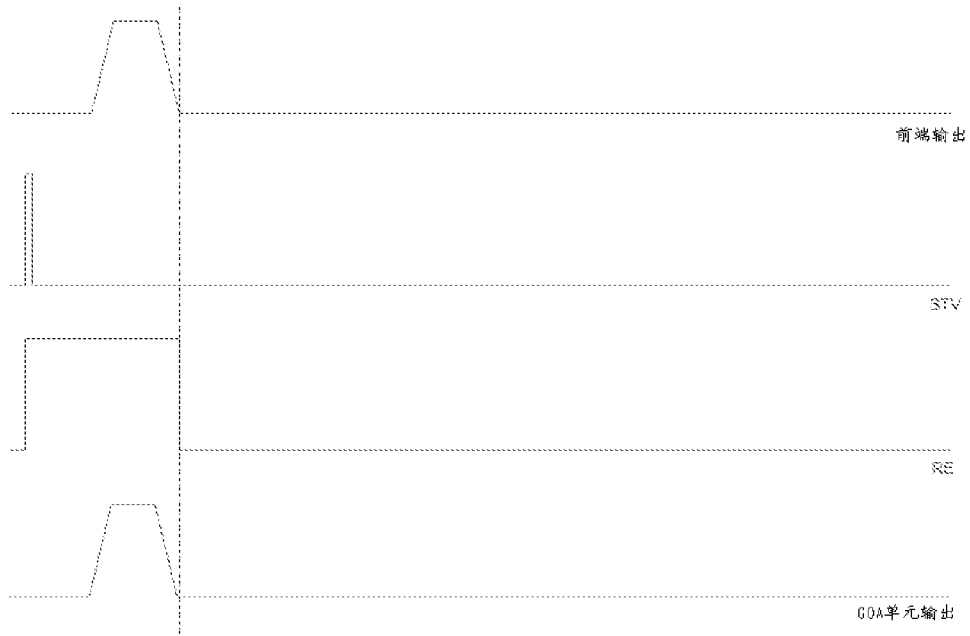


图 5

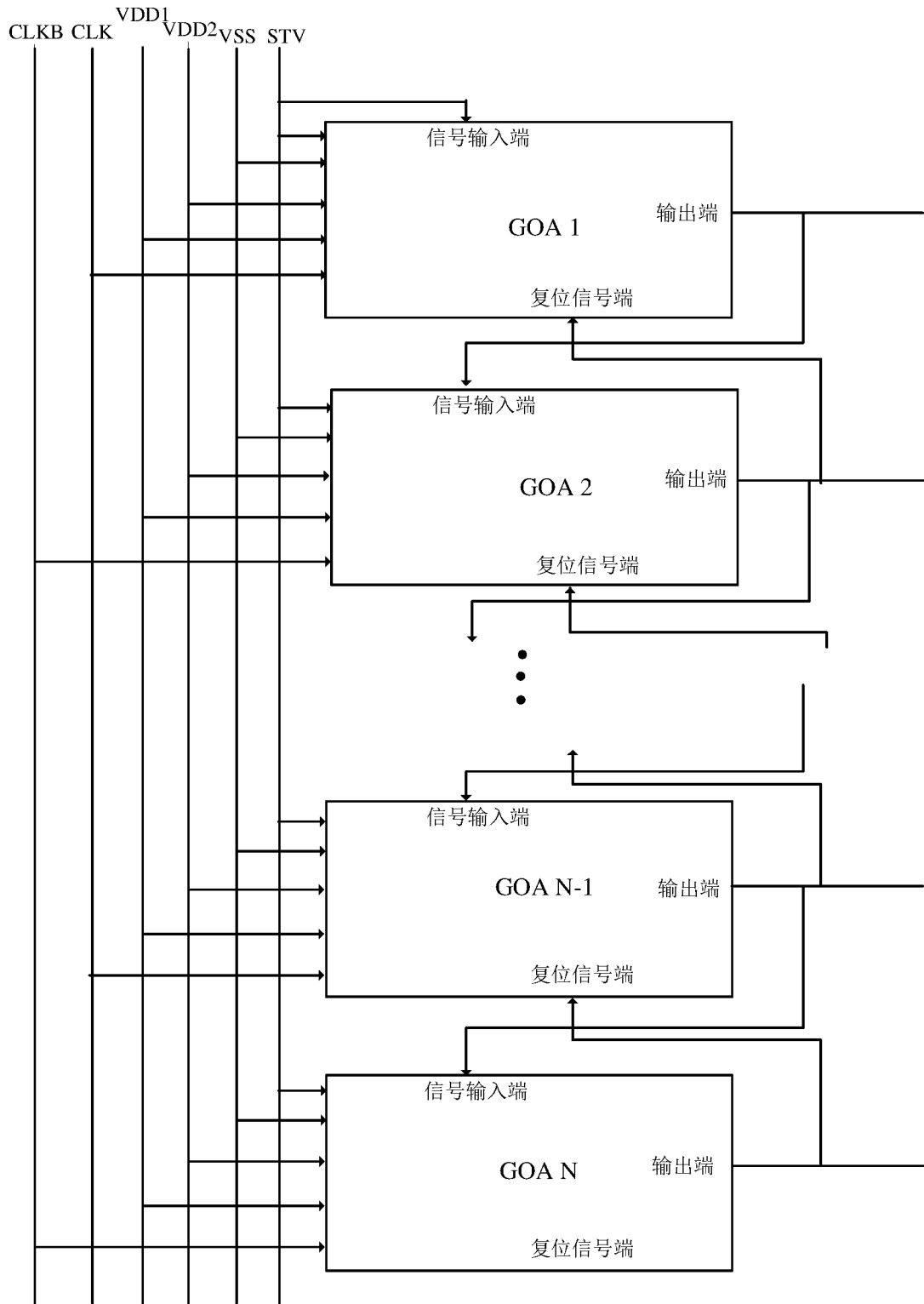


图 6

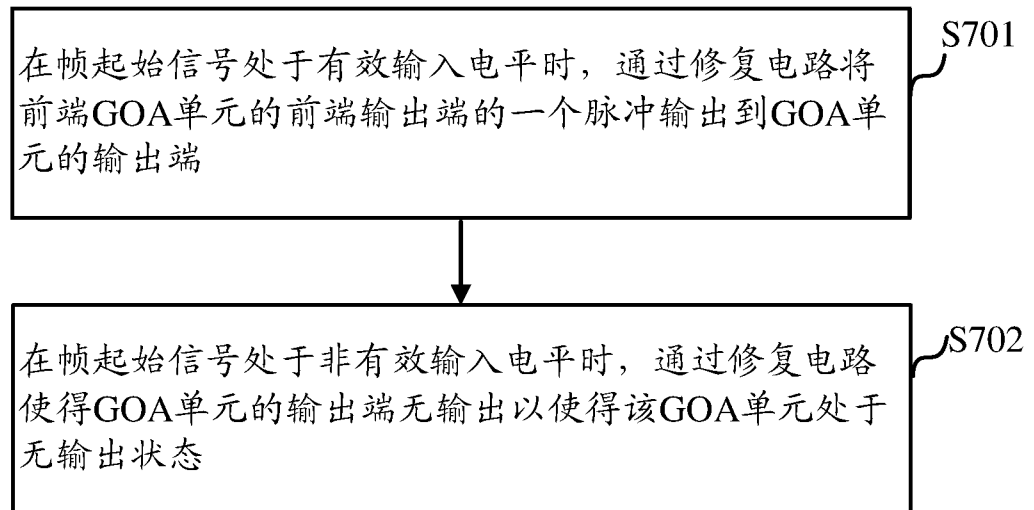


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/107689

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: GOA, 扫描, 行, 水平, 栅极, 驱动, 移位寄存, 修复, 修补, 开始, 起始, 初始, 启动, 信号, 帧, 有效, 无效, STV GOA, scan, row, gate, drive, shift, register, repair, mend, begin, start, signal, frame, STV

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105976755 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 28 September 2016 (28.09.2016), description, paragraphs [0036]-[0120], and figures 1-8	1, 11-15, 17
A	CN 104866141 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 26 August 2015 (26.08.2015), entire document	1-17
A	WO 2010116778 A1 (SHARP K.K. et al.) 14 October 2010 (14.10.2010), entire document	1-17
A	US 2011157030 A1 (AMLOGIC CO., LTD.) 30 June 2011 (30.06.2011), entire document	1-17

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">08 January 2018</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">01 February 2018</p>
<p>Name and mailing address of the ISA</p> <p>State Intellectual Property Office of the P. R. China</p> <p>No. 6, Xitucheng Road, Jimenqiao</p> <p>Haidian District, Beijing 100088, China</p> <p>Facsimile No. (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">NIE, Yingying</p> <p>Telephone No. (86-10) 62089873</p>

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/107689

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105976755 A	28 September 2016	None	
CN 104866141 A	26 August 2015	US 9785280 B2	10 October 2017
		WO 2016197542 A1	15 December 2016
		US 2017153742 A1	01 June 2017
WO 2010116778 A1	14 October 2010	US 2011292007 A1	01 December 2011
US 2011157030 A1	30 June 2011	None	

国际检索报告

国际申请号

PCT/CN2017/107689

<p>A. 主题的分类 G09G 3/36(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号) G09G; G02F; G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, VEN: GOA、扫描、行、水平、栅极、驱动、移位寄存、修复、修补、开始、起始、初始、启动、信号、帧、有效、无效、STV GOA, scan, row, gate, drive, shift, register, repair, mend, begin, start, signal, frame, STV</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105976755 A (京东方科技集团股份有限公司等) 2016年 9月 28日 (2016 - 09 - 28) 说明书第[0036]-[0120]段, 图1-8</td> <td>1, 11-15, 17</td> </tr> <tr> <td>A</td> <td>CN 104866141 A (京东方科技集团股份有限公司等) 2015年 8月 26日 (2015 - 08 - 26) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>WO 2010116778 A1 (SHARP KK等) 2010年 10月 14日 (2010 - 10 - 14) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>US 2011157030 A1 (AMLO-N AMLOGIC CO LT) 2011年 6月 30日 (2011 - 06 - 30) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105976755 A (京东方科技集团股份有限公司等) 2016年 9月 28日 (2016 - 09 - 28) 说明书第[0036]-[0120]段, 图1-8	1, 11-15, 17	A	CN 104866141 A (京东方科技集团股份有限公司等) 2015年 8月 26日 (2015 - 08 - 26) 全文	1-17	A	WO 2010116778 A1 (SHARP KK等) 2010年 10月 14日 (2010 - 10 - 14) 全文	1-17	A	US 2011157030 A1 (AMLO-N AMLOGIC CO LT) 2011年 6月 30日 (2011 - 06 - 30) 全文	1-17
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 105976755 A (京东方科技集团股份有限公司等) 2016年 9月 28日 (2016 - 09 - 28) 说明书第[0036]-[0120]段, 图1-8	1, 11-15, 17															
A	CN 104866141 A (京东方科技集团股份有限公司等) 2015年 8月 26日 (2015 - 08 - 26) 全文	1-17															
A	WO 2010116778 A1 (SHARP KK等) 2010年 10月 14日 (2010 - 10 - 14) 全文	1-17															
A	US 2011157030 A1 (AMLO-N AMLOGIC CO LT) 2011年 6月 30日 (2011 - 06 - 30) 全文	1-17															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>																	
国际检索实际完成的日期	国际检索报告邮寄日期																
2018年 1月 8日	2018年 2月 1日																
ISA/CN的名称和邮寄地址	受权官员																
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	聂莹莹																
传真号 (86-10)62019451	电话号码 (86-10)62089873																

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/107689

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105976755	A	2016年 9月 28日	无			
CN	104866141	A	2015年 8月 26日	US	9785280	B2	2017年 10月 10日
				WO	2016197542	A1	2016年 12月 15日
				US	2017153742	A1	2017年 6月 1日
WO	2010116778	A1	2010年 10月 14日	US	2011292007	A1	2011年 12月 1日
US	2011157030	A1	2011年 6月 30日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)