

公告本

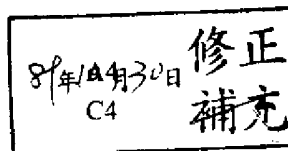
第 88107163 號專利申請案
中文說明書修正本

民國 89 年 10 月修正

煩請委員明示 89 年 10 月 30 日所提之修正本有無變更實質內容是否准予修正。

申請日期	88 年 5 月 3 日
案 號	88107163
類 別	H01L 27/14

(以上各欄由本局填註)



432708

發明專利說明書		
一、發明 名稱	中 文	提高半導體裝置對齊精確度之方法
	英 文	Method for enhancing the alignment accuracy of semiconductor devices
二、發明 創作人	姓 名	(1) 原田耕一
	國 籍	(1) 日本 (1) 日本國東京都品川區北品川六丁目七番三五號 蘇妮股份有限公司內
三、申請人	住、居所	
	姓 名 (名稱)	(1) 蘇妮股份有限公司 ソニー株式会社
	國 籍	(1) 日本 (1) 日本國東京都品川區北品川六丁目七番三五號
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 出井伸之

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1998 年 5 月 11 日 10-126945

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明背景

發明領域

本發明與製造半導體裝置的方法有關，更明確地說，是一種製造半導體裝置的方法，在半導體表面上選擇性地成形半導體區域，接著在半導體上成形磊晶層，以及再在磊晶層上成形各種半導體區域。

相關技術描述

一種製造半導體裝置的方法，該方法是在半導體基底表面或成形於基底表面的磊晶層上，成形與半導體基底之導電類型相反的半導體區域，之後在半導體基底或磊晶層上成形磊晶層，以及繼續在磊晶層上成形各種半導體區域，這是眾所皆知一種半導體裝置製造方法。例如日本未審查專利申請案 H e i 9 - 3 3 1 0 5 8 中所揭示的固態影像感測裝置，就屬於此類半導體裝置。圖 2 是這類半導體裝置的截面圖。在圖 2 中，參考編號 1 表示固態影像感測裝置，參考編號 2 表示 n 型半導體基底，參考編號 3 表示與 n 型半導體基底 2 導電類型相同唯雜質濃度較低的磊晶層，參考編號 4 表示選擇性成形於磊晶層 3 之表面上的 p 型井。在圖 2 中，無法明顯看出該井是否是選擇性成形。不過，該井的確是選擇性成形。參考編號 5 表示以磊晶生長成形的 p⁺ 型（或 n⁺ 型或本質）半導體區域，其內所含的雜質濃度比井 4 低許多。在半導體區域 5 中成形各種半導體區域 6 到 9 及 14，還包括傳輸電極 16、中間層絕

五、發明說明(2)

緣膜 1 8、成形於半導體表面的遮蔽膜 1 7、以及介於中間位置的閘絕緣膜 1 5。本發明申請人提出另一種固態影像感測裝置，與日本專利申請案 H e i 8 - 2 7 0 4 5 6 的固態影像感測裝置技術相關。該固態影像感測裝置的截面結構與圖 2 所示的結構類似。

元件中最重要的部分是磊晶層。p 型井層 4 選擇性地成形於磊晶層 3 的表面，它是半導體區域 5 下方的層，各種半導體區域 6 到 9 及 1 4 成形於半導體區域 5 上，且 p 型井層 4 與半導體區域 6 到 9 及 1 4 間的關係位置需要高度精確，半導體區域 6 到 9 及 1 4 間的關係位置也需要非常精確地控制。控制關係位置的傳統方法，是在半導體基底上成形晶圓對齊記號，參考晶圓對齊記號成形半導體區域，當分別成形半導體區域 4、6 到 9 及 1 4 時（幕罩匹配），每一次都需要使用對齊記號做為標記執行晶圓對齊。

圖 3 A 至 3 D 的截面圖是描述此類傳統方法的略圖。首先，如圖 3 A 所示，在半導體基底 a 的表面成形晶圓對齊記號 b，接著使用晶圓對齊記號 b 做為幕罩匹配的標記，以光學製版在半導體基底 a 的表面選擇性成形半導體區域 c，如圖 3 B 所示。接下來，如圖 3 C 所示，在半導體基底 a 上成形磊晶層 d。此時，反映前述晶圓對齊記號 b，在磊晶層 d 上也同時形成晶圓對齊記號 b'。接下來，如圖 3 D 所示，使用晶圓對齊記號 b' 做為標記，以光學製版在磊晶層 d 上選擇性地成形半導體區域 e。當然，成

五、發明說明(3)

形於磊晶層 d 上的半導體區域 e 的數量不只一個，一般都會成形許多半導體區域，當成形許多半導體區域時，每一次都各別需要使用晶圓對齊記號 b' 做為晶圓對齊的標記。

不過，如圖 3 所示，以傳統方法製造半導體裝置的缺點是晶圓對齊記號 b' 的位置與晶圓對齊記號 b 的位置並不相合，且晶圓對齊記號 b' 的形狀也與晶圓對齊記號 b 不同，特別是邊緣圓化致使光學偵測錯誤。詳細情況在文獻中有所描述，例如 Electronics Material Series: Silicon Crystal and Doping, P 86 到 89，當在表面上有坑洞的基底上成形磊晶層時，基底上的坑洞會反映到磊晶層上，坑洞會伴隨著磊晶層一起形成，在此情況，磊晶層上的坑洞與基底上之坑洞的位置、形狀及邊緣的陡直度（明顯的隅）（圓化）都不同。此等位置的偏移及圓度的大小（邊緣的陡直度降低），視生長溫度、生長壓力、矽源的種類及生長速率而定。

因此，在傳統方法中，圓化的晶圓對齊記號 b' 致使光學的可偵測性降低。因此，使用此種晶圓對齊記號 b' 做為晶圓對齊的標記，很難精確控制成形於磊晶層 d 上的許多半導體區域間的關係位置。控制精度差會造成嚴重問題，因為要增加半導體裝置（諸如固態影像感測裝置）的積體度以及增進元件的微型化，在磊晶層上選擇性成形的許多半導體區域的定位，必須有較高的位置精確度。

五、發明說明(4)

發明概述

本發明已解決這些問題，本發明的目的是在製造半導體裝置的方法中提供一種控制方法，於磊晶層成形後，控制選擇性成形於磊晶層上之許多半導體區域間的關係位置，其中磊晶層成形於表面上具有選擇性成形之半導體區域的半導體表面，接著在磊晶層上選擇性地成形許多半導體區域。

申請專利範圍所描述之製造半導體裝置的方法中，在做為隨後成形磊晶層之底層的半導體基底表面上成形第一晶圓對齊記號，第一晶圓對齊記號做為在半導體上選擇性成形半導體區域的晶圓對齊標記，以及在磊晶層成形後在磊晶層表面成形第二晶圓對齊記號，第二晶圓對齊記號做為在磊晶層上成形各個半導體區域的晶圓對齊標記。

根據申請專利範圍第1項中所描述之製造半導體裝置的方法，磊晶層成形後，在磊晶層表面上成形第二晶圓對齊記號，且附加的晶圓對齊記號具有陡直的邊緣，做為在磊晶層上成形各個半導體區域的晶圓對齊標記。因此，可以非常精確地控制成形於磊晶層上之各個半導體區域間的關係位置。

成形於做為磊晶層之底層之半導體表面上之半導體區域與成形於磊晶層上各個半導體區域間的關係位置，需要以某種方法控制在某精確度，該方法是參考成形磊晶層時，反映磊晶層成形之前已成形於半導體表面的第一晶圓對齊記號，在該位置伴隨磊晶層一起成形於磊晶層表面的第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

三晶圓對齊記號做為標記。

第二晶圓對齊記號沿著半導體及磊晶層表面的方向成形，其位置與第一及第三晶圓對齊記號不在同一位置。

根據申請專利範圍第4項中所描述的半導體裝置，在具有選擇性成形之半導體區域的半導體表面上成形之磊晶層上，選擇性地成形半導體區域，該半導體裝置在半導體表面上具有第一晶圓對齊記號，在磊晶層表面上沿著半導體及磊晶層表面的方向，具有與第一晶圓對齊記號不同位置的第二晶圓對齊記號。

圖式概述

圖1A到1E的截面圖描述本發明之半導體裝置製造方法的一種實施例的製程順序。

圖2是描述應用本發明之半導體裝置（固態影像感測裝置）的一種應用例截面圖。

圖3A到3D描述一種製造半導體裝置之傳統例的製程順序截面圖。

主要元件對照表

1	固態影像感測裝置
2	n型半導體基底
3	磊晶層
4	p型井
5	p ⁻ 型半導體區域

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(6)

- 6 n^+ 型半導體區域
- 7 p^+ 型半導體區域
- 8 p 型半導體區域
- 9 n 型半導體區域
- 1 4 p^+ 型半導體區域
- 1 6 傳輸電極
- 1 8 中間層絕緣膜
- 1 7 遮蔽膜
- 1 5 閘絕緣膜
- 2 1 矽半導體基底
- 2 2 晶圓對齊記號
- 2 3 半導體區域
- 2 4 磊晶層
- 2 5 晶圓對齊記號
- 2 6 晶圓對齊記號
- 2 7 半導體區域
- 2 8 半導體區域
- 2 9 半導體區域

較佳實施例詳細說明

本發明的半導體製造方法，基本上是以表面上具有選擇性成形之半導體區域的半導體表面做為成形磊晶層的底層，在成形磊晶層之前，以成形於半導體表面上的晶圓對齊記號做為在半導體表面上選擇性成形半導體區域的晶圓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

對齊標記，在磊晶層成形後，以成形於磊晶層上的新增晶圓對齊記號做為在磊晶層上成形半導體區域的晶圓對齊標記。本發明的此實施例是應用於固態影像感測裝置，不過，適用半導體裝置決非僅限於固態影像感測裝置，本發明可應用於其它類型的半導體裝置。

使用半導體基底做為磊晶層的底層，或是使用包括半導體基底及成形於半導體基底上之磊晶層的疊層做為磊晶層的底層（如圖2所示），在此情況下，成形基底磊晶層，接著在磊晶層的表面上選擇性地成形半導體區域，再在現有磊晶層上成形另一層磊晶層。在磊晶層表面成形新增的晶圓對齊記號，使用新增的晶圓對齊記號做為晶圓對齊標記在磊晶層上選擇性地成形所有的半導體區域。

在磊晶層成形後，成形於半導體表面的新增加晶圓對齊記號，最好是參考成形磊晶層前成形於半導體基底上的晶圓對齊記號。理由是做為磊晶層之底層半導體上所成形的半導體區域，與成形於半導體上之磊晶層上所成形的半導體區域，可以有某種精度的正確位置關係。

實施例

後文將參考各圖中所示的實施例詳細說明。圖1A到1E是描述本發明之半導體裝置之製程的截面圖。

(A) 如圖1A所示，在矽半導體基底21的表面上成形坑狀的晶圓對齊記號22。

(B) 接下來，如圖1B所示，在半導體基底21的

五、發明說明(8)

表面選擇性地成形半導體區域 2 3。在選擇性成形半導體區域 2 3 時，使用上述的晶圓對齊記號 2 2 做為晶圓對齊所需的標記。

(C) 接下來，如圖 1 C 所示，在半導體基底 2 1 上成形磊晶層 2 4。反映半導體基底 2 1 表面上的晶圓對齊記號 2 2，坑狀的晶圓對齊記號 2 5 伴隨磊晶層 2 4 一起成形於磊晶層 2 4 表面。雖然晶圓對齊記號 2 5 的成形是反映半導體基底 2 1 表面上的晶圓對齊記號 2 2，但如前所述，它的位置會發生偏移且邊緣圓化。

(D) 接下來，如圖 1 D 所示，在磊晶層 2 4 上選擇性地成形另一個新的晶圓對齊記號 2 6。以前述的晶圓對齊記號 2 5 做為成形此新的晶圓對齊記號 2 6 所需的晶圓對齊。雖然由於晶圓對齊記號 2 5 的位置偏移且邊緣圓化，致使控制選擇性成形的晶圓對齊記號 2 6 與半導體區域 2 3 間之關係位置精確度的能力受到限制，但此方法可確保某些精確度，且在此情況，半導體區域 2 3 與稍後要成形於磊晶層 2 4 上的各種半導體區域 (2 7、2 8 及 2 9) 間的關係位置並不需要控制的非常精確，因此精度並不會造成問題。

(E) 接下來，如圖 1 E 所示，在前述的磊晶層 2 4 上繼續成形半導體區域 2 7 到 2 9。在此時，使用晶圓對齊記號 2 6 做為晶圓對齊標記，在磊晶層 2 4 上選擇性地成形各種半導體區域 2 7 到 2 9。雖然之後還要在磊晶層 2 4 上成形各種絕緣膜及接線膜，但不再對這些膜做描述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

，因為這些膜基本上與本發明無關。

根據製造半導體裝置的方法，因為在磊晶層 2 4 上成形各種半導體區域 2 7 到 2 9 是以成形於磊晶層 2 4 上具有陡直邊緣（邊緣未圓化）的晶圓對齊記號 2 6 做為晶圓對齊標記，至少與使用可偵測性差的晶圓對齊記號 2 5 做為標記的傳統方法相比，半導體區域 2 7 到 2 9 間的關係位置可以控制的非常精確。

成形於半導體基底 2 1 表面之半導體區域 2 3 與成形於磊晶層 2 4 上之半導體區域 2 7 到 2 9 間關係位置的精度控制，要比成形於磊晶層 2 4 上之各個半導體區域 2 7 到 2 9 間關係位置的精度控制差，這是因為使用邊緣圓化及位置偏差的晶圓對齊記號做為指定關係位置的晶圓對齊標記，如前所述，不過，半導體區域 2 3 與半導體區域 2 7 到 2 9 間關係位置所需控制的精度，一般來說都低於半導體區域 2 7 到 2 9 間之關係位置的控制精度，因此，此種晶圓對齊方法並不會發生問題。

在上述實施例中應用本發明的半導體裝置類型，其成形方法是在半導體基底 2 1 之表面上成形半導體區域 2 3，磊晶層 2 4 成形於半導體基底 2 1 的表面，許多半導體區域 2 7 到 2 9 成形於磊晶層 2 4 表面，不過，本發明絕非受限於此種類型的半導體裝置，它也可以應用到先在半導體基底上成形磊晶層，在磊晶層的表面選擇性地成形半導體區域，在第一磊晶層上再成形第二磊晶層，再在第二磊晶層上成形許多半導體區域。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

四、中文發明摘要(發明之名稱:

提高半導體裝置對齊精確度之方法)

一種製造半導體裝置的方法中，在磊晶層成形後，以高精確度控制成形於磊晶層上之半導體區域間的關係位置，其中，在具有選擇性成形之半導體區域的半導體表面上成形的磊晶層上，選擇性地成形許多半導體區域，第一晶圓對齊記號成形於做為隨後成形磊晶層之底層的半導體基底表面，且以該晶圓對齊記號做為晶圓對齊標記以選擇性地成形半導體區域，在磊晶層成形後，在磊晶層表面成形第二晶圓對齊記號，且以第二晶圓對齊記號做為在磊晶層上成形各個半導體區域的晶圓對齊標記。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

英文發明摘要(發明之名稱: Method for enhancing the alignment accuracy of semiconductor devices)

To control the positional relation between semiconductor regions formed on an epitaxial layer after the epitaxial layer is formed with high accuracy in a method for manufacturing semiconductor devices in which a plurality of semiconductor regions are formed selectively on the epitaxial layer on the semiconductor surface having a semiconductor region formed selectively on the semiconductor surface, a first wafer alignment mark is formed on the semiconductor substrate surface to be served as the under layer of an epitaxial layer which will be formed subsequently, and the wafer alignment mark is used as an index for wafer alignment for forming selectively a semiconductor region, and a second wafer alignment mark is formed on the surface of the epitaxial layer after the epitaxial layer is formed, and the second wafer alignment mark is used as an index for wafer alignment for forming respective semiconductor regions on the epitaxial layer.

六、申請專利範圍

1. 一種製造半導體裝置之方法，其中磊晶層是成形於半導體表面上，該半導體裝置上具有選擇性成形的半導體區域，且在該磊晶層上選擇性地成形許多半導體區域，其中：

第一晶圓對齊記號成形於做為隨後要成形磊晶層之底層的半導體表面，且使用該第一晶圓對齊記號做為在該半導體上選擇性成形半導體區域的晶圓對齊標記；以及

該磊晶層成形後，在該磊晶層的表面成形第二晶圓對齊記號，且使用該第二晶圓對齊記號做為在該磊晶層上成形許多半導體區域的晶圓對齊標記。

2. 根據申請專利範圍第1項的製造半導體裝置之方法，其中該第二晶圓對齊記號的位置，是參考該磊晶層成形時反映該磊晶層成形前已成形於半導體表面上的該第一晶圓對齊記號伴隨磊晶層一起成形的第三晶圓對齊記號做為標記。

3. 根據申請專利範圍第1項的製造半導體裝置之方法，其中成形該第二晶圓對齊記號的位置是沿著該半導體及磊晶層表面的方向，不同於第一及第三晶圓對齊記號的位置。

4. 一種半導體裝置，在半導體表面上的磊晶層上具有選擇性成形的半導體區域，其中該半導體裝置在該半導體表面上具有第一晶圓對齊記號，且在該磊晶層的表面具有第二晶圓對齊記號，其位置是沿著該半導體及磊晶層表面方向，不同於第一晶圓對齊記號的位置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

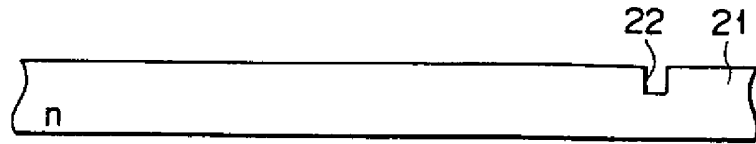


圖 1A

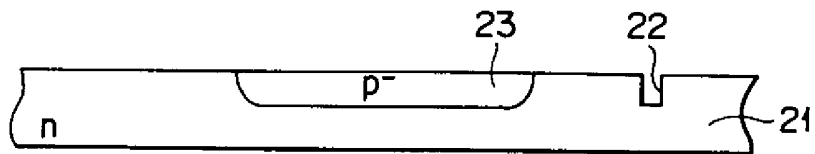


圖 1B

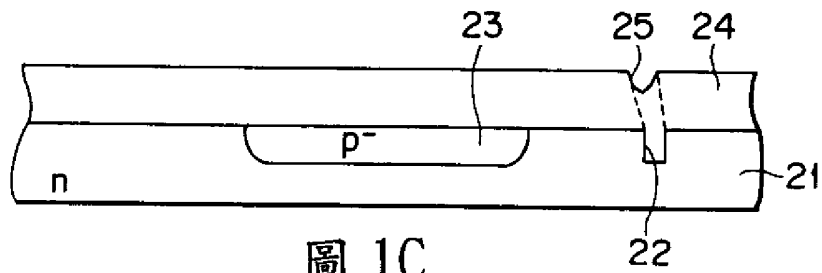


圖 1C

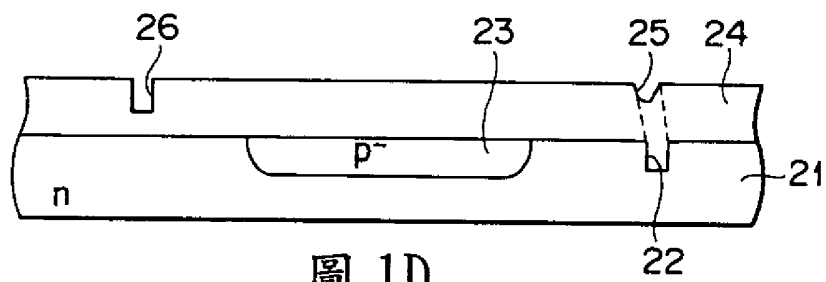


圖 1D

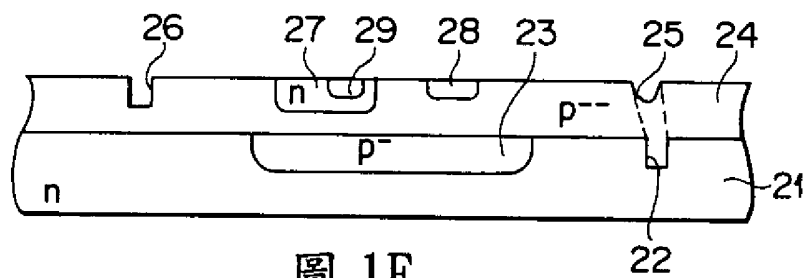


圖 1E

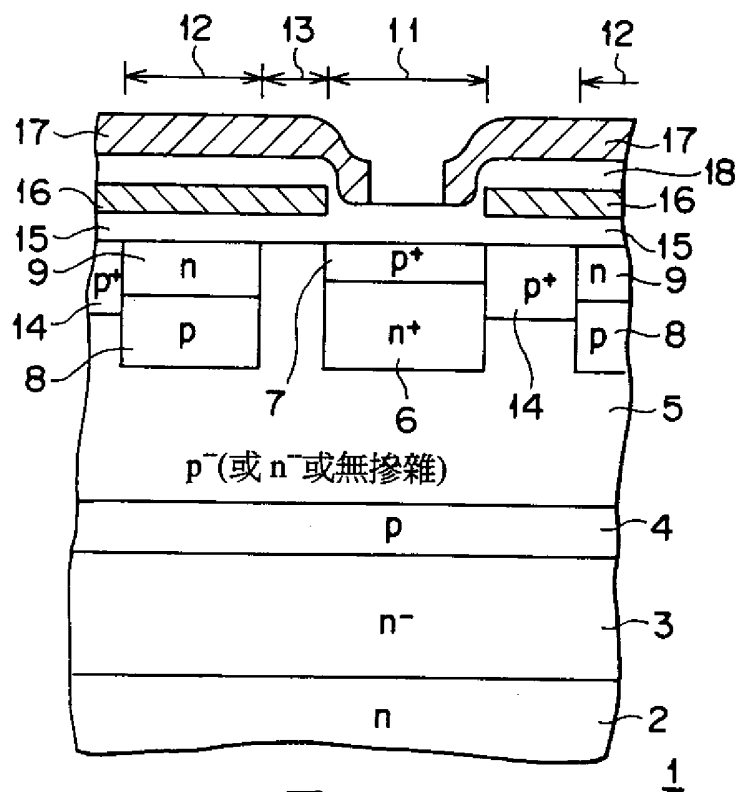


圖 2

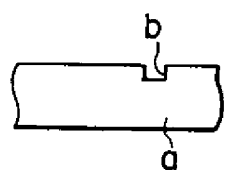


圖 3A

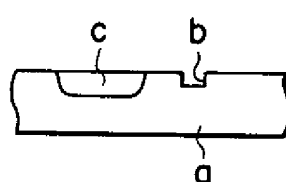


圖 3B

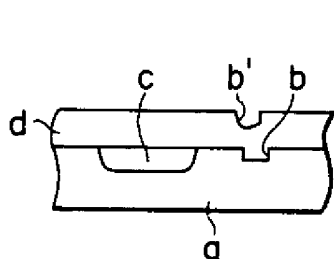


圖 3C

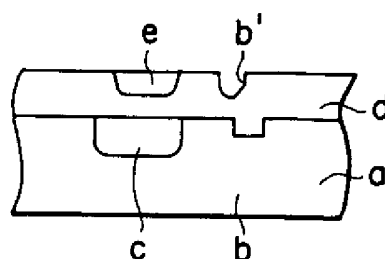


圖 3D

公告本

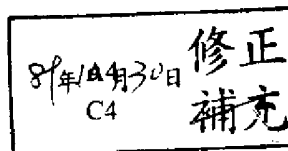
第 88107163 號專利申請案
中文說明書修正本

民國 89 年 10 月修正

煩請委員明示 89 年 10 月 30 日所提之
修正本有無變更實質內容是否准予修正。

申請日期	88 年 5 月 3 日
案 號	88107163
類 別	H01L 27/14

(以上各欄由本局填註)



432708

發明專利說明書

一、發明 名稱	中 文	提高半導體裝置對齊精確度之方法
	英 文	Method for enhancing the alignment accuracy of semiconductor devices
二、發明 創作人	姓 名	(1) 原田耕一
	國 籍	(1) 日本 (1) 日本國東京都品川區北品川六丁目七番三五號 蘇妮股份有限公司內
	住、居所	
三、申請人	姓 名 (名稱)	(1) 蘇妮股份有限公司 ソニー株式会社
	國 籍	(1) 日本 (1) 日本國東京都品川區北品川六丁目七番三五號
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 出井伸之

裝

訂

線

經濟部智慧財產局員工消費合作社印製