



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월15일
(11) 등록번호 10-1201972
(24) 등록일자 2012년11월09일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(21) 출원번호 10-2006-0060246
(22) 출원일자 2006년06월30일
심사청구일자 2011년06월30일
(65) 공개번호 10-2008-0001847
(43) 공개일자 2008년01월04일
(56) 선행기술조사문헌
KR1020060001165 A
US20030197180 A1
JP10068971 A

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
진홍기
경기 수원시 장안구 조원동 한일타운 147동 201호
김상갑
서울 강동구 명일동 15번지 삼익아파트 301동 306호
(뒷면에 계속)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 24 항

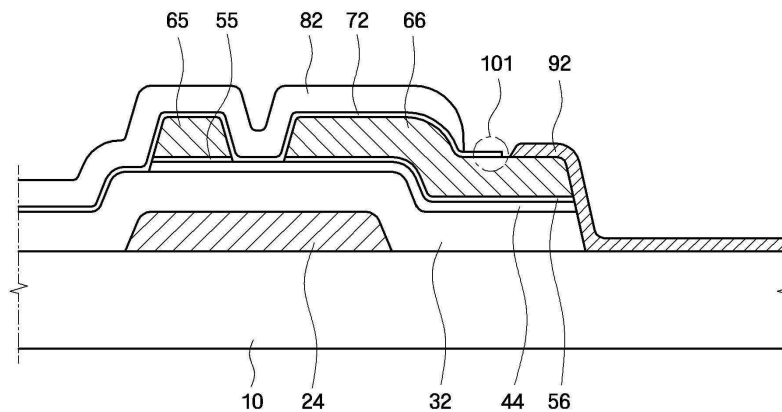
심사관 : 설관식

(54) 발명의 명칭 박막 트랜지스터 어레이 기판 및 이의 제조 방법

(57) 요약

구동 마진이 증가하고, 콘택부에서 도전 물질간 충분한 콘택 면적이 확보된 박막 트랜지스터 어레이 기판 및 이의 제조 방법이 제공된다. 박막 트랜지스터 어레이 기판은 절연 기판 상에 형성된 게이트 라인 및 게이트 전극을 포함하는 게이트 배선과, 게이트 배선을 덮는 게이트 절연막과, 게이트 절연막 상에 형성된 반도체층과, 반도체층 상에 형성된 데이터 라인, 소오스 전극 및 드레인 전극을 포함하는 데이터 배선과, 데이터 배선 상에 형성되며, 드레인 전극의 일부를 노출하는 제1 보호막과, 제1 보호막 상에 형성되며, 외측벽이 제1 보호막의 외측벽의 내측에 위치하는 제2 보호막, 및 드레인 전극과 전기적으로 연결된 화소 전극을 포함한다.

대표도 - 도2a



(72) 발명자

오민석

경기도 용인시 수지구 신봉1로48번길 29, 한일아파트 102동 202호 (신봉동)

김주한

경기도 용인시 수지구 진산로34번길 29, 삼성7차 아파트 704동 402호 (풍덕천동)

특허청구의 범위

청구항 1

절연 기판 상에 형성된 게이트 라인 및 게이트 전극을 포함하는 게이트 배선;
 상기 게이트 배선을 덮는 게이트 절연막;
 상기 게이트 절연막 상에 형성된 반도체층;
 상기 반도체층 상에 형성된 데이터 라인, 소오스 전극 및 드레인 전극을 포함하는 데이터 배선;
 상기 데이터 배선 상에 형성되며, 상기 드레인 전극의 일부를 노출하는 제1 보호막;
 상기 제1 보호막 상에 형성되며, 외측벽이 상기 제1 보호막의 외측벽의 내측에 위치하는 제2 보호막; 및
 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함하는 박막 트랜지스터 어레이 기판.

청구항 2

제1 항에 있어서,
 상기 제1 보호막은 산화 규소 또는 산질화 규소를 포함하고, 상기 제2 보호막은 질화 규소를 포함하는 박막 트랜지스터 어레이 기판.

청구항 3

제2 항에 있어서,
 상기 게이트 절연막은 화소 영역의 적어도 일부 영역에서 상기 절연 기판을 노출하도록 패터닝되어 있고,
 상기 화소 전극의 적어도 일부분은 상기 노출된 절연 기판의 바로 위에 형성되는 박막 트랜지스터 어레이 기판.

청구항 4

제3 항에 있어서,
 상기 제2 보호막의 외측벽은 상기 게이트 절연막의 외측벽의 내측에 위치하는 박막 트랜지스터 어레이 기판.

청구항 5

제4 항에 있어서,
 상기 게이트 절연막은 질화 규소를 포함하는 박막 트랜지스터 어레이 기판.

청구항 6

제3 항에 있어서,
 상기 절연 기판 상에 형성된 유지 전극을 더 포함하며,
 상기 유지 전극은 상기 게이트 절연막을 개재하여 상기 화소 전극과 오버랩되어 있는 박막 트랜지스터 어레이 기판.

청구항 7

제2 항에 있어서,
 상기 게이트 라인의 적어도 일측 말단에 형성된 게이트 패드를 더 포함하고,
 상기 게이트 절연막은 상기 게이트 패드를 노출하는 게이트 콘택부를 더 포함하며,
 상기 게이트 절연막은 상기 게이트 라인 주변부, 상기 데이터 라인 주변부 및 상기 게이트 콘택부를 제외한 상기 절연 기판의 전면을 덮으며, 상기 화소 전극은 상기 게이트 절연막 상에 형성된 상기 제2 보호막의 바로 위에 형성되는 박막 트랜지스터 어레이 기판.

청구항 8

제7 항에 있어서,

상기 절연 기관 상에 형성된 유지 전극을 더 포함하며,

상기 유지 전극은 상기 게이트 절연막, 상기 제1 보호막 및 상기 제2 보호막을 개재하여 상기 화소 전극과 오버랩되어 있는 박막 트랜지스터 어레이 기관.

청구항 9

제2 항에 있어서,

상기 데이터 라인의 적어도 일측 말단에 형성된 데이터 패드를 더 포함하고,

상기 제1 보호막 및 상기 제2 보호막은 상기 데이터 패드를 노출하는 데이터 콘택부를 더 포함하며,

상기 데이터 콘택부에 노출된 상기 데이터 패드와 풀 콘택하는 보조 데이터 패드를 더 포함하는 박막 트랜지스터 어레이 기관.

청구항 10

절연 기관 상에 게이트 라인 및 게이트 전극을 포함하는 게이트 배선을 형성하는 단계;

상기 게이트 배선 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 반도체층과, 데이터 라인, 소오스 전극, 및 드레인 전극을 포함하는 데이터 배선을 형성하는 단계;

상기 데이터 배선 상에 제1 보호막 및 제2 보호막을 순차적으로 형성하는 단계;

상기 제2 보호막 및 상기 제1 보호막을 식각하여 상기 제2 보호막의 외측벽을 상기 제1 보호막의 외측벽의 내측에 위치시키고, 드레인 전극-화소 전극 콘택부의 드레인 전극을 노출하는 단계; 및

상기 드레인 전극과 전기적으로 연결된 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 어레이 기관의 제조 방법.

청구항 11

제10 항에 있어서,

상기 제2 보호막 및 상기 제1 보호막을 식각하는 단계는 상기 제2 보호막에 대한 식각률이 상기 제1 보호막에 대한 식각률보다 높은 식각 가스를 이용하여 진행되는 박막 트랜지스터 어레이 기관의 제조 방법.

청구항 12

제11 항에 있어서,

상기 제2 보호막 및 상기 제1 보호막을 식각하는 단계는 등방성 식각으로 진행되는 박막 트랜지스터 어레이 기관의 제조 방법.

청구항 13

제11 항에 있어서,

상기 제1 보호막은 산화 규소 또는 산질화 규소를 포함하고, 상기 제2 보호막은 질화 규소를 포함하는 박막 트랜지스터 어레이 기관의 제조 방법.

청구항 14

제13 항에 있어서,

상기 게이트 배선을 형성하는 단계는 상기 게이트 배선 및 유지 전극을 형성하는 단계이고,

상기 제2 보호막 및 상기 제1 보호막을 식각하는 단계는 상기 제2 보호막, 상기 제1 보호막 및 상기 게이트

절연막을 식각하는 단계이며,

상기 제2 보호막, 상기 제1 보호막 및 상기 게이트 절연막을 식각하는 단계는 상기 게이트 라인 형성 영역, 데이터 라인 형성 영역, 소오스 전극 형성 영역 및 드레인 전극-화소 전극 콘택부를 제외한 드레인 전극 형성 영역을 덮는 제1 영역, 및 상기 제1 영역보다 두께가 작으며, 상기 유지 전극 형성 영역을 덮는 제2 영역을 포함하며, 상기 유지 전극 형성 영역을 제외한 화소 전극이 형성되는 화소 영역을 노출하는 포토레지스트 패턴을 식각 마스크로 이용하여 식각하는 단계인 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 15

제14 항에 있어서,

상기 게이트 절연막은 질화 규소를 포함하며,

상기 제2 보호막, 상기 제1 보호막 및 상기 게이트 절연막을 식각하는 단계는 상기 게이트 절연막의 외측벽을 상기 제2 보호막의 외측벽의 외측에 위치시키는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 16

제15 항에 있어서,

상기 화소 전극을 형성하는 단계는 상기 포토레지스트 패턴 상에 화소 전극용 도전 물질을 적층하고 리프트 오프하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 17

제13 항에 있어서,

상기 게이트 배선을 형성하는 단계는 상기 게이트 배선 및 유지 전극을 형성하는 단계이고,

상기 제2 보호막 및 상기 제1 보호막을 식각하는 단계는 상기 제2 보호막, 상기 제1 보호막 및 상기 게이트 절연막을 식각하는 단계이며,

상기 제2 보호막, 상기 제1 보호막 및 상기 게이트 절연막을 형성하는 단계는,

상기 게이트 라인 형성 영역, 데이터 라인 형성 영역, 소오스 전극 형성 영역 및 드레인 전극-화소 전극 콘택부를 제외한 드레인 전극 형성 영역을 덮는 제1 영역, 및 상기 제1 영역보다 두께가 작으며, 상기 유지 전극 형성 영역 및 상기 드레인 전극-화소 전극 콘택부를 덮는 제2 영역을 포함하며, 상기 유지 전극 형성 영역을 제외한 화소 전극이 형성되는 화소 영역을 노출하는 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제2 보호막, 상기 제1 보호막 및 상기 게이트 절연막을 1차 식각하는 단계,

상기 제2 영역을 제거하는 단계, 및

상기 제2 영역이 제거된 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제2 보호막 및 상기 제1 보호막을 2차 식각하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 18

제17 항에 있어서,

상기 게이트 절연막은 질화 규소를 포함하며,

상기 제2 보호막, 상기 제1 보호막 및 상기 게이트 절연막을 식각하는 단계는 상기 게이트 절연막의 외측벽을 상기 제2 보호막의 외측벽의 외측에 위치시키는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 19

제18 항에 있어서,

상기 화소 전극을 형성하는 단계는 상기 제2 영역이 제거된 포토레지스트 패턴 상에 화소 전극용 도전 물질을 적층하고 리프트 오프하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 20

제17 항에 있어서,

상기 1차 식각은 전면 식각으로 진행되고, 상기 2차 식각은 부분 식각으로 진행되는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 21

제13 항에 있어서,

상기 게이트 배선을 형성하는 단계는 상기 게이트 배선 및 유지 전극을 형성하는 단계이고,

상기 제2 보호막 및 상기 제1 보호막을 식각하는 단계는 상기 제2 보호막, 상기 제1 보호막 및 상기 게이트 절연막을 식각하는 단계이고,

상기 제2 보호막, 상기 제1 보호막 및 상기 게이트 절연막을 식각하는 단계는 상기 게이트 라인 형성 영역, 데이터 라인 형성 영역, 소오스 전극 형성 영역 및 드레인 전극-화소 전극 콘택부를 제외한 드레인 전극 형성 영역을 덮는 제1 영역, 및 상기 제1 영역보다 두께가 작으며, 상기 화소 전극 형성 영역을 덮는 제2 영역을 포함하며, 상기 게이트 라인 주변부, 상기 데이터 라인 주변부 및 상기 드레인 전극-화소 전극 콘택부를 노출하는 포토레지스트 패턴을 식각 마스크로 이용하여 식각하는 단계인 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 22

제21 항에 있어서,

상기 게이트 절연막은 질화 규소를 포함하며,

상기 제2 보호막, 상기 제1 보호막 및 상기 게이트 절연막을 식각하는 단계는 상기 게이트 절연막의 외측벽을 상기 제2 보호막의 외측벽의 외측에 위치시키는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 23

제22 항에 있어서,

상기 화소 전극을 형성하는 단계는 상기 제2 영역이 제거된 포토레지스트 패턴 상에 화소 전극용 도전 물질을 적층하고 리프트 오프하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 24

제13 항에 있어서,

상기 데이터 배선을 형성하는 단계는 상기 데이터 라인의 적어도 일측 말단에 형성된 데이터 패드를 형성하는 단계를 더 포함하며,

상기 드레인 전극을 노출하는 단계시 상기 데이터 패드가 노출되는 박막 트랜지스터 어레이 기판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0015] 본 발명은 박막 트랜지스터 기판 및 이의 제조 방법에 관한 것으로서, 보다 상세하게는 구동 마진이 증가하고, 콘택부에서 도전 물질간 충분한 콘택 면적이 확보된 박막 트랜지스터 어레이 기판 및 이의 제조 방법에 관한 것이다.

[0016] 액정 표시 장치는 서로 대향하는 2장의 표시판과 2장의 표시판들 사이에 개재되어 있는 액정층을 포함하여 이루어진다. 각 표시판들은 지지 기판으로서 투명한 절연 기판이 채용한다. 절연 기판 위에는 다수개의 박막 패턴이 형성된다. 박막 패턴을 형성하는 대표적인 방법으로는, 구성 물질을 적층하고, 마스크 공정을 통해 패턴

는 방법이 있다. 그러나, 사진 식각 공정은 포토레지스트 도포, 마스크 정렬, 노광, 베이킹, 현상 등의 공정이, 세정 등의 공정이 수반되기 때문에, 공정 시간의 증가와 제품 원가 상승의 원인이 된다.

[0017] 이와 같은 마스크 공정의 수를 감소시키는 방법으로서 리프트 오프법이 연구되고 있다. 구체적인 예를 들어 설명하면, 박막 트랜지스터 어레이 기관의 보호막 및 화소 전극을 형성할 때, 먼저 포토레지스트 패턴을 이용하여 보호막을 패터닝하고, 기관 전면에 도전 물질을 적층한 다음, 포토레지스트 스트리퍼를 이용하여 포토레지스트 패턴 및 상부의 도전 물질을 동시에 제거하여 화소 전극 패턴을 형성한다.

[0018] 그런데, 상면이 도전 물질에 덮인 포토레지스트 패턴을 제거하기 위해서는 포토레지스트 패턴의 측면 또는 하면 측으로 포토레지스트 스트리퍼를 접촉시켜야 한다. 이때, 포토레지스트 패턴의 잔류에 따른 패턴 불량을 방지하기 위해서는 포토레지스트 스트리퍼에 접촉하는 포토레지스트 패턴의 접촉 면적이 충분히 넓어야 한다. 즉, 포토레지스트 패턴의 아래에 위치하는 보호막은 포토레지스트 패턴의 내측으로 충분한 언더컷을 형성하여야 한다. 그러나, 충분한 언더컷을 형성하기 위해 보호막을 과식각하는 경우, 유지 전극 상부의 절연막이 과식각되어 두께가 불균일해지며, 그에 따라 구동 마진이 감소할 수 있다. 또, 과식각에 의해 데이터 배선이 손상될 수 있으며, 특히 콘택 영역에서 데이터 배선이 식각되어 콘택 불량을 야기할 수 있다.

발명이 이루고자 하는 기술적 과제

[0019] 본 발명이 이루고자 하는 기술적 과제는 구동 마진이 증가하고, 콘택부에서 도전 물질간 충분한 콘택 면적이 확보된 박막 트랜지스터 어레이 기관을 제공하고자 하는 것이다.

[0020] 본 발명이 이루고자 하는 다른 기술적 과제는 용이한 리프트 오프가 가능하고, 게이트 절연막의 과식각이 보호되며, 데이터 배선의 손상이 방지된 박막 트랜지스터 어레이 기관을 제공하고자 하는 것이다.

[0021] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

[0022] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터 어레이 기관은 절연 기판상에 형성된 게이트 라인 및 게이트 전극을 포함하는 게이트 배선과, 상기 게이트 배선을 덮는 게이트 절연막과, 상기 게이트 절연막 상에 형성된 반도체층과, 상기 반도체층 상에 형성된 데이터 라인, 소오스 전극 및 드레인 전극을 포함하는 데이터 배선과, 상기 데이터 배선 상에 형성되며, 상기 드레인 전극의 일부를 노출하는 제1 보호막과, 상기 제1 보호막 상에 형성되며, 외측벽이 상기 제1 보호막의 외측벽의 내측에 위치하는 제2 보호막, 및 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함한다.

[0023] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법은 절연 기판상에 게이트 라인 및 게이트 전극을 포함하는 게이트 배선을 형성하는 단계와, 상기 게이트 배선 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 반도체층과, 데이터 라인, 소오스 전극, 및 드레인 전극을 포함하는 데이터 배선을 형성하는 단계와, 상기 데이터 배선 상에 제1 보호막 및 제2 보호막을 순차적으로 형성하는 단계와, 상기 제2 보호막 및 상기 제1 보호막을 식각하여 상기 제2 보호막의 외측벽을 상기 제1 보호막의 외측벽의 내측에 위치시키고, 드레인 전극-화소 전극 콘택부의 드레인 전극을 노출하는 단계, 및 상기 드레인 전극과 전기적으로 연결된 화소 전극을 형성하는 단계를 포함한다.

[0024] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

[0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.

[0026] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위 뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각

각 및 하나 이상의 모든 조합을 포함한다.

- [0027] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관 관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0028] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0029] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 따른 박막 트랜지스터 어레이 기판에 대해 상세히 설명한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 어레이 기판의 레이아웃도이다. 도 2a, 도 2b, 및 도 2c는 각각 도 1의 A-A'선, B-B'선, 및 C-C'선을 따라 자른 단면도들이다.
- [0031] 본 발명의 일 실시예에 따른 박막 트랜지스터 어레이 기판은 절연 기판상에 형성된 박막 트랜지스터, 박막 트랜지스터를 덮는 제1 보호막, 및 제1 보호막 상에 형성된 제2 보호막을 포함한다. 박막 트랜지스터는 게이트 단, 입력단, 및 출력단을 포함하는 삼단자 소자로서, 게이트 전극, 소오스 전극 및 드레인 전극과 반도체층을 포함하여 이루어진다. 게이트 전극은 박막 트랜지스터의 제어단을 이루고, 소오스 전극은 입력단을 이루며, 드레인 전극은 출력단을 이룬다. 반도체층은 박막 트랜지스터의 채널 영역을 형성한다.
- [0032] 도 1 및 도 2a 내지 도 2c를 참조하여, 본 발명의 일 실시예에 따른 박막 트랜지스터 어레이 기판에 대해 더욱 상세히 설명하면, 절연 기판(10)은 박막 트랜지스터를 지지하며, 예컨대, 투명한 유리 또는 플라스틱으로 이루어진다. 절연 기판(10) 위에는 게이트 라인(22), 게이트 패드(27), 및 게이트 전극(24)이 형성되어 있다.
- [0033] 게이트 라인(22)은 절연 기판(10) 상에 다수개가 구비된다. 각각의 게이트 라인(22)은 서로 이격되어 있으며, 예컨대 도 1의 가로 방향과 같은 제1 방향으로 평행하게 연장되어 있을 수 있다. 각 게이트 라인(22)의 일측 말단에는 폭이 확장되어 있는 게이트 패드(27)가 형성되어 있다. 도시되지 않은 변형예에서는 게이트 패드(27)가 게이트 라인(22)의 양측 말단에 형성되거나, 형성되지 않을 수도 있다.
- [0034] 게이트 전극(24)은 게이트 라인(22)과 연결되어 있다. 하나의 게이트 라인(22)에는 다수개의 게이트 전극(24)이 연결될 수 있다. 각 게이트 전극(24)은 게이트 라인(22)으로부터 확장되어 형성될 수 있다.
- [0035] 이러한, 게이트 전극(24), 게이트 라인(22) 및 게이트 패드(27)는 절연 기판(10)의 직접 위에 형성된다. 본 명세서에서 게이트 전극(24), 게이트 라인(22) 및 게이트 패드(27)는 설명의 편의상 때때로 '게이트 배선'으로 통합되어 호칭된다.
- [0036] 또한, 절연 기판(10)의 직접 위에는 게이트 배선(22, 24, 27)과 동일한 물질로 이루어진 유지 전극(28)이 형성되어 있다. 유지 전극(28)은 게이트 라인(22)과 인접하여 평행하게 연장되어 있다. 도면에 도시되지는 않았지만, 유지 전극(28)의 적어도 일측 말단에 게이트 패드(27)와 유사한 유지 전극 패드(미도시)가 형성될 수 있다. 유지 전극(28)의 형상은 다양하게 변형될 수 있으며, 경우에 따라서는 생략될 수도 있다.
- [0037] 게이트 배선(22, 24, 27) 및 유지 전극(28)은 알루미늄(Al), 구리(Cu), 은(Ag), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 합금 등으로 이루어진 단일막 또는 이들의 조합으로 이루어진 다중막일 수 있지만, 본 발명이 상기 예시에 제한되는 것은 아니다.
- [0038] 게이트 배선(22, 24, 27) 및 유지 전극(28)은 게이트 패드(27)가 보조 게이트 패드(96)와 접촉하는 게이트 콘택부(76) 형성 영역을 제외하고는 질화 규소(SiNx) 등으로 이루어진 게이트 절연막(32)에 의해 덮여 있다. 게이트 절연막(32)은 게이트 배선(22, 24, 27) 및 후술하는 데이터 배선이 형성된 영역의 절연 기판(10)과 오버랩되지만, 화소 전극(92)이 형성되는 화소 영역의 절연 기판(10) 상에는 형성되지 않고 절연 기판(10)을 노출한다.
- [0039] 게이트 절연막(32) 위에는 수소화 비정질 규소 등으로 이루어진 반도체층(44) 및 실리사이드 또는 n형 불순물이 고농도로 도핑된 n+ 수소화 비정질 규소 등으로 이루어진 저항성 접촉층(52, 55, 56)이 형성되어 있다. 반

도체층(44)은 채널 영역을 제외하고 후술하는 데이터 배선과 실질적으로 동일한 패턴으로 형성된다. 박막 트랜지스터의 채널 영역은 게이트 전극(24)과 오버랩되어 있는 반도체층(44)에 의해 형성된다. 저항성 접촉층(52, 55, 56)은 채널 영역에서 분리되어 있는 것을 포함하여, 상부의 데이터 배선(62, 65, 66)과 실질적으로 동일한 패턴을 갖는다.

[0040] 반도체층(44) 및 상부의 저항성 접촉층(52, 55, 56) 위에는 데이터 라인(62), 데이터 패드(67), 소오스 전극(65), 및 드레인 전극(66)이 형성되어 있다.

[0041] 데이터 라인(62)은 저항성 접촉층 상에 다수개가 구비되어 있다. 각각의 데이터 라인(62)은 서로 이격되어 있으며, 예컨대 도 1의 세로 방향과 같은 제2 방향으로 평행하게 연장되어 게이트 라인(22)과 교차할 수 있다. 각 데이터 라인(62)의 일측 말단에는 폭이 확장되어 있는 데이터 패드(67)가 형성되어 있다. 데이터 패드(67)는 데이터 라인(62)의 양측 말단에 각각 형성될 수도 있다.

[0042] 소오스 전극(65)은 데이터 라인(62)과 연결되어 있다. 하나의 데이터 라인(62)에는 다수개의 소오스 전극(65)이 연결될 수 있다. 각각의 소오스 전극(65)은 그와 이격되어 있는 드레인 전극(66)에 대향한다. 소오스 전극(65)과 드레인 전극(66)의 이격 공간에서는 반도체층(44)이 노출된다. 본 명세서에서 데이터 라인(62), 데이터 패드(67), 소오스 전극(65), 및 드레인 전극(66)은 설명의 편의상 때때로 '데이터 배선'으로 통합되어 호칭된다.

[0043] 데이터 배선(62, 65, 66, 67)은 이에 제한되는 것은 아니지만, 예컨대 알루미늄(Al), 구리(Cu), 은(Ag), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 합금 등으로 이루어진 단일막 또는 이들의 조합으로 이루어진 다중막일 수 있다.

[0044] 데이터 배선(62, 65, 66, 67) 위에는 제1 보호막(72)이 형성되어 있다. 제1 보호막(72)은 드레인 전극-화소 전극 콘택부(101) 및 데이터 패드(67)가 보조 데이터 패드(97)와 콘택하는 데이터 콘택부(77) 형성 영역을 제외한 대부분의 데이터 배선(62, 65, 66, 67) 및 채널 영역의 노출된 반도체층(44) 위에 위치한다. 또, 제1 보호막(72)은 게이트 콘택부(76) 형성 영역 이외의 게이트 배선(22, 24, 27)과도 오버랩된다. 여기서, 게이트 배선(22, 24, 27)이 데이터 배선(62, 65, 66, 67)과 오버랩되지 않은 영역에서 제1 보호막(72)은 게이트 배선(22, 24, 27) 위의 게이트 절연막(32) 상에 형성된다. 데이터 배선(62, 65, 66, 67)과 오버랩된 영역인 게이트 라인(22)-데이터 라인(62) 교차 영역이나, 게이트 전극(24)과 오버랩되어 있는 소오스 전극(65) 및 드레인 전극(66) 형성 영역에서 제1 보호막(72)은 각각에 해당하는 데이터 배선(62, 65, 66, 67) 위에 형성된다. 게이트 전극(24)과 오버랩된 소오스 전극(65)과 드레인 전극(66)의 이격 공간에서 제1 보호막(72)은 반도체층 위에 형성된다. 제1 보호막(72)은 도 2b에 도시된 바와 같이 유지 전극(28) 위에는 위치하지 않는다. 그러나 그에 제한되지 않으며, 본 실시예의 변형예는 제1 보호막(72)이 유지 전극(28) 위에 위치하는 것을 포함한다.

[0045] 제1 보호막(72)의 구성 물질은 예컨대, 산화 규소(SiO_x) 또는 산질화 규소(SiO_xN_y) 등일 수 있다. 제1 보호막(72)의 두께는 예컨대 50Å 내지 500Å일 수 있으며, 바람직하기로는 100Å 내지 300Å일 수 있다.

[0046] 제1 보호막(72) 위에는 제2 보호막(82)이 형성되어 있다. 제2 보호막(82)은 제1 보호막(72) 상에 제1 보호막(82)과 완전히 오버랩되도록 형성된다. 즉, 박막 트랜지스터 어레이 기판의 모든 영역에서 제2 보호막(82)은 제1 보호막(72)의 위에 위치하며, 제2 보호막(82)은 제1 보호막(72)의 내측 방향으로 축소되어 있다. 바꾸어 말하면, 제2 보호막(82)의 외측벽은 제1 보호막(72)의 외측벽의 내측에 위치한다. 제2 보호막(82)을 기준으로 하면, 제1 보호막(72)은 외측으로 돌출되어 있다. 본 실시예의 변형예로서 제1 보호막(72)이 유지 전극(28) 위에 위치하는 경우, 제2 보호막(82)은 유지 전극(28) 위에 위치할 수도 있고, 위치하지 않을 수도 있다.

[0047] 한편, 게이트 라인(22)과 데이터 라인(62)이 형성된 영역에서 게이트 절연막(32)은 화소 영역의 절연 기판(10)을 노출하도록 패터닝되어 있는데, 여기서 제2 보호막(82)의 외측벽은 게이트 절연막(32)의 외측벽보다도 내측에 위치한다. 또, 제1 보호막(72)의 외측벽은 게이트 절연막(32)을 기준으로 게이트 절연막(32)의 내측에 위치하거나, 외측벽에 실질적으로 정렬될 수 있다. 나아가 도시하지는 않았지만, 본 실시예의 변형예로서 제1 보호막(72)의 외측벽은 게이트 절연막(32)의 외측벽보다 외측에 위치할 수도 있다. 즉, 제1 보호막(72)이 게이트 절연막(32)보다 돌출될 수도 있다.

[0048] 제2 보호막(82)의 구성 물질은 예컨대, 질화 규소일 수 있다. 제2 보호막(82)은 제1 보호막(72)보다 두껍게 형성될 수 있으며, 예컨대 1000 내지 3000Å, 바람직하기로는 1500Å 내지 2500Å의 두께를 가질 수 있다.

[0049] 이러한 제1 보호막(72)과 제2 보호막(82)은 데이터 배선(62, 65, 66, 67), 반도체층(44)이나 게이트 배선(22,

24, 27) 등과 같은 하부 구조물을 패시베이션(passivation)한다.

- [0050] 한편, 게이트 패드(27) 형성 영역에서는 게이트 절연막(32), 제1 보호막(72) 및 제2 보호막(82)을 관통하는 게이트 콘택부(76)가 형성되어 있고, 데이터 패드(67) 형성 영역에서는 제1 보호막(72) 및 제2 보호막(82)을 관통하는 데이터 콘택부(77)가 형성되어 있다.
- [0051] 화소 영역의 노출된 절연 기관(10) 위에는 ITO나 IZO 등과 같은 투명한 도전 물질 또는 구리(Cu)나 은(Ag)과 같은 반사성 도전 물질로 이루어진 화소 전극(92)이 형성되어 있다. 화소 전극(92)은 드레인 전극-화소 전극 콘택부(101)에까지 확장되어 있으며, 여기에서 드레인 전극(66)과 전기적으로 연결된다. 제1 보호막(72)과 제2 보호막(82)은 화소 전극(92)과 오버랩되지 않는다. 다만, 유지 전극(28) 형성 영역에서 화소 전극(92)은 게이트 절연막(32)에 오버랩되며, 본 실시예의 변형예로서 유지 전극 형성 영역 상에 제1 보호막(72) 및/또는 제2 보호막(82)이 형성된 경우 이 영역에서 화소 전극(92)이 제1 보호막(72) 및/또는 제2 보호막(82)과도 오버랩될 수 있다. 이러한 유지 전극(28)과 화소 전극(92) 사이에 개재되는 게이트 절연막(32), 제1 보호막(72) 및/또는 제2 보호막(82)은 두께가 균일하여, 우수한 구동 마진을 제공할 수 있다.
- [0052] 또, 게이트 패드(27) 형성 영역 및 게이트 패드(27)와 전기적으로 연결된 보조 게이트 패드(96)가 형성되어 있고, 데이터 패드(67) 형성 영역에서는 데이터 패드(67)와 전기적으로 연결된 보조 데이터 패드(97)가 형성되어 있다. 보조 게이트 패드(96) 및 보조 데이터 패드(97)는 화소 전극(92)과 동일한 물질로 이루어질 수 있다.
- [0053] 이하, 상기한 바와 같은 박막 트랜지스터 어레이 기관을 제조하는 방법에 대해 설명한다.
- [0054] 도 3a 내지 도 11c는 본 발명의 일 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법의 공정 단계별 단면도들이다. 구체적으로 도 3a, 도 4a, 도 5a, 도 6a, 도 7a, 도 8a, 도 9a, 도 10a 및 도 11a는 도 2a에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기관을 제조하기 위한 단면도들이고, 도 3b, 도 4b, 도 5b, 도 6b, 도 7b, 도 8b, 도 9b, 도 10b 및 도 11b는 도 2b에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기관을 제조하기 위한 단면도들이고, 도 3c, 도 4c, 도 5c, 도 6c, 도 7c, 도 8c, 도 9c, 도 10c 및 도 11c는 도 2c에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기관을 제조하기 위한 단면도들이다.
- [0055] 먼저, 도 3a 내지 도 3c를 참조하면, 절연 기관(10) 상에 게이트 배선(22, 24, 27) 및 유지 전극(28)을 형성한다. 구체적으로, 절연 기관(10) 상에 게이트 도전층을 예컨대 스퍼터링 등을 이용하여 적층한 다음, 이를 사진 식각하여 게이트 라인(22), 게이트 패드(27), 게이트 전극(24) 및 유지 전극(28)을 형성한다.
- [0056] 이어서, 도 4a 내지 도 4c를 참조하면, 도 3a 내지 도 3c의 결과물 상에 게이트 절연막(32), 수소화 비정질 규소 등으로 이루어진 제1 비정질 규소층(40), 및 실리콘사이드 또는 n형 불순물이 고농도로 도핑된 n⁺ 수소화 비정질 규소 등으로 이루어진 제2 비정질 규소층(50)을 적층한다. 게이트 절연막(32), 제1 비정질 규소층(40) 및 제2 비정질 규소층(50)의 적층은 예컨대, 화학 기상 증착(Chemical Vapor Deposition; CVD)으로 이루어질 수 있다.
- [0057] 이어서, 제2 비정질 규소층(50) 상에 예컨대 스퍼터링 등을 이용하여 데이터 도전층(60)을 적층한다.
- [0058] 이어서, 도 5a 내지 도 5c를 참조하면, 데이터 도전층(60) 상에 포토레지스트 패턴(201, 202)을 형성한다. 포토레지스트 패턴은 제1 영역(201) 및 제1 영역(201)보다 두께가 작은 제2 영역(202)을 포함한다. 제1 영역(201)은 도 2a 내지 도 2c에 도시되어 있는 데이터 라인(62), 데이터 패드(67), 소오스 전극(65) 및 드레인 전극(66) 형성 영역을 덮고, 제2 영역(202)은 소오스 전극(65)과 드레인 전극(66)의 이격 공간을 덮는다. 이때, 각 영역의 포토레지스트 패턴(201, 202)의 사이즈는 후속하는 식각 공정 및 애싱 공정시 다운사이징되는 것을 감안하여 소정의 마진을 갖도록 한다. 상기한 바와 같은 영역별로 다른 두께를 갖는 포토레지스트 패턴은 슬릿 마스크 또는 하프톤 마스크를 이용하여 형성될 수 있으며, 이는 후술되는 다른 포토레지스트 패턴의 경우에도 동일하게 적용될 수 있음은 자명하다.
- [0059] 이어서, 도 6a 내지 도 6c를 참조하면, 도 5a 내지 도 5c에 도시된 포토레지스트 패턴(201, 202)을 식각 마스크로 이용하여 노출된 데이터 도전층(60)을 식각한다. 데이터 도전층(60)의 식각은 데이터 도전층(60)의 종류, 두께 등에 따라 다르지만, 바람직한 일례로서 습식 식각으로 진행될 수 있다. 그 결과, 데이터 라인(62), 및 데이터 패드(67)의 패턴이 완성된다. 한편, 채널 영역의 소오스 전극(65) 및 드레인 전극(66)의 패턴은 완성되지 않으며, 이 영역에서 데이터 도전층(64)은 분리되지 않고 여전히 일체형으로 잔류한다.
- [0060] 데이터 도전층(60)이 식각되면 하부의 제2 비정질 규소층(50)이 노출되며, 계속해서 노출된 제2 비정질 규소층(50) 및 그 하부의 제1 비정질 규소층(40)을 식각한다. 제2 비정질 규소층(50) 및 제1 비정질 규소층(40)의

식각은 예컨대, 건식 식각으로 진행될 수 있다. 제1 비정질 규소층(40)의 식각 결과 반도체층(44)이 완성된다. 제1 비정질 규소층(40)이 식각된 영역에서는 게이트 절연막(32)이 노출된다. 본 단계에서, 식각 마스크인 포토레지스트 패턴도 일부 식각되어 다운사이징 된다. 식각된 제2 비정질 규소층(52, 54) 및 완성된 반도체층(44)의 패턴은 상부의 데이터 라인(62), 데이터 패드(67) 및 채널 영역의 분리되지 않은 데이터 도전층(64)과 실질적으로 동일하다.

[0061] 이어서, 도 7a 내지 도 7c를 참조하면, 포토레지스트 패턴(201, 202)의 제2 영역(202)을 제거하여 하부의 데이터 도전층(64)을 노출한다. 제2 영역(202)의 제거는 O_2 를 이용하는 애싱 공정으로 진행될 수 있다. 이때, 포토레지스트 패턴의 제1 영역(211)도 다운사이징되어 크기가 작아진다. 한편, 상기 식각 단계에서 포토레지스트 패턴의 제2 영역이 이미 제거될 수도 있으며, 이 경우 애싱 공정은 생략될 수 있다.

[0062] 이어서, 도 8a 내지 도 8c를 참조하면, 다운사이징된 포토레지스트 패턴의 제1 영역(211)을 식각 마스크로 이용하여 노출되어 있는 채널 영역의 데이터 도전층(64)을 식각한다. 그 결과 소오스 전극(65) 및 드레인 전극(66)의 패턴이 완성되며, 소오스 전극(65)과 드레인 전극(66)의 이격 공간 사이로 제2 비정질 규소층(54)이 노출된다. 계속해서, 노출된 제2 비정질 규소층(54)을 식각하여 분리한다. 그 결과, 저항성 접촉층(52, 55, 56)이 완성된다. 제2 비정질 규소층(54)이 식각된 영역에서는 반도체층(44)이 노출된다.

[0063] 이어서, 도 9a 내지 도 9c를 참조하면, 도 8a 내지 도 8c의 결과물 상에 예컨대 CVD를 이용하여 제1 보호막(70) 및 제2 보호막(80)을 순차적으로 적층한다.

[0064] 이어서, 제2 보호막(80) 상에 포토레지스트 패턴(301, 302)을 형성한다. 포토레지스트 패턴은 제1 영역(301) 및 제1 영역(301)보다 두께가 작은 제2 영역(302)을 포함한다. 제1 영역(301)은 도 1 및 도 2a 내지 도 2c에 도시되어 있는 게이트 배선(22, 24) 형성 영역, 데이터 배선(62, 65, 66, 67) 형성 영역 및 반도체층(44) 형성 영역을 덮는다. 다만, 드레인 전극-화소 전극 콘택부(101) 및 게이트 패드(27) 형성 영역 및 데이터 패드(67) 형성 영역의 제2 보호막(80)은 노출한다. 제2 영역(302)은 유지 전극(28) 형성 영역을 덮는다.

[0065] 이어서, 도 10a 내지 도 10c를 참조하면, 포토레지스트 패턴(301)을 식각 마스크로 이용하여 노출된 제2 보호막(80) 및 그 하부의 제1 보호막(70)을 식각한다. 제2 보호막(80) 및 제1 보호막(70)의 식각은 건식 식각으로 진행된다. 이때, 상기 식각은 이방성 식각으로 진행될 수도 있으나, 언더컷에 의한 리프트 오프(lift off) 마진을 확보하기 위해 등방성 식각으로 진행될 수 있다.

[0066] 제2 보호막(80) 및 제1 보호막(70)의 식각에는 제2 보호막(80) 및 제1 보호막(70)에 대하여 식각 선택비가 큰 식각 가스가 바람직하게 이용된다. 구체적으로, 식각 가스는 제1 보호막(70)에 대한 식각률(etching rate)보다 제2 보호막(80)에 대한 식각률이 높은 것이 바람직하다. 예를 들어, 제1 보호막(70)에 대한 식각률과 제2 보호막(80)에 대한 식각률이 1:5 내지 1:20인 식각 가스가 사용될 수 있다. 식각 가스는 예를 들어 CF_4 , SF_6 , CHF_3 , O_2 또는 이들의 조합을 포함할 수 있으며, 구성 요소의 조합이나 이들 조합의 조성비를 조절함으로써 식각률을 제어할 수 있다. 본 발명을 제한하지 않는 식각 가스의 일례로서, SF_6 및 O_2 의 조성비가 2:1인 식각 가스가 사용될 수 있다.

[0067] 상기한 바와 같이 제1 보호막(70)에 대한 식각률보다 제2 보호막(80)에 대한 식각률이 큰 식각 가스를 사용하게 되면, 제2 보호막(80)의 식각 후, 하부의 제1 보호막(70)에 대한 식각 시간이 증가하게 된다. 따라서, 하부의 제1 보호막(70)을 식각하는 동안 제2 보호막(82)은 포토레지스트 패턴(301)의 내측 방향으로 충분히 과식각되어 충분한 폭의 언더컷이 확보될 수 있다. 제2 보호막(82)의 과식각이 이루어지는 동안 데이터 패드(67), 드레인 전극(66) 등의 구조물들은 제1 보호막(72)으로 덮여 보호된다. 따라서, 데이터 배선(62, 65, 66, 67)으로서 예컨대 몰리브덴 등과 같이 건식 식각에 취약한 물질을 사용하더라도, 본 단계에서 식각되지 않고 보호된다. 따라서, 데이터 패드(67) 및 드레인 전극(66)이 과도하게 제거되지 않기 때문에, 드레인 전극-화소 전극 콘택부(101) 및 데이터 콘택부(77)에서 도전 물질간 충분한 콘택 면적이 확보될 수 있다. 또한, 제2 보호막(82)의 과식각이 이루어지는 동안 반도체층(44)도 제1 보호막(70)에 의해 보호되기 때문에, 반도체층(44)의 언더컷이 방지될 수 있다.

[0068] 한편, 제1 보호막(70)은 식각률이 낮기 때문에 포토레지스트 패턴(301, 302)의 마스크 형상에 따라 패터닝되며, 언더컷의 발생은 미미하다. 따라서, 제1 보호막(72)의 식각 결과, 제1 보호막(72)의 측벽은 제2 보호막(82)의 측벽보다 돌출하게 된다.

[0069] 제1 보호막(72)이 식각되면, 계속해서 하부의 게이트 절연막(32)을 식각한다. 본 단계에서도 제2 보호막(82)

은 내측으로 더욱 과식각되며, 언더컷의 폭은 더욱 커진다. 예컨대, 본 단계에서 제2 보호막(82)에 의해 형성된 언더컷의 폭은 $4\mu\text{m}$ 내지 $30\mu\text{m}$ 일 수 있다.

[0070] 한편, 게이트 절연막(30)이 제2 보호막(82)과 동일한 물질 또는 식각물이 유사한 물질로 이루어진 경우, 게이트 절연막(30)의 식각물은 상부의 제1 보호막(72)의 식각물보다 크게 된다. 여기서, 이와 같은 식각물의 차이에 의해 제1 보호막(72)의 내측으로 게이트 절연막(32)에 의한 언더컷이 형성되어 제1 보호막(72)이 게이트 절연막(32)으로부터 외측으로 일부 돌출될 수도 있는데, 이 경우에도 게이트 절연막(32)은 제2 보호막(82)보다 식각 가스에 노출되는 시간이 작기 때문에 과식각되는 정도가 작다. 따라서, 제2 보호막(82)에 대한 제1 보호막(72)의 돌출 정도가 게이트 절연막(32)에 대한 제1 보호막(72)의 돌출 정도보다는 크다. 바꾸어 말하면, 제2 보호막(82)의 외측벽은 게이트 절연막(32)의 외측벽의 내측에 위치하게 된다.

[0071] 게이트 절연막(32)과 제1 보호막(72)간의 위치 관계는 공정 조건들에 따라 달라질 수 있다. 즉, 식각 가스의 조성, 식각 가스의 농도, 각 구조물의 두께, 식각 공정 시간 등을 제어하게 되면, 게이트 절연막(32)에 대한 제1 보호막(72)의 돌출 정도를 최소화하거나, 이들의 측벽을 동일한 라인 상에 정렬시킬 수도 있다. 나아가, 상기 식각 조건들의 제어와 함께 게이트 절연막(32)의 식각시 식각 방법을 이방성 식각으로 바꾸어 진행하게 되면, 제1 보호막(72)의 외측벽을 게이트 절연막(32)의 내측에 위치시킬 수도 있다.

[0072] 상기 식각의 결과, 드레인 전극(66)이 노출되고, 화소 영역의 절연 기관(10)이 노출된다. 또한, 게이트 패드(27) 및 데이터 패드(67)가 노출되어 게이트 콘택부(76) 및 데이터 콘택부(77)가 형성된다.

[0073] 한편, 포토레지스트 패턴(301, 302)이 덮지 않는 제2 보호막(82), 제1 보호막(72) 및 게이트 절연막(32)의 식각 중 포토레지스트 패턴(301, 302) 또한 다운사이징된다. 포토레지스트 패턴의 제2 영역(302)의 두께를 작게 하거나, 포토레지스트 패턴(301, 302)에 대한 식각물이 높은 식각 가스를 사용하게 되면, 상기 식각 단계에서 포토레지스트 패턴의 제2 영역(302)을 제거하고, 다운사이징된 제1 영역(311)만을 잔류시킬 수 있다. 이때, 제2 영역(302) 아래에 위치하는 절연막들(30, 70, 80)의 잔류 여부도 포토레지스트 패턴의 제2 영역(302)의 두께 및/또는 포토레지스트 패턴(301, 302)에 대한 식각물에 따라 조절될 수 있다.

[0074] 예를 들어, 포토레지스트 패턴의 제2 영역(302)의 두께가 제1 두께이고, 포토레지스트 패턴(301, 302)에 대한 식각물이 제1 식각물일 경우 포토레지스트 패턴의 제2 영역(302)만이 선택적으로 제거되고 하부의 절연막들(30, 70, 80)은 모두 잔류된다고 가정하면, 하부의 절연막들 중 제2 절연막(80)을 제거하고 제1 절연막(70) 이하를 잔류시키기 위해서는 제2 영역(302)의 두께를 제1 두께보다 두꺼운 제2 두께로 하거나, 포토레지스트 패턴(301, 302)에 대하여 제1 식각물보다 높은 제2 식각물을 갖는 식각 가스를 이용하여 진행할 수 있다. 하부 절연막들 중 제2 절연막(80) 및 제1 절연막(70)을 제거하고 게이트 절연막(30)만을 잔류시키기 위해서는 제2 영역(302)의 두께를 제2 두께보다 두꺼운 제3 두께로 하거나, 포토레지스트 패턴(301, 302)에 대하여 제2 식각물보다 높은 제3 식각물을 갖는 식각 가스를 이용하여 진행할 수 있다. 도 10b에서는 유지 전극(28)의 유지 용량을 증가시키기 위한 바람직한 일례로서 제2 영역(302) 하부의 절연막들 중 게이트 절연막(30)만이 잔류된 경우가 도시되어 있다. 도 10b의 예시에서 게이트 절연막(32)은 식각 공정이 완료될 때까지 제1 보호막(72)에 의해 덮여 보호되는 시간이 증가하기 때문에 게이트 절연막(32)의 불균일한 식각이 방지될 수 있다. 따라서, 균일한 유지 용량이 확보될 수 있기 때문에 구동 마진이 향상될 수 있다. 마찬가지로, 유지 전극(28) 상에 게이트 절연막(30) 및 제1 절연막(70)을 잔류시키는 경우에도 불균일한 식각이 방지되어 균일한 유지 용량이 확보될 수 있음은 물론이다.

[0075] 이어서, 도 11a 내지 도 11c를 참조하면, 도 10a 내지 도 10c의 결과물의 전면에 예컨대, 스퍼터링 등을 이용하여 화소 전극용 도전 물질(90)을 적층한다. 화소 전극용 도전 물질(90)의 일부는 다운사이징된 포토레지스트 패턴의 제1 영역(311) 상에, 나머지는 노출된 구조물 상에 바로 적층된다.

[0076] 이어서, 다시 도 2a 내지 도 2c를 참조하면, 리프트 오프법을 이용하여 다운사이징된 포토레지스트 패턴의 제1 영역(311) 및 그 상부에 존재하는 화소 전극용 도전 물질(90)을 제거한다. 구체적으로, 예컨대 아민계, 글리콜계 등을 포함하는 포토레지스트 스트리퍼를 분사 방식 또는 딥 방식 등으로 포토레지스트 패턴(311)에 접촉시키면 포토레지스트 스트리퍼가 포토레지스트 패턴(311)을 용해시켜 제2 보호막(82)으로부터 포토레지스트 패턴(311)을 박리하며, 동시에 포토레지스트 패턴(311) 상에 존재하는 화소 전극용 도전 물질(90)도 제거한다. 여기서, 포토레지스트 패턴(311) 및 상부의 화소 전극용 도전 물질(90)의 제거율은 포토레지스트 패턴(311)과 포토레지스트 스트리퍼의 접촉 시간 및 접촉 면적에 관계된다. 본 단계에서는 상술한 바와 같이 포토레지스트 패턴의 제1 영역(311)의 아래에서 제1 보호막(72)에 의해 형성된 언더컷의 폭이 크기 때문에, 포토레지스트 패턴의 제1 영역(311)과 포토레지스트 스트리퍼와의 접촉 면적이 증가하게 된다. 따라서, 포토

레지스트 패턴(311) 및 상부의 화소 전극용 도전 물질(90)의 제거율이 우수함을 용이하게 이해할 수 있다. 포토레지스트 패턴의 제1 영역(311) 및 그 상부의 화소 전극용 도전 물질(90)의 제거 결과, 화소 전극(92), 보조 게이트 패드(96) 및 보조 데이터 패드(97)의 패턴이 완성된다.

[0077] 이하, 본 발명의 다른 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법에 대해 설명한다. 이하에서는 도 3a 내지 도 11c 및 도 2a 내지 도 2c를 참조하여 설명한 본 발명의 일 실시예와 동일한 구조, 구성 및 방법에 대해서는 그 설명을 생략하거나 간략화하며, 차이점을 중심으로 설명하기로 한다. 도 12a 내지 도 15c는 본 발명의 다른 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법의 공정 단계별 단면도들이다. 여기서, 도 12a, 도 13a, 도 14a, 및 도 15a는 도 2a에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기판을 제조하기 위한 단면도들이고, 도 12b, 도 13b, 도 14b, 및 도 15b는 도 2b에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기판을 제조하기 위한 단면도들이고, 도 12c, 도 13c, 도 14c, 및 도 15c는 도 2c에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기판을 제조하기 위한 단면도들이다.

[0078] 본 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법은 소오스 전극(65) 및 드레인 전극(66)의 패턴과 저항성 접촉층(52, 55, 56)을 형성하고 반도체층(44)을 노출하는 단계까지는 본 발명의 일 실시예와 실질적으로 동일하다. 도 12a 내지 도 12c를 참조하면, 상기 단계의 결과물 상에 예컨대 CVD를 이용하여 제1 보호막(70) 및 제2 보호막(80)을 순차적으로 적층한다.

[0079] 이어서, 제2 보호막(80) 상에 포토레지스트 패턴(401, 402)을 형성한다. 포토레지스트 패턴은 제1 영역(401) 및 제1 영역(401)보다 두께가 작은 제2 영역(402)을 포함한다. 여기서, 제1 영역(401)은 게이트 배선(22, 24, 27), 데이터 배선(62, 65, 66) 형성 영역 및 반도체층(44) 형성 영역을 덮으며, 게이트 패드(27) 형성 영역의 제2 보호막(80)은 노출하는 점은 본 발명의 일 실시예와 동일하다. 그러나, 드레인 전극-화소 전극 콘택부(101) 및 데이터 패드(67) 형성 영역은 제2 영역(402)에 의해 덮여 있는 점이 본 발명의 일 실시예에서와 차이가 있다. 또, 제2 영역(402)은 후속하는 제2 보호막(80), 제1 보호막(70) 및 게이트 절연막(30)의 식각 중에 제거되지 않아도 되기 때문에, 본 발명의 일 실시예에서보다 더 두꺼울 수 있다.

[0080] 이어서, 도 13a 내지 도 13c를 참조하면, 포토레지스트 패턴을 식각 마스크로 이용하여 노출된 제2 보호막(82) 및 그 하부의 제1 보호막(72), 게이트 절연막(32)을 순차적으로 1차 식각한다. 본 식각은 본 발명의 일 실시예에서의 제2 보호막(80), 제1 보호막(70) 및 게이트 절연막(30)의 식각과 실질적으로 동일하다. 따라서, 제1 보호막(72) 및 게이트 절연막(32)은 제2 보호막(82)보다 외측으로 돌출되며, 제1 보호막(72)의 외측벽은 게이트 절연막(32)의 내측에 위치하거나, 외측벽에 실질적으로 정렬될 수 있으며, 게이트 절연막(32)의 외측벽의 외측에 위치할 수도 있다. 다만, 본 단계에서 드레인 전극-화소 전극 콘택부(101)와 데이터 패드(67) 형성 영역이 포토레지스트 패턴의 제2 영역(402)에 의해 보호되는 차이로부터 드레인 전극(66) 및 데이터 패드(67)의 손상이 더욱 방지될 수 있다. 또한, 반도체층(44)이 제2 보호막(82)에 의해 보호되기 때문에, 반도체층(44)의 언더컷이 방지될 수 있다. 본 단계에서, 식각 마스크인 포토레지스트 패턴(401, 402)도 일부 식각되어 다운사이징된다.

[0081] 이어서, 도 14a 내지 도 14c를 참조하면, 포토레지스트 패턴의 제2 영역(402)을 제거하여 드레인 전극-화소 전극 콘택부(101), 데이터 패드(67) 영역 및 유지 전극(28) 상의 제2 보호막(82)을 노출한다. 제2 영역(402)의 제거는 O_2 를 이용하는 애칭 공정으로 진행될 수 있다. 이때, 포토레지스트 패턴의 제1 영역(411)도 다운사이징되어 크기가 작아진다. 한편, 상기 1차 식각 단계에서 포토레지스트 패턴의 제2 영역(402)이 이미 제거될 수도 있으며, 이 경우 애칭 공정은 생략될 수 있다.

[0082] 이어서, 도 15a 내지 도 15c를 참조하면, 다운사이징된 포토레지스트 패턴의 제1 영역(411)을 식각 마스크로 이용하여 드레인 전극-화소 전극 콘택부(101), 데이터 패드(67) 형성 영역과 유지 전극(28) 형성 영역의 제2 보호막(82) 및 제1 보호막(72)을 2차 식각한다. 상기 2차 식각으로 드레인 전극-화소 전극 콘택부(101) 상의 드레인 전극(66), 데이터 패드(67), 및 유지 전극(28) 상의 게이트 절연막(32)이 노출한다. 이때, 제1 보호막(70)의 식각률은 제2 보호막(80)의 식각률보다 낮기 때문에, 제1 보호막(70)의 식각 중, 제2 보호막(82)의 언더컷의 폭은 더욱 증가하게 된다.

[0083] 한편, 2차 식각은 전면 식각으로 진행되는 1차 식각과는 달리, 게이트 절연막(32)을 식각하지 않으며, 드레인 전극-화소 전극 콘택부(101) 및 유지 전극(28) 형성 영역의 제2 보호막(80) 및 제1 보호막(70)만을 식각하기 때문에, 부분 식각으로 이루어질 수 있다. 즉, 예컨대, 1차 식각은 약 30초 내지 200초 동안 진행되는 반면, 2차 식각은 약 10 내지 20초 동안만 진행될 수 있다. 따라서, 2차 식각에 의해 노출되는 드레인 전극(66) 및 데이터 패드(67)는 식각 가스에 의한 손상이 더욱 방지될 수 있기 때문에, 드레인 전극-화소 전극 콘택부

(101) 및 데이터 콘택부(77)에서 도전 물질간 충분한 콘택 면적이 확보될 수 있음을 용이하게 이해할 수 있다. 또, 유지 전극(28) 상의 게이트 절연막(32)의 경우에도 식각 가스에 의한 손상이 방지되기 때문에 두께의 균일성이 확보되어 구동 마진이 더욱 증가할 수 있다. 아울러, 반도체층(44)도 식각 가스에 대한 노출 시간이 짧아 언더컷이 더욱 방지될 수 있다.

[0084] 이어서, 도 15a 내지 도 15c의 결과물에 화소 전극용 도전 물질을 적층하고 포토레지스트 패턴을 제거하는 것은 본 발명의 일 실시예와 동일하며 중복 설명은 생략한다.

[0085] 도 12a 내지 도 15c의 실시예에서, 게이트 패드(27) 형성 영역은 포토레지스트 패턴(401, 402)에 의해 덮이지 않고 노출되어 있지만, 본 실시예의 몇몇 변형예에서는 포토레지스트 패턴이 게이트 패드(27) 형성 영역을 더 덮을 수 있다. 이 경우, 게이트 패드(27) 형성 영역을 덮는 포토레지스트 패턴의 영역은 제2 영역(402)보다 두께가 작은 제3 영역(미도시)일 수 있다. 제3 영역은 적어도 1차 식각 동안 전부 제거되고, 계속해서 1차 식각 동안 하부의 제2 보호막(82), 제1 보호막(72) 및/또는 게이트 절연막(32)까지도 일부 제거될 수 있는 두께로 하며, 동시에 2차 식각 때에 나머지 게이트 패드(27)를 덮고 있는 게이트 절연막(32)이 모두 제거될 수 있는 조건을 만족하도록 한다.

[0086] 한편, 본 실시예의 몇몇 다른 변형예에서는 드레인 전극-화소 전극 콘택부 및/또는 데이터 패드 형성 영역을 덮는 포토레지스트 패턴의 제2 영역이 일부 또는 전부 생략될 수도 있다.

[0087] 상술한 본 발명의 일 실시예 및 다른 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법은 제1 보호막 및 제2 보호막의 식각이 1회로 진행되는지 아니면 2회로 나뉘어 진행되는지에 차이가 있지만, 이들의 방법은 부분적으로 서로 조합될 수 있다.

[0088] 구체적인 예로서, 본 발명의 일 실시예에서의 드레인 전극-화소 전극 콘택부 및/또는 데이터 패드 형성 영역이 포토레지스트 패턴의 제2 영역에 의해 덮여 있을 수 있다. 이 경우 포토레지스트 패턴의 제2 영역, 하부의 제2 보호막 및 제1 보호막은 노출된 영역의 제2 보호막, 제1 보호막 및 게이트 절연막의 식각 중에 전부 제거될 수 있는 공정 조건을 만족하도록 한다. 그러나, 상기 방법의 조합은 상기 예시에 제한되지 않음은 물론이다.

[0089] 계속해서, 본 발명의 다른 실시예에 따른 박막 트랜지스터 어레이 기관에 대해 설명한다. 본 실시예에서 도 1 및 도 2a 내지 도 2c의 실시예와 동일한 구조에 대해서는 그 설명을 생략하거나 간략화한다. 도 16은 본 발명의 다른 실시예에 따른 박막 트랜지스터 어레이 기관의 레이아웃도이다. 도 17a 내지 도 17c는 각각 도 16의 A-A'선, B-B'선, 및 C-C'선을 따라 자른 단면도들이다.

[0090] 도 16 및 도 17a 내지 도 17c를 참조하면, 본 실시예에 따른 박막 트랜지스터 어레이 기관은 게이트 절연막(30)이 게이트 라인(22) 주변부, 데이터 라인(62) 주변부 및 게이트 콘택부(76)를 제외한 모든 영역에서 절연 기관(10)을 덮고 있는 점에서 도 2a 내지 도 2c의 실시예와 차이가 있다. 제조 공정에 따라서는 게이트 라인(22) 주변부와 데이터 라인(62) 주변부는 분리되지 않을 수도 있다. 화소 영역에서 화소 전극(92)은 게이트 절연막(32), 제1 보호막(72) 및 제2 보호막(82)과 오버랩되어 있으며, 제2 보호막(82)의 바로 위에 위치한다. 또한, 화소 전극(92)과 유지 전극(28) 사이에는 게이트 절연막(32) 뿐만 아니라, 제1 보호막(72) 및 제2 보호막(82)이 개재한다.

[0091] 또한, 제1 보호막(72) 및 제2 보호막(82)은 게이트 절연막(32)이 형성된 영역 중 드레인 전극-화소 전극 콘택부(102) 및 데이터 패드(67)가 보조 데이터 패드(97)와 콘택하는 데이터 콘택부(77) 형성 영역을 제외한 대부분의 영역을 덮는다. 다만 게이트 라인(22) 및 데이터 라인(62)이 형성된 영역에서는 화소 전극(92)을 화소별로 분리하기 위해 서로 분리되어 있다. 드레인 전극-화소 전극 콘택부(102)는 제1 및 제2 보호막(72, 82)에 의해 둘러싸여 있다. 본 실시예의 경우에도 제1 보호막(72)은 제2 보호막(82)에 완전히 오버랩되어 있다.

[0092] 본 실시예에 따른 박막 트랜지스터 어레이 기관은 화소 전극이 게이트 절연막, 제1 보호막 및 제2 보호막 위에 위치하기 때문에, 화소 전극 형성 영역과 박막 트랜지스터 형성 영역의 단차가 감소한다. 따라서, 이를 액정 표시 장치에 적용할 경우 셀갭의 균일성을 향상시킬 수 있다.

[0093] 이하, 도 17a 내지 도 17c에 도시된 박막 트랜지스터 어레이 기관을 제조하는 방법에 대해 설명한다. 본 실시예에서, 상술한 실시예들에 따른 방법과 동일한 방법에 대해서는 그 설명을 생략하거나 간략화하며, 차이점을 중심으로 설명하기로 한다. 도 18a 내지 도 21c는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법의 공정 단계별 단면도들이다. 여기서, 도 18a, 도 19a, 도 20a, 및 도 21a는 도 17a에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기관을 제조하기 위한 단면도들이고, 도 18b, 도 19b, 도 20b, 및

도 21b는 도 17b에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기판을 제조하기 위한 단면도들이고, 도 18c, 도 19c, 도 20c, 및 도 21c는 도 17c에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기판을 제조하기 위한 단면도들이다.

[0094] 본 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법은 소오스 전극(65) 및 드레인 전극(66)의 패턴과 저항성 접촉층(52, 55, 56)을 형성하고 반도체층(44)을 노출하는 단계까지는 본 발명의 일 실시예와 실질적으로 동일하다. 도 18a 내지 도 18c를 참조하면, 상기 단계의 결과물 상에 예컨대 CVD를 이용하여 제1 보호막(70) 및 제2 보호막(80)을 순차적으로 적층한다.

[0095] 이어서, 제2 보호막(80) 상에 포토레지스트 패턴(501, 502)을 형성한다. 포토레지스트 패턴은 제1 영역(501) 및 제1 영역(501)보다 두께가 작은 제2 영역(502)을 포함한다. 여기서 제1 영역(501)은 게이트 배선(22, 24) 형성 영역, 데이터 배선(62, 65, 66) 형성 영역 및 반도체층(44) 형성 영역을 덮는다. 다만, 게이트 패드(27) 형성 영역, 데이터 패드(67) 형성 영역 및 드레인 전극-화소 전극 콘택부(102)의 제2 보호막(82)은 노출한다. 제2 영역(502)은 유지 전극(28) 형성 영역뿐만 아니라, 대부분의 화소 영역을 덮는다. 다만, 게이트 라인(22)과 데이터 라인(62)의 주변부는 노출한다.

[0096] 이어서, 도 19a 내지 도 19c를 참조하면, 포토레지스트 패턴(501, 502)을 식각 마스크로 이용하여 노출된 제2 보호막(80), 그 하부의 제1 보호막(70) 및 게이트 절연막(30)을 식각한다. 그 결과, 드레인 전극-화소 전극 콘택부(102)의 드레인 전극(66)이 노출되며, 게이트 라인(22) 및 데이터 라인(62) 주변부의 절연 기판(10)이 노출된다. 또, 게이트 패드(27) 및 데이터 패드(67)가 노출되어, 게이트 콘택부(76) 및 데이터 콘택부(77)가 형성된다. 여기서, 제2 보호막(82) 및 제1 보호막(72)의 식각은 본 발명의 일 실시예에서와 같이 제1 보호막(72)에 대한 식각률보다 제2 보호막(82)에 대한 식각률이 높은 식각 가스를 이용하여 이루어지며, 그에 따라 포토레지스트 패턴(501, 502) 하부의 제2 보호막(82)은 충분한 폭의 언더컷을 가지게 된다.

[0097] 이어서, 도 20a 내지 도 20c를 참조하면, 포토레지스트 패턴의 제2 영역(502)을 제거한다. 제2 영역(502)의 제거는 O_2 를 이용하는 애칭 공정으로 진행될 수 있다. 이때, 포토레지스트 패턴의 제1 영역(511)도 다운사이징되어 작아진다. 포토레지스트 패턴의 제2 영역(502)이 제거되면, 화소 영역의 제2 보호막(82)이 노출된다. 상기 제2 보호막(80) 및 그 하부의 제1 보호막(70)의 식각 단계에서 포토레지스트 패턴의 제2 영역(502)은 이미 제거될 수 있으며, 이 경우 애칭 공정은 생략될 수 있다.

[0098] 이어서, 도 21a 내지 도 21c를 참조하면, 도 20a 내지 도 20c의 결과물에 화소 전극용 도전 물질(90)을 적층한다.

[0099] 이어서, 다운사이징된 포토레지스트 패턴의 제1 영역(511) 및 상부의 화소 전극용 도전 물질(90)을 제거한다. 본 단계는 본 발명의 일 실시예에서 설명한 리프트 오프법과 동일한 방법으로 진행될 수 있다. 그 결과 도 17a 내지 도 17c에 도시된 바와 같이 화소 전극(92), 보조 게이트 패드(96) 및 보조 데이터 패드(97)의 패턴이 완성된다.

[0100] 계속해서 도 17a 내지 도 17c의 박막 트랜지스터 어레이 기판을 제조하기 위한 본 발명의 또 다른 실시예에 따른 방법에 대해 설명한다. 본 실시예에서, 상술한 실시예들에 따른 방법과 동일한 방법에 대해서는 그 설명을 생략하거나 간략화하며, 차이점을 중심으로 설명하기로 한다. 도 22a 내지 도 23c는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법의 공정 단계별 단면도들이다. 여기서, 도 22a, 및 도 23a는 도 17a에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기판을 제조하기 위한 단면도들이고, 도 22b 및 도 23b는 도 17b에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기판을 제조하기 위한 단면도들이고, 도 22c 및 도 23c는 도 17c에 도시된 단면도를 갖는 박막 트랜지스터 어레이 기판을 제조하기 위한 단면도들이다.

[0101] 본 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법은 소오스 전극(65) 및 드레인 전극(66)의 패턴과 저항성 접촉층(52, 55, 56)을 형성하고 반도체층(44)을 노출하는 단계까지는 본 발명의 일 실시예와 실질적으로 동일하다. 도 22a 내지 도 22c를 참조하면, 상기 단계의 결과물 상에 예컨대 CVD를 이용하여 제1 보호막(70) 및 제2 보호막(80)을 순차적으로 적층한다.

[0102] 이어서, 제2 보호막(80) 상에 포토레지스트 패턴(601)을 형성한다. 여기서 포토레지스트 패턴(601)은 제1 영역 및 제2 영역의 구분없이 균일한 두께로 이루어지는 것을 제외하고는 도 18a 내지 도 18c에 도시되어 있는 포토레지스트 패턴과 실질적으로 동일하다.

[0103] 이어서, 도 23a 내지 도 23c를 참조하면, 포토레지스트 패턴(601)을 식각 마스크로 이용하여 노출된 제2 보호

막(80), 하부의 제1 보호막(70), 및 하부의 게이트 절연막(30)을 식각한다. 그 결과, 드레인 전극-화소 전극 콘택부(102)의 드레인 전극(66)이 노출되며, 게이트 라인(22) 및 데이터 라인(62) 주변부의 절연 기판(10)이 노출된다. 또, 게이트 패드(27) 및 데이터 패드(67)가 노출되어, 게이트 콘택부(76) 및 데이터 콘택부(77)가 형성된다. 상기 식각 단계에서 제1 보호막(70)의 식각되어 제거될 때까지 하부의 드레인 전극(66) 및 데이터 패드(67)는 식각 가스로부터 보호된다. 따라서, 식각 가스에 노출되는 시간이 감소하므로 이들의 손상이 방지될 수 있다.

[0104] 이어서, 도시하지는 않았지만, 포토레지스트 패터를 제거하고 화소 전극용 도전 물질을 적층한 다음 이를 사진 식각 공정을 이용하여 패터닝하여 도 17a 내지 도 17c에 도시된 바와 같은 화소 전극(92), 보조 게이트 패드(96) 및 보조 데이터 패드(97)를 완성한다. 본 실시예는 화소 전극용 도전 물질의 사진 식각 공정을 포함하기 때문에, 게이트 라인 및 데이터 라인 주변부의 제2 보호막, 제1 보호막 및 게이트 절연막은 제거하지 않더라도 무방하다.

[0105] 한편, 이상의 실시예들에서는 반도체층 및 저항성 접촉층이 데이터 배선의 패턴과 실질적으로 동일한 경우를 예시하였지만, 본 발명은 이에 제한되지 않는다. 즉, 본 발명의 몇몇 실시예들에서는 반도체층 및 저항성 접촉층이 채널 영역에만 형성될 수도 있다. 이러한 반도체층 및 저항성 접촉층의 패턴을 형성하기 위해서는 상술한 실시예들과는 달리 반도체층 및 저항성 접촉층 형성용 포토레지스트 패턴과, 데이터 배선용 포토레지스트 패턴을 각각 별개의 마스크를 이용하여 형성하게 된다. 상술한 구조의 박막 트랜지스터 어레이 기판 및 그 제조 방법은 본 기술 분야의 당업자에게 널리 알려져 있으며, 후속하는 공정의 미미한 차이점은 당업자에게 용이하게 이해될 수 있으므로, 구체적인 설명은 생략하기로 한다.

[0106] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들을 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

[0107] 본 발명의 실시예들에 따른 박막 트랜지스터 어레이 기판 및 이의 제조 방법에 의하면, 포토레지스트 패턴 하부로 충분한 폭의 언더컷이 확보되므로 우수한 리프트 오프 마진을 갖는다. 또한, 유지 전극과 화소 전극 사이에 개재되는 절연막의 두께가 균일해지므로 구동 마진이 증가한다. 아울러, 드레인 전극, 데이터 패드 등의 손상이 방지되어 콘택부에서 도전 물질간 충분한 콘택 면적이 확보될 수 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 어레이 기판의 레이아웃도이다.

[0002] 도 2a, 도 2b, 및 도 2c는 각각 도 1의 A-A'선, B-B'선, 및 C-C'선을 따라 자른 단면도들이다.

[0003] 도 3a 내지 도 11c는 본 발명의 일 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법의 공정 단계별 단면도들이다.

[0004] 도 12a 내지 도 15c는 본 발명의 다른 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법의 공정 단계별 단면도들이다.

[0005] 도 16은 본 발명의 다른 실시예에 따른 박막 트랜지스터 어레이 기판의 레이아웃도이다.

[0006] 도 17a 내지 도 17c는 각각 도 16의 A-A'선, B-B'선, 및 C-C'선을 따라 자른 단면도들이다.

[0007] 도 18a 내지 도 21c는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법의 공정 단계별 단면도들이다.

[0008] 도 22a 내지 도 23c는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법의 공정 단계별 단면도들이다.

[0009] <도면의 주요부분에 대한 부호의 설명>

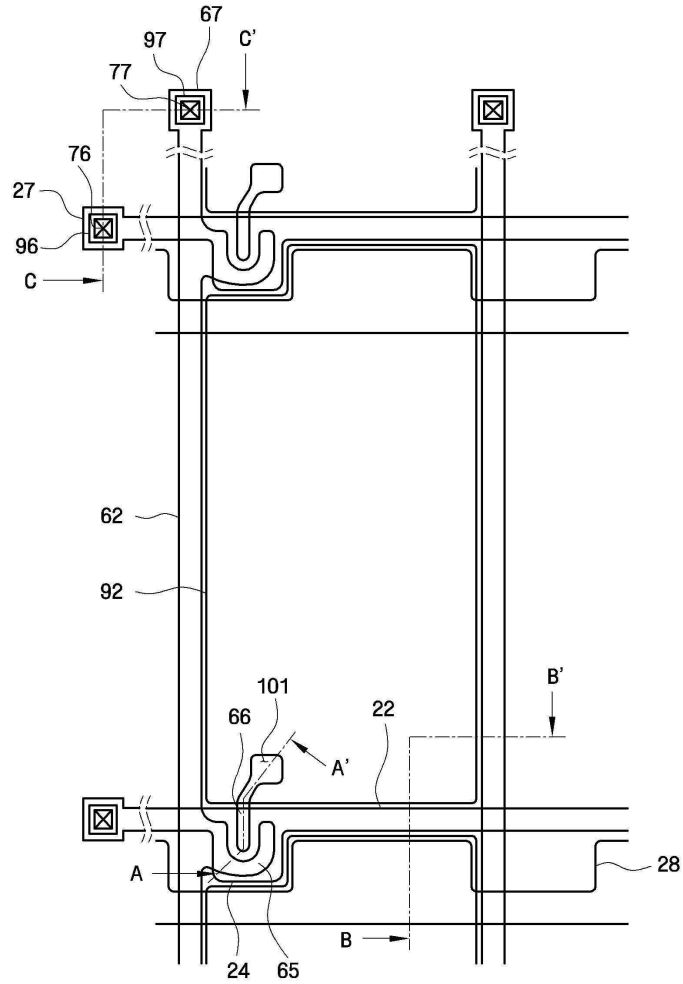
[0010] 10: 절연 기판 22, 24, 27: 게이트 배선

[0011] 32: 게이트 절연막 44: 반도체층

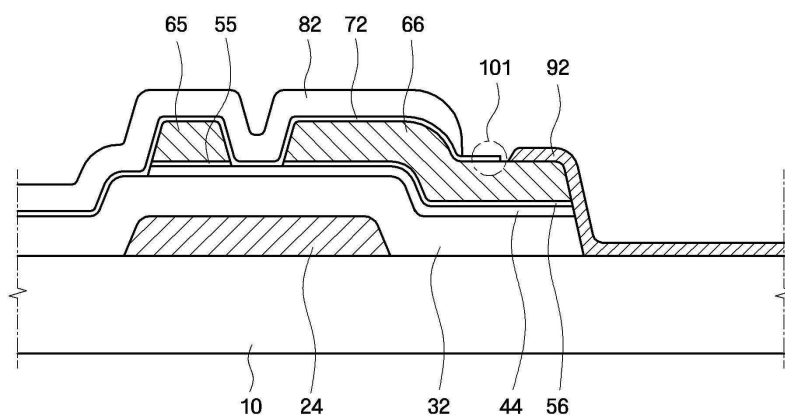
- [0012] 52, 55, 56: 저항성 접착층 62, 65, 66, 67: 데이터 배선
- [0013] 72: 제1 보호막 82: 제2 보호막
- [0014] 92: 화소 전극

도면

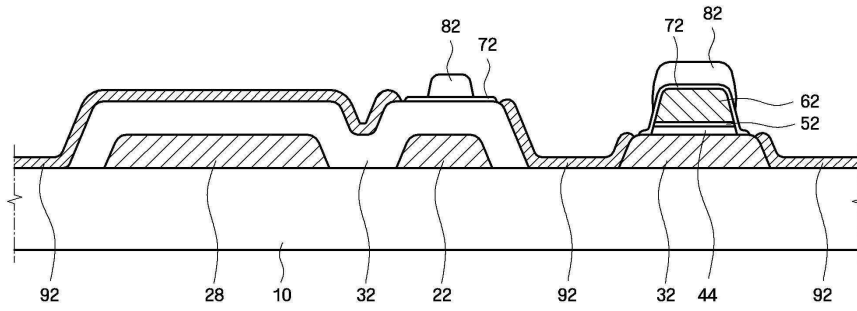
도면1



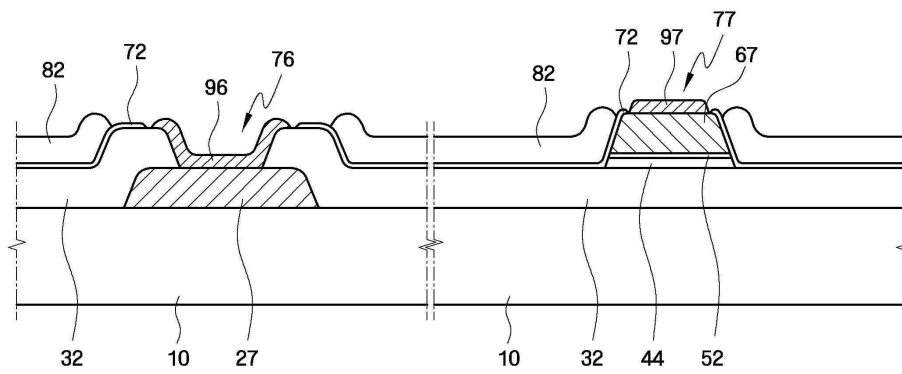
도면2a



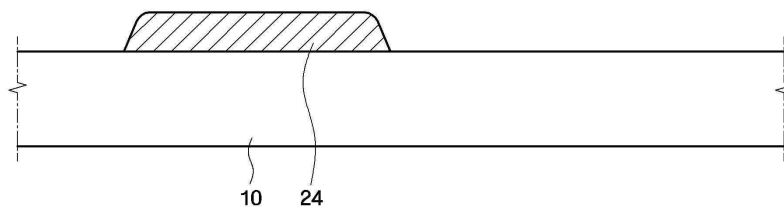
도면2b



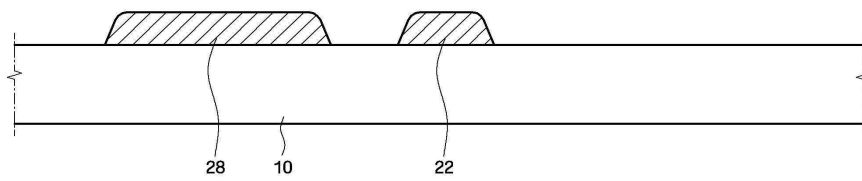
도면2c



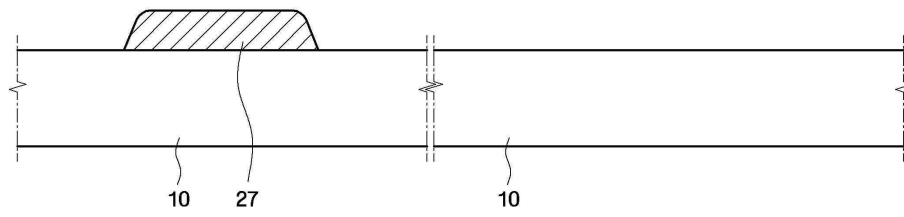
도면3a



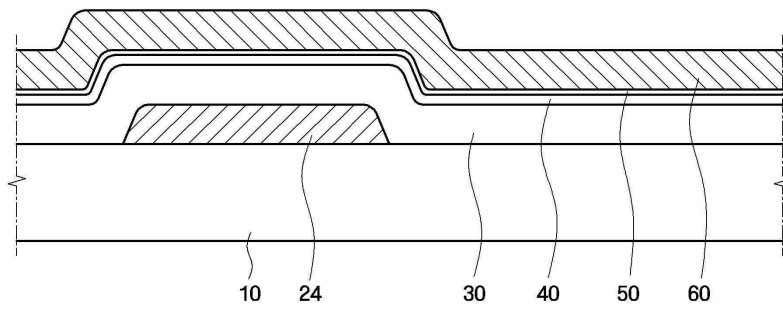
도면3b



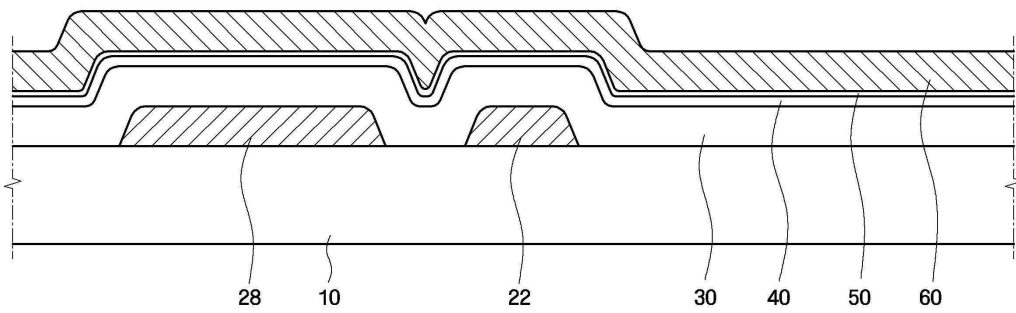
도면3c



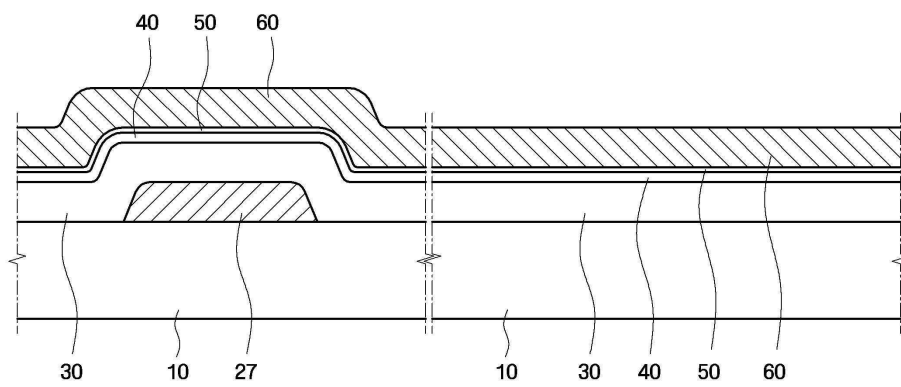
도면4a



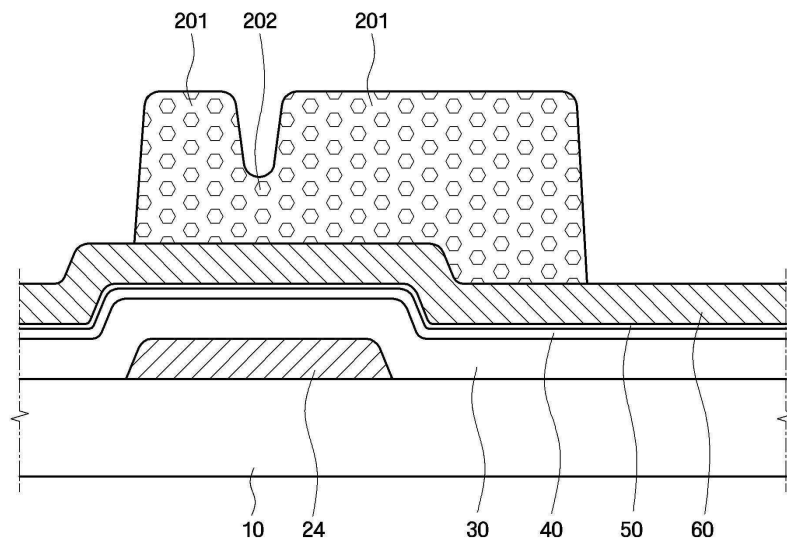
도면4b



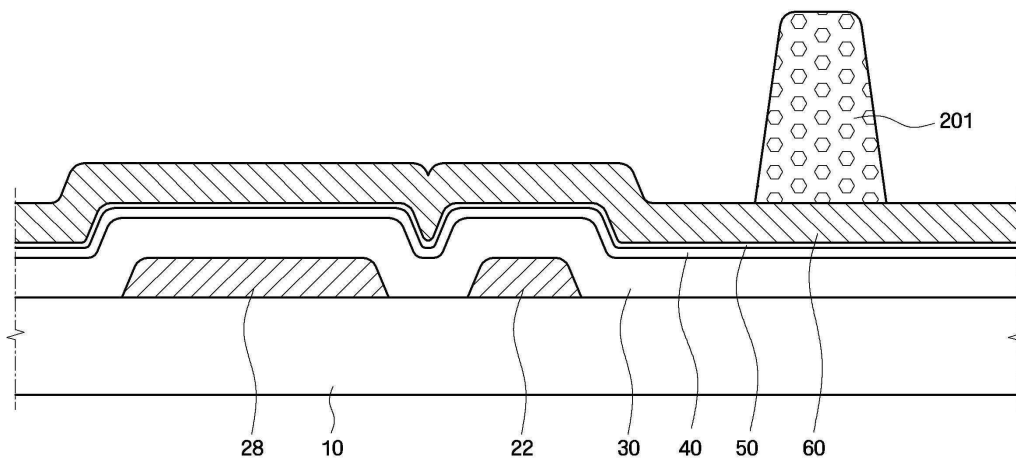
도면4c



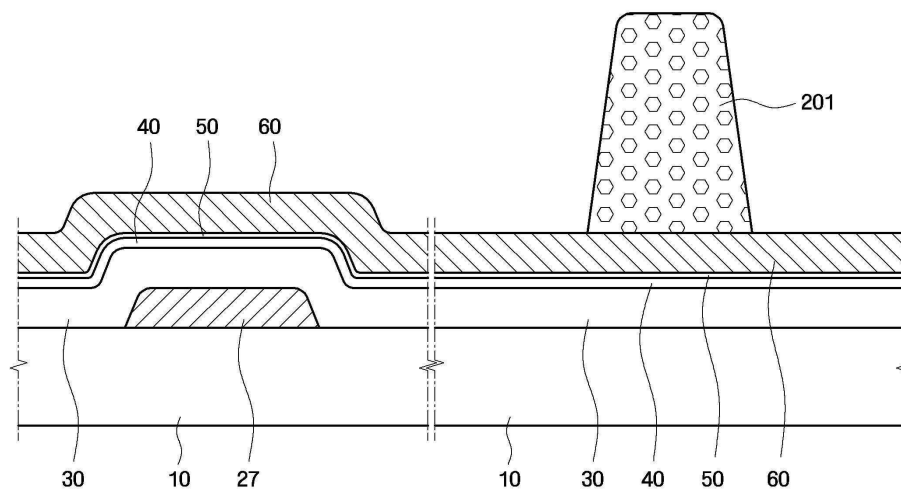
도면5a



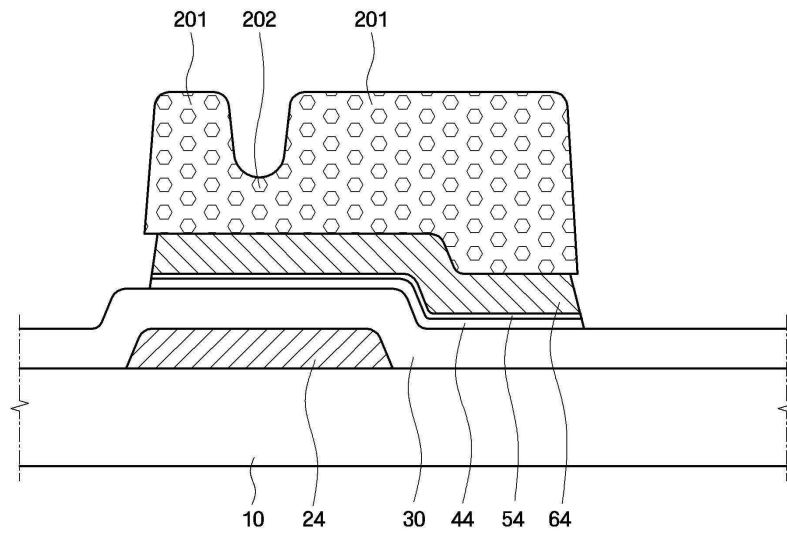
도면5b



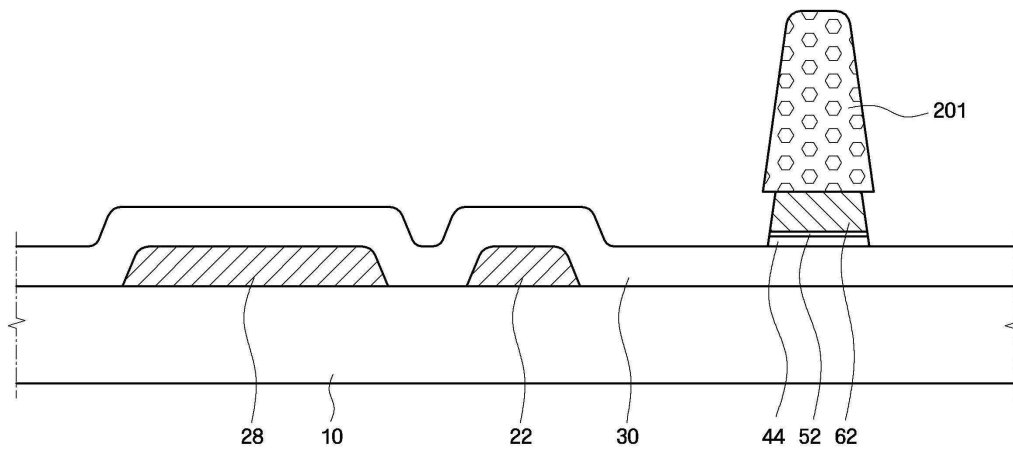
도면5c



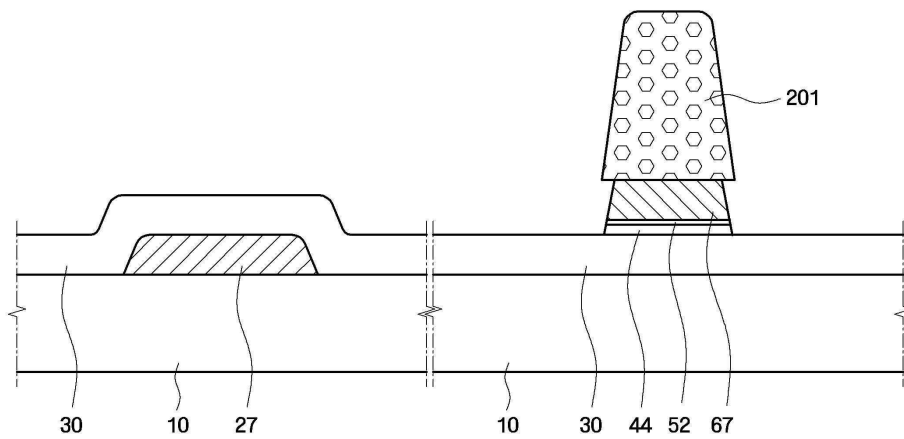
도면6a



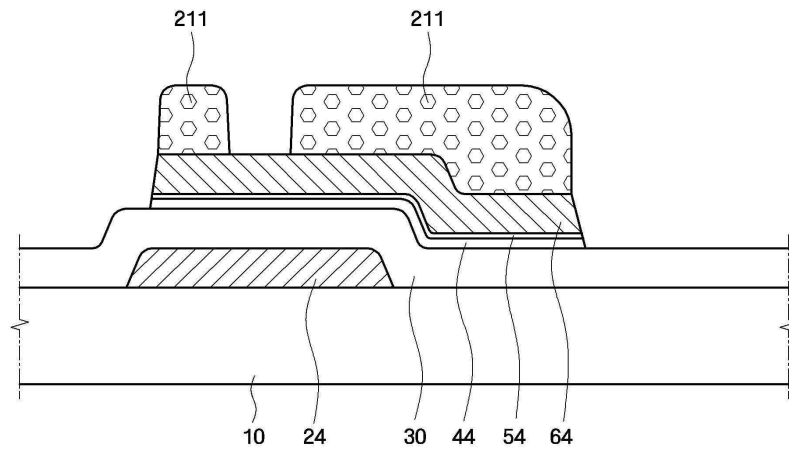
도면6b



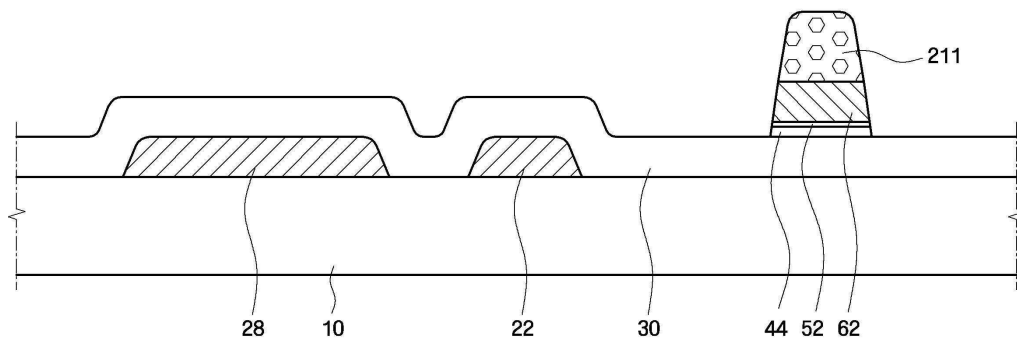
도면6c



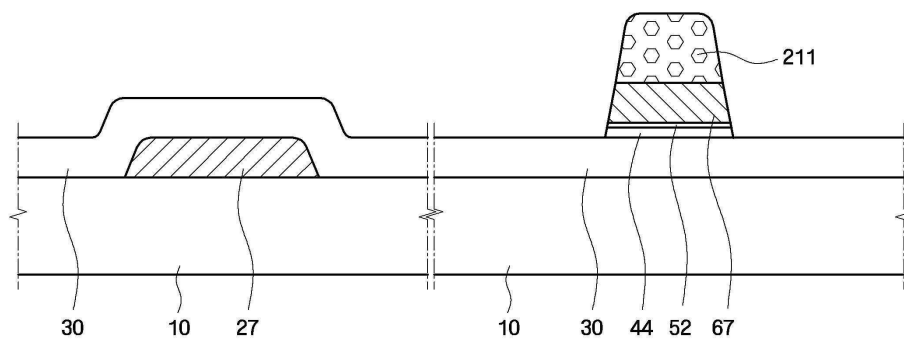
도면7a



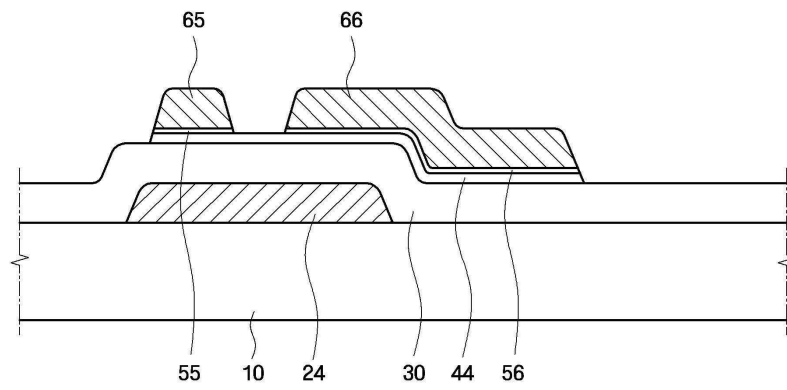
도면7b



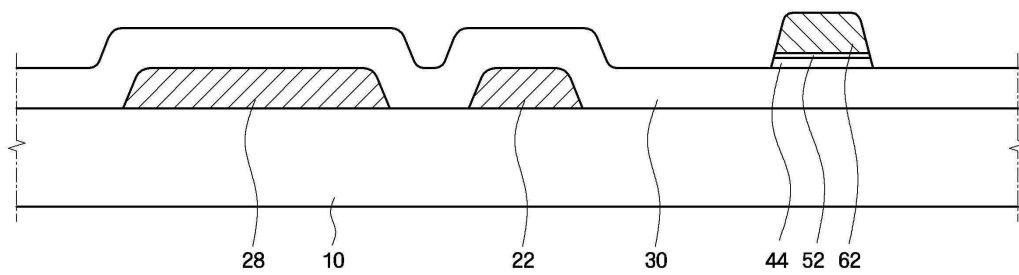
도면7c



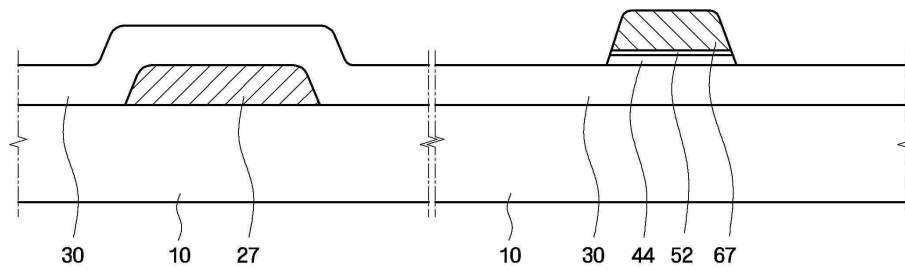
도면8a



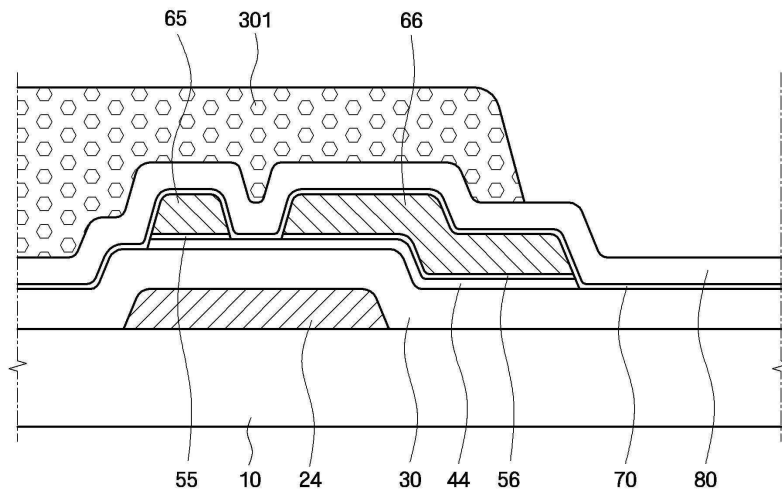
도면8b



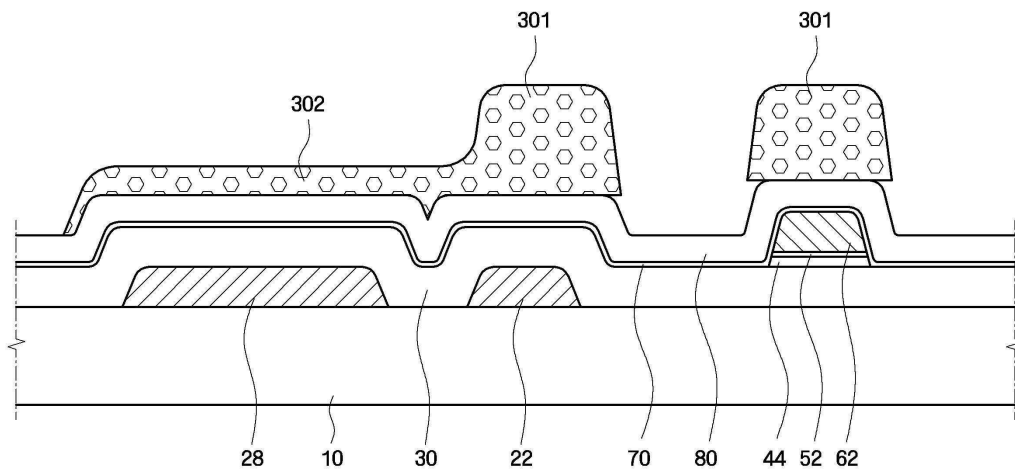
도면8c



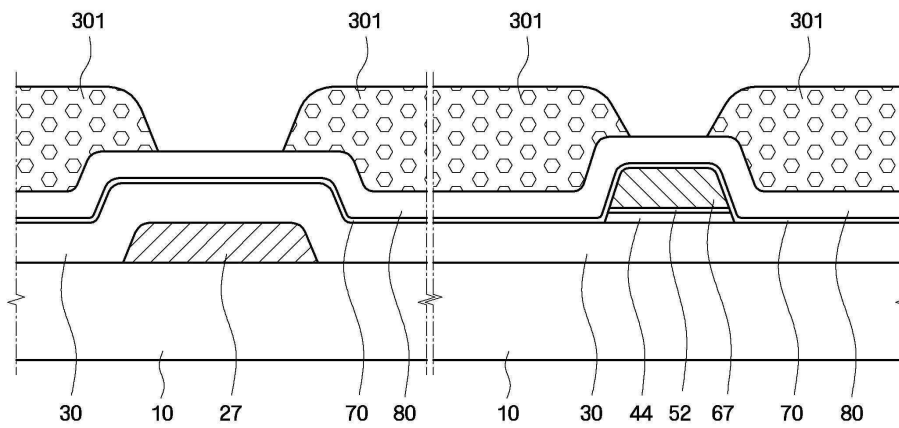
도면9a



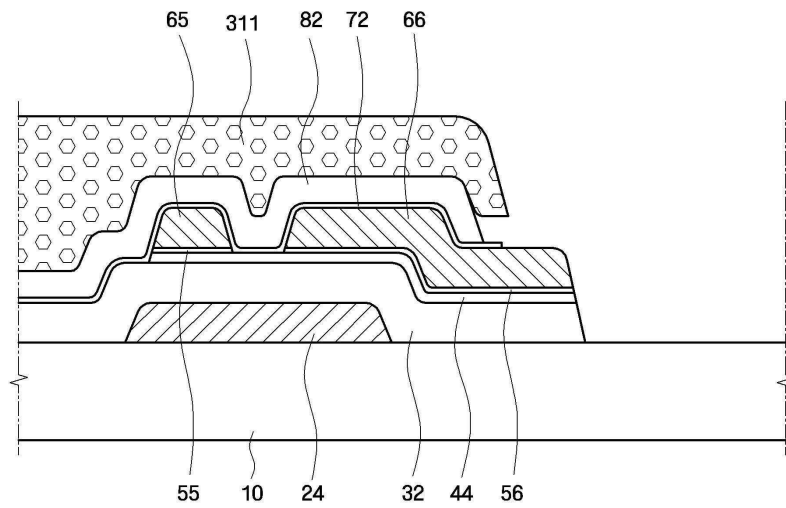
도면9b



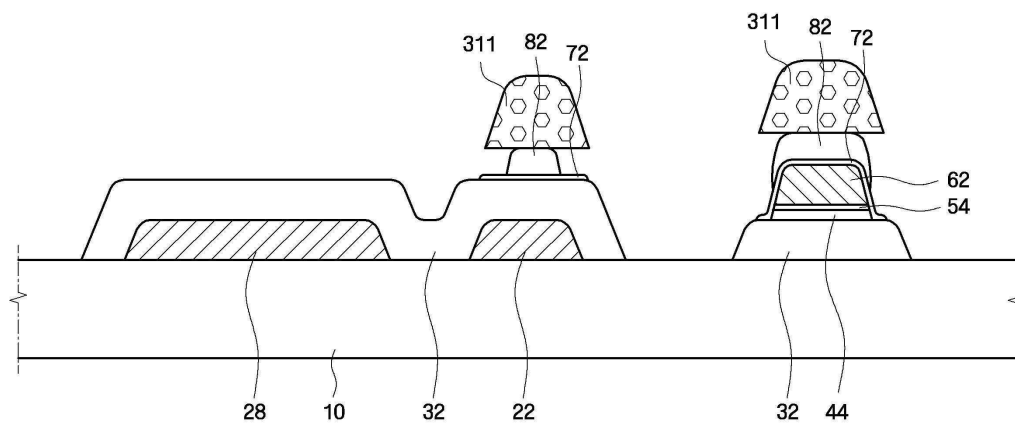
도면9c



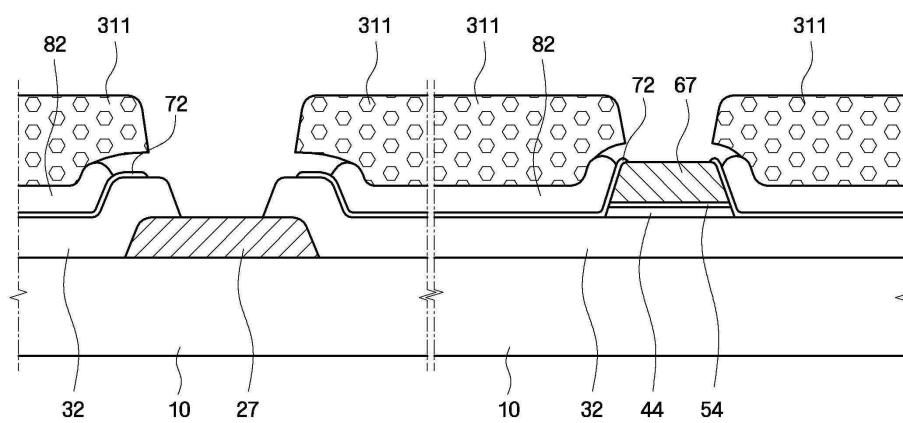
도면10a



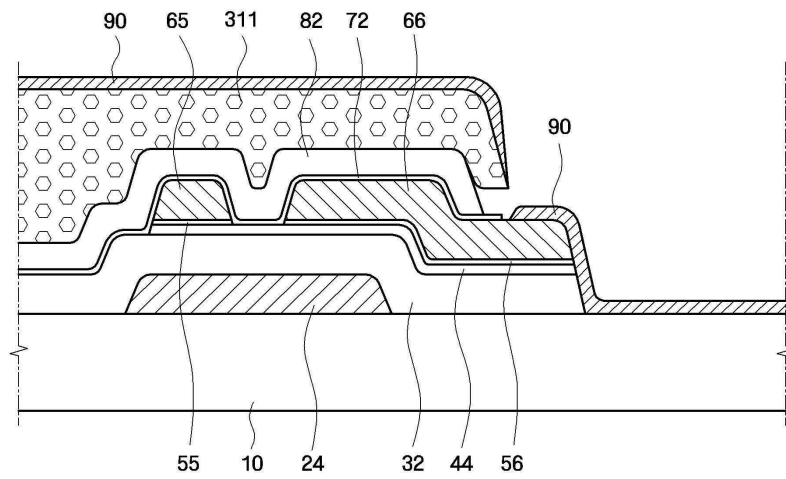
도면10b



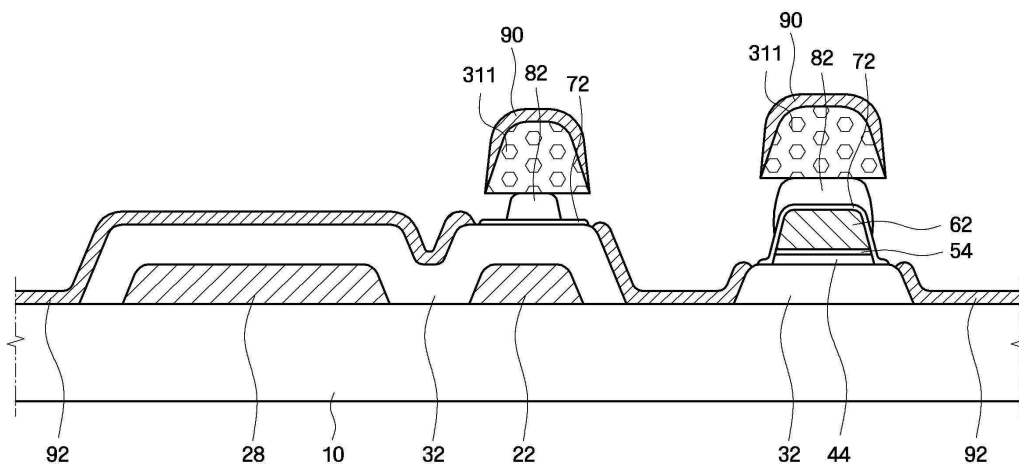
도면10c



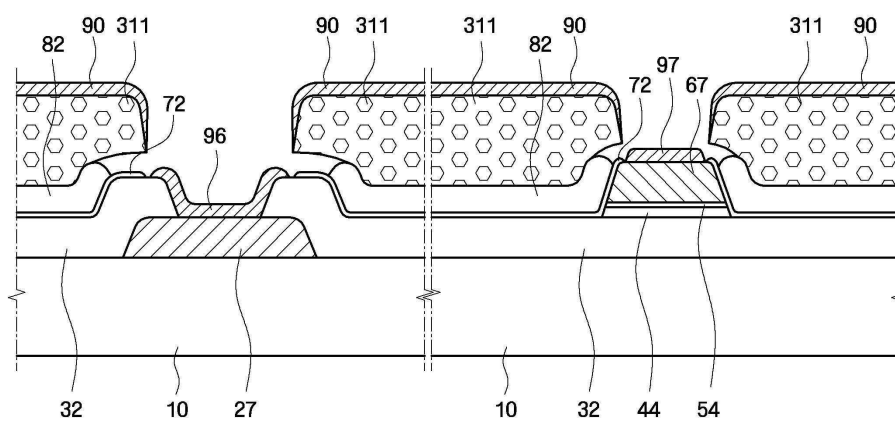
도면11a



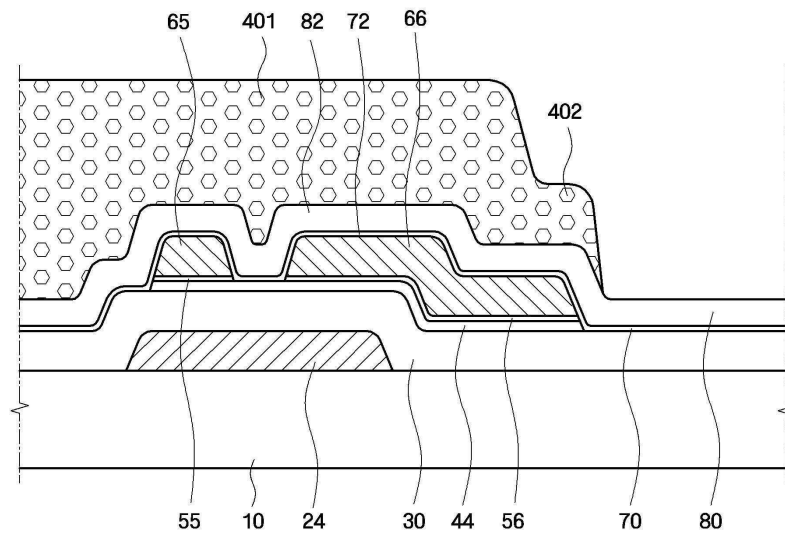
도면11b



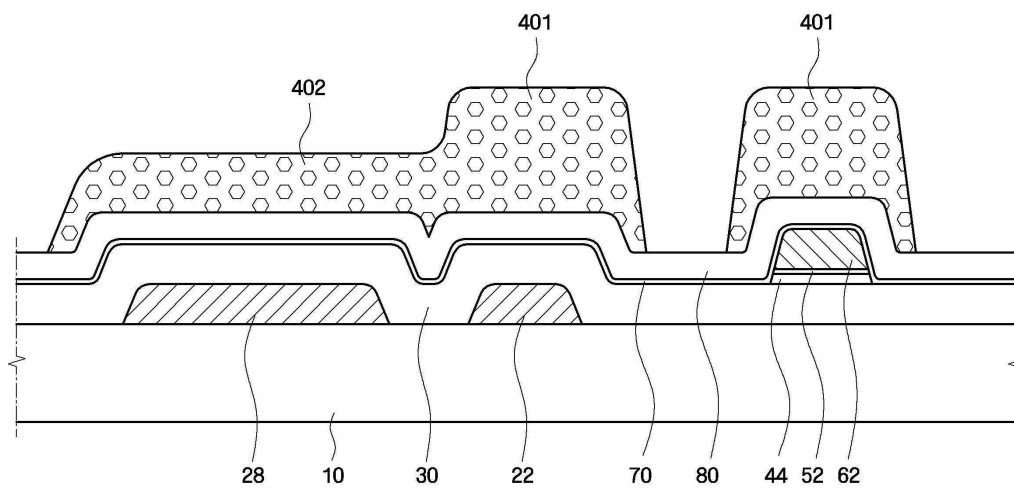
도면11c



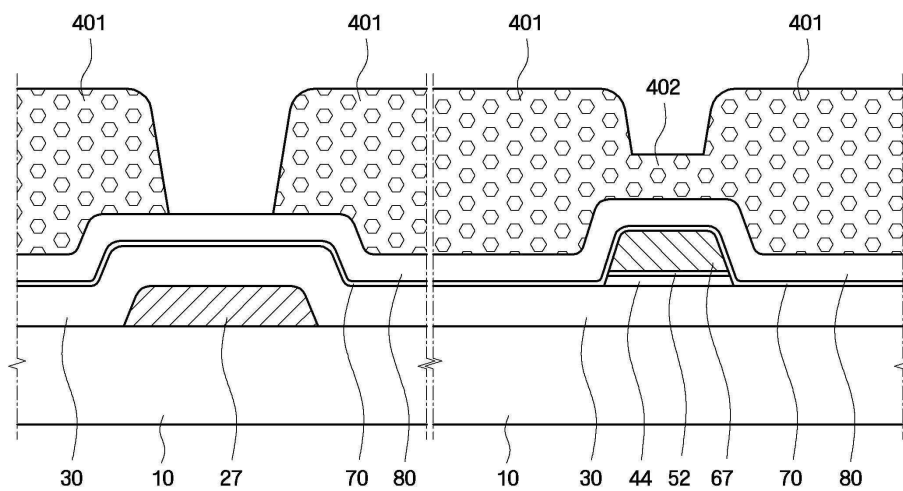
도면12a



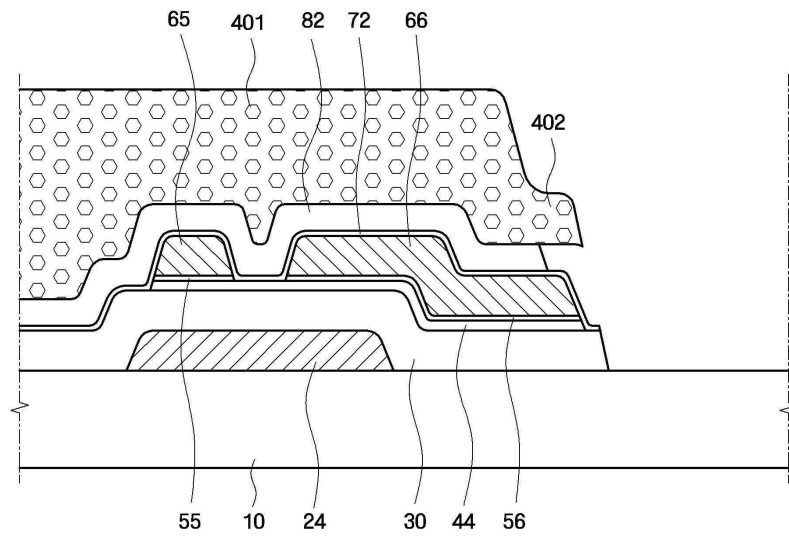
도면12b



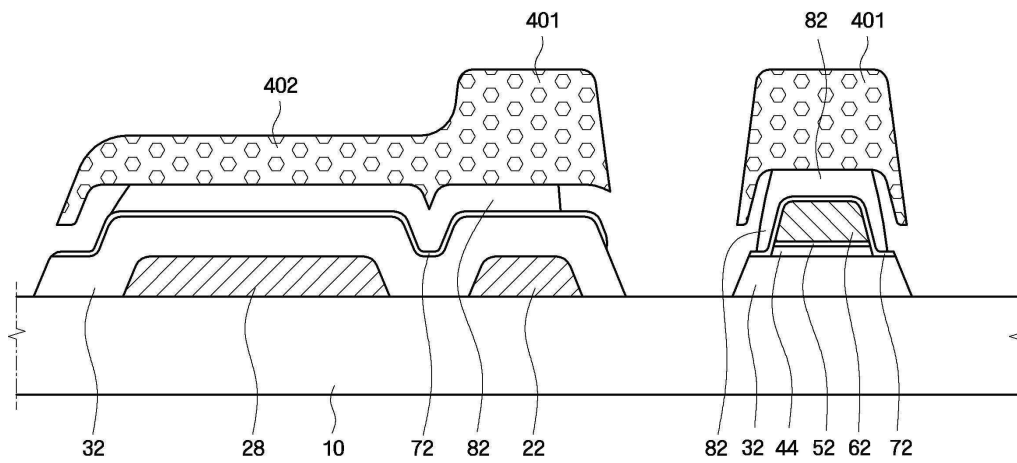
도면12c



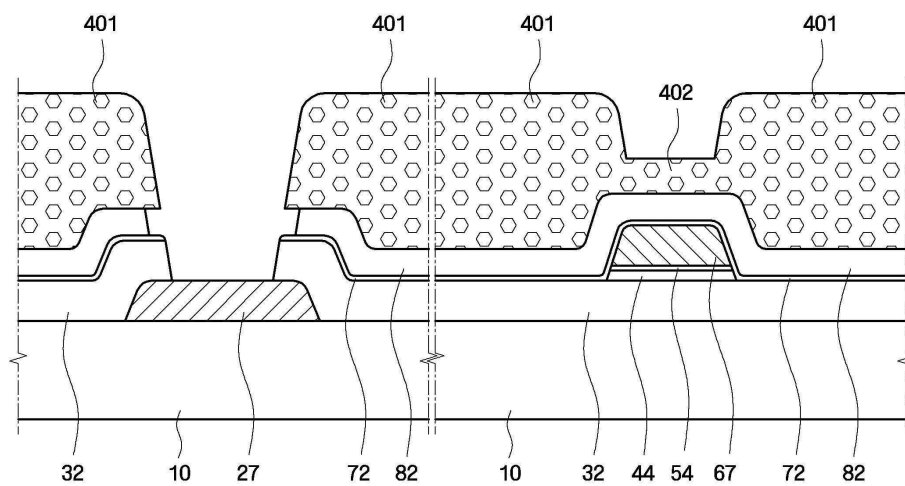
도면13a



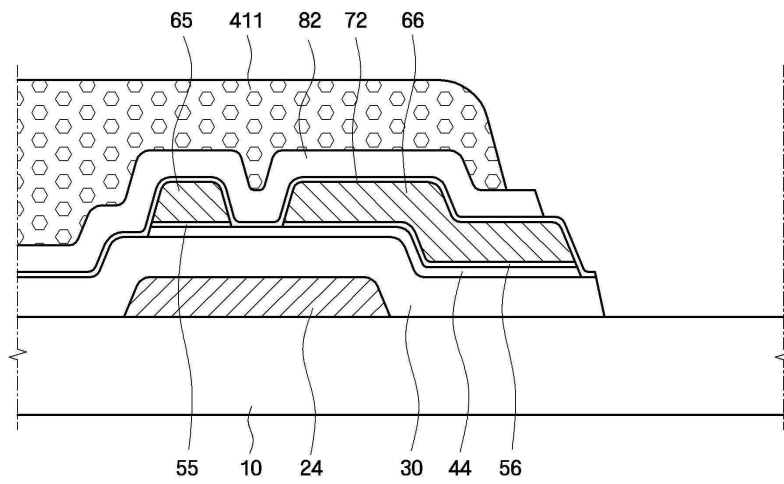
도면13b



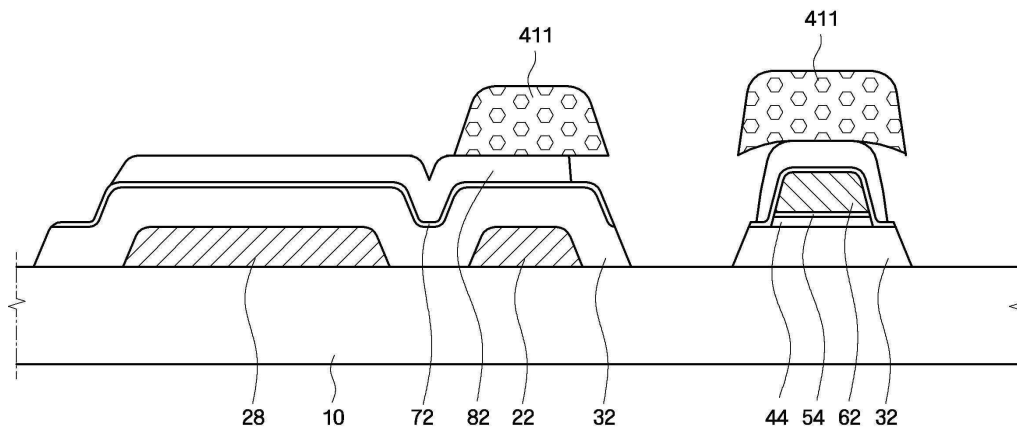
도면13c



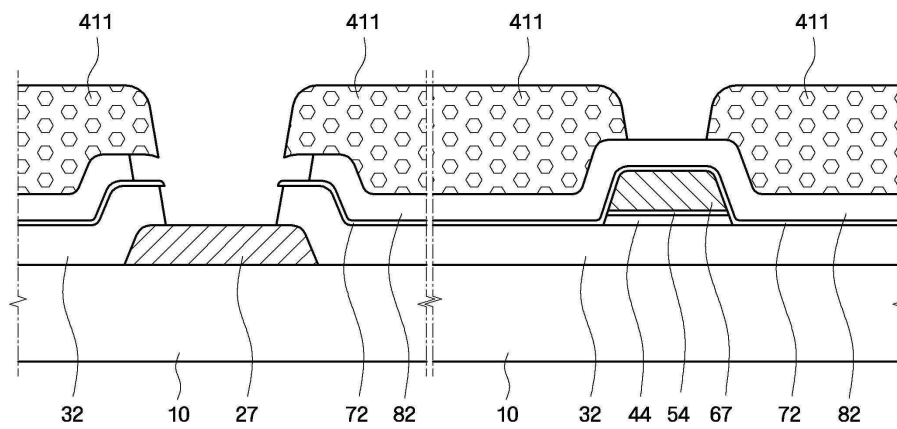
도면14a



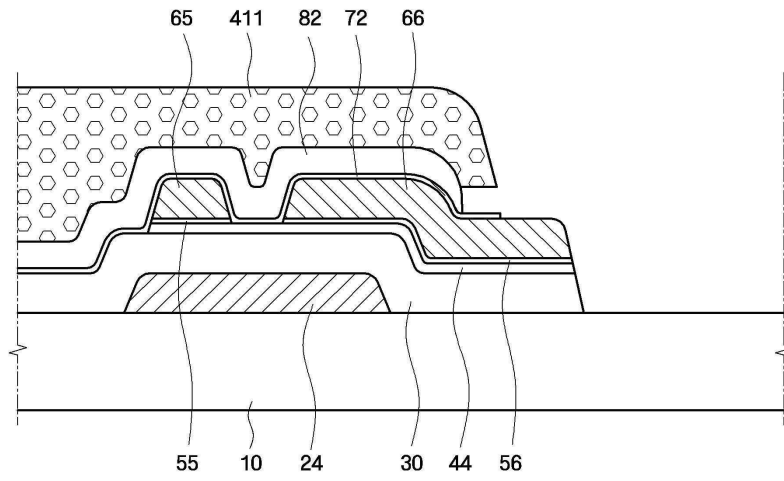
도면14b



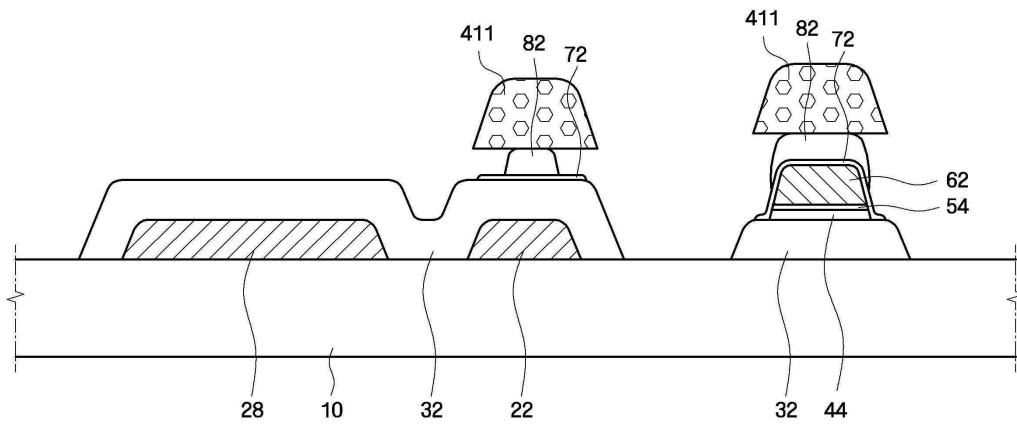
도면14c



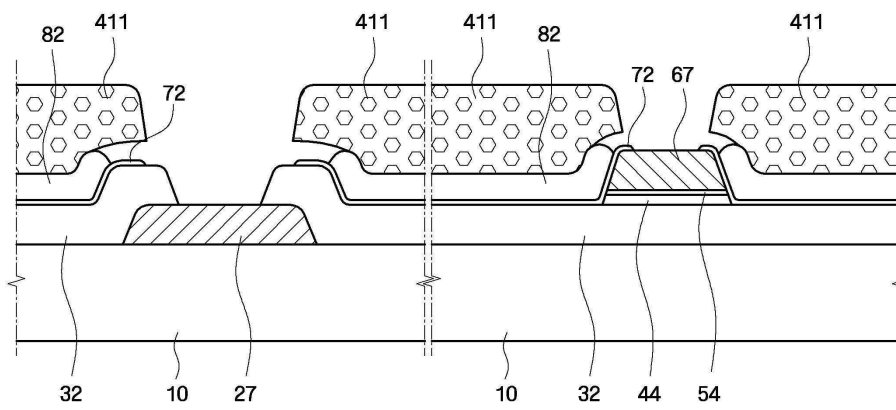
도면15a



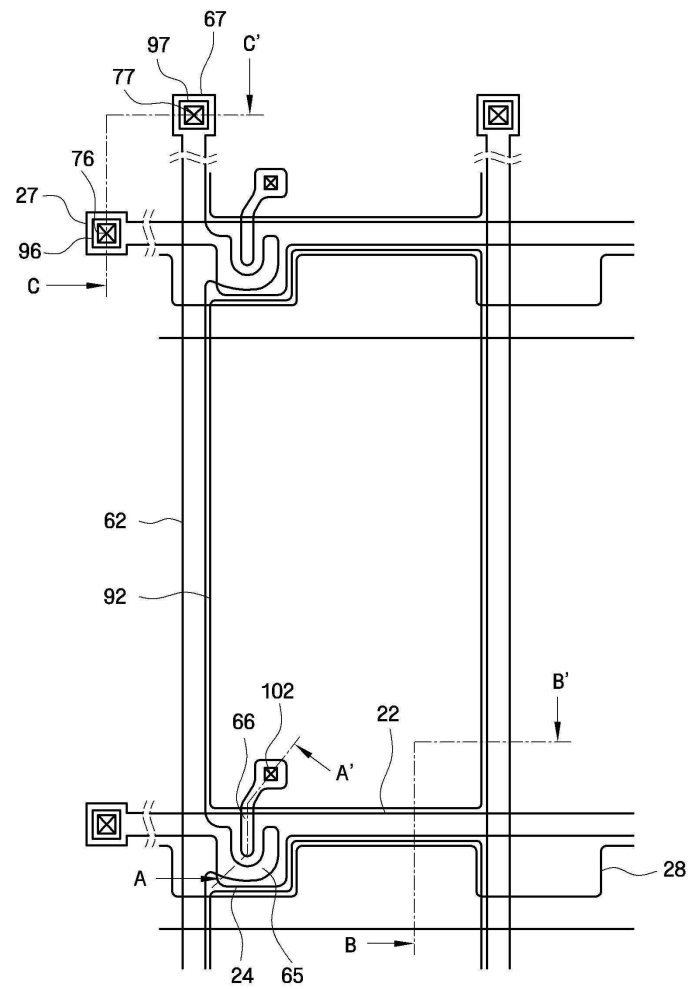
도면15b



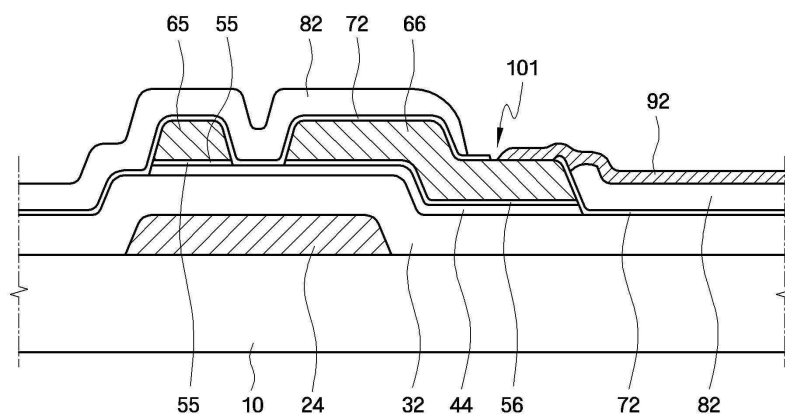
도면15c



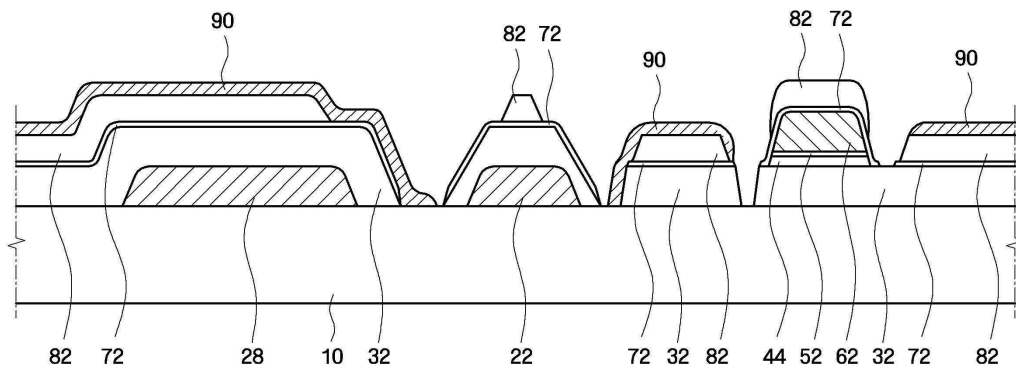
도면16



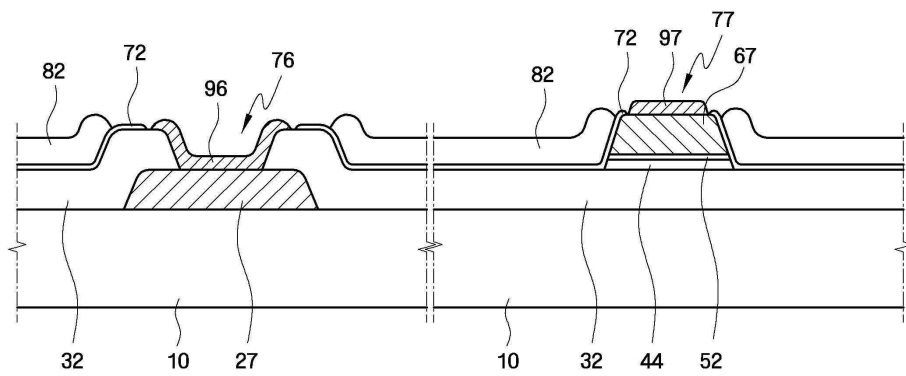
도면17a



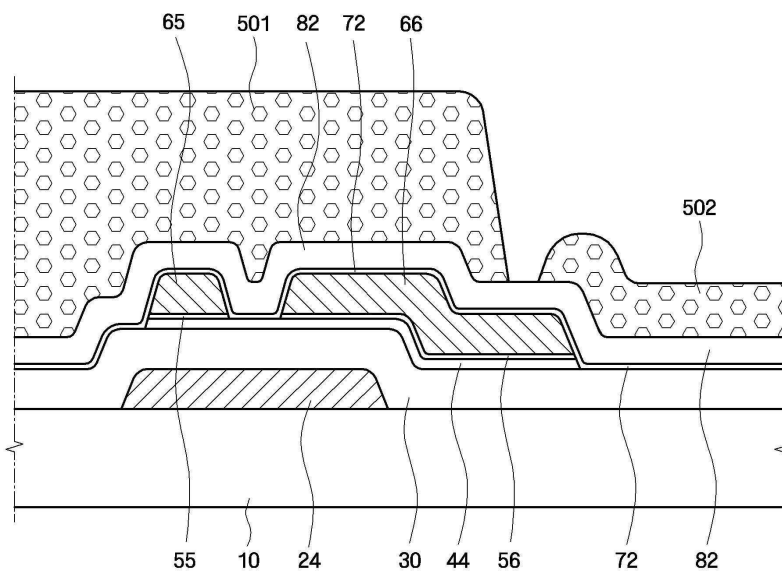
도면17b



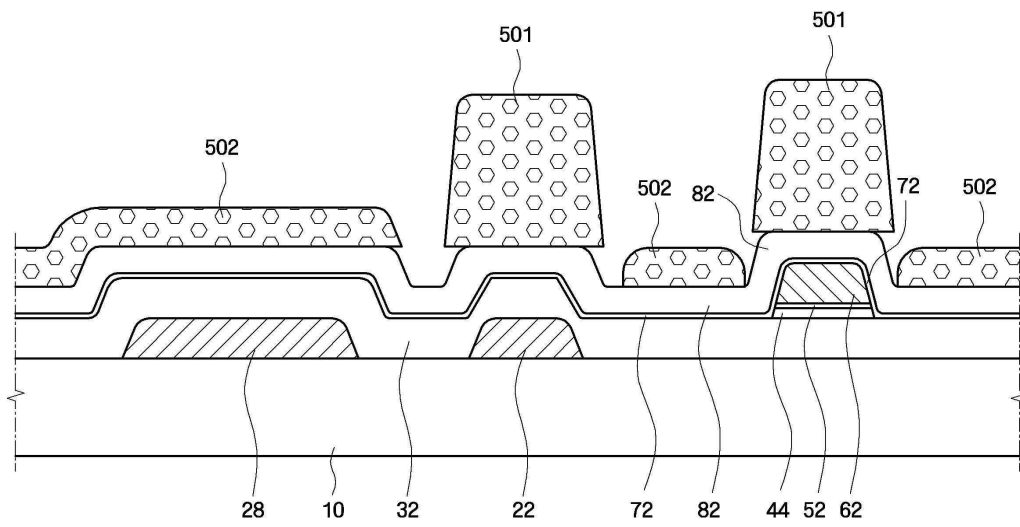
도면17c



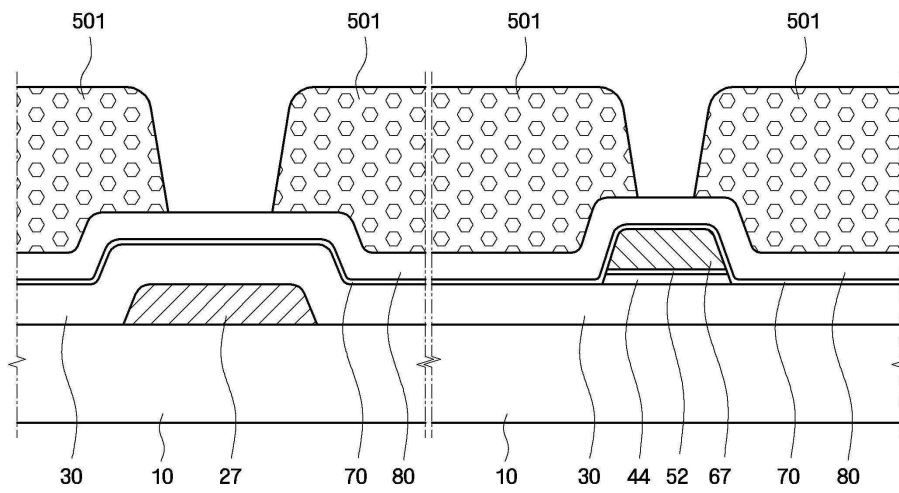
도면18a



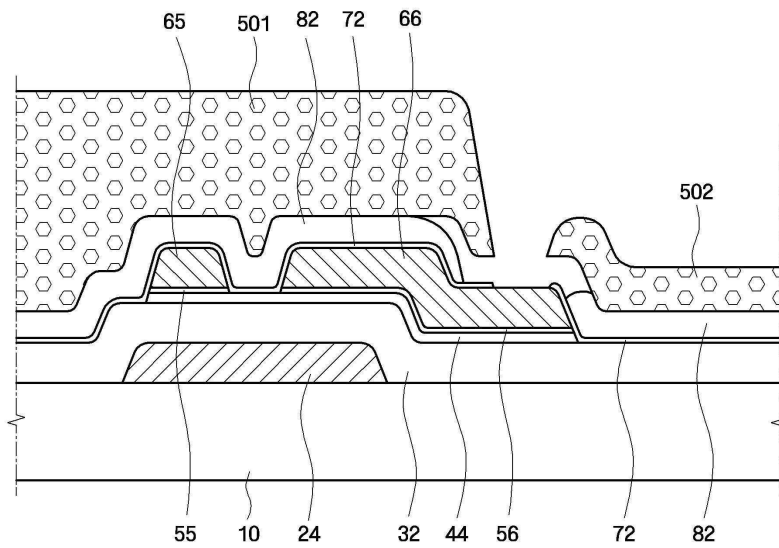
도면18b



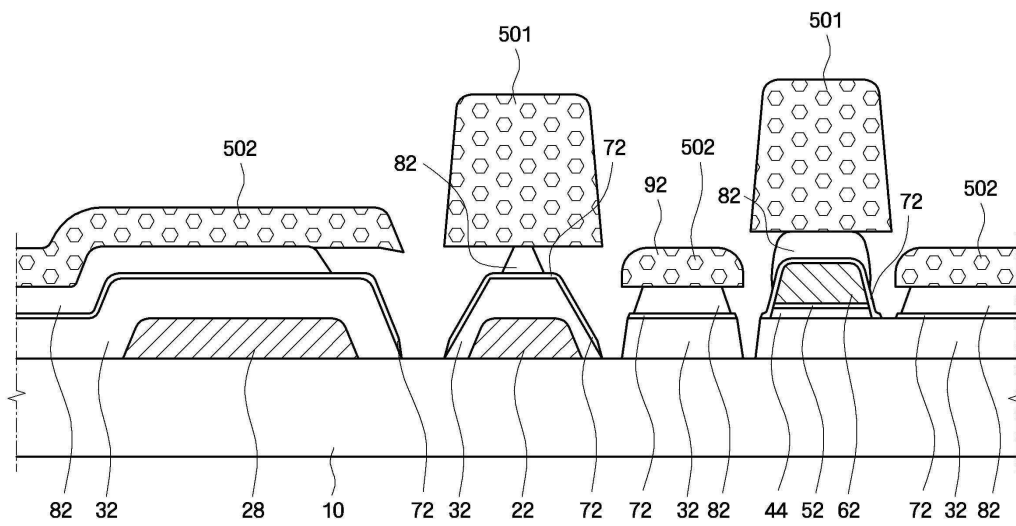
도면18c



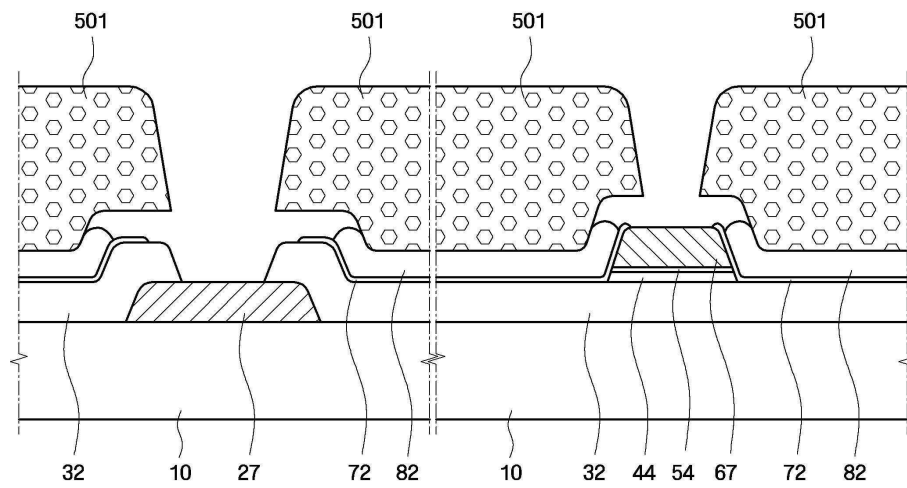
도면 19a



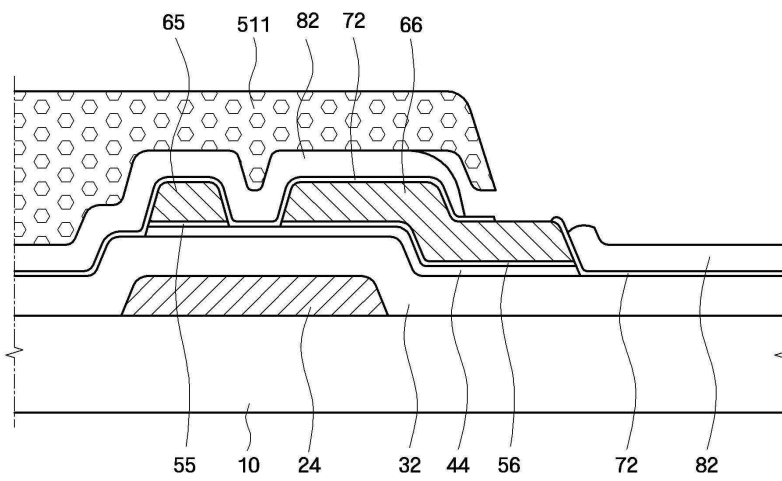
도면 19b



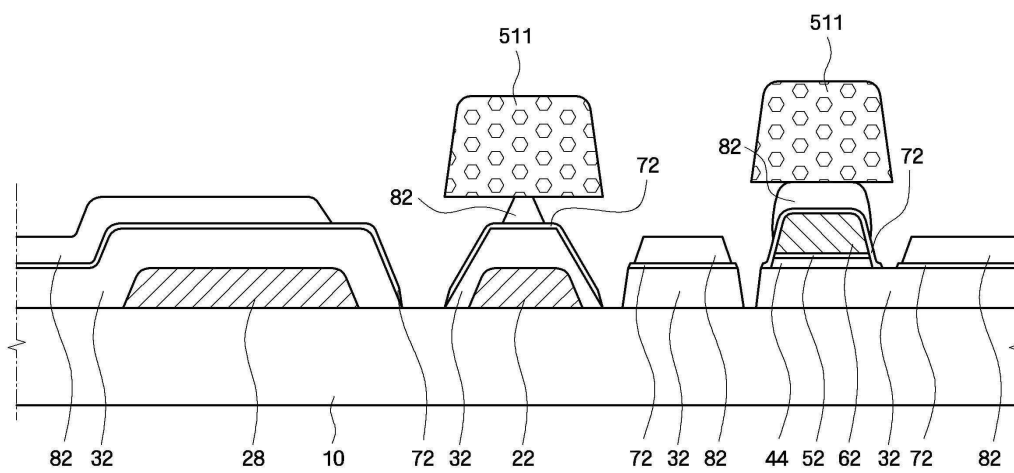
도면19c



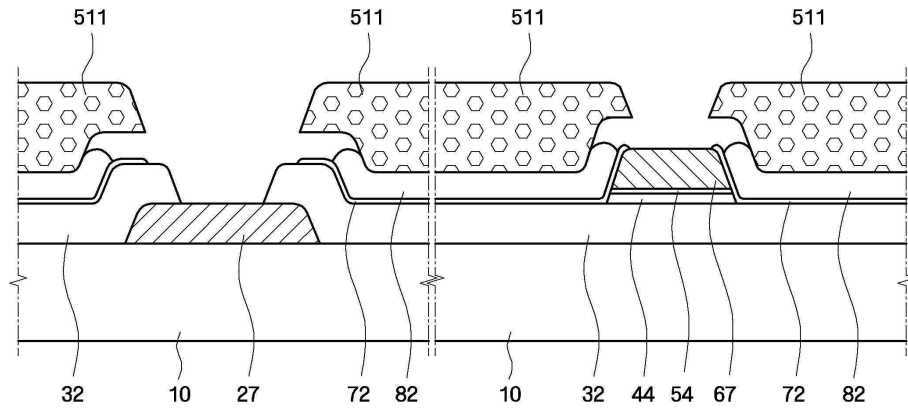
도면20a



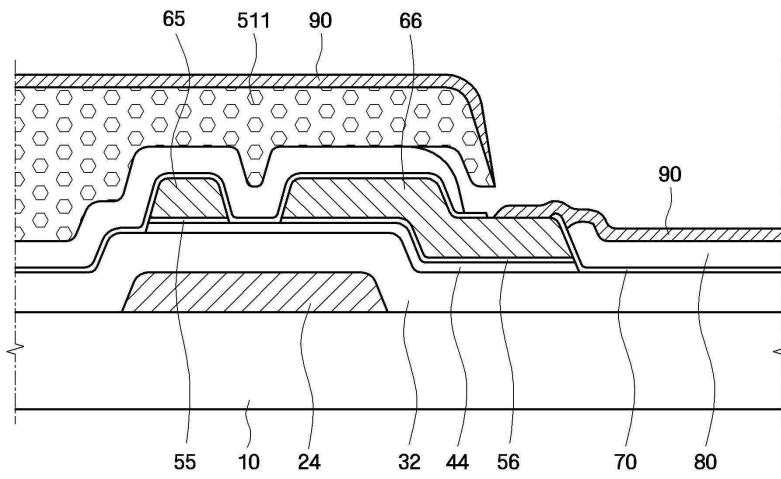
도면20b



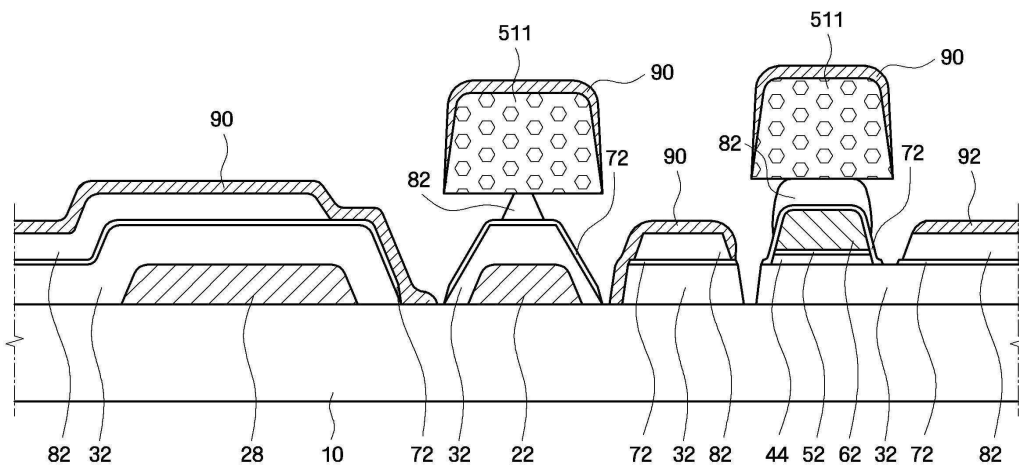
도면20c



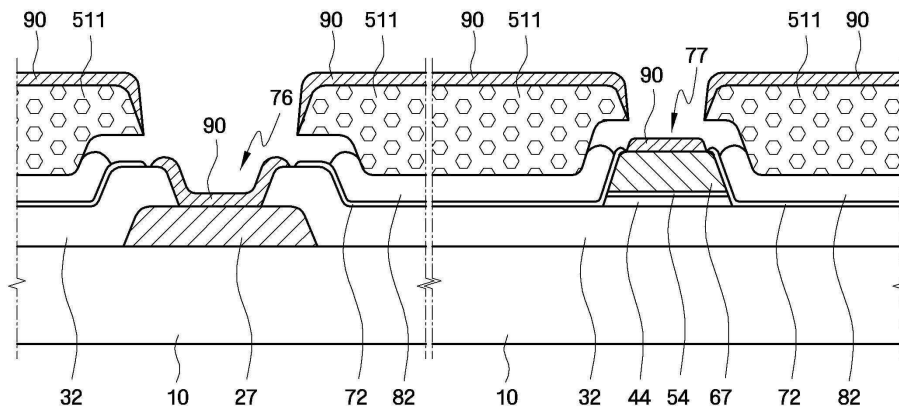
도면21a



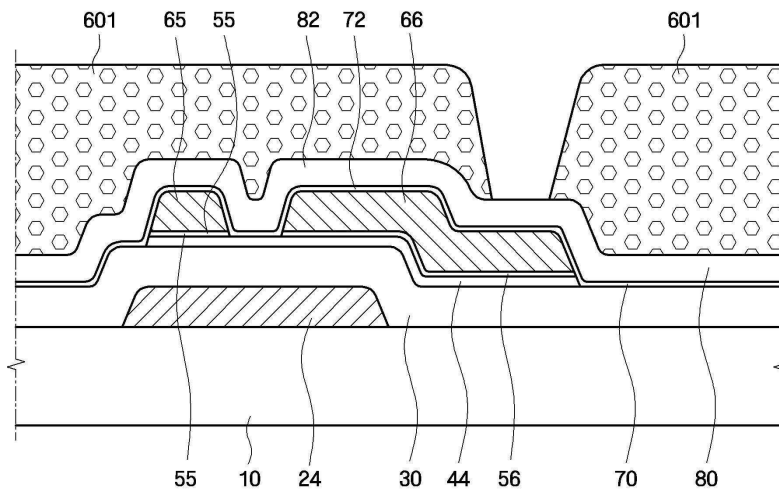
도면21b



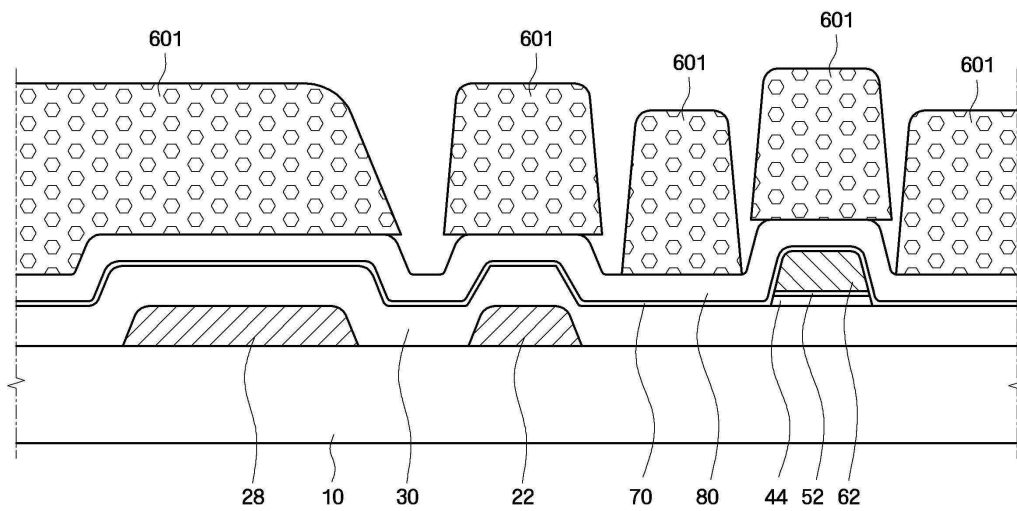
도면21c



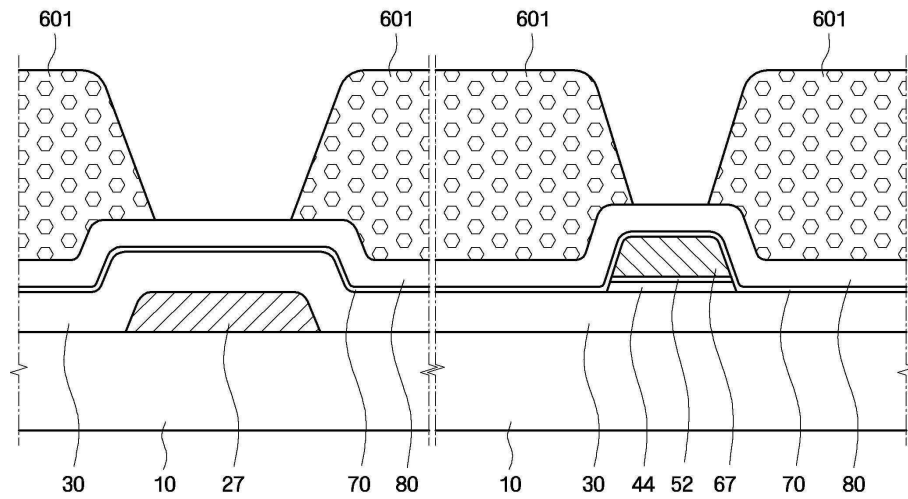
도면22a



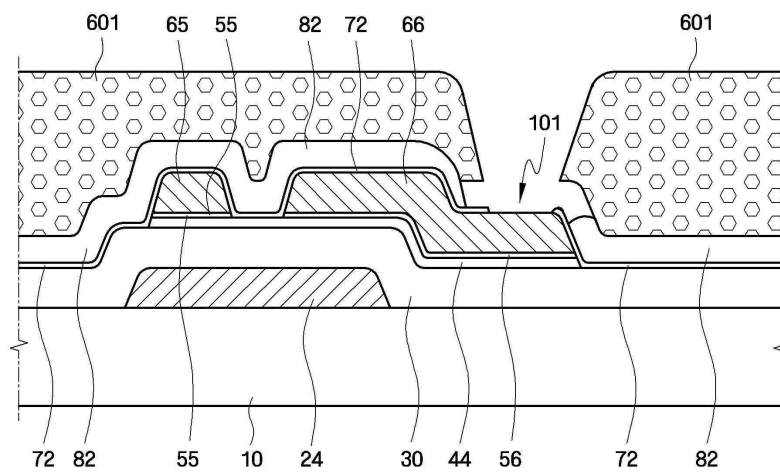
도면22b



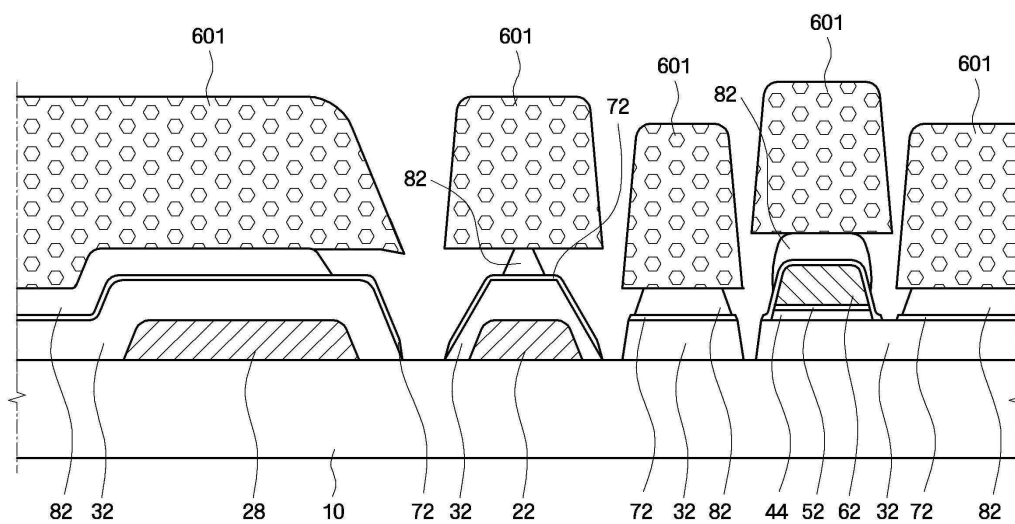
도면22c



도면23a



도면23b



도면23c

