

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
27. August 2015 (27.08.2015)



(10) Internationale Veröffentlichungsnummer
WO 2015/124464 A1

(51) Internationale Patentklassifikation:

H01L 33/00 (2010.01) H01L 33/62 (2010.01)
H01L 33/48 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2015/052761

(22) Internationales Anmeldedatum:
10. Februar 2015 (10.02.2015)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2014 102 292.0
21. Februar 2014 (21.02.2014) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **HERRMANN, Siegfried**; Hauptstr. 24, 94362
Neukirchen (DE). **VON MALM, Norwin**; Stockloher Str.
8, 93152 Nittendorf (DE).

(74) Anwalt: **EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH**;
Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,
SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM,
ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,
SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG,
KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

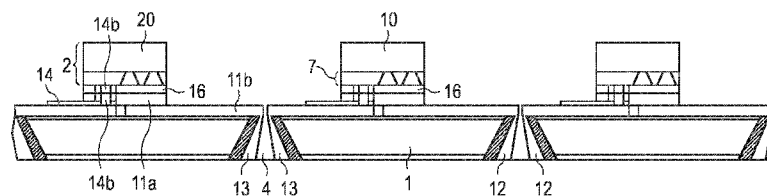
Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: METHOD FOR MANUFACTURING AN OPTO-ELECTRONIC COMPONENT

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG EINES OPTOELEKTRONISCHEN BAUELEMENTS

FIG 5



(57) Abstract: A method for manufacturing an opto-electronic component (100) is given, comprising a provision of a carrier (1) with at least one mounting surface (11), a generation of at least two vias (4) in the carrier (1) with electrically conducting contacts (12, 13) running through the vias (4), a provision of at least one light-emitting semiconductor chip (2), wherein the semiconductor chip (2) comprises a growth substrate (10) and a layer sequence (7) epitaxially grown thereon, a mounting of the at least one semiconductor chip (2) onto the at least one mounting surface (11) of the carrier (1), wherein the semiconductor chip (2) is connected in an electrically conducting manner to the contacts (12, 13) in the same method step during the mounting onto the mounting surface (11), an isolation of the carrier (1) along isolation lines (V), wherein an isolation line (V) runs through at least one of the vias (4), so that, after the isolation, the contacts (12, 13) form contact surfaces (5) at least one side surface (1a) of the carrier (1), wherein the side surface (1a) is perpendicular to the mounting surface (11) of the carrier (1), and a mounting of the carrier (1) with the contact surfaces (5) on a connection plate (8), wherein the mounting surface (11) is perpendicular to the connection plate (8).

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

WO 2015/124464 A1



Es wird ein Verfahren zur Herstellung eines optoelektronischen Bauelements (100) angegeben, umfassend ein Bereitstellen eines Trägers (1) mit zumindest einer Montagefläche (11), ein Erzeugen von zumindest zwei Durchkontaktierungen (4) in dem Träger (1) mit in den Durchkontaktierungen (4) verlaufenden elektrisch leitenden Kontakten (12, 13), ein Bereitstellen zumindest eines Licht emittierenden Halbleiterchips (2), wobei der Halbleiterchip (2) ein Aufwachssubstrat (10) und eine darauf epitaktisch gewachsene Schichtenfolge (7) umfasst, ein Montieren des zumindest einen Halbleiterchips (2) auf die zumindest eine Montagefläche (11) des Trägers (1), wobei der Halbleiterchip (2) beim Montieren auf die Montagefläche (11) im selben Verfahrensschritt elektrisch leitend mit den Kontakten (12, 13) verbunden wird, ein Vereinzeln des Trägers (1) entlang von Vereinzellungslinien (V), wobei eine Vereinzellungslinie (V) durch zumindest eine der Durchkontaktierungen (4) verläuft, so dass nach dem Vereinzeln die Kontakte (12, 13) Kontaktflächen (5) an zumindest einer Seitenfläche (1a) des Trägers (1) bilden, wobei die Seitenfläche (1a) senkrecht zur Montagefläche (11) des Trägers (1) ist, und eine Montage des Trägers (1) mit den Kontaktflächen (5) auf einer Anschlussplatte (8), wobei die Montagefläche (11) senkrecht zu der Anschlussplatte (8) steht.

Beschreibung

Verfahren zur Herstellung eines optoelektronischen Bauelements

5

Die Erfindung betrifft ein Verfahren zur Herstellung eines optoelektronischen Bauelements.

10 Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2014 102 292.0, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Bei der Herstellung von optoelektronischen Bauelementen können Halbleiterchips auf einen Träger aufgebracht werden, 15 um eine ausreichende Stabilität des Bauelements zu gewährleisten. Zur elektrischen Kontaktierung des Halbleiterchips können Durchkontaktierungen durch den Träger geführt werden, sodass eine elektrische Kontaktierung von der von dem Halbleiterchip abgewandten Seite des Trägers 20 ermöglicht wird. Bei Trägern, die mit ihrer Seite auf eine Platine montiert werden, um eine seitliche Abstrahlung des Halbleiterchips bezüglich der Platine zu erreichen, ist es schwierig, eine flache Bauform mit einer geringen Höhe über der Platine zu erzielen. Eine flache Bauform zeichnet sich 25 durch eine gute Wärmeableitung vom Halbleiterchip in das Bauteil aus.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung eines verbesserten optoelektronischen Bauelements 30 anzugeben, bei dem das optoelektronische Bauelement Licht emittiert und besonders flach ausgebildet wird.

Diese Aufgabe wird durch ein Verfahren gemäß dem unabhängigen Patentanspruch gelöst. Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind Gegenstand der abhängigen Ansprüche.

5

Gemäß zumindest einer Ausführungsform eines Verfahrens zur Herstellung eines optoelektronischen Bauelements umfasst das Verfahren ein Bereitstellen eines Trägers mit zumindest einer Montagefläche.

10

Bei dem Träger kann es sich vorzugsweise um einen Si-Wafer handeln. Der Träger weist vorteilhaft eine sehr gute Wärmeleitfähigkeit und mechanische Stabilität auf, wodurch die Lebensdauer und die Zuverlässigkeit des Bauelements gesteigert wird. Mit anderen Worten ist der Träger selbsttragend und stellt eine stabile Montage- und/oder Trägergrundlage für einen Halbleiterchip dar.

15

Vorteilhaft befindet sich an einer Oberseite des Trägers eine Montagefläche, welche für die Montage eines weiteren

20

Bauelements, beispielsweise eines Halbleiterchips, eingerichtet ist.

In einem weiteren Schritt umfasst das Verfahren ein Erzeugen von zumindest zwei Durchkontaktierungen in dem Träger mit in den Durchkontaktierungen verlaufenden elektrisch leitenden Kontakten.

25

In einem Verfahrensschritt werden in den Träger

Durchkontaktierungen, vorzugsweise zumindest zwei

30

Durchkontaktierungen, in Form von Durchbrüchen durch den Träger eingebracht. Die Durchbrüche durchdringen den Träger in vertikaler Richtung vollständig. Die Durchbrüche können beispielsweise keilförmig ausgebildet sein, wodurch die

Ausnehmung im Träger durch einen Durchbruch auf einer Trägerseite größer ist als auf der anderen. Weiterhin können die Durchbrüche vorteilhaft jeweils in einem Randbereich des Trägers ausgebildet sein. Die Durchbrüche sind lateral
5 voneinander beabstandet. Die Durchbrüche des Trägers sind ferner lateral beabstandet von einem Montagebereich des Halbleiterchips angeordnet. Die Durchbrüche sind elektrisch voneinander isoliert. Die Durchbrüche sind beispielsweise durch Laserstrahlen, Stanzen, Bohren oder Ätzen des Trägers,
10 vorteilhaft durch ein Nassätzverfahren, hergestellt.

Um den Träger elektrisch zu isolieren wird eine Passivierung umfassend ein Isolatormaterial auf den Träger und innerhalb der Durchkontaktierungen aufgebracht. Somit wird für ein
15 Ausbilden von elektrischen Leiterbahnen und Kontakten auf dem Träger und in den Durchkontaktierungen ein Kurzschluss durch den Träger vermieden.

Über die Durchkontaktierungen ist die Oberseite des Trägers,
20 und somit die Montagefläche von einer der Montagefläche abgewandten Seite des Trägers her elektrisch kontaktierbar, wobei durch jede Durchkontaktierung ein elektrisch leitender Kontakt verläuft. Beispielsweise werden die Kontakte galvanisch in die mit einem Isolatormaterial überzogenen
25 Durchbrüche eingebracht. Die Kontakte der Durchkontaktierungen bilden vorteilhaft Kontaktpads auf einer Ober- und einer Unterseite des Trägers.

Durch die Anwendung der Durchkontaktierungen ist es
30 vorteilhaft möglich den Träger besonders dick auszubilden, wobei sich „dick“ auf die Ausdehnung des Trägers in Längsrichtung der Durchkontaktierungen, d.h. in Richtung senkrecht zur Montagefläche bezieht.

In einem weiteren Verfahrensschritt erfolgt ein Bereitstellen
zumindest eines Licht emittierenden Halbleiterchips, wobei
der Halbleiterchip ein Aufwachssubstrat und eine darauf
5 epitaktisch gewachsene Schichtenfolge umfasst.

Die Halbleiterschichtenfolge enthält eine aktive Schicht. Das
Aufwachssubstrat ist vorzugsweise lichtdurchlässig und kann
beispielsweise mit Saphir gebildet sein oder aus Saphir
10 bestehen.

Der Halbleiterchip weist vorzugsweise eine einseitige
Kontaktierung auf. Die dem Aufwachssubstrat zugewandte Seite
der Halbleiterschichtenfolge weist damit vorteilhaft keinen
15 elektrischen Kontaktbereich auf, sodass durch diese Seite
eine effiziente Strahlungsauskopplung erzielt werden kann,
wobei vorteilhaft an dieser Seite keine Abschattungs- oder
Absorptionseffekte an Kontakten auftreten. Der Halbleiterchip
ist bevorzugt eine Leuchtdiode, beispielsweise eine Flip-
20 Chip-LED. Bei einer Flip-Chip-LED ist die elektrische
Kontaktierung des Halbleiterchips insbesondere einseitig
ausgebildet.

Gemäß eines weiteren Verfahrensschrittes erfolgt ein
25 Montieren des zumindest einen Halbleiterchips auf die
zumindest eine Montagefläche des Trägers, wobei der
Halbleiterchip beim Montieren auf die Montagefläche im selben
Verfahrensschritt elektrisch leitend mit den Kontakten
verbunden wird.

30

Der wenigstens eine Halbleiterchip wird vorteilhaft auf der
Montagefläche des Trägers angeordnet. Der Halbleiterchip wird
so angeordnet, dass er von den Durchkontaktierungen in dem

Träger beabstandet ist. In Draufsicht auf den Träger gesehen kann der Halbleiterchip beispielsweise in einem Bereich zwischen den Durchkontaktierungen angeordnet sein. Das Montieren des Halbleiterchips erfolgt vorzugsweise mit einem
5 Übertragungsverfahren, beispielsweise in einem Chip-to-Wafer Prozess.

Die Schichten der Halbleiterschichtenfolge, beispielsweise p- und n-Schichten, können vorteilhaft mittels in die
10 Halbleiterschichtenfolge hineinreichender Kontakte von einer dem Aufwachssubstrat gegenüberliegenden Seite der Halbleiterschichtenfolge kontaktiert werden. Die Kontaktbereiche der Halbleiterschichtenfolge, welche sich vorzugsweise an einer dem Aufwachssubstrat gegenüberliegenden
15 Seite der Halbleiterschichtenfolge befinden, können vorteilhaft spiegelnd ausgebildet sein. Dadurch wird die Reflexion des emittierten Lichts in Richtung einer Abstrahlseite der Halbleiterschichtenfolge, weg von den Kontaktbereichen, erhöht. Auch andere Chipausführungen und
20 Kontaktierungen sind denkbar.

Insbesondere werden Kontaktbereiche des zumindest einen Halbleiterchips mit den Kontakten der Durchkontaktierungen elektrisch leitenden verbunden. Der Halbleiterchip wird
25 beispielsweise mit Hilfe eines Lotmaterials elektrisch leitend und mechanisch mit einer Montageplatte auf der Montagefläche des Trägers verbunden. Das Lotmaterial kann beispielsweise Gold (Au) und/oder Zinn (Sn) aufweisen. Alternativ dazu kann der Halbleiterchip auch mittels
30 Thermokompression, beispielsweise mit Kupfer-Zinn (Cu-Sn), oder Kleben mit der Montageplatte verbunden werden. Somit kann vorteilhaft eine thermisch und elektrisch sehr gute

Verbindung zwischen Halbleiterchip und Träger erreicht werden.

5 Zur Kontaktierung des Halbleiterchips kann vorteilhaft der Träger mit elektrisch leitenden Leiterbahnen beschichtet werden. Bei einer vorteilhaft einseitigen Kontaktierung des Halbleiterchips auf dessen dem Träger zugewandten Unterseite können voneinander isolierte Leiterbahnen vom Halbleiterchip zu den Durchkontaktierungen geführt werden. Beim Montieren
10 des Halbleiterchips wird beispielsweise der Halbleiterchip mit den Kontaktbereichen auf den Leiterbahnen aufgesetzt und somit gleichzeitig mit den Kontakten der Durchkontaktierungen verbunden. Grundsätzlich ist auch eine beliebige Anordnung von Leiterbahnen möglich, die am Halbleiterchip für beide
15 Polaritäten einen Kontaktzugang von den Durchkontaktierungen über den Träger ermöglicht.

In einem weiteren Verfahrensschritt erfolgt ein Vereinzeln des Trägers entlang von Vereinzelungslinien, wobei eine
20 Vereinzelungslinie durch zumindest eine der Durchkontaktierungen verläuft, so dass nach dem Vereinzeln die Kontakte Kontaktflächen an zumindest einer Seitenfläche des Trägers bilden, wobei die Seitenfläche senkrecht zur Montagefläche des Trägers ist.

25 Die Vereinzelungslinien, entlang welcher der Träger in Trägerstücke vereinzelt wird, verlaufen vorteilhaft durch die Durchkontaktierungen, insbesondere verläuft jede Vereinzelungslinie durch zumindest eine Durchkontaktierung.
30 Die Kontakte verlaufen vorteilhaft so durch die Durchkontaktierungen, dass die Seitenwände der Durchkontaktierung zumindest stellenweise von den Kontakten

bedeckt werden. Es kann auch ein Kontakt die Durchkontaktierung vollständig füllen.

Nach dem Vereinzeln bildet der Kontakt vorteilhaft eine
5 Kontaktfläche an zumindest einem Teilbereich einer
Seitenfläche des Trägers, welche senkrecht zur Montagefläche
des Trägers ist. Für den Fall, dass sich innerhalb einer
Durchkontaktierung zwei Vereinzellungslinien kreuzen, bildet
nach dem Vereinzeln der Kontakt vorteilhaft gleichzeitig
10 Kontaktflächen an zwei Seitenflächen des Trägers, welche
senkrecht zur Montagefläche des Trägers sind.

Das Verfahren umfasst weiterhin eine Montage des Trägers mit
den Kontaktflächen auf einer Anschlussplatte, wobei die
15 Montagefläche senkrecht zu der Anschlussplatte steht.

Der vereinzelt Träger mit den Kontaktflächen wird
vorteilhaft mit einer Seitenfläche auf einer Anschlussplatte
montiert, wobei nach der Montage die Montagefläche des
20 Trägers, auf welcher der Halbleiterchip montiert ist,
senkrecht zur Anschlussplatte steht. Mit anderen Worten kann
somit eine Lichtemission seitlich zur vertikalen Richtung auf
die Anschlussplatte realisiert werden. Die Seitenfläche des
Trägers liegt dabei vorteilhafterweise in ihrer gesamten
25 Fläche auf der Anschlussplatte auf.

Gemäß einer Ausführungsform des Verfahrens wird der
Halbleiterchip so auf dem Träger angeordnet, dass sich das
Aufwachssubstrat an einer dem Träger abgewandten Seite des
30 Halbleiterchips befindet.

Das Montieren des Halbleiterchips erfolgt vorzugsweise mit
einem Übertragungsverfahren, beispielsweise in einem Chip-to-

Wafer Prozess, wobei die Halbleiterschichtenfolge mit der dem Aufwachssubstrat abgewandten Seite auf der Montagefläche des Trägers angeordnet wird. Durch das Übertragungsverfahren kann der Halbleiterchip sehr genau auf der Montagefläche und dem

5 Träger positioniert werden. Der Halbleiterchip wird gleichzeitig während des Montierens elektrisch mit den Leiterbahnen auf dem Träger kontaktiert. Mit anderen Worten handelt es sich bei dem Montieren und Kontaktieren des Halbleiterchips um einen einzigen Prozessschritt. Die

10 erzeugte elektromagnetische Strahlung, beziehungsweise das Licht, kann durch eine der Halbleiterschichtenfolge abgewandte Oberseite des vorteilhaft lichtdurchlässigen Aufwachssubstrats und durch dessen Seitenflächen austreten. Bei dem optoelektronischen Halbleiterchip handelt es sich

15 dann um einen sogenannten Volumenemitter. Vorteilhaft weist die Halbleiterschichtenfolge keinen dem Aufwachssubstrat zugewandten elektrischen Kontaktbereich auf. So kann durch das Aufwachssubstrat eine effiziente Strahlungsauskopplung erzielt werden, wobei vorteilhaft keine Abschattungs- oder

20 Absorptionseffekte an der dem Aufwachssubstrat zugewandten Seite der Halbleiterschichtenfolge auftreten.

Gemäß einer Ausführungsform des Verfahrens befinden sich nach dem Vereinzeln die Kontaktflächen auf zumindest einer

25 gemeinsamen Seitenfläche des Trägers, wobei die Kontaktflächen elektrisch isoliert voneinander sind.

Der vereinzelte Träger wird mit den Kontaktflächen, welche sich vorteilhaft an derselben Seitenfläche des Trägers

30 befinden, mit dieser Seitenfläche auf einer Anschlussplatte, vorteilhaft auf einer Platine montiert, wobei nach der Montage die Montagefläche des Trägers, auf welcher der Halbleiterchip montiert ist, senkrecht zur Anschlussplatte

steht. Dabei sind die Kontaktflächen vorteilhaft der Anschlussplatte zugewandt und mittels beispielsweise Lötverbindungen mit der Anschlussplatte und/oder Leiterbahnen auf der Anschlussplatte elektrisch kontaktiert und mechanisch
5 fixiert. Somit ist eine Möglichkeit gegeben, den auf dem Träger montierten zumindest einen Halbleiterchip über nur eine Seitenfläche des Trägers an einer auf der Anschlussplatte aufliegenden Seite elektrisch zu kontaktieren.

10

Gemäß einer Ausführungsform des Verfahrens wird das Aufwachssubstrat nach dem Montieren des Halbleiterchips auf dem Träger vom Halbleiterchip entfernt.

15 Das Aufwachssubstrat dient der mechanischen Stabilisierung des Halbleiterchips bis zur Montage des Halbleiterchips auf dem Träger. Nach der Montage ist eine mechanische Stabilisierung des Halbleiterchips auf Grund der soliden Struktur des Trägers nicht mehr erforderlich, so dass das
20 Aufwachssubstrat entfernt werden kann. Das Entfernen des Aufwachssubstrats kann beispielsweise mechanisch, etwa mittels Schleifens und/oder chemisch, beispielsweise mittels nasschemischen oder trockenchemischen Ätzens und/oder mittels Strahlung, insbesondere Laserstrahlung, erfolgen. Der
25 Halbleiterchip, von dem das Aufwachssubstrat entfernt wird, ist vorzugsweise ein Oberflächenemitter.

Gemäß einer Ausführungsform des Verfahrens werden zum Montieren des Halbleiterchips Montagekontakte auf der
30 Unterseite des Halbleiterchips aufgebracht.

Mittels der Montagekontakte kann vorteilhaft eine elektrische und mechanische Verbindung zwischen der Unterseite des

Halbleiterchips und der Montagefläche und/oder auf der Montagefläche verlaufenden Leiterbahnen erzeugt werden.

5 Gemäß einer Ausführungsform des Verfahrens wird einer der Montagekontakte als Kontaktstift ausgebildet, welcher in einer Aussparung eines anderen Montagekontakts angeordnet ist.

10 Ein solcher Kontaktstift bietet die Möglichkeit ein auf der Montagefläche aufgesetztes Bauelement, beispielsweise einen Halbleiterchip, von seiner der Montagefläche zugewandten Seite elektrisch leitend zu kontaktieren. Dazu wird der Kontaktstift vorteilhaft isoliert von den übrigen Montagekontakten ausgebildet und elektrisch leitend mit
15 Leiterbahnen kontaktiert, welche elektrisch isoliert, beispielsweise unterhalb der Montagefläche, zur Position des Kontaktstiftes verlaufen. Vorteilhaft kann dadurch auf die Kontaktierung des Halbleiterchips über nicht im Träger integrierte Zuleitungen, beispielsweise Bonddrähte,
20 verzichtet werden. Somit kann eine planare Kontaktierung des Halbleiterchips erzielt werden.

25 Gemäß einer Ausführungsform des Verfahrens wird zumindest eine ESD-Schutzdiode in den Träger integriert.

Mittels der Schutzdiode ist der Halbleiterchip vor einer elektrostatischen Entladung geschützt. Eine, beispielsweise aufgrund elektrostatischer Aufladung entstehende, elektrische Spannung kann über die Schutzdiode abfließen. Eine Schädigung
30 des Halbleiterchips wird somit vermieden. Die Schutzdiode ist von dem Träger elektrisch isoliert. Die Schutzdiode kann beispielsweise in den Träger planar integriert sein.

Gemäß einer Ausführungsform des Verfahrens weist der vereinzelter Träger nach der Montage auf der Anschlussplatte eine Höhe von 200 µm bis 400 µm senkrecht über der Anschlussplatte auf.

5

Der vereinzelter Träger ist vorteilhaft besonders flach ausgebildet, wobei „flach“ eine geringe Höhe in Richtung senkrecht auf eine Oberfläche der Anschlussplatte und eine zur Höhe verhältnismäßig große laterale Ausdehnung (Breite, Länge) des vereinzelter Trägers beschreibt. Insbesondere beträgt nach der Montage die Höhe des vereinzelter Trägers 200 µm bis 400 µm senkrecht über der Anschlussplatte. Weiterhin beträgt die Breite des vereinzelter Trägers vorzugsweise höchstens 400 µm und die Länge des vereinzelter Trägers vorzugsweise 1600 µm bis 2000 µm. Durch die flache Ausführung des Trägers ist vorteilhaft eine gute Wärmeanbindung des Halbleiterchips an die Anschlussplatte gewährleistet.

20 Gemäß einer Ausführungsform des Verfahrens weist der Träger zumindest eine Kavität auf, innerhalb welcher sich die Montagefläche befindet.

In einem Verfahrensschritt kann vorteilhaft zumindest eine Kavität auf einer Oberseite des Trägers ausgebildet werden, wobei sich die zumindest eine Montagefläche für einen oder mehrere Halbleiterchips innerhalb der Kavität befindet. Die Durchkontaktierungen befinden sich außerhalb der Kavität. Beispielsweise kann die Kavität mittels einer KOH-Ätzung in den Träger eingebracht werden. Folglich kann der zumindest eine Halbleiterchip innerhalb der Kavität mit den bereits beschriebenen Verfahren montiert werden. Dazu werden Leiterbahnen über die Innenwände der Kavität zur

Montagefläche geführt. Die Kavität kann vorteilhaft verspiegelte Innenwände oder verspiegelte Leiterbahnen aufweisen, wodurch die Lichtabstrahlung in die Richtung der Öffnung der Kavität verstärkt wird.

5

Gemäß einer Ausführungsform des Verfahrens wird der Halbleiterchip innerhalb der Kavität mit einem Verguss vergossen.

- 10 Bei dem Vergussmaterial handelt es sich dabei beispielsweise um ein Silikonmaterial. Der Halbleiterchip kann dabei beispielsweise planar vergossen werden, so dass der Verguss mit der Oberseite des Halbleiterchips eine planare Oberfläche bildet und mit den Halbleiterchip vorteilhaft bündig
- 15 abschließt. Durch die flache Ausgestaltung des Halbleiterchips ist ein planares Vergießen des Halbleiterchips vorteilhaft vereinfacht. Dabei kann eine Vergussdicke von beispielsweise 40 µm realisiert werden. Alternativ dazu ist es möglich, dass der Verguss den
- 20 Halbleiterchip überdeckt oder diesen nur teilweise umgibt.

Gemäß einer Ausführungsform des Verfahrens umfasst der Verguss TiO_2 .

- 25 Bei einer Ausgestaltung ist der Verguss ein reflektierender Verguss. Der reflektierende Verguss intensiviert die Abstrahlung in Richtung der Kavitätsöffnung, und deckt vorteilhaft absorbierende Strukturen auf dem Träger innerhalb der Kavität ab.

30

Gemäß einer Ausführungsform des Verfahrens umfasst das Aufwachssubstrat Saphir.

Gemäß einer Ausführungsform des Verfahrens wird der Halbleiterchip mit einem Konverterelement abgedeckt.

Auf den Halbleiterchip kann vorteilhaft ein Konverterelement
5 aufgebracht werden, welches den Halbleiterchip zumindest teilweise abdeckt. Ebenso kann vorteilhaft auch ein Verguss bei einem Vergießen des Halbleiterchips in einer Kavität zumindest ein Konvertermaterial umfassen. Das
Konverterelement ist dazu ausgebildet, die vom Halbleiterchip
10 emittierte Strahlung teilweise oder vollständig in zumindest eine weitere Strahlung mit einer von der vom Halbleiterchip emittierten Strahlung unterschiedlichen Wellenlänge zu konvertieren. Das Konvertermaterial umfasst vorteilhaft eine
Keramik.

15

Gemäß einer Ausführungsform des Verfahrens wird das Konverterelement durch Aufsprühen auf den Halbleiterchip aufgebracht.

20 Das Aufsprühen des Konverterelements erfolgt beispielsweise mittels Spray-coating-Techniken. Durch das Aufsprühen ist es vorteilhaft erleichtert, Konvertermaterial auf Seitenflächen des Halbleiterchips aufzubringen.

25 Weitere Vorteile, vorteilhafte Ausführungsformen und Weiterbildungen ergeben sich aus den im Folgenden in Verbindung mit den Figuren beschriebenen Ausführungsbeispielen.

30 Die Figur 1 zeigt schematisch einen Teilabschnitt eines Trägers in einer Seitenansicht und einer Draufsicht nach einem Verfahrensschritt zur Erzeugung von Durchkontaktierungen.

Die Figur 2 zeigt schematisch einen Teilabschnitt eines Trägers in einer Draufsicht nach einem weiteren Verfahrensschritt zur Ausbildung von Leiterbahnen.

5

Die Figur 3 zeigt die Draufsicht auf den Träger aus Figur 2 nach einem weiteren Verfahrensbeispiel zur Ausbildung von Leiterbahnen.

10 Die Figur 4 zeigt schematisch einen Teilabschnitt eines Trägers in einer Draufsicht und einer Seitenansicht nach einem weiteren Verfahrensschritt zur Ausbildung von Leiterbahnen und einer Montageplatte.

15 Die Figur 5 zeigt schematisch einen Teilabschnitt des Trägers aus Figur 4 in einer Seitenansicht nach einem weiteren Verfahrensschritt zur Montage eines Halbleiterchips auf dem Träger.

20 Die Figur 6 zeigt schematisch einen Teilabschnitt des Trägers aus Figur 5 in einer Seitenansicht nach einem weiteren Verfahrensbeispiel.

Die Figur 7 zeigt schematisch einen Teilabschnitt des Trägers
25 aus Figur 5 oder Figur 6 in einer Seitenansicht und einer Draufsicht nach einem weiteren Verfahrensschritt zum Vereinzeln des Trägers.

Die Figur 8 zeigt schematisch einen vereinzelteten Träger aus
30 Figur 7 nach einem weiteren Verfahrensschritt zur Montage auf einer Anschlussplatte.

Gleiche oder gleichwirkende Elemente sind in den Figuren jeweils mit den gleichen Bezugszeichen versehen. Die in den Figuren dargestellten Bestandteile sowie die Größenverhältnisse der Bestandteile untereinander sind nicht
5 als maßstabsgerecht anzusehen.

Die Figur 1 zeigt schematisch einen Teilabschnitt eines Trägers 1 in einer Seitenansicht (oben) und in einer Draufsicht (unten). In einem Verfahrensschritt werden
10 Durchkontaktierungen 4 in den Träger 1 in Form von Durchbrüchen durch den Träger eingebracht. Die Durchbrüche durchdringen den Träger in vertikaler Richtung vollständig und sind keilförmig ausgebildet, wobei die Ausnehmung im Träger durch den Durchbruch an der Oberseite des Trägers
15 kleiner ist als an der Unterseite des Trägers 1. Die Durchkontaktierungen 4 sind lateral voneinander beabstandet. Die Durchbrüche sind beispielsweise durch Laserstrahlen, Stanzen, Bohren oder Ätzen des Trägers, vorteilhaft durch ein Nassätzverfahren, hergestellt.

20 Der Träger 1 wird weiterhin elektrisch isoliert, wobei eine Passivierung 1b umfassend ein Isolatormaterial auf den Träger 1 und innerhalb der Durchkontaktierungen 4 aufgebracht wird. Somit sind auch die Durchkontaktierungen 4 elektrisch vom
25 Träger 1 isoliert.

In die Durchkontaktierungen 4 werden nach dem Isolieren des Trägers 1 die Kontakte 12, 13 galvanisch in die mit einer Passivierung 1b überzogenen Durchbrüche eingebracht. Die
30 Kontakte 12, 13 bilden vorteilhaft Kontaktpads auf einer Ober- und einer Unterseite des Trägers.

Die Figur 2 zeigt schematisch einen Teilabschnitt eines Trägers 1 in einer Draufsicht. Montageflächen 11 auf dem Träger 1 werden mittels Leiterbahnen 11b auf dem Träger 1 mit den Kontakten 12, 13 der Durchkontaktierungen 4 verbunden.

5 Die Leiterbahnen 11b verbinden jeweils eine Montagefläche 11 mit den zwei anliegenden Durchkontaktierungen 4 entlang einer Umverdrahtungsebene A. Die Leiterbahnen 11b umfassen beispielsweise TiPtAu. Eine teilweise über die Montagefläche 11 flächig aufgebrachte Leiterbahn 11b weist eine Aussparung
10 C auf, in welche eine weitere Leiterbahn 11b von einer anderen Durchkontaktierung 4 aus hineinreicht, wobei sich die Leiterbahnen 11b im Bereich der Montagefläche 11 nicht berühren und elektrisch isoliert voneinander sind. Grundsätzlich ist auch eine beliebige Anordnung von
15 Leiterbahnen 11b möglich, die für beide Polaritäten einen Kontaktzugang an der Montagefläche 11 über den Träger ermöglicht. Eine der Leiterbahnen 11b wird dabei mit einer Polarität mit einem Kontakt 12, 13 und die andere Leiterbahn 11b mit einem Kontakt 12, 13 einer anderen Polarität
20 verbunden. Die Durchkontaktierungen 4 mit den Kontakten 12, 13 sind randseitig im Träger 1 angeordnet, mit anderen Worten reichen im Bereich der Durchkontaktierungen 4 die Kontakte 12, 13 bis an die gleiche Seitenfläche des Trägers 1. Vorteilhaft kann auf der Montagefläche 11 ein Bauelement,
25 beispielsweise ein Halbleiterchip, montiert werden, wobei vorzugsweise das zu montierende Bauelement elektrische Kontakte an Position der Aussparung C und der davon isolierten Leiterbahn 11b aufweist.

30 Die Figur 3 zeigt einen Teilabschnitt eines Trägers 1 in einer Draufsicht gemäß Figur 2, wobei auf die in die Aussparungen C hineinreichenden Leiterbahnen 11b jeweils eine Isolierung 14 aufgebracht worden ist. Die Isolierung 14

überdeckt dabei die Leiterbahn 11b an der Aussparung C in einem Bereich, in dem sich die Leiterbahnen 11b umschließen. In der Isolierung 14 ist eine Ausnehmung 14a in Form eines Lochs ausgebildet. Die Isolierung 14 umfasst beispielsweise
5 SiN. Diese Ausnehmung 14a bietet die Möglichkeit ein auf der Montagefläche 11 aufgesetztes Bauelement, beispielsweise einen Halbleiterchip, mit einer Leiterbahn 11b unterhalb der Isolierung 14 zu kontaktieren.

10 Die Figur 4 zeigt einen Teilabschnitt eines Trägers 1 in einer Draufsicht (unten) gemäß Figur 3 und in einer Seitenansicht (oben). Auf die Montageflächen 11 und die Leiterbahnen 11b wird jeweils eine Montageplatte 11a aufgebracht, auf welcher ein weiteres Bauelement,
15 beispielsweise ein Halbleiterchip, montiert und kontaktiert werden kann. Die Montageplatte 11a überdeckt dabei die im Bereich der Montagefläche 11 befindliche Isolierung 14 über der Aussparung der Leiterbahn 11b. Die Montageplatte 11a weist weiterhin eine Ausnehmung 14a analog zur Isolierung 14
20 an gleicher Position auf, wobei ein Kontaktstift 14b durch ein Loch in der Isolierung 14 zur Leiterbahn 11b geführt wird, und somit mit einem Kontakt 12, 13 der Durchkontaktierung 4 verbunden ist. Der Kontaktstift 14b steht dabei nicht in direktem Kontakt mit dem Rest der
25 Montageplatte 11a. Der übrige Bereich der Montageplatte 11a steht in elektrischen und mechanischen Kontakt mit einer Leiterbahn 11b, welche mit einem Kontakt 12, 13 einer anderen Durchkontaktierung 4 verbunden ist. Dadurch ist vorteilhaft eine planare Kontaktierung erzielt. Die Montageplatte 11a
30 umfasst beispielsweise Au oder AuSn. Weiterhin ist vorteilhaft eine ESD-Schutzdiode 40 mit den Leiterbahnen 11b und somit mit den Kontakten 12, 13 verbunden. Die ESD-Schutzdiode ist dabei planar auf dem Träger 1 aufgebracht

oder in den Träger integriert und antiparallel mit der Polarität der Kontaktierung der Montageplatte 11a und des Kontaktstiftes 14b verschaltet. Ferner weist die ESD-Schutzdiode ebenfalls eine geringe Dicke auf, sodass ein
5 besonders dünnes Halbleiterbauteil erzeugt werden kann.

Die Figur 5 zeigt einen Teilabschnitt eines Trägers 1 gemäß Figur 4 in einer Seitenansicht, wobei jeweils ein Halbleiterchip 2 auf eine der Montageplatten 11a montiert
10 wird. Die Montageplatte 11a befindet sich zwischen dem Halbleiterchip 2 und den Leiterbahnen 11b. Es wird ein Halbleiterchip 2 vorteilhaft als ein Aufwachssubstrat 10 mit einer darauf epitaktisch gewachsenen Halbleiterschichtenfolge 7 bereitgestellt, welche eine aktive Schicht umfasst. Das
15 Aufwachssubstrat 10 kann nach dem Montieren des Halbleiterchips 2 von der Halbleiterschichtenfolge 7 abgelöst werden und ist im äußerst linken Halbleiterchip der Figur 5 nicht mehr dargestellt. Das Montieren des Halbleiterchips erfolgt vorzugsweise mit einem Übertragungsverfahren,
20 beispielsweise in einem Chip-to-Wafer Prozess, wobei der Halbleiterchip 2 mit einer dem Aufwachssubstrat abgewandten Seite auf der Montageplatte 11a montiert wird. Durch das Übertragungsverfahren kann der Halbleiterchip sehr genau auf der Montageplatte 11a und dem Träger positioniert werden. Der
25 Halbleiterchip weist eine einseitige Kontaktierung auf, welche der Montageplatte 11a zugewandt ist. Die der Montageplatte 11a abgewandte Seite der Halbleiterschichtenfolge 7 weist damit vorteilhaft keinen elektrischen Kontaktbereich auf, sodass durch diese Seite
30 eine effiziente Strahlungsauskopplung erzielt werden kann. Der Halbleiterchip ist beispielsweise eine Flip-Chip-LED. Die Halbleiterschichtenfolge 7 wird gleichzeitig während des

Montierens elektrisch mit den Leiterbahnen 11b auf dem Träger kontaktiert.

Die Schichten der Halbleiterschichtenfolge 7, beispielsweise
5 p- und n-Schichten, werden mittels in die Halbleiterschichtenfolge hineinreichender Kontakte kontaktiert. Die Kontaktbereiche an der Unterseite der Halbleiterschichtenfolge können vorteilhaft spiegelnd ausgebildet sein. Dadurch wird die Reflexion des emittierten
10 Lichts weg von den Kontaktbereichen erhöht.

Die Kontaktbereiche des Halbleiterchips 2 werden beispielsweise mit Hilfe eines Lotmaterials elektrisch leitend und mechanisch mit der Montageplatte 11a und dem
15 Kontaktstift 14b verbunden. Dazu werden beispielsweise weitere Montagekontakte 16 umfassend Au auf der Unterseite der Halbleiterschichtenfolge 7 aufgebracht. Die Montagekontakte 16 entsprechen in ihrer Form dabei genau der Form der Montageplatte 11a. So wird einer der Montagekontakte
20 16 ebenfalls als Kontaktstift ausgebildet und mit dem Kontaktstift 14b der Montageplatte 11a verbunden. Das Lotmaterial kann beispielsweise Gold (Au) und/oder Zinn (Sn) aufweisen. Die Montagekontakte 16 können auch mittels Thermokompression, beispielsweise mit Kupfer-Zinn (Cu-Sn),
25 mit der Montageplatte 11a verbunden werden. Somit kann vorteilhaft eine thermisch, mechanisch und elektrisch sehr gute Verbindung zwischen Halbleiterchip und Montageplatte 11a erreicht werden.

30 Auf den Halbleiterchip 2 kann ein Konverterelement 20 aufgebracht werden, wie im äußerst linken Halbleiterchip der Figur 5 gezeigt, welches den Halbleiterchip abdeckt. Das Konverterelement ist dazu ausgebildet, die vom Halbleiterchip

emittierte Strahlung teilweise oder vollständig in zumindest eine weitere Strahlung mit einer von der vom Halbleiterchip emittierten Strahlung unterschiedlichen Wellenlänge zu konvertieren. Das Konvertermaterial umfasst vorteilhaft eine
5 Keramik. Das Konverterelement 20 wird beispielsweise durch Aufsprühen auf den Halbleiterchip 2 aufgebracht. Der Halbleiterchip mit dem Konverterelement 20 kann als Oberflächen- oder Volumenemitter ausgebildet sein. Vor allem ist es durch das Aufsprühen erleichtert, das
10 Konvertermaterial auf Seitenflächen des Halbleiterchips aufzubringen.

Die Figur 6 zeigt einen Teilabschnitt eines Trägers 1 in einer Seitenansicht gemäß Figur 5. In einem zusätzlichen
15 Verfahrensschritt sind Kavitäten 3 in den Träger 1 mittels beispielsweise KOH-Ätzung eingebracht worden. In den Kavitäten 3 befinden sich die Montageflächen und die Halbleiterchips 2. Die Kavitäten 3 können mit verspiegelten Innenwänden ausgebildet werden, um die Abstrahleffizienz in
20 Richtung senkrecht weg von der Montagefläche zu erhöhen. Die Leiterbahnen 11b verlaufen über die Innenwände der Kavitäten 3 zu den Kontakten 12, 13.

Innerhalb der Kavitäten 3 werden die Halbleiterchips 2 mit
25 einem Verguss 30 vergossen. Der Verguss 30 füllt dabei beispielsweise die Kavität 3 bis zu einer Unterseite des Konverterelements 20 auf. Somit werden Licht absorbierende Strukturen am Halbleiterchip 2 und am Boden der Kavität 3, beispielsweise die Leiterbahnen 11b, von dem Verguss 30
30 bedeckt. Im Falle eines Halbleiterchips 2 in Form eines Volumenemitters wird vom Konverterelement 20 seitlich abgestrahltes Licht durch die verspiegelten Innenwände der

Kavität 3 in die Richtung der Öffnung der Kavität 3 reflektiert.

Alternativ dazu ist auch ein oberflächenemittierendes
5 Konverterelement 20 mit einem Verguss denkbar, wobei der Verguss planar mit der Oberseite des Konverterelements 20 abschließt. Der Verguss 30 ist beispielsweise reflektierend ausgebildet und umfasst vorzugsweise TiO_2 . Durch einen planaren Verguss kann vorteilhaft verhindert werden, dass
10 unkonvertierte Strahlung aus den Seitenflächen des Halbleiterchips ausgekoppelt wird und mit der konvertierten Strahlung störend vermischt wird. Durch die flache Ausgestaltung des Halbleiterchips ist ein planares Vergießen des Halbleiterchips vorteilhaft vereinfacht. Dabei kann eine
15 Vergussdicke von beispielsweise 40 μm realisiert werden.

Die Figur 7 zeigt einen Teilabschnitt eines Trägers 1 in einer Draufsicht (oben) und einen vereinzelt Träger in einer Seitenansicht (unten). In einem Verfahrensschritt
20 erfolgt ein Vereinzeln des Trägers 1 entlang von Vereinzellungslinien V, wobei eine Vereinzellungslinie V durch eine der Durchkontaktierungen 4 verläuft, so dass nach dem Vereinzeln die Kontakte 12, 13 Kontaktflächen 5 an der gleichen Seitenfläche 1a des Trägers 1 bilden, wobei die
25 Seitenfläche 1a senkrecht zur Montagefläche des Trägers ist. In der Draufsicht (oben) ist die Kavität 3 mit dem Verguss 30 vergossen. Die Konturen der Innenwände der Kavität sind mit gestrichelten Linien dargestellt.

30 Die Figur 8 zeigt ein optoelektronisches Bauelement 100 nach der Montage des vereinzelt Trägers 1 mit der Seite 1a auf einer Anschlussplatte 8, wobei die Montagefläche auf dem Träger und der Halbleiterchip 2 senkrecht zur Anschlussplatte

8 stehen. Somit ist eine seitliche Abstrahlung bezüglich der Anschlussplatte 8 ermöglicht.

Dabei sind die Kontaktflächen des Trägers der Anschlussplatte 8 zugewandt und mittels beispielsweise Lötverbindungen mit der Anschlussplatte 8 elektrisch kontaktiert und mechanisch fixiert.

Der vereinzelte Träger ist vorteilhaft besonders flach ausgebildet, wobei „flach“ eine geringe Höhe h in Richtung senkrecht auf eine Oberfläche der Anschlussplatte und eine zur Höhe verhältnismäßig große laterale Ausdehnung (Breite B , Länge L) des vereinzelten Trägers beschreibt. Insbesondere beträgt nach der Montage die Höhe h des vereinzelten Trägers 200 μm bis 400 μm senkrecht über der Anschlussplatte.

Weiterhin beträgt die Breite B des vereinzelten Trägers 1 vorzugsweise höchstens 400 μm und die Länge L des vereinzelten Trägers vorzugsweise 1600 μm bis 2000 μm . Durch die flache Ausführung des Trägers ist vorteilhaft eine gute Wärmeanbindung des Halbleiterchips an die Anschlussplatte 8 gewährleistet. Der Träger 1 kann gemäß des Verfahrens mit oder ohne Kavitäten ausgebildet sein. Weiterhin kann eine ESD-Schutzdiode 40 in den Träger 1 integriert sein. Die Schutzdiode 40 ist dabei von dem Träger 1 elektrisch isoliert und kann beispielsweise in den Träger planar integriert sein. Der vereinzelte Träger wird beim Vereinzeln vorteilhaft prismatisch ausgebildet. So ergeben sich rechteckige Formen und insbesondere eine ebene Auflagefläche, welche ein Verkippen des vereinzelten Trägers auf der Anschlussplatte verhindern. So kann beispielsweise eine schiefe Anordnung des vereinzelten Trägers und eine Abstrahlung in eine nicht parallel zur Anschlussplatte verlaufenden Richtung vermieden werden.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von
5 Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Patentansprüche

1. Verfahren zur Herstellung eines optoelektronischen Bauelements (100), umfassend:

- 5 - Bereitstellen eines Trägers (1) mit zumindest einer Montagefläche (11),
- Erzeugen von zumindest zwei Durchkontaktierungen (4) in dem Träger (1) mit in den Durchkontaktierungen (4) verlaufenden elektrisch leitenden Kontakten (12, 13),
- 10 - Bereitstellen zumindest eines Licht emittierenden Halbleiterchips (2), wobei der Halbleiterchip (2) ein Aufwachssubstrat (10) und eine darauf epitaktisch gewachsene Schichtenfolge (7) umfasst,
- Montieren des zumindest einen Halbleiterchips (2) auf
- 15 die zumindest eine Montagefläche (11) des Trägers (1), wobei der Halbleiterchip (2) beim Montieren auf die Montagefläche (11) im selben Verfahrensschritt elektrisch leitend mit den Kontakten (12, 13) verbunden wird,
- 20 - Vereinzeln des Trägers (1) entlang von Vereinzelungslinien (V), wobei eine Vereinzelungslinie (V) durch zumindest eine der Durchkontaktierungen (4) verläuft, so dass nach dem Vereinzeln die Kontakte (12, 13) Kontaktflächen (5)
- 25 an zumindest einer Seitenfläche (1a) des Trägers (1) bilden, wobei die Seitenfläche (1a) senkrecht zur Montagefläche (11) des Trägers (1) ist, und
- Montage des Trägers (1) mit den Kontaktflächen (5) auf einer Anschlussplatte (8), wobei die
- 30 Montagefläche (11) senkrecht zu der Anschlussplatte (8) steht.

2. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach Anspruch 1, bei dem der Halbleiterchip (2) so auf dem Träger (1) angeordnet wird, dass sich das Aufwachssubstrat (10) an
5 einer dem Träger (1) abgewandten Seite des Halbleiterchips (2) befindet.
3. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach einem der vorhergehenden
10 Ansprüche, bei dem sich nach dem Vereinzeln die Kontaktflächen (5) auf zumindest einer gemeinsamen Seitenfläche (1a) des Trägers befinden, wobei die Kontaktflächen (5) elektrisch isoliert voneinander sind.
- 15 4. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach einem der vorhergehenden Ansprüche, bei dem das Aufwachssubstrat (10) nach dem Montieren des
20 Halbleiterchips (2) auf dem Träger (1) vom Halbleiterchip (2) entfernt wird.
5. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach einem der vorhergehenden
25 Ansprüche, bei dem zum Montieren des Halbleiterchips (2) Montagekontakte (16) auf der Unterseite des Halbleiterchips (2) aufgebracht werden.
- 30 6. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach Anspruch 5, bei dem einer der Montagekontakte (16) als Kontaktstift (14b), welcher in einer Aussparung (14a) eines anderen

Montagekontakts (16) angeordnet ist, ausgebildet wird.

7. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach einem der vorhergehenden Ansprüche,
5 bei dem zumindest eine ESD-Schutzdiode (40) in den Träger (1) integriert wird.
8. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach einem der vorhergehenden Ansprüche,
10 bei dem der vereinzelte Träger (1) nach der Montage auf der Anschlussplatte (8) eine Höhe (h) von 200 µm bis 400 µm senkrecht über der Anschlussplatte (8) aufweist.
9. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach einem der vorhergehenden Ansprüche,
15 bei dem der Träger (1) zumindest eine Kavität (3) aufweist, innerhalb welcher sich die Montagefläche (11) befindet.
10. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach Anspruch 9,
20 bei dem der Halbleiterchip (2) innerhalb der Kavität (3) mit einem Verguss (30) vergossen wird.
11. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach Anspruch 10,
25 bei dem der Verguss (30) TiO₂ umfasst.
12. Verfahren zur Herstellung eines optoelektronischen Bauelements (100) nach einem der vorhergehenden

Ansprüche,

bei dem das Aufwachssubstrat (10) Saphir umfasst.

13. Verfahren zur Herstellung eines optoelektronischen

5 Bauelements (100) nach einem der vorhergehenden

Ansprüche,

bei dem der Halbleiterchip (2) mit einem

Konverterelement (20) abgedeckt wird.

10 14. Verfahren zur Herstellung eines optoelektronischen

Bauelements (100) nach Anspruch 13,

bei dem das Konverterelement (20) durch Aufsprühen auf
den Halbleiterchip (2) aufgebracht wird.

15

FIG 1

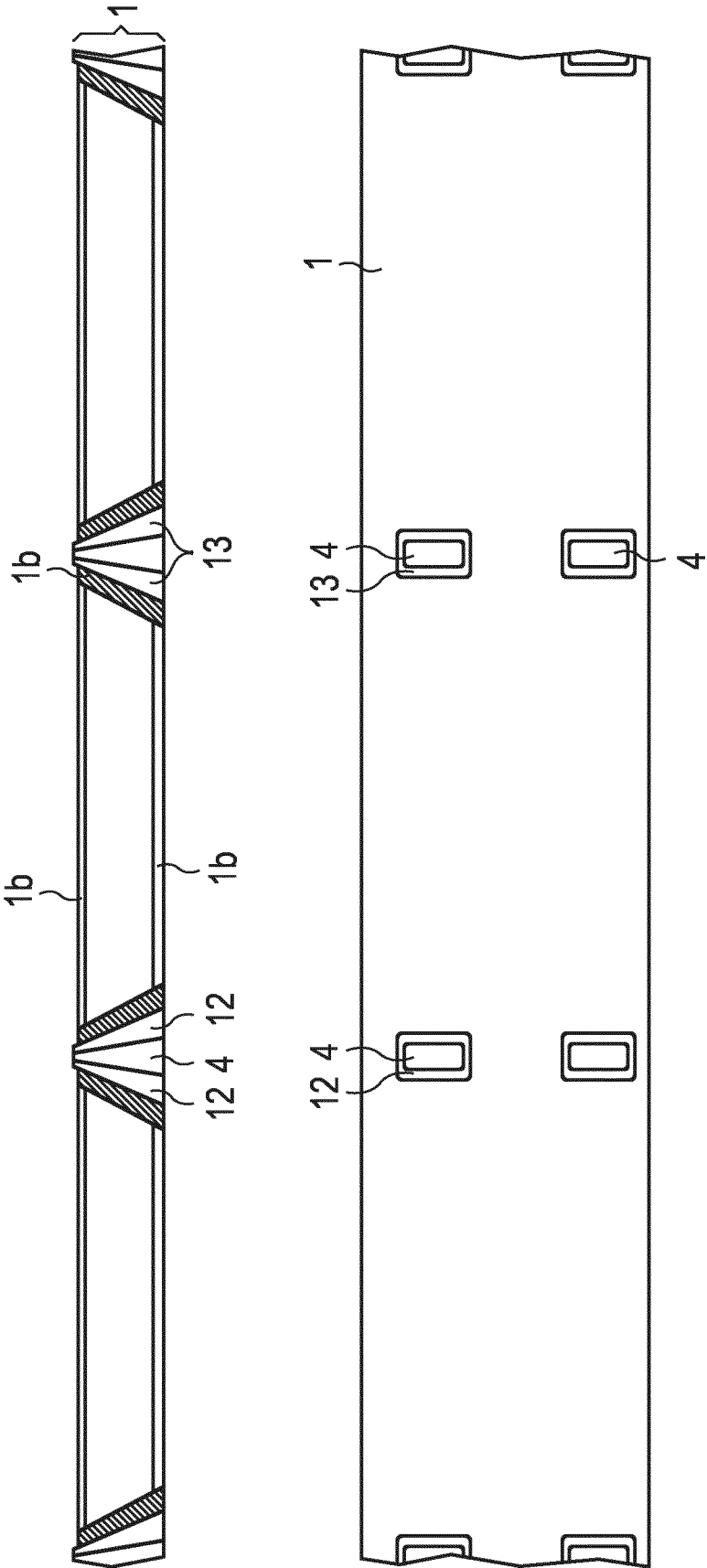


FIG 2

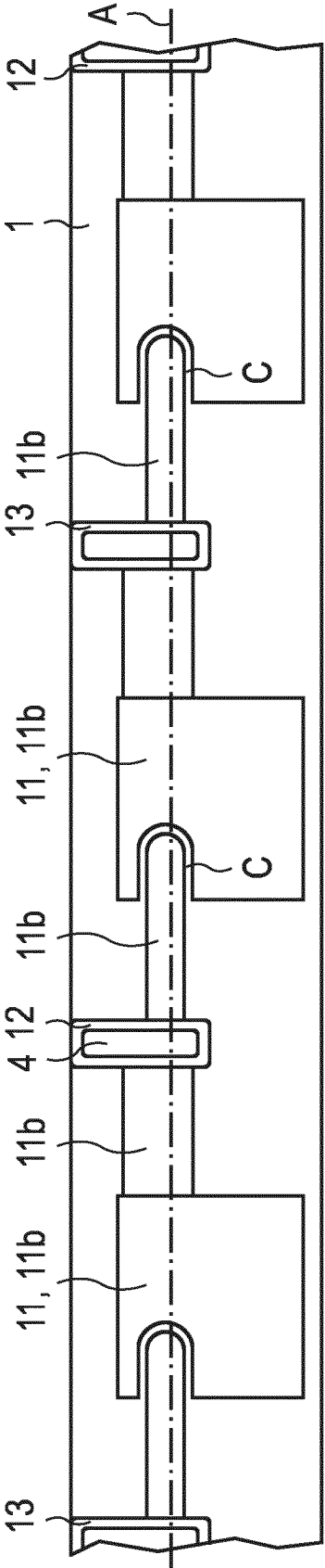


FIG 3

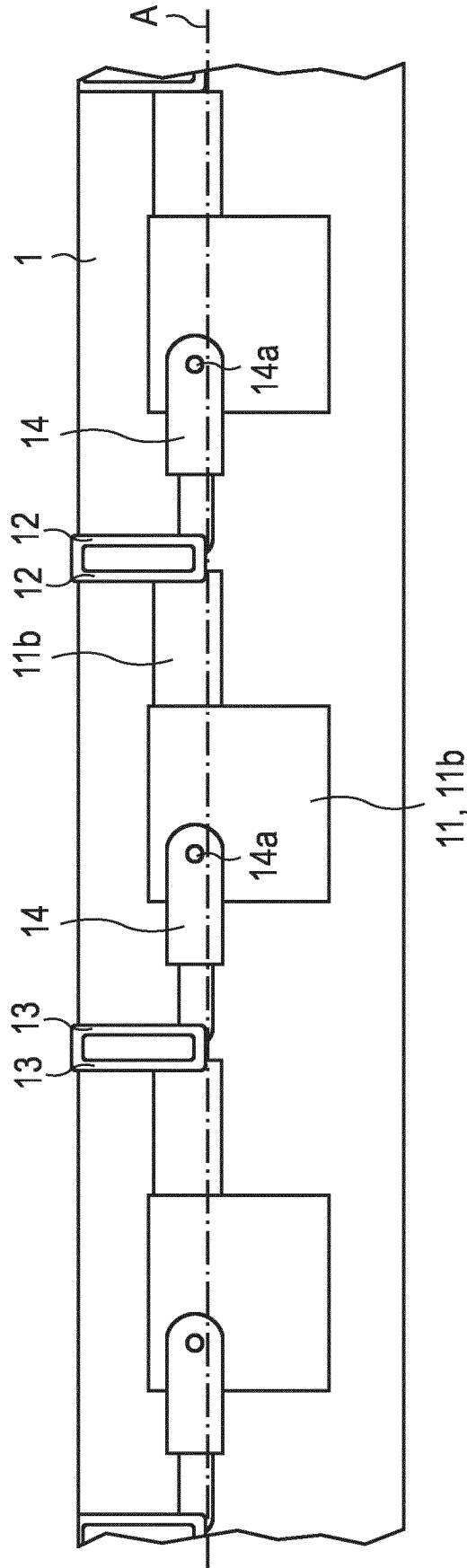


FIG 4

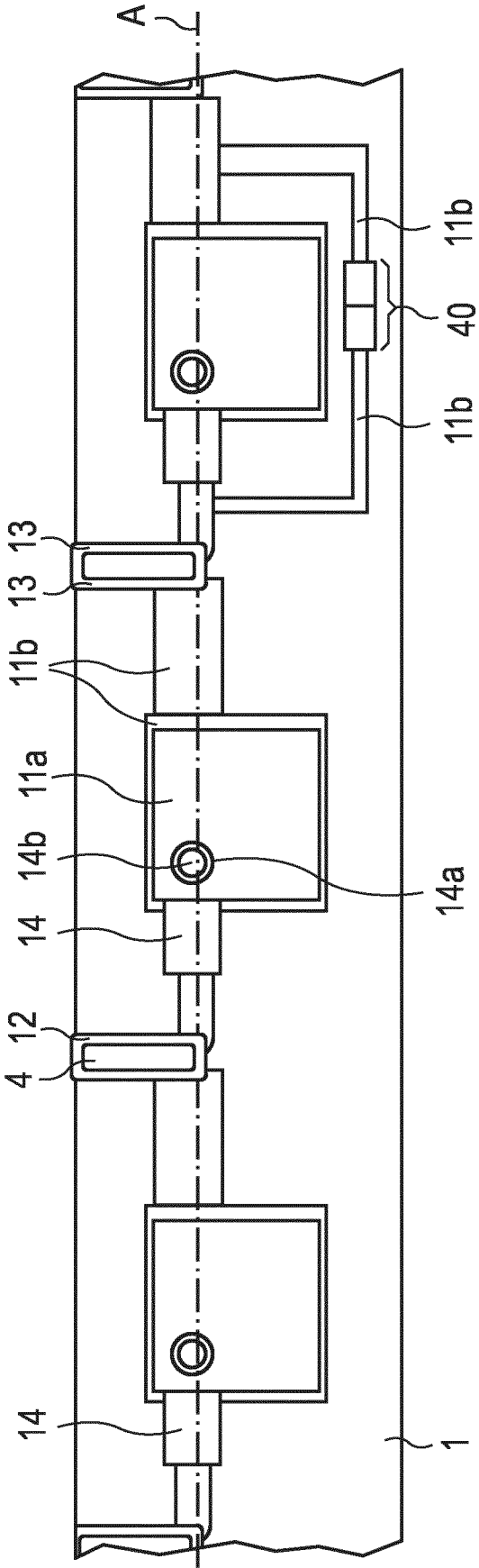
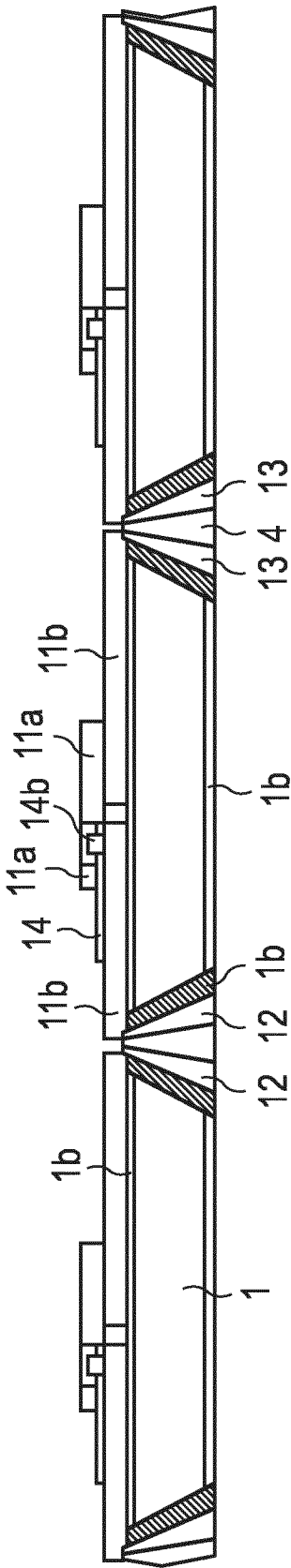


FIG 5

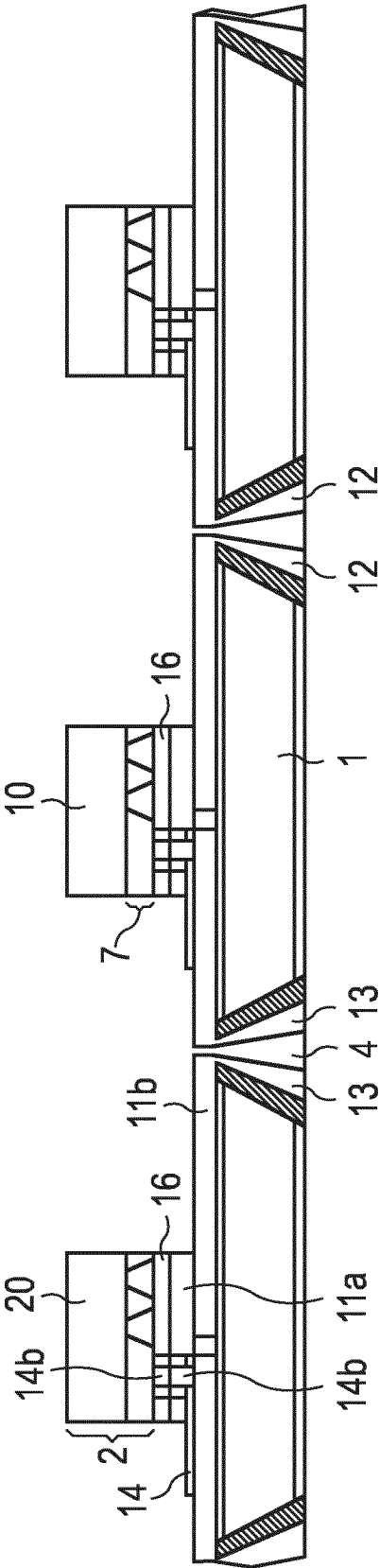
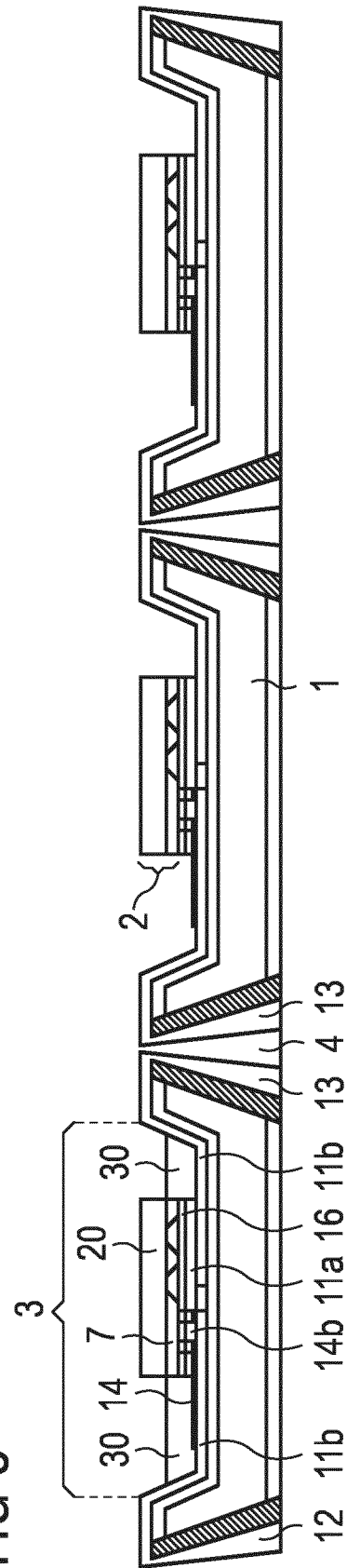


FIG. 6



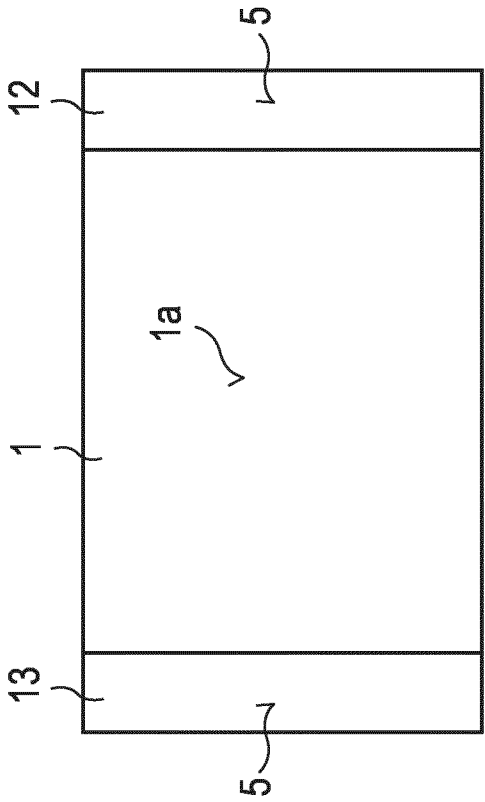
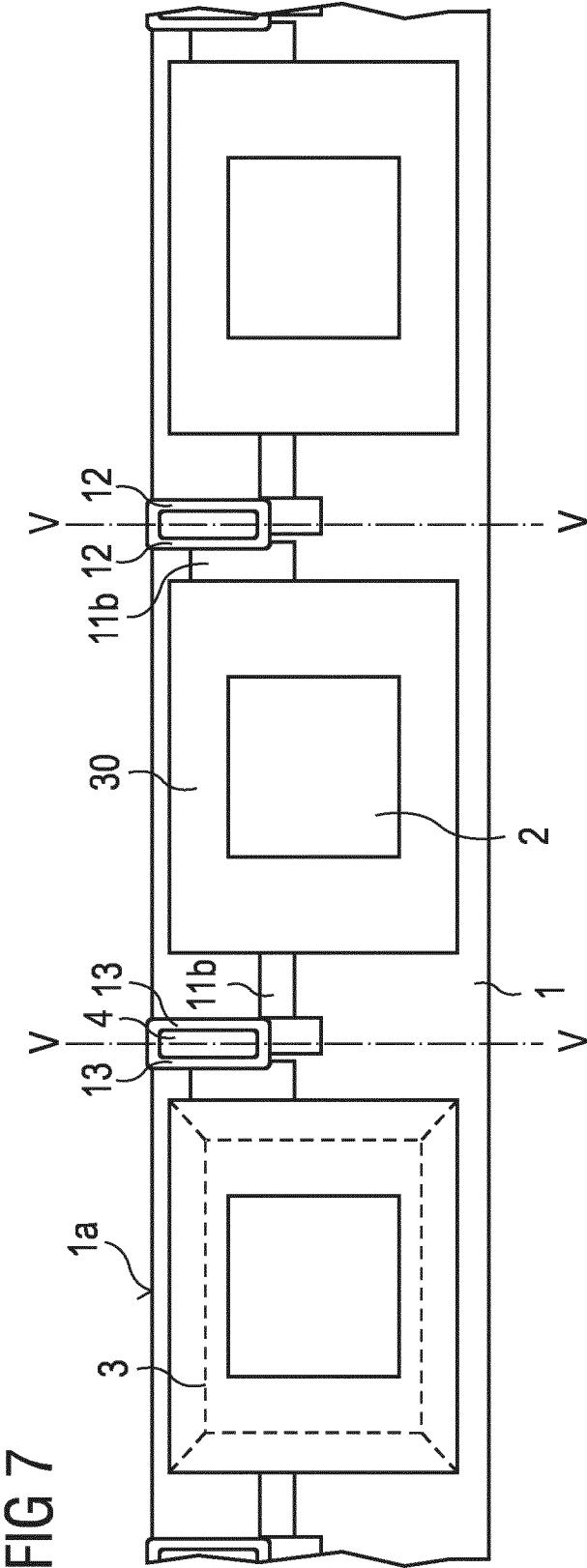
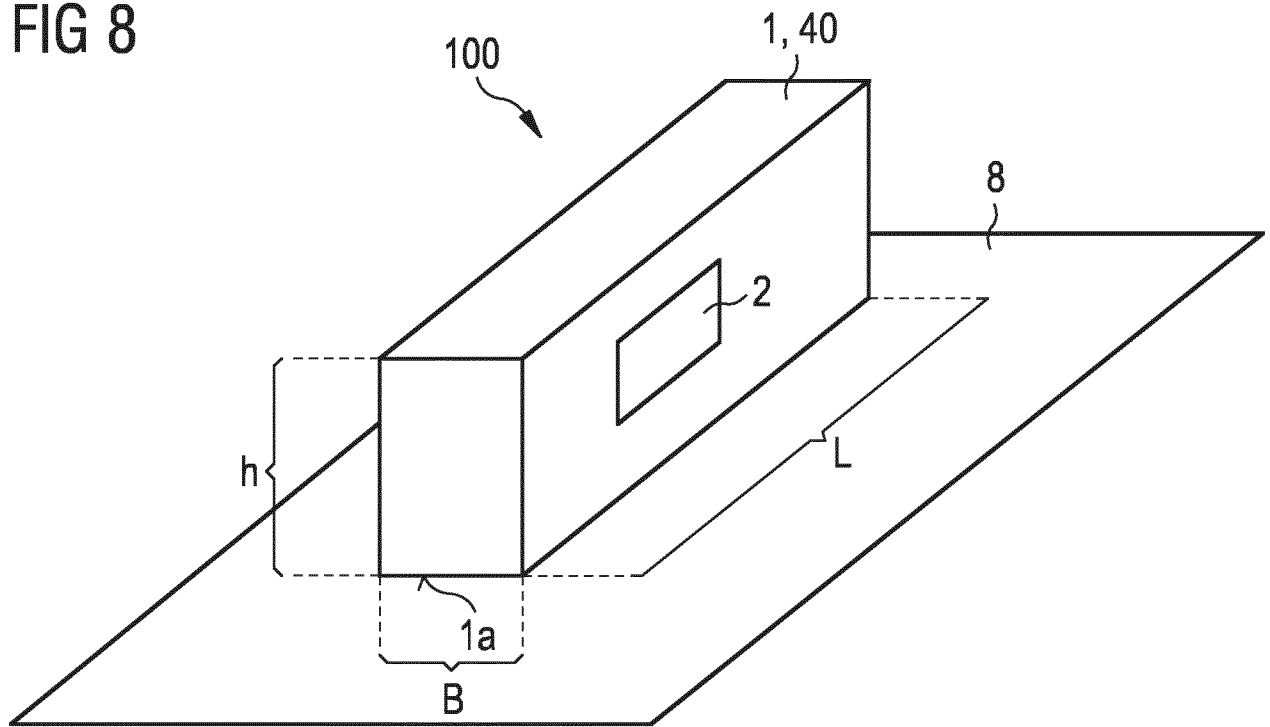


FIG 8



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2015/052761

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/00 H01L33/48
ADD. H01L33/62

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011/051039 A1 (OKAMOTO KAZUHIRO [JP] ET AL) 3 March 2011 (2011-03-03)	1,3,7-14
Y	paragraphs [0069] - [0148]; figures 1-14	2,4-6
X	US 2014/008778 A1 (ZHANG XIANZHU [CA] ET AL) 9 January 2014 (2014-01-09)	1,3,7-14
A	paragraphs [0042] - [0084]; figures 4,9-11	2,4-6
X	US 2009/206356 A1 (TSUCHIYA KOSUKE [JP]) 20 August 2009 (2009-08-20)	1,3,7-14
A	paragraphs [0028] - [0048]; figures 4-13	2,4-6
Y	KR 2009 0032758 A (SAMSUNG ELECTRO MECH [KR]) 1 April 2009 (2009-04-01)	2,4-6
A	the whole document	1,3,7-14
	----- -/--	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

15 April 2015

Date of mailing of the international search report

23/04/2015

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Simeonov, Dobri

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2015/052761

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2013/207155 A1 (HERRMANN SIEGFRIED [DE]) 15 August 2013 (2013-08-15) paragraphs [0063], [0064]; figure 5 -----	4-6
A	US 2009/242927 A1 (KOBAYAKAWA MASAHIKO [JP] ET AL) 1 October 2009 (2009-10-01) paragraph [0027]; figure 1 -----	7
A	US 2013/069518 A1 (KAMIJO YU [JP]) 21 March 2013 (2013-03-21) abstract; figure 1 -----	1-14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2015/052761

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011051039	A1	03-03-2011	CN 102005525 A 06-04-2011
			JP 2011054736 A 17-03-2011
			US 2011051039 A1 03-03-2011

US 2014008778	A1	09-01-2014	NONE

US 2009206356	A1	20-08-2009	JP 5495495 B2 21-05-2014
			JP 2009194319 A 27-08-2009
			US 2009206356 A1 20-08-2009

KR 20090032758	A	01-04-2009	NONE

US 2013207155	A1	15-08-2013	CN 103053024 A 17-04-2013
			DE 102010032813 A1 02-02-2012
			EP 2599123 A1 05-06-2013
			JP 5548826 B2 16-07-2014
			JP 2013532904 A 19-08-2013
			KR 20130071468 A 28-06-2013
			US 2013207155 A1 15-08-2013
			WO 2012013500 A1 02-02-2012

US 2009242927	A1	01-10-2009	JP 5236406 B2 17-07-2013
			JP 2009260222 A 05-11-2009
			US 2009242927 A1 01-10-2009

US 2013069518	A1	21-03-2013	JP 2013069731 A 18-04-2013
			US 2013069518 A1 21-03-2013

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H01L33/00 H01L33/48
 ADD. H01L33/62

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2011/051039 A1 (OKAMOTO KAZUHIRO [JP] ET AL) 3. März 2011 (2011-03-03)	1,3,7-14
Y	Absätze [0069] - [0148]; Abbildungen 1-14	2,4-6

X	US 2014/008778 A1 (ZHANG XIANZHU [CA] ET AL) 9. Januar 2014 (2014-01-09)	1,3,7-14
A	Absätze [0042] - [0084]; Abbildungen 4,9-11	2,4-6

X	US 2009/206356 A1 (TSUCHIYA KOSUKE [JP]) 20. August 2009 (2009-08-20)	1,3,7-14
A	Absätze [0028] - [0048]; Abbildungen 4-13	2,4-6

Y	KR 2009 0032758 A (SAMSUNG ELECTRO MECH [KR]) 1. April 2009 (2009-04-01)	2,4-6
A	das ganze Dokument	1,3,7-14

	-/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

15. April 2015

Absendedatum des internationalen Recherchenberichts

23/04/2015

Name und Postanschrift der Internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Simeonov, Dobri

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2013/207155 A1 (HERRMANN SIEGFRIED [DE]) 15. August 2013 (2013-08-15) Absätze [0063], [0064]; Abbildung 5 -----	4-6
A	US 2009/242927 A1 (KOBAYAKAWA MASAHIKO [JP] ET AL) 1. Oktober 2009 (2009-10-01) Absatz [0027]; Abbildung 1 -----	7
A	US 2013/069518 A1 (KAMIJO YU [JP]) 21. März 2013 (2013-03-21) Zusammenfassung; Abbildung 1 -----	1-14

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2015/052761

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2011051039	A1	03-03-2011	CN	102005525 A	06-04-2011
			JP	2011054736 A	17-03-2011
			US	2011051039 A1	03-03-2011

US 2014008778	A1	09-01-2014	KEINE		

US 2009206356	A1	20-08-2009	JP	5495495 B2	21-05-2014
			JP	2009194319 A	27-08-2009
			US	2009206356 A1	20-08-2009

KR 20090032758	A	01-04-2009	KEINE		

US 2013207155	A1	15-08-2013	CN	103053024 A	17-04-2013
			DE	102010032813 A1	02-02-2012
			EP	2599123 A1	05-06-2013
			JP	5548826 B2	16-07-2014
			JP	2013532904 A	19-08-2013
			KR	20130071468 A	28-06-2013
			US	2013207155 A1	15-08-2013
			WO	2012013500 A1	02-02-2012

US 2009242927	A1	01-10-2009	JP	5236406 B2	17-07-2013
			JP	2009260222 A	05-11-2009
			US	2009242927 A1	01-10-2009

US 2013069518	A1	21-03-2013	JP	2013069731 A	18-04-2013
			US	2013069518 A1	21-03-2013
