

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4954744号  
(P4954744)

(45) 発行日 平成24年6月20日(2012.6.20)

(24) 登録日 平成24年3月23日(2012.3.23)

(51) Int.Cl.	F 1
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 622E
G02F 1/133 (2006.01)	G09G 3/20 622D
H01L 51/50 (2006.01)	G09G 3/20 611J

請求項の数 9 (全 26 頁) 最終頁に続く

(21) 出願番号	特願2007-37574 (P2007-37574)
(22) 出願日	平成19年2月19日 (2007.2.19)
(65) 公開番号	特開2007-256934 (P2007-256934A)
(43) 公開日	平成19年10月4日 (2007.10.4)
審査請求日	平成22年2月8日 (2010.2.8)
(31) 優先権主張番号	特願2006-47194 (P2006-47194)
(32) 優先日	平成18年2月23日 (2006.2.23)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	長塚 修平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	木村 彰宏 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	柳井 宏美 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	堀部 修平

最終頁に続く

(54) 【発明の名称】表示装置及び当該表示装置を具備する電子機器

## (57) 【特許請求の範囲】

## 【請求項 1】

ゲート信号線と、  
ソース信号線と、  
前記ゲート信号線に出力される信号と前記ソース信号線に出力される信号の位相を比較する位相比較回路と、

前記位相比較回路から出力される信号の数をカウントするカウンタ回路と、  
前記カウンタ回路から出力される信号に基づいて、前記ゲート信号線に出力される信号の位相をシフトさせる位相シフト回路と、を有することを特徴とする表示装置。

## 【請求項 2】

請求項 1において、  
前記カウンタ回路は、  
D フリップフロップ回路と、  
前記 D フリップフロップ回路から出力される信号に応じた信号を出力する複数の論理回路と、を有することを特徴とする表示装置。

## 【請求項 3】

請求項 1または 2において、  
前記位相比較回路は、論理回路を有することを特徴とする表示装置。

## 【請求項 4】

請求項 1乃至 3のいずれか一において、

10

20

前記位相シフト回路は、

前記ゲート信号線に出力される信号の位相をシフトさせるシフトレジスタ回路と、

前記シフトレジスタ回路の各段に設けられ、前記カウンタ回路においてカウントされる信号の数に応じてオンとオフが切り替わるアナログスイッチと、を有することを特徴とする表示装置。

#### 【請求項 5】

第1の信号及び第2の信号が出力されるゲート信号線と、

ビデオ信号が出力されるソース信号線と、

前記第1の信号の位相及び前記ビデオ信号の位相を比較し、並びに前記第2の信号の位相及び前記ビデオ信号の位相を比較する位相比較回路と、

10

前記位相比較回路から出力される信号において、前記第1の信号と前記ビデオ信号の位相とを比較することにより出力される信号の数をカウントする第1のカウンタ回路と、

前記位相比較回路から出力される信号において、前記第2の信号と前記ビデオ信号の位相とを比較することにより出力される信号の数をカウントする第2のカウンタ回路と、

前記第1のカウンタ回路から出力される信号に基づいて、前記第1の信号の位相をシフトさせる第1の位相シフト回路と、

前記第2のカウンタ回路から出力される信号に基づいて、前記第2の信号の位相をシフトさせる第2の位相シフト回路と、を有することを特徴とする表示装置。

#### 【請求項 6】

請求項5において、

20

前記第1のカウンタ回路及び前記第2のカウンタ回路は、

D フリップフロップ回路と、

前記D フリップフロップ回路から出力される信号に応じた信号を出力する複数の論理回路と、をそれぞれ有することを特徴とする表示装置。

#### 【請求項 7】

請求項5または6において、

前記位相比較回路は、

論理回路と、

D フリップフロップ回路と、を有することを特徴とする表示装置。

#### 【請求項 8】

30

請求項5乃至7のいずれか一において、

前記第1の位相シフト回路は、

前記ゲート信号線に出力される前記第1の信号の位相をシフトするための第1のシフトレジスタ回路と、

前記第1のシフトレジスタ回路の各段に設けられ、前記第1のカウンタ回路においてカウントされた信号の数に応じてオンとオフが切り替わるアナログスイッチと、を有し、

前記第2の位相シフト回路は、

前記ゲート信号線に出力される前記第2の信号の位相をシフトするための第2のシフトレジスタ回路と、

前記第2のシフトレジスタ回路の各段に設けられ、前記第2のカウンタ回路においてカウントされた信号の数に応じてオンとオフが切り替わるアナログスイッチと、を有することを特徴とする表示装置。

40

#### 【請求項 9】

請求項1乃至8のいずれか一に記載の表示装置を表示部に備えたことを特徴とする電子機器。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は表示装置に関する。特に配線に入力される信号の遅延に伴う位相のズレを補完するための補正回路を具備する表示装置に関する。また、当該表示装置を表示部に有する電

50

子機器に関する。

**【背景技術】**

**【0002】**

近年、ガラス基板上等の絶縁体上に半導体薄膜を形成した表示装置、特にTFT（薄膜トランジスタ：Thin Film Transistor）を用いたアクティブマトリクス型表示装置の普及が顕著となっている。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された画素部に数十万～数百万のTFTを有しており、各画素の点灯または非点灯を制御し、画像の表示を行っている。

**【0003】**

このような表示装置においては、画素1つずつに対してTFTが配置され、それらのTFTのオンとオフを制御することによって、各画素の点灯または非点灯が制御される。10

**【0004】**

前述の表示装置において、多階調の画像を表示する場合の駆動方式の例として、アナログ駆動方式（アナログ階調方式）とデジタル駆動方式（デジタル階調方式）が挙げられる。

**【0005】**

アナログ駆動方式とは、発光素子に流れる電流の大きさを連続的に制御して階調を得るという方式である。またデジタル駆動方式とは、発光素子のオン状態（点灯している状態）とオフ状態（非点灯している状態）の二つの状態のみによって駆動する方式である。

**【0006】**

デジタル駆動方式は、そのままで2階調しか表示できないため、面積階調方式や時間階調方式といった多階調を表示する駆動方法との組み合わせが提案されている。面積階調方式とは、画素内に副画素を設け、その発光面積の大きさによって階調表示を行う方法である。また、時間階調方式とは、画素の発光している期間の長さや発光した回数を制御して多階調を表示する駆動方式である。具体的には特許文献1、特許文献2に記載される。20

【特許文献1】特開2001-5426号公報

【特許文献2】特開2001-343933号公報

**【発明の開示】**

**【発明が解決しようとする課題】**

**【0007】**

図22(A)に画素に発光素子を用いたアクティブマトリクス形式の画素回路の一例を示す。図22(A)に示した回路構成は、書き込み用トランジスタ2201（第1のトランジスタともいう）、駆動用トランジスタ2202（第2のトランジスタともいう）、発光素子2203を有している。書き込み用トランジスタ2201のゲートは、ゲートライン（ゲート信号線、走査線ともいう）GLに接続されており、第1端子はソースライン（ソース信号線、信号線ともいう）SLに、第2端子は駆動用トランジスタ2202のゲートに接続されている。駆動用トランジスタ2202は、第1端子が電源線VLに、第2端子が発光素子2203の第1端子に接続されている。発光素子2203の第2端子は、対向電極に接続されている。30

**【0008】**

なおトランジスタはその構造からソース電極とドレイン電極の定義が困難であるため、ここではソース電極及びドレイン電極の一方を第1端子、ソース電極及びドレイン電極の他方を第2端子と表記する。40

**【0009】**

次に図22(B)、図22(C)のタイミングチャートを使い図22(A)の回路の動作の説明をする。ここでは、書き込み用トランジスタ2201をNチャネル型トランジスタ、駆動用トランジスタ2202をPチャネル型トランジスタとして説明する。そして、ソースラインSLの節点Nsの電位についての信号波形、ゲートラインGLの節点Ngの電位についての信号波形を説明する。

**【0010】**

図22(B)において、節点Nsが低電位の信号（Lowレベルともいう）のとき節点N50

$N_G$  が高電位の信号 (High レベルともいう) であるなら節点  $N_S$  の電位が駆動用トランジスタ 2202 のゲートに取り込まれると、VL の電位が画素に取り込まれることにより画素の発光素子 2203 は発光する。また、節点  $N_S$  が高電位の信号のとき節点  $N_G$  高電位の信号であるなら節点  $N_S$  の電位が駆動用トランジスタ 2202 のゲートに取り込まれると、VL の電位が発光素子 2203 に供給されず画素の発光素子は消灯する。

#### 【0011】

しかしながら表示装置の画素が設けられる画素部に供給される信号は、信号が供給される配線の抵抗や容量成分などに起因する信号のなまりや遅延により、位相がされることがある。この信号の位相のズレがおこった場合のタイミングチャートについて図 22 (C) に示す。

10

#### 【0012】

図 22 (C) においても、節点  $N_G$  の電位が High レベルのとき節点  $N_S$  の電位を画素に取り込む。しかしながら図 22 (C) において、節点  $N_G$  の電位が High レベルの時に、節点  $N_S$  の電位が High レベルから Low レベルに立ち下がる、または Low レベルから High レベルに立ち上がっててしまう。そのため、実際の表示においては正常な表示を得ることができず、本来非表示の部分が表示になる、または表示すべき画素が表示されないといった不具合が生じてしまう。

#### 【0013】

本発明は、信号を供給するための配線における寄生抵抗や寄生容量に伴い 2 つの信号の位相がずれた場合のズレを検知し、その上で表示装置内部において信号の位相のズレを修復し、正常な表示を得ることのできる表示装置を提供することを課題とする。

20

#### 【課題を解決するための手段】

#### 【0014】

上述の諸問題を解決するため、本発明は、入力される 2 つの信号の位相が異なるのかどうかを比較する位相比較回路と、位相比較回路において位相がずれていることが検知された場合の数をカウントするカウンタ回路と、カウンタ回路において位相のズレがカウントされた程度に応じて、2 つの信号の一方の信号の位相をシフトさせて位相のズレを修復した信号を出力させることのできる位相シフト回路を有することを特徴とする。以下、本発明の具体的な構成について示す。

#### 【0015】

30

本発明の表示装置の一は、ゲート信号線と、ソース信号線と、ゲート信号線に出力される信号及びソース信号線に出力される信号の電位を比較する位相比較回路と、位相比較回路から出力される信号の数をカウントするカウンタ回路と、カウンタ回路から出力される信号に基づいて、ゲート信号線に出力される信号の位相をシフトさせる位相シフト回路と、を有することを特徴とする表示装置である。

#### 【0016】

また別の本発明の表示装置の一は、第 1 の信号及び第 2 の信号が出力されるゲート信号線と、ビデオ信号が出力されるソース信号線と、第 1 の信号の位相及びビデオ信号の位相、並びに第 2 の信号の位相及びビデオ信号の位相を比較する位相比較回路と、位相比較回路から出力される信号において、第 1 の信号の位相とビデオ信号の位相とを比較することにより出力される信号の数をカウントする第 1 のカウンタ回路と、位相比較回路から出力される信号において、第 2 の信号の位相とビデオ信号の位相とを比較することにより出力される信号をカウントする第 2 のカウンタ回路と、第 1 のカウンタ回路から出力される信号に基づいて、第 1 の信号の位相をシフトさせる第 1 の位相シフト回路と、第 2 のカウンタ回路から出力される信号に基づいて、第 2 の信号の位相をシフトさせる第 2 の位相シフト回路と、を有することを特徴とする表示装置である。

40

#### 【0017】

また、本発明の位相比較回路は、論理回路を有する構成であってもよい。

#### 【0018】

また、本発明のカウンタ回路は、D フリップフロップ回路及び、D フリップフロップ回路

50

から出力される信号に応じた信号を出力する複数の論理回路を有する構成であってもよい。

#### 【0019】

また、本発明の位相シフト回路は、ゲート信号線に出力される信号の位相をシフトするためのシフトレジスタ回路、及びシフトレジスタ回路の各段に設けられ、カウンタ回路においてカウントされる信号の数に応じてオンとオフが切り替わるアナログスイッチを有する構成であってもよい。

#### 【発明の効果】

#### 【0020】

本発明によれば、アクティブマトリクス型の表示装置において、特にデジタル駆動方式で駆動を行う場合、画素部に入力される信号である走査信号と映像信号の位相が、信号が供給される配線の抵抗や容量成分などに起因する信号のなまりや遅延によりずれた場合であっても、表示装置内部において信号の位相のずれをカウント及び修復し、正常な表示を得ることが可能となる。

10

#### 【発明を実施するための最良の形態】

#### 【0021】

以下に、本発明の実施の形態及び実施例を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従つて、本実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、実施の形態及び実施例を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

20

(実施の形態1)

#### 【0022】

図1に本実施の形態における表示装置のブロック図について示し、以下詳細に説明する。なお本発明において表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、基板上に液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体のことでもよい。さらには、フレキシブルプリントサーキット（FPC）やプリント配線基板（PWB）が取り付けられたものも含んでもよい。また、発光装置とは、特にEL素子やFEDで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

30

#### 【0023】

なお、本発明において接続されているとは、電気的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が配置されていてもよい。

#### 【0024】

図1に本発明の基本構成について示す。図1(A)に示す表示装置は、ゲート信号線駆動回路101、ソース信号線駆動回路102、画素部103、位相比較回路110（第1の回路ともいう）、カウンタ回路111（第2の回路ともいう）、位相シフト回路112（第3の回路ともいう）を有する。ゲート信号線駆動回路101にはゲートライン107（第1の信号ともいう）、ソース信号線駆動回路102にはソースライン108（第2の信号ともいう）が接続されている。画素部103における画素109は、ゲートライン107、ソースライン108に接続されている。そして、画素109には、ソースライン108からの信号をゲートライン107の信号により画素に設けられた表示媒体に書き込むためのトランジスタが設けられており、それぞれの画素においてトランジスタの各端子はゲートライン107、ソースライン108に接続されている。

40

#### 【0025】

図1(B)には、図1(A)で示したブロック図を簡略化し、各回路に入力される信号に

50

ついて示す図である。図1(B)において、ゲート信号線駆動回路101は位相シフト回路112を介して入力されるゲート信号書き込み制御信号GWEに制御され、ソース信号線駆動回路102はソース信号書き込み制御信号SWEに制御される。そしてゲート信号線駆動回路101からゲートライン107に走査信号(ゲート信号ともいう)が供給され、ソース信号線駆動回路102からソースライン108に映像信号(ソース信号、ビデオ信号ともいう)が供給される。そして画素部103において、ゲートライン107とソースライン108の一対には位相比較回路110が接続されており、ゲートライン107とソースライン108に入力されている信号の位相を比較する。そして、位相比較回路110からの出力信号は、配線を介してカウンタ回路111の入力端子に入力される。カウンタ回路111には位相比較回路110からの信号の他に初期セット信号PXSが入力されている。そして、カウンタ回路111の出力端子から、カウンタ回路111でカウントした信号の数に応じた信号が、位相シフト回路112の入力端子に入力される。位相シフト回路112においては、タイミング信号TPに応じてゲート信号書き込み制御信号GWEの位相をシフトし、出力端子よりゲート信号線駆動回路101に出力することで走査信号と映像信号の位相のズレを補正する。

#### 【0026】

また、画素109の画素構成について図2に具体的な例を挙げる。図2においては、画素201、トランジスタ202、表示媒体203を有する。本実施の形態ではソースラインSLからの信号の書き込みをおこなうトランジスタ202(書き込みトランジスタともいう)にNチャネル型トランジスタを用いる。従ってゲートラインGLがHighレベルとなるとき、トランジスタ202がオンし、ソースラインSLの電位が表示媒体203に取り込まれる。またゲートラインGLがLowレベルとなるときはトランジスタ202がオフし、ソースラインSLの電位表示媒体203に反映されない。

#### 【0027】

なお本発明の表示装置における表示媒体としては、有機発光素子、無機発光素子に代表される発光素子を各画素に備えた表示装置の他、液晶表示装置、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)ゲートラインとソースラインに入力される信号により表示を行う表示装置がその範疇に含まれる。

#### 【0028】

なお本発明の表示装置において用いられるトランジスタとして、多結晶半導体、微結晶半導体(セミアモルファス半導体を含む)、アモルファス半導体を用いた薄膜トランジスタを用いることができるが、本発明の表示装置に用いられるトランジスタは薄膜トランジスタに限定されない。単結晶シリコンを用いて形成されたトランジスタであっても良いし、SOIを用いたトランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良いし、カーボンナノチューブを用いたトランジスタであってもよいし、酸化亜鉛を用いたトランジスタであってもよい。また本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲートを有するマルチゲート構造であっても良い。

#### 【0029】

次に図3に本実施の形態における位相比較回路110の機能及び構成について説明する。本実施の形態においては、上述の図22(C)の如く画素を点灯させるための信号を画素に入力する際に、ゲートラインにおける節点N<sub>G</sub>の電位がHighレベルで、ソースラインにおける節点N<sub>S</sub>の信号がLowレベルに立ち下がった際の電位を画素に取り込む。位相比較回路110においては、ソースラインにおける節点N<sub>S</sub>の信号とゲートラインにおける節点N<sub>G</sub>の信号の論理積を取る。具体的には、図4(A)に示すようにNAND回路による否定論理積を取り、そしてインバータ回路で反転させ、カウンタ回路111側の節点N<sub>111</sub>に出力する。

#### 【0030】

図3(A)の回路において、ソースライン及びゲートラインの信号が正常な信号である場

10

20

30

40

50

合について図3(B)に示す。また、図3(A)の回路において、ソースライン及びゲートラインの信号の位相がずれ、正常な信号ではない場合について図3(C)に示す。図3(B)ではカウンタ回路111側の節点N<sub>111</sub>の出力がLowレベルであるのに対し、図3(C)では位相のずれに伴いカウンタ回路111側の節点N<sub>111</sub>がHighレベルの信号を出力する。

#### 【0031】

また、位相比較回路110は、図3(A)に示した構成に限定されるものではない。図4(A)に位相比較回路110の別の構成について示す。図4(A)の構成においては、図3(A)に示した構成とは異なり、画素を点灯させるための信号を画素に入力する際に、ゲートラインにおける節点N<sub>G</sub>の電位がHighレベルで、ソースラインにおける節点N<sub>S</sub>の電位がHighレベルに立ち上がった際の電位を画素に取り込む。位相比較回路110においては、ソースラインにおける節点N<sub>S</sub>の信号とゲートラインにおける節点N<sub>G</sub>の信号の反転信号の論理和を取る。具体的には、図4(A)に示すようにゲートラインにおける節点N<sub>G</sub>の信号をインバータ回路で反転させ、ソースラインにおける節点N<sub>S</sub>の信号をNOR回路に入力し、カウンタ回路111側の節点N<sub>111</sub>に出力する。

10

#### 【0032】

図4(A)の回路において、ソースラインの信号及びゲートラインの信号が正常な信号である場合について図4(B)に示す。また、図4(A)の回路において、ソースラインの信号に対してゲートラインの信号の位相がずれ、正常な位相関係ではない場合について図4(C)に示す。図4(B)ではカウンタ回路111側の節点N<sub>111</sub>がLowレベルの信号を出力するのに対し、図4(C)では位相のずれに伴いカウンタ回路111側の節点N<sub>111</sub>がHighレベルの信号を出力する。

20

#### 【0033】

次に本実施の形態におけるカウンタ回路111の機能及び構成について説明する。本実施の形態においては図3に示した位相比較回路110からの出力信号を図5に示すDフリップフロップ回路を用いたカウンタでカウントする。図5におけるDフリップフロップ回路においては、初期状態にするための初期セット信号PXSが入力される。また、本実施の形態におけるDフリップフロップ回路は2段構成にし、出力信号は端子C0、端子C1、端子C2、端子C3より出力される。なお1段目のDフリップフロップ回路から出力される信号は節点N<sub>B1</sub>、2段目のDフリップフロップ回路からの出力される信号は節点N<sub>B2</sub>を経由し、節点N<sub>B1</sub>及び節点N<sub>B2</sub>を経由した信号は論理回路によりカウントされ、端子C0、端子C1、端子C2、端子C3より出力されるものである。

30

#### 【0034】

なお、本明細書でいう論理回路とは、論理積回路や論理和回路などトランジスタを組み合わせて表される回路のことをいう。また、本明細書でいうトランジスタは、薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO、a-InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタなどのトランジスタを適用することができる。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、プラスチック基板、紙基板、セロファン基板、石材基板などに配置することができる。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてよい。

40

#### 【0035】

また、本実施の形態に用いられるカウンタ回路におけるDフリップフロップ回路の一例を図6に示す。本実施の形態に示すDフリップフロップ回路は、NAND回路に構成されているものについて例示し、カウンタとして使用しているが、カウンタの機能を備えたものであれば他の回路を使用してもかまわない。また、カウンタ回路においては、Dフリップフロップ回路の段数、および出力端子数を増やしても良い。例えばDフリップフロップ回

50

路を3段で構成し、出力端子数を8つにすることで、位相シフト回路において画素に入力される信号の位相のずれを正確に補正することができる。

#### 【0036】

また、図5に示したカウンタ回路のタイミングチャートについて図7に示す。まずカウンタ回路111には位相比較回路110の動作を開始する前に1回だけ初期セット信号PXSが入力される。この初期セット信号PXSが入力されることによりカウンタ回路における端子C0からの出力信号がLowレベルとなり、端子C1、端子C2、端子C3から出力される信号がHighレベルとなる。そして位相比較回路110からの出力信号であるN<sub>111</sub>の電位がHighレベルであった場合、節点N<sub>B1</sub>及び節点N<sub>B2</sub>の電位が変化する。その結果、位相のずれが検出される毎に端子C0における電位のLowレベルが、端子C1、端子C2、及び端子C3においてシフトしていくことで前述の位相のずれをカウントすることができる。10

#### 【0037】

次に本実施の形態における位相シフト回路112の機能及び構成について説明する。本実施の形態においては図7に示したカウンタ回路111からの出力信号に基づいて、図8における位相シフト回路112においてゲート信号書き込み制御信号GWEの位相をシフトさせる。ゲート信号書き込み制御信号GWEをシフトさせない場合は、ゲート信号書き込み制御信号GWEが入力される配線がそのままアナログスイッチに接続され、端子C0からの信号によりアナログスイッチがオンすることによってそのまま出力する。図8に示す位相シフト回路112は、カウンタ回路111からの出力信号に対応する数のフリップフロップ回路を有する構成であり、フリップフロップ回路の各段においては、各段に設けられたアナログスイッチを介して図1におけるゲート信号線駆動回路101に接続されている。そして、各アナログスイッチは、前述のカウンタ回路111からの信号が出力される端子C1、端子C2、端子C3に接続されている。20

#### 【0038】

また、図8に示した位相シフト回路112のタイミングチャートについて図9に示す。位相シフト回路112に入力されるゲート信号書き込み制御信号GWEは、そのHighレベルの期間がタイミング信号TPの半波長分だけフリップフロップ回路によりシフトし、節点N<sub>A1</sub>、節点N<sub>A2</sub>、節点N<sub>A3</sub>より出力される。30

#### 【0039】

本実施の形態の構成を採用することにより、アクティブマトリクス型の表示装置において、特にデジタル駆動方式で駆動を行う場合、画素部に入力される信号である走査信号と映像信号の位相が、信号が供給される配線の抵抗や容量成分などに起因する信号のなまりや遅延によりずれた場合であっても、表示装置内部において信号の位相のずれをカウント及び修復し、正常な表示を得ることが可能となる。

#### 【0040】

なお、本実施の形態における各回路の構成は、あくまで例であり、これに限定されるものではないことを付記する。すなわち、上記位相比較回路においては、接続された2本の配線に供給される信号の位相のずれを検出し、出力することができる回路であればよい。また上記カウンタ回路において、位相比較回路で検出した位相のずれをカウントし、カウント数に応じた信号を出力する回路であればよい。また、上記位相シフト回路においては、接続される2本の配線に供給される信号の位相のうち、いずれかの信号の位相をカウンタ回路におけるカウント数に基づいて信号の位相をシフトする回路であればよい。40

#### 【0041】

なお、本実施の形態は、本明細書中の他の実施の形態の記載と組み合わせて実施することが可能である。

#### (実施の形態2)

#### 【0042】

本実施の形態においては、実施の形態1で示した構成とは別の構成について説明する。

#### 【0043】

10

20

30

40

50

まず本実施の形態における表示装置の駆動方法について図10～図12を用いて説明する。

#### 【0044】

デジタル階調方式で階調を表現する方法の一つである時間階調法において、行書き込み時間を2つに分割し、前半の行書き込み期間（第1の行書き込み期間）では画素へのビデオ信号の書き込みを行ない、後半の行書き込み期間（第2の行書き込み期間）では画素に書き込まれたビデオ信号を消去するための信号を画素に書き込む駆動方法がある。画素に書き込まれたビデオ信号を消去するための信号を画素に書き込むことで非表示期間を設け、サブフレーム期間の長さを書き込み期間の長さよりも短くする。このような駆動方法について図10に示す。

10

#### 【0045】

図10について説明する。アドレス期間 $T_{a1}$ において、1行目から順にゲート信号線に走査信号が入力され、画素が選択される。そして、画素が選択されているときに、ソース信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサスティン期間 $T_{s1}$ における各画素の点灯、非点灯が制御される。つまり、ビデオ信号の書き込み動作が完了した行においては、直ちに書き込まれたビデオ信号にしたがって、画素が点灯又は非点灯の状態となる。同じ動作が、最終行まで行われ、アドレス期間 $T_{a1}$ が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。同様に、アドレス期間 $T_{a2}$ 、 $T_{a3}$ 、 $T_{a4}$ において画素へビデオ信号が入力され、そのビデオ信号によってサスティン期間 $T_{s2}$ 、 $T_{s3}$ 、 $T_{s4}$ における各画素の点灯、非点灯が制御される。そして、サスティン期間 $T_{s4}$ はその周期を消去動作の開始によって設定される。なぜなら、各行の消去時間 $T_e$ に画素に書き込まれた信号の消去が行われると、次の画素への信号の書き込みが行われるまでは、アドレス期間に画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間 $T_e$ が始まった行の画素からデータ保持時間が終了する。

20

#### 【0046】

よって、アドレス期間とサスティン期間とを分離せずに、データ保持時間がアドレス期間より短い高階調且つデューティー比（1フレーム期間中の点灯期間の割合）の高い表示装置を提供することができる。また、瞬間輝度を低くすることが可能であるため表示素子の信頼性の向上を図ることが可能である。図10（B）に示すように、1水平期間において、書き込み動作用の書き込み時間と消去動作用の消去時間を設けることによって、図10（A）のようにデータ保持時間がアドレス期間より短い場合の階調を表現することができる。

30

#### 【0047】

例えば、図11に示すように、1水平期間を2つに分割する。ここでは、前半が書き込み時間、後半が消去時間として説明する。そして、分割された水平期間内で、各々の走査線を選択し、そのときに対応する信号をソース信号線に入力する。例えば、ある1水平期間において、前半は $i$ 行目を選択し、後半は $j$ 行目を選択する。すると、1水平期間において、あたかも同時に2行分を選択したかのように動作させることが可能となる。つまり、それぞれの1水平期間の前半の書き込み時間を用いて、書き込み時間 $T_{b1} \sim T_{b4}$ にソース信号線から画素へビデオ信号を書き込む。そして、このときの1水平期間の後半の消去時間には画素を選択しない。また、別の1水平期間の後半の消去時間を用いて消去時間 $T_e$ にソース信号線から画素へ消去信号を入力する。このときの1水平期間の前半の書き込み時間には画素を選択しない。このようにすることによって、開口率の高い画素を有する表示装置を提供することができ、歩留まりの向上を図ることができる。

40

#### 【0048】

また、上述したような駆動をする表示装置の一例を図12に示す。

#### 【0049】

第1のゲート信号線駆動回路1201A、第2のゲート信号線駆動回路1201B、ソース信号線駆動回路1202、画素部1203を有し、画素部1203には画素1209が

50

ゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> とソース信号線 S<sub>1</sub> ~ S<sub>n</sub> に対応してマトリクスに配置されている。第1のゲート信号線駆動回路 1201A はシフトレジスタ回路 1204A と、シフトレジスタ回路 1204A と各ゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> との導通または非導通状態を制御するスイッチ 1205A を有している。また、第2のゲート信号線駆動回路 1201B はシフトレジスタ回路 1204B と、シフトレジスタ回路 1204B と各ゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> との導通または非導通を制御するスイッチ 1205B を有している。

#### 【0050】

なお、ゲート信号線 G<sub>p</sub> (ゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> のいずれか一) は図1のゲートライン 107 に相当し、ソース信号線 S<sub>q</sub> (ソース信号線 S<sub>1</sub> ~ S<sub>n</sub> のうちいずれか一) は図1のソースライン 108 に相当する。

10

#### 【0051】

第1のゲート信号線駆動回路 1201A には、クロック信号 (GCLK)、クロック反転信号 (GCLKB)、スタートパルス信号 (GSP)、第1のゲート信号書き込み制御信号 (GWE1) などの信号が入力される。そして、それらの信号にしたがって、選択する画素行の第1のゲート信号線 G<sub>p</sub> (ゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> のうちいずれか一) に画素を選択する信号を出力する。なお、このときの信号は図11のタイミングチャートに示すように1水平期間の前半に出力されるパルスである。つまり、シフトレジスタ回路 1204A から出力される信号はスイッチ 1205A がオンしているときにだけゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> に出力される。

#### 【0052】

20

第2のゲート信号線駆動回路 1201B には、クロック信号 (RCLK)、クロック反転信号 (RCLK)、スタートパルス信号 (RSP)、第2のゲート信号書き込み制御信号 (GWE2) などの信号が入力される。そして、それらの信号にしたがって、選択する画素行の第2のゲート信号線 G<sub>q</sub> (ゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> のうちいずれか一) に信号を出力する。なお、このときの信号は図11のタイミングチャートに示すように1水平期間の後半に出力されるパルスである。つまり、シフトレジスタ回路 1204B から出力される信号はスイッチ 1205B がオンしているときにだけゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> に出力される。

#### 【0053】

30

また、ソース信号線駆動回路 1202 には、クロック信号 (SCLK)、クロック反転信号 (SCLKB)、スタートパルス信号 (SSP)、ビデオ信号 (Video Data)、ソース信号書き込み制御信号 (SWE) などの信号が入力される。そして、それらの信号にしたがって、各ソース信号線 S<sub>1</sub> ~ S<sub>n</sub> へ各列の画素に応じた信号を出力する。ソース信号書き込み制御信号 (SWE) によりソース信号線駆動回路 1202 から出力される信号が制御される。つまり、ソース信号書き込み制御信号 (SWE) が Low レベルのときには、ビデオ信号が出力され、High レベルのときには消去信号が出力される。

#### 【0054】

30

よって、ソース信号線 S<sub>1</sub> ~ S<sub>n</sub> に入力されたビデオ信号は、第1のゲート信号線駆動回路 1201A からゲート信号線 G<sub>i</sub> (ゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> のうちいずれか一) に入力された信号によって選択された画素行の各列の画素 1209 に書き込まれる。そして、各ゲート信号線 G<sub>1</sub> ~ G<sub>m</sub> により各画素行が選択され、各画素 1209 に各画素に対応したビデオ信号が書き込まれる。そして、各画素 1209 は書き込まれたビデオ信号のデータを一定期間保持する。それぞれによって、各画素 1209 は、点灯又は非点灯の状態を維持することができる。

40

#### 【0055】

上述の図10～図12で示した駆動方法において、ゲート信号線は一水平期間において、ビデオデータの書き込み用の走査とビデオデータの消去用の走査を行うことになる。そして図13(A)に示すように、ビデオデータの書き込み用の走査とビデオデータの消去用の走査はソース信号と正常な位相関係にあることが必要である。しかしながら図13(B)、図13(C)で示すように一水平期間において、正常な位相関係と不良な位相関係が

50

混在する場合もありえる。また、図13(D)に示すように、ビデオデータの書き込み用の走査とビデオデータの消去用の走査がともに一水平期間において位相がずれた状態となってしまっている場合もあり得る。

#### 【0056】

そこで本実施の形態においては、このようなビデオ信号の書き込みと消去が一水平期間において同じゲート信号線で行われる場合であっても位相のずれを検知し、そのずれをカウントし、そして位相をシフトすることで正常な位相に補正することができる表示装置について述べる。

#### 【0057】

図14に本実施の形態における表示装置のブロック図について示し、以下詳細に説明する。  
10 なお、図14に示すブロック図は図12に示した表示装置を簡略化して示したものであり符号については同じ符号を付したものである。なお、本実施の形態における各構成の具体例については、実施の形態1と同様の構成であれば、その説明について実施の形態1における説明を援用することにする。

#### 【0058】

図14に本実施形態の基本構成について示す。図14(A)に示す表示装置は、第1のゲート信号線駆動回路1201A、第2のゲート信号線駆動回路1201B、ソース信号線駆動回路1202、画素部1203、位相比較回路1210(第1の回路ともいう)、第1のカウンタ回路1211A(第2の回路ともいう)、第2のカウンタ回路1211B、第1の位相シフト回路1212A(第3の回路ともいう)、第2の位相シフト回路1212Bを有する。第1のゲート信号線駆動回路1201A及び第2のゲート信号線駆動回路1201Bにはゲートライン1207、ソース信号線駆動回路1202にはソースライン1208が接続されている。画素部1203における画素1209は、ゲートライン1207、ソースライン1208に接続されている。そして、画素1209には、ソースライン1208からの信号をゲートライン1207の信号により画素に設けられた表示媒体に書き込むためのトランジスタが設けられており、それぞれの画素においてトランジスタの各端子はゲートライン1207、ソースライン1208に接続されている。

#### 【0059】

図14(B)には、図14(A)で示したブロック図を簡略化し、各回路に入力される信号について示す図である。図14(B)において、第1のゲート信号線駆動回路1201Aは第1の位相シフト回路1212Aを介して入力される第1のゲート信号書き込み制御信号GWE1に制御され、第2のゲート信号線駆動回路1201Bは第2の位相シフト回路1212Bを介して入力される第2のゲート信号書き込み制御信号GWE2に制御され、ソース信号線駆動回路1202はソース信号書き込み制御信号SWEに制御される。そして第1のゲート信号線駆動回路1201Aからゲートライン1207に第1の走査信号(書き込み信号ともいう)、第2のゲート信号線駆動回路1201Bからゲートライン1207に第2の走査信号(消去信号ともいう)、ソース信号線駆動回路1202からソースライン1208に映像信号(ソース信号、ビデオ信号ともいう)が供給される。そして画素部1203において、ゲートライン1207とソースライン1208の一対には水平期間毎にセット信号EXSが入力される位相比較回路1210が接続されており、ゲートライン1207とソースライン1208に入力されている信号の位相を比較する。そして、位相比較回路1210からの出力信号は、配線を介して第1のカウンタ回路1211A、第2のカウンタ回路1211Bの入力端子に入力される。第1のカウンタ回路1211A、第2のカウンタ回路1211Bには位相比較回路1210からの信号の他に初期セット信号PXSが入力されている。そして、第1のカウンタ回路1211A、第2のカウンタ回路1211Bの出力端子から、第1のカウンタ回路1211A、第2のカウンタ回路1211Bでそれぞれカウントした信号の数に応じた信号が、第1の位相シフト回路1212A、第2の位相シフト回路1212Bの入力端子に入力される。第1の位相シフト回路1212A、第2の位相シフト回路1212Bにおいては、タイミング信号TPに応じて、第1のゲート信号書き込み制御信号GWE1、第2のゲート信号書き込み制御信号G  
40  
50

WE 2 の位相をシフトし、出力端子より第 1 のゲート信号線駆動回路 1201A、第 2 のゲート信号線駆動回路 1201B に出力することで第 1 の走査信号及び第 2 の走査信号と、映像信号の位相のズレを補正する。

#### 【 0 0 6 0 】

また、画素 1209 の画素構成については、実施の形態 1 で述べた図 2 の構成と同様である。

#### 【 0 0 6 1 】

次に図 15 に本実施の形態における位相比較回路 1210 の機能及び構成について説明する。本実施の形態においては、ゲートラインにおける節点  $N_G$  の電位が High レベルで、ソースラインにおける節点  $N_S$  の信号が Low レベルに立ち下がった際の電位を書き込み信号として画素に取り込み、ゲートラインにおける節点  $N_G$  の電位が High レベルで、ソースラインにおける節点  $N_S$  の信号が High レベルに立ち上がった際の電位を消去信号として画素に取り込むものとする。10

#### 【 0 0 6 2 】

位相比較回路 1210 においては、ソースラインにおける節点  $N_S$  の信号とゲートラインにおける節点  $N_G$  の信号の論理積を取る論理回路 LOG 1 を設ける。具体的には、実施の形態 1 の図 3 (A) に示した回路を設ける。また、これと同時にソースラインにおける節点  $N_S$  の信号とゲートラインにおける節点  $N_G$  の信号の反転信号の論理和を取る論理回路 LOG 2 を設ける。具体的には、実施の形態 1 で示した図 4 (A) に示した回路を設ける。20

#### 【 0 0 6 3 】

論理回路 LOG 1、論理回路 LOG 2 からの出力は、節点  $N_{1503A}$ 、節点  $N_{1503B}$  を経由して、カウンタ回路 1503A、カウンタ回路 1503B に入力される。図 15 におけるカウンタ回路 1503A 及びカウンタ回路 1503B は、2 段の D フリップフロップ回路で構成される。なお、カウンタ回路 1503A 及びカウンタ回路 1503B における D フリップフロップ回路は実施の形態 1 で示した図 6 の回路を有するものである。

#### 【 0 0 6 4 】

なお、カウンタ回路 1503A 及びカウンタ回路 1503B において、1 段目の D フリップフロップ回路における端子 Q は、2 段目の D フリップフロップ回路における端子 CLK に接続されず、1 段目の D フリップフロップ回路における端子 QB が、2 段目の D フリップフロップ回路における端子 CLK に接続される。また、カウンタ回路 1503A 及びカウンタ回路 1503B において、D フリップフロップ回路の各段における端子 XS にはセット信号 EXS が入力される。30

#### 【 0 0 6 5 】

論理回路 LOG 1 に節点  $N_{1503A}$  を介して接続されたカウンタ回路 1503A の 2 段目の D フリップフロップ回路における端子 Q は、アナログスイッチ 1504 (アナログスイッチ回路ともいう) の入力端子に接続されている。また、節点  $N_{1503B}$  は、アナログスイッチ 1504 の制御端子、及びインバータ回路 1505 の入力端子に接続されている。また、インバータ回路 1505 の出力端子はアナログスイッチ 1504 の反転制御端子及びトランジスタ 1506 のゲートに接続されている。なお、本実施の形態においてトランジスタ 1506 は N チャネル型トランジスタである。そしてインバータ回路 1505 からの信号の電位が Low レベルであるとき、トランジスタ 1506 はオフ、アナログスイッチ 1504 がオンし、アナログスイッチ 1504 の出力端子よりカウンタ回路 1503A の 2 段目の D フリップフロップ回路における端子 Q からの出力信号が、図 14 における位相比較回路 1210 と第 1 のカウンタ回路 1211Aとの間の節点  $N_{1211A}$  に出力される。また、インバータ回路 1505 からの信号の電位が High レベルであるとき、アナログスイッチ 1504 がオフ、トランジスタ 1506 がオンし、トランジスタ 1506 の第 1 端子に接続された GND 電位がトランジスタ 1506 の第 2 端子より図 14 における位相比較回路 1210 と第 1 のカウンタ回路 1211Aとの間の節点  $N_{1211A}$  に出力される。4050

**【 0 0 6 6 】**

また、論理回路LOG2に節点N<sub>1 5 0 3 B</sub>を介して接続されたカウンタ回路1503Bの2段目のDフリップフロップ回路における端子Qからの出力信号は、図14における位相比較回路12110と第2のカウンタ回路1211Bとの間の節点N<sub>1 2 1 1 B</sub>に出力される。

**【 0 0 6 7 】**

また、図14における、第2のカウンタ回路1211Bについては、実施の形態1で述べた図5の構成と同様である。さらに、第1のカウンタ回路1211A、第2のカウンタ回路1211BにおけるDフリップフロップ回路は、実施の形態1で示した図6の回路を有するものである。

10

**【 0 0 6 8 】**

また、図14における第1の位相シフト回路1212A、第2の位相シフト回路1212Bについては、実施の形態1で述べた図8の構成と同様である。なお、第1の位相シフト回路1212Aには、第1のカウンタ回路1211Aからの信号が入力され、第2の位相シフト回路1212Bには、第2のカウンタ回路1211Bからの信号が入力される。

**【 0 0 6 9 】**

次に本実施の形態における図14の動作について、図16～図19のタイミングチャートを用いて説明する。なお、図15における論理回路LOG1及びカウンタ回路1503A並びに図14における第1のカウンタ回路1211A、第1の位相シフト回路1212Aは、ビデオ信号の書き込み動作に関するゲート信号線とソース信号線の位相のずれを補正するものである。また図15における論理回路LOG2及びカウンタ回路1503B並びに図14における第2のカウンタ回路1211B、第2の位相シフト回路1212Bは、ビデオ信号の消去動作に関するゲート信号線とソース信号線の位相のずれを補正するものである。

20

**【 0 0 7 0 】**

図16は、ビデオ信号の書き込み時、及び消去信号の書き込み時におけるソース信号線とゲート信号線の信号の位相がずれていないときのタイミングチャートである。図16において、ソース信号線の電位がLowレベルの時にゲート信号線の電位をHighレベルにすることで画素にソース信号線の電位を取り込むのが書き込み期間であり、ソース信号線の電位がHighレベルの時にゲート信号線の電位をHighレベルにすることで画素に保持された電位を消去するのが消去期間である。また、図17は書き込み期間におけるゲート信号線の信号の位相がずれた場合のタイミングチャート、図18は消去期間におけるゲート信号線の信号の位相がずれた場合のタイミングチャート、図19は書き込み期間及び消去期間におけるゲート信号線の信号の位相がずれた場合のタイミングチャートである。

30

**【 0 0 7 1 】**

図16において、図14の位相比較回路1210における節点N<sub>1 5 0 3 A</sub>、節点N<sub>1 5 0 3 B</sub>の電位は、論理回路LOG1、論理回路LOG2により出力される信号の電位である。図16において論理回路LOG1はゲート信号線の電位がHighレベル、ソース信号線の電位がHighレベルの時、つまり消去期間における画素に保持された電位を消去する動作を行うとき、その出力である節点N<sub>1 5 0 3 A</sub>の電位がHighレベルになる。また図16において論理回路LOG2はゲート信号線の電位がHighレベル、ソース信号線の電位がLowレベルの時、つまり書き込み期間における画素に信号を書き込む動作を行うとき、その出力である節点N<sub>1 5 0 3 B</sub>の電位がHighレベルになる。そのため、一水平期間における書き込み動作及び消去動作に伴い、節点N<sub>1 5 0 3 A</sub>及び節点N<sub>1 5 0 3 B</sub>の電位は一度Highレベルになる。

40

**【 0 0 7 2 】**

書き込み期間において論理回路LOG1はゲート信号線の電位がHighレベル、ソース信号線の電位がHighレベルの時、つまりゲート信号線の位相が書き込み期間において図17に示すようにシフトした時、その出力である節点N<sub>1 5 0 3 A</sub>の電位をHighレ

50

ベルにする。また消去期間において論理回路LOG2はゲート信号線の電位がHighレベル、ソース信号線の電位がLowレベルの時、つまりゲート信号線の位相が消去期間において図18のようにシフトした時、その出力である節点N<sub>1503B</sub>の電位をHighレベルにする。そのため、一水平期間において、書き込み動作及び消去動作に伴い節点N<sub>1503A</sub>及び節点N<sub>1503B</sub>の電位がHighレベルとなるのと併せて、節点N<sub>1503A</sub>及び節点N<sub>1503B</sub>の電位は2度Highレベルになる。すなわち、節点N<sub>1503A</sub>または節点N<sub>1503B</sub>の電位がHighレベルになるのは、正常な書き込みまたは消去動作による電位の変化に基づくものと、ゲート信号線及びソース信号線の位相のいずれに基づく電位の変化に基づくものである。

## 【0073】

10

そして、本実施の形態の場合、ゲート信号線における信号の位相とソース信号線における信号の位相のずれを検知する上で、ビデオ信号の書き込みをする際のゲート信号線とソース信号線の電位の関係と消去期間におけるゲート信号線とソース信号線の電位がずれた場合の電位の関係が同じであることが問題となる。そのため、本実施の形態における位相比較回路において設けられたカウンタ回路には、ある水平期間に1度のHighレベル又は2度のHighレベルが入力されるごとに、すなわち書き込み期間及び消去期間が経過する毎に、セット信号EXSを入力することで1度のHighレベルによる正常な書き込みまたは消去動作による電位の変化かどうか、2度のHighレベルによるゲート信号線及びソース信号線の位相のずれに基づく電位の変化かどうかを判定する。

## 【0074】

20

例えば、書き込み期間及び消去期間において、ゲート信号線及びソース信号線の信号の位相のずれがない図16の場合、セット信号EXSがHighレベルになった間の期間においては、節点N<sub>1503A</sub>及び節点N<sub>1503B</sub>ともに1度だけHighレベルになり、カウンタ回路1503Aおよびカウンタ回路1503Bは節点N<sub>1211A</sub>や節点N<sub>1211B</sub>に位相のずれが検出された信号であるHighレベルの信号を出力しない。

## 【0075】

また書き込み期間において、ゲート信号線及びソース信号線の信号の位相のずれが生じる図17の場合、セット信号EXSがHighレベルになった間の期間においては、消去期間のゲート信号線及びソース信号線の位相のずれを検出する節点N<sub>1503B</sub>については1度だけHighレベルになり、カウンタ回路1503Bは節点N<sub>1211B</sub>に位相のずれが検出された信号であるHighレベルの信号を出力しない。逆に、書き込み期間のゲート信号線及びソース信号線の位相のずれを検出する節点N<sub>1503A</sub>については2度Highレベルになり、カウンタ回路1503Aは節点N<sub>1211A</sub>に位相のずれが検出された信号であるHighレベルの信号を出力する。

30

## 【0076】

また消去期間において、ゲート信号線及びソース信号線の信号の位相のずれが生じる図18の場合、セット信号EXSがHighレベルになった間の期間においては、書き込み期間のゲート信号線及びソース信号線の位相のずれを検出する節点N<sub>1503A</sub>については1度だけHighレベルになり、カウンタ回路1503Aは節点N<sub>1211A</sub>に位相のずれが検出された信号であるHighレベルの信号を出力しない。逆に、消去期間のゲート信号線及びソース信号線の位相のずれを検出する節点N<sub>1503B</sub>については2度Highレベルになり、カウンタ回路1503Bは節点N<sub>1211B</sub>に位相のずれが検出された信号であるHighレベルの信号を出力する。

40

## 【0077】

また書き込み期間及び消去期間において、ゲート信号線及びソース信号線の信号の位相のずれが生じる図19の場合、セット信号EXSがHighレベルになった間の期間においては、書き込み期間のゲート信号線及びソース信号線の位相のずれを検出する節点N<sub>1503A</sub>については2度Highレベルになり、カウンタ回路1503Aは節点N<sub>1211A</sub>に位相のずれが検出された信号であるHighレベルの信号を出力する。さらに、消去期間のゲート信号線及びソース信号線の位相のずれを検出する節点N<sub>1503B</sub>について

50

は2度Highレベルになり、カウンタ回路1503Bは節点N<sub>1211B</sub>に位相のずれが検出された信号であるHighレベルの信号を出力する。

#### 【0078】

また、書き込み期間の信号の位相のずれをカウントするカウンタ回路1503Aの出力端子に接続されたアナログスイッチ1504は、ソース信号線の信号がHighレベル、すなわち表示が黒表示のときに起こる補正の不良を防ぐためのものである。例として、ソース信号線の信号がHighレベル、すなわち表示が黒表示のときの際のタイミングチャートについて図20に示す。図20に示すように、セット信号EXSがHighレベルになった間の期間においては、書き込み期間のゲート信号線及びソース信号線の位相のずれを検出する節点N<sub>1503A</sub>については2度Highレベルになり、カウンタ回路1503Aは節点N<sub>1211A</sub>に位相のずれが検出された信号であるHighレベルの信号を出力する。

10

#### 【0079】

なお、消去期間のゲート信号線及びソース信号線の位相のずれを検出する節点N<sub>1503B</sub>については、ゲート信号線の電位がHighレベル、ソース信号線の電位がLowレベルのときHighレベルの信号を出力するため、節点N<sub>1503B</sub>は常にLowレベルとなる。このとき節点N<sub>1503B</sub>の電位のレベルは、アナログスイッチ1504をオン状態にすることなく、インバータ回路1505を介してトランジスタ1506のゲートに入力される。つまり節点N<sub>1503B</sub>がLowレベルのとき、インバータ回路1505を介してトランジスタ1506のゲートにHighレベルの信号が入力され、トランジスタ1506がNチャネル型トランジスタであるためトランジスタ1506はオンになり、トランジスタ1506の第1端子に接続されたGND電位がトランジスタ1506の第2端子より図14における位相比較回路1210と第1のカウンタ回路1211Aとの間の節点N<sub>1211A</sub>に出力される。その結果、位相比較回路1210はソース信号線の電位がLowレベルのときにのみ位相の比較を行うことができ、ソース信号線がHighレベルの期間においては、カウンタ回路1503Aの出力について図20に示すように位相がずれていないので位相のずれを検知した信号を出力したとしても、アナログスイッチ1504のオンまたはオフ、及びトランジスタ1506のオンまたはオフにより、カウンタ回路1503Bからの出力をしないようにすることができる。さらに、アナログスイッチ1504と接続されているトランジスタ1506及びGND電位はアナログスイッチ1504がオフになったときに節点N<sub>1211A</sub>が浮遊電位となることを避け、LowレベルであるGND電位にすることができる。

20

#### 【0080】

図4(A)の回路において、ソースラインの信号及びゲートラインの信号が正常な信号である場合について図4(B)に示す。また、図4(A)の回路において、ソースラインの信号に対してゲートラインの信号の位相がずれ、正常な位相関係ではない場合について図4(C)に示す。図4(B)ではカウンタ回路111側の節点N<sub>111</sub>がLowレベルの信号を出力するのに対し、図4(C)では位相のずれに伴いカウンタ回路111側の節点N<sub>111</sub>がHighレベルの信号を出力する。

30

#### 【0081】

本実施の形態の構成を採用することにより、アクティブマトリクス型の表示装置において、特にデジタル駆動方式で駆動を行う場合で、なおかつ特に一水平期間における画素に入力された映像信号の入出力を一つの走査線で行う場合でも、画素部に入力される信号である走査信号と映像信号の位相が、信号が供給される配線の抵抗や容量成分などに起因する信号のなまりや遅延によりずれた場合であっても、表示装置内部において信号の位相のずれをカウント及び修復し、正常な表示を得ることが可能となる。

40

#### 【0082】

なお、本実施の形態における各回路の構成は、あくまで例であり、これに限定されるものではないことを付記する。すなわち、上記位相比較回路においては、接続された2本の配線のうち、いずれか一に供給される2種類の信号の位相のずれを別々に検出し、出力する

50

ことができる回路であればよい。また上記第1のカウンタ回路及び第2のカウンタ回路において、位相比較回路で検出した2種類の信号の位相のずれを別々にカウントし、カウント数に応じた信号を出力する回路であればよい。また、上記第1の位相シフト回路及び第2の位相シフト回路においては、接続される2本の配線のうち、いずれか一に供給される2種類の信号の位相のずれについて、第1のカウンタ回路または第2のカウンタ回路におけるカウント数に基づいて、別々に信号の位相をシフトする回路であればよい。

#### 【0083】

なお、本実施の形態は、本明細書中の他の実施の形態と適宜組み合わせて実施することが可能である。

#### 【実施例1】

10

#### 【0084】

本発明の表示装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パソコン、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機、電子書籍等）、記憶媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記憶媒体を再生し、その画像を表示しうるディスプレイを備えた装置）等が挙げられる。それらの電子機器の具体例を図21に示す。

#### 【0085】

図21(A)は発光装置であり、筐体2401、支持台2402、表示部2403、スピーカー部2404、ビデオ入力端子2405等を含む。本発明は、表示部2403を構成する表示装置に用いることができ、本発明により、表示不良が低減され、綺麗な画像を見ることができるようになる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

20

#### 【0086】

図21(B)はデジタルスチルカメラであり、本体2406、表示部2407、受像部2408、操作キー2409、外部接続ポート2410、シャッター2411等を含む。本発明は、表示部2407を構成する表示装置に用いることができ、本発明により、表示不良が低減され、綺麗な画像を見る能够になる。

30

#### 【0087】

図21(C)はノート型パソコンであり、本体2412、筐体2413、表示部2414、キーボード2415、外部接続ポート2416、ポインティングデバイス2417等を含む。本発明は、表示部2414を構成する表示装置に用いることができ、本発明により、表示不良が低減され、綺麗な画像を見る能够になる。

#### 【0088】

図21(D)はモバイルコンピュータであり、本体2418、表示部2419、スイッチ2420、操作キー2421、赤外線ポート2422等を含む。本発明は、表示部2419を構成する表示装置に用いることができ、本発明により、表示不良が低減され、綺麗な画像を見る能够になる。

40

#### 【0089】

図21(E)は記憶媒体装置を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2423、筐体2424、表示部A2425、表示部B2426、記憶媒体（DVD等）読み込み部2427、操作キー2428、スピーカー部2429等を含む。表示部A2425は主に画像情報を表示し、表示部B2426は主に文字情報を表示する。本発明は、表示部A2425、表示部B2426を構成する表示装置に用いることができ、本発明により、表示不良が低減され、綺麗な画像を見る能够になる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

#### 【0090】

図21(F)はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2430、表示部2431、アーム部2432等を含む。本発明は、表示部2431を構成

50

する表示装置に用いることができ、本発明により、表示不良が低減され、綺麗な画像を見ることができるようになる。

**【0091】**

図21(G)はビデオカメラであり、本体2433、表示部2434、筐体2435、外部接続ポート2436、リモコン受信部2437、受像部2438、バッテリー2439、音声入力部2440、操作キー2441等を含む。本発明は、表示部2434を構成する表示装置に用いることができ、本発明により、表示不良が低減され、綺麗な画像を見る能够するようになる。

**【0092】**

図21(H)は携帯電話であり、本体2442、筐体2443、表示部2444、音声入力部2445、音声出力部2446、操作キー2447、外部接続ポート2448、アンテナ2449等を含む。本発明は、表示部2444を構成する表示装置に用いることができる。なお、表示部2444は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、表示不良が低減され、綺麗な画像を見る能够するようになる。

**【0093】**

以上のように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は、実施の形態1及び2に示したいずれの構成を用いた表示装置を適用することが可能である。

**【図面の簡単な説明】**

**【0094】**

【図1】本発明の構成を説明するためのブロック図。

【図2】本発明が適用される表示装置における画素の説明図。

【図3】本発明の位相比較回路の一例について示した図及び本発明の位相比較回路の一例について示したタイミングチャート図。

【図4】本発明の位相比較回路の一例について示した図及び本発明の位相比較回路の一例について示したタイミングチャート図。

【図5】本発明のカウンタ回路の一例について示した図。

【図6】本発明のDフリップフロップ回路の一例について示した回路図。

【図7】本発明のカウンタ回路の動作について示したタイミングチャート図。

【図8】本発明の位相シフト回路の一例について示した図。

【図9】本発明の位相シフト回路の動作について示したタイミングチャート図。

【図10】本発明の実施の形態2について説明する図。

【図11】本発明の実施の形態2について説明する図。

【図12】本発明の実施の形態2について説明する図。

【図13】本発明の実施の形態2について説明する図。

【図14】本発明の実施の形態2の位相比較回路の構成を説明するための図。

【図15】本発明の実施の形態2の構成を説明するためのブロック図。

【図16】本発明の実施の形態2の位相比較回路を説明するためのタイミングチャート図。

【図17】本発明の実施の形態2の位相比較回路を説明するためのタイミングチャート図。

【図18】本発明の実施の形態2の位相比較回路を説明するためのタイミングチャート図。

【図19】本発明の実施の形態2の位相比較回路を説明するためのタイミングチャート図。

【図20】本発明の実施の形態2の位相比較回路を説明するためのタイミングチャート図。

【図21】本発明の表示装置が適用される電子機器の一例を示す図。

【図22】従来の例について説明する図。

10

20

30

40

50

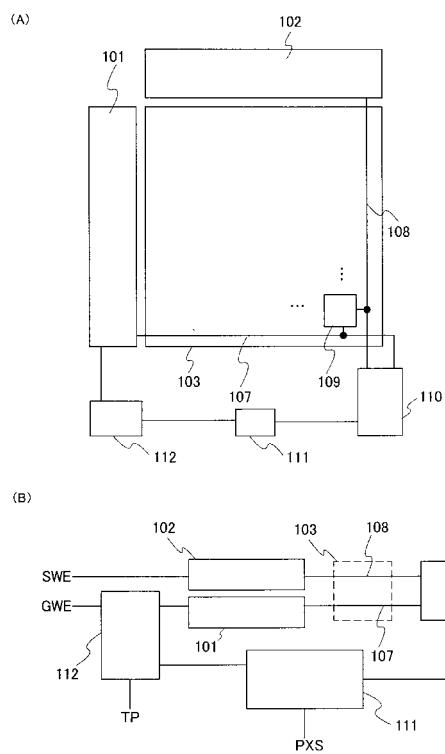
## 【符号の説明】

## 【0095】

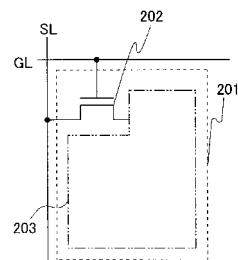
1 0 1	ゲート信号線駆動回路	
1 0 2	ソース信号線駆動回路	
1 0 3	画素部	
1 0 7	ゲートライン	
1 0 8	ソースライン	
1 0 9	画素	
1 1 0	位相比較回路	10
1 1 1	カウンタ回路	
1 1 2	位相シフト回路	
2 0 1	画素	
2 0 2	トランジスタ	
2 0 3	表示媒体	
1 2 0 2	ソース信号線駆動回路	
1 2 0 3	画素部	
1 2 0 7	ゲートライン	
1 2 0 8	ソースライン	
1 2 0 9	画素	
1 2 1 0	位相比較回路	20
1 5 0 3 A	カウンタ回路	
1 5 0 3 B	カウンタ回路	
1 5 0 4	アナログスイッチ	
1 5 0 5	インバータ回路	
1 5 0 6	トランジスタ	
2 2 0 1	用トランジスタ	
2 2 0 2	駆動用トランジスタ	
2 2 0 3	発光素子	
2 4 0 1	筐体	
2 4 0 2	支持台	30
2 4 0 3	表示部	
2 4 0 4	スピーカー部	
2 4 0 5	ビデオ入力端子	
2 4 0 6	本体	
2 4 0 7	表示部	
2 4 0 8	受像部	
2 4 0 9	操作キー	
2 4 1 0	外部接続ポート	
2 4 1 1	シャッター	
2 4 1 2	本体	40
2 4 1 3	筐体	
2 4 1 4	表示部	
2 4 1 5	キーボード	
2 4 1 6	外部接続ポート	
2 4 1 7	ポインティングデバイス	
2 4 1 8	本体	
2 4 1 9	表示部	
2 4 2 0	スイッチ	
2 4 2 1	操作キー	
2 4 2 2	赤外線ポート	50

2 4 2 3	本体	
2 4 2 4	筐体	
2 4 2 5	表示部 A	
2 4 2 6	表示部 B	
2 4 2 7	読み込み部	
2 4 2 8	操作キー	
2 4 2 9	スピーカー部	
2 4 3 0	本体	
2 4 3 1	表示部	
2 4 3 2	アーム部	10
2 4 3 3	本体	
2 4 3 4	表示部	
2 4 3 5	筐体	
2 4 3 6	外部接続ポート	
2 4 3 7	リモコン受信部	
2 4 3 8	受像部	
2 4 3 9	バッテリー	
2 4 4 0	音声入力部	
2 4 4 1	操作キー	
2 4 4 2	本体	20
2 4 4 3	筐体	
2 4 4 4	表示部	
2 4 4 5	音声入力部	
2 4 4 6	音声出力部	
2 4 4 7	操作キー	
2 4 4 8	外部接続ポート	
2 4 4 9	アンテナ	
1 2 0 1 A	ゲート信号線駆動回路	
1 2 0 1 B	ゲート信号線駆動回路	
1 2 0 2	ソース信号線駆動回路	30
1 2 0 4 A	シフトレジスタ回路	
1 2 0 4 B	シフトレジスタ回路	
1 2 0 5 A	スイッチ	
1 2 0 5 B	スイッチ	
1 2 1 1 A	カウンタ回路	
1 2 1 1 B	カウンタ回路	
1 2 1 2 A	位相シフト回路	
1 2 1 2 B	位相シフト回路	

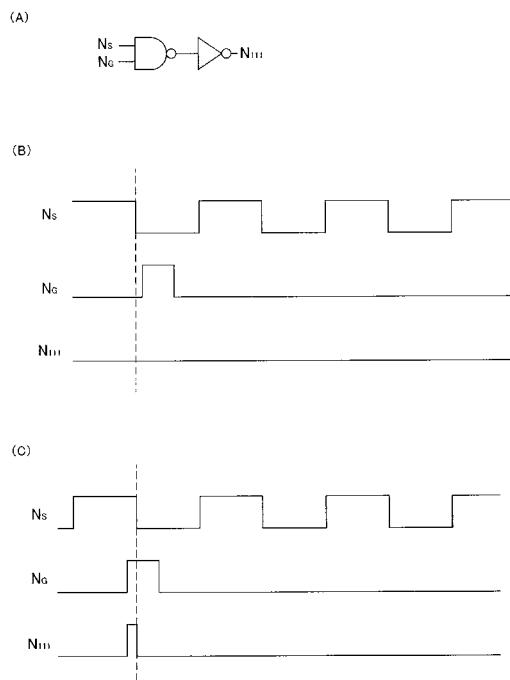
【図1】



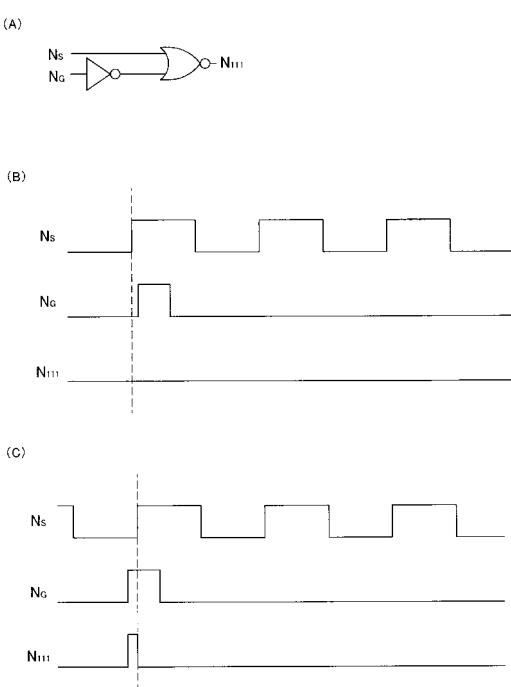
【図2】



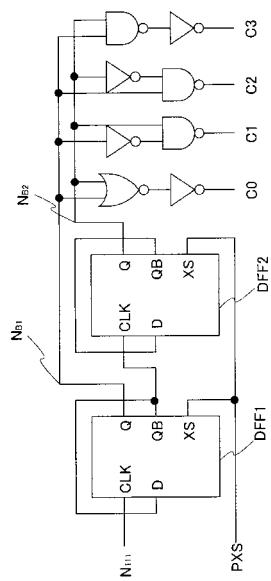
【図3】



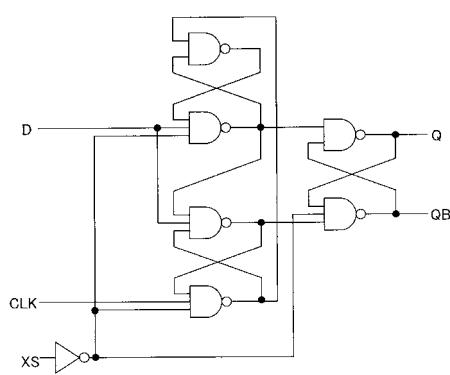
【図4】



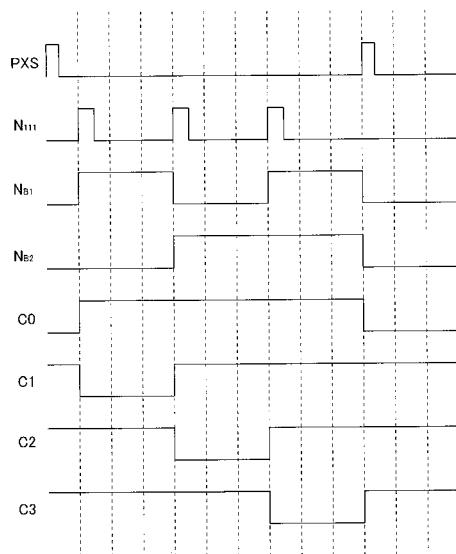
【図5】



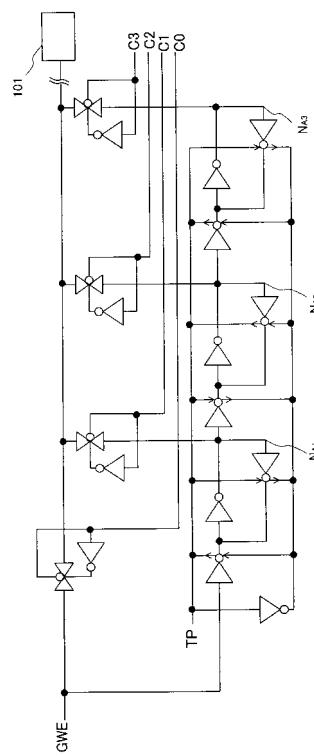
【図6】



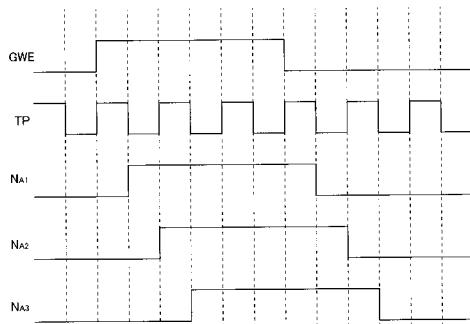
【図7】



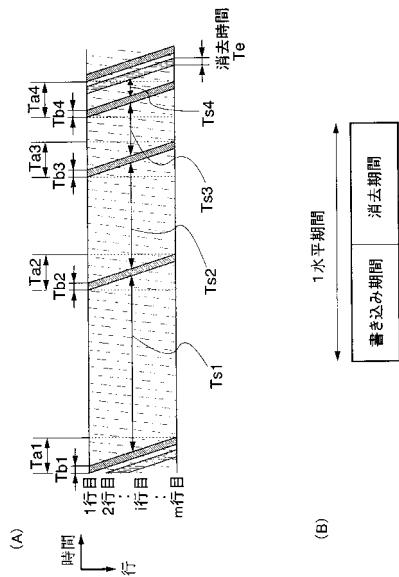
【図8】



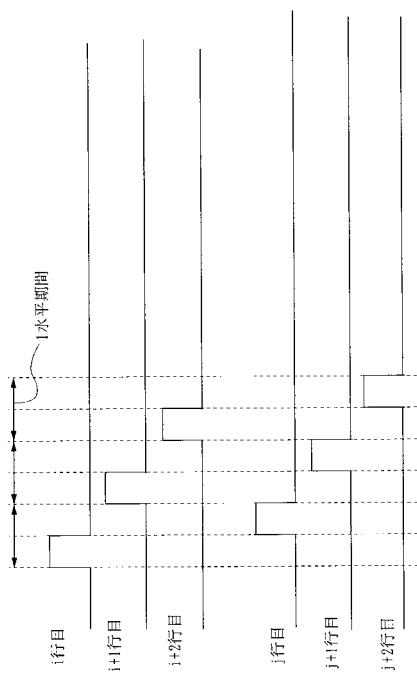
【図 9】



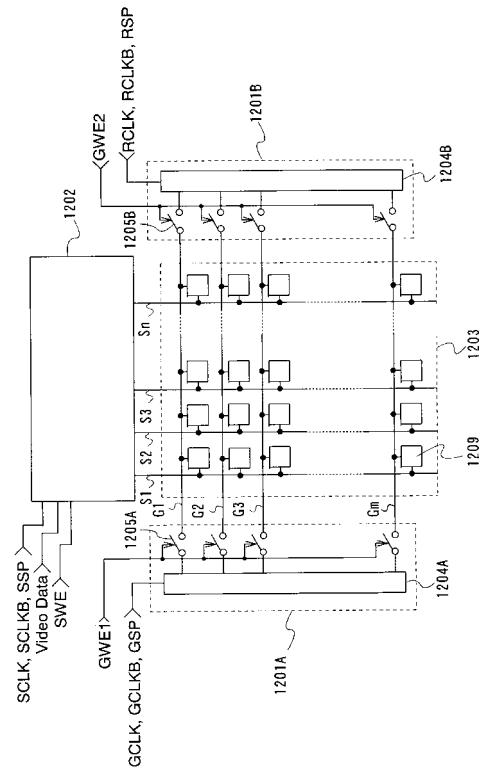
【図 10】



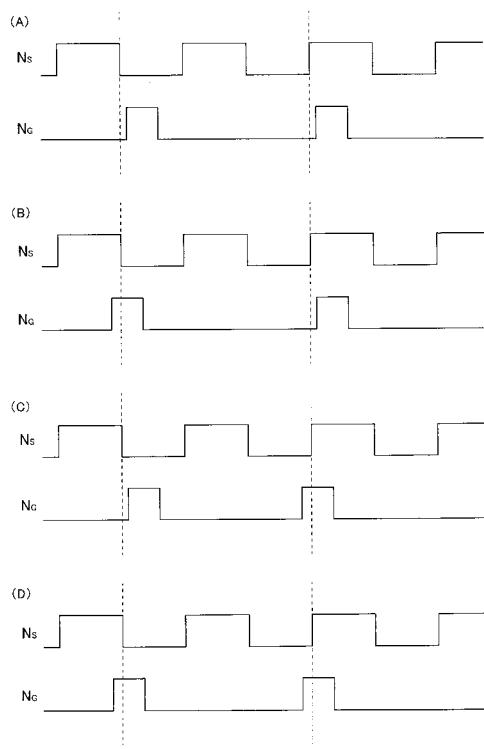
【図 11】



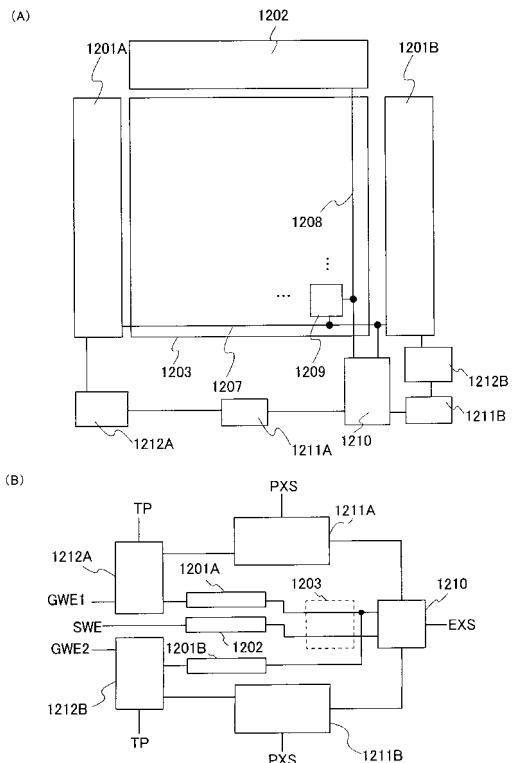
【図 12】



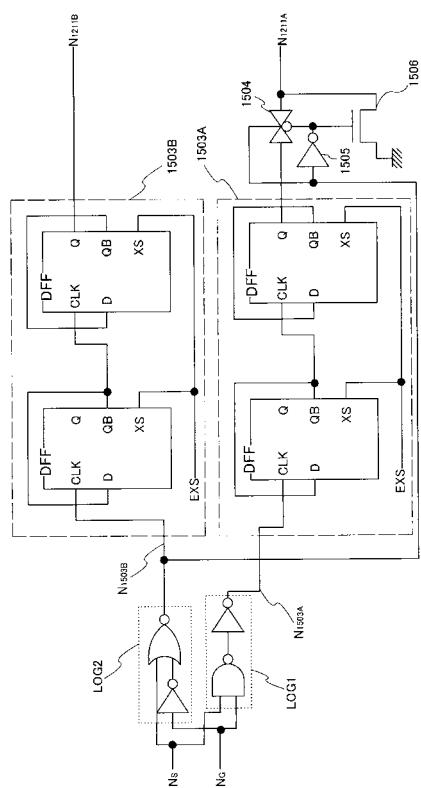
【図13】



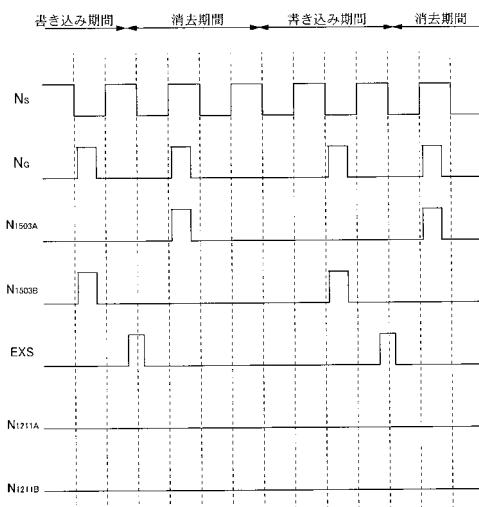
【図14】



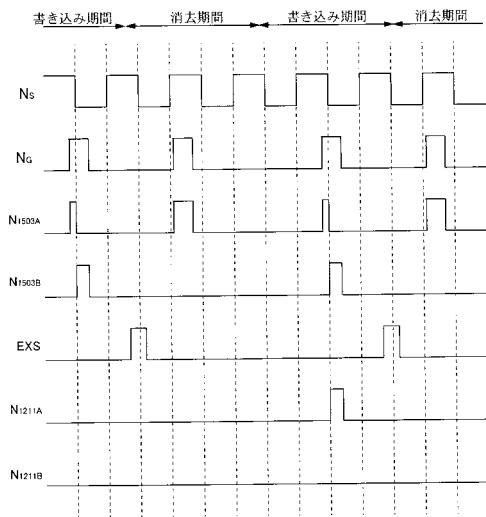
【図15】



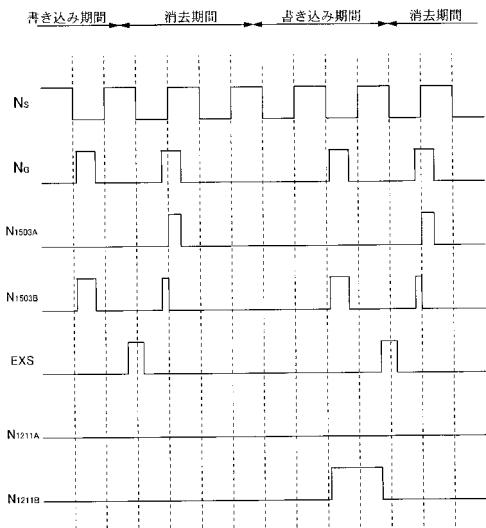
【図16】



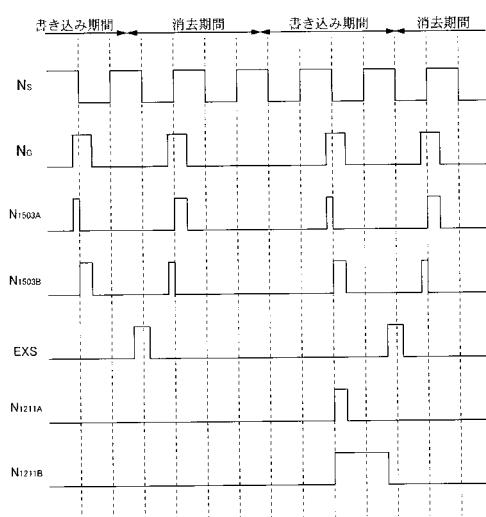
【図17】



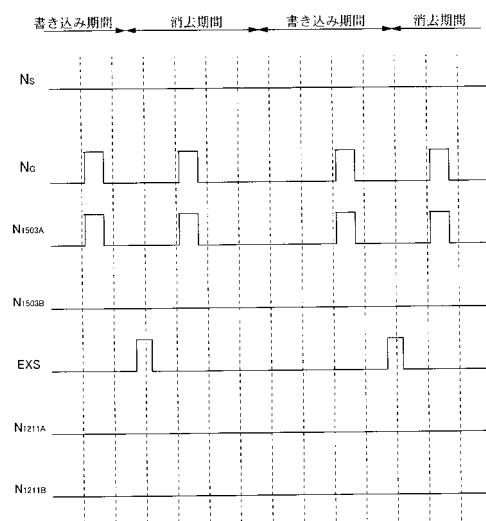
【図18】



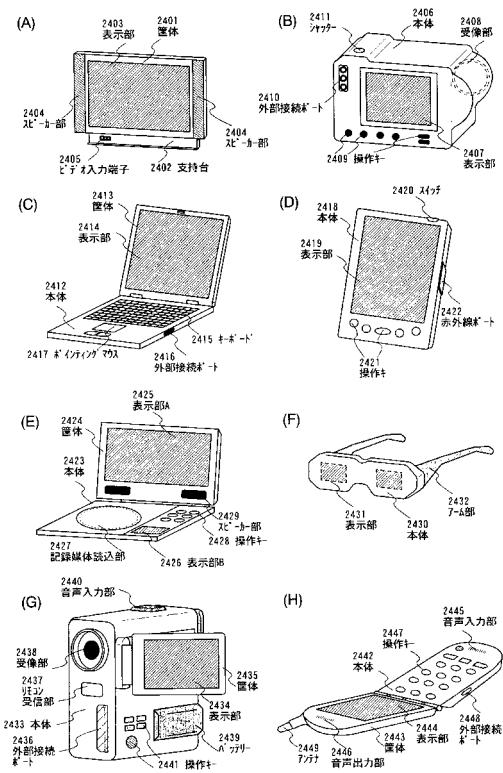
【図19】



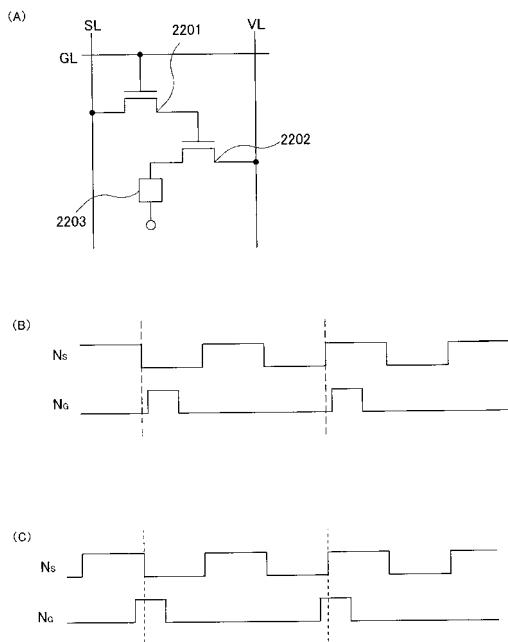
【図20】



【図21】



【図22】



---

フロントページの続き

(51)Int.Cl.

F I  
G 09 G 3/20 6 7 0 E  
G 09 G 3/20 6 2 1 A  
G 02 F 1/133 5 5 0  
H 05 B 33/14 A

(56)参考文献 特開2004-45705(JP,A)

特開2002-229517(JP,A)

特開2000-29420(JP,A)

特開2005-107353(JP,A)

特開2003-157064(JP,A)

特開2001-228827(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 0 0 - 3 / 3 8  
G 02 F 1 / 1 3 3