

WO 2023/162521 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

- (57) 要約: 窒化物半導体装置 1 は、第 1 主面 2 a およびその反対の第 2 主面 2 b を有する S i C 基板 2 と、第 1 主面 2 a 上に形成され、S i C 基板 2 よりも抵抗率が低い低抵抗 S i C 層 3 と、低抵抗 S i C 層 3 に形成され、低抵抗 S i C 層 3 よりも抵抗率が高い高抵抗 S i C 層 4 と、高抵抗 S i C 層 4 に配置された窒化物エピタキシャル層 2 0 とを含む。

明 細 書

発明の名称：窒化物半導体装置およびその製造方法

技術分野

[0001] 本開示は、III族窒化物半導体（以下単に「窒化物半導体」という場合がある。）からなる窒化物半導体装置およびその製造方法に関する。

背景技術

[0002] III族窒化物半導体とは、III-V族半導体においてV族元素として窒素を用いた半導体である。窒化アルミニウム（AlN）、窒化ガリウム（GaN）、窒化インジウム（InN）が代表例である。一般には、 $Al_xIn_yGa_{1-x-y}N$ （ $0 \leq x \leq 1$ ， $0 \leq y \leq 1$ ， $0 \leq x + y \leq 1$ ）と表わすことができる。

[0003] 高周波増幅器に実装される窒化物半導体装置として、良好な放熱性を有する半絶縁性のSiC基板と、SiC基板上に形成された窒化物エピタキシャル層と、窒化物エピタキシャル層上に配置されたソース電極、ゲート電極およびドレイン電極とを備えたHEMT（High Electron Mobility Transistor；高電子移動度トランジスタ）が知られている。

[0004] 高周波増幅器に実装されるHEMTでは、グラウンドを安定させるために、SiC基板の裏面にバック電極を形成し、ソース電極とバック電極とを、SiC基板と窒化物エピタキシャル層との積層体を貫通するビアを介して電氣的に接続している。

[0005] しかしながら、SiC基板へのビアホール形成には高いコストがかかるため、HEMTの製造コストが高くなるという問題がある。

[0006] 下記特許文献1には、SiC基板として、導電性SiC基板を使用し、導電性SiC基板自体をグラウンドして機能させるようにした半導体デバイス構造が開示されている。しかしながら、SiC基板として導電性SiC基板を使用した場合には、寄生容量を低減させるために、窒化物エピタキシャル層を厚膜化する必要がある。しかしながら、窒化物エピタキシャル層の厚膜化は、導電性SiC基板の反りや窒化物エピタキシャル層に内部クラックを引

き起こす要因となる。

先行技術文献

特許文献

[0007] 特許文献1：特表2008-536332号公報

発明の概要

発明が解決しようとする課題

[0008] 本開示の目的は、SiC基板の反りおよび窒化物エピタキシャル層の内部クラックの抑制が可能となる窒化物半導体装置およびその製造方法を提供することにある。

課題を解決するための手段

[0009] 本開示の一実施形態は、第1主面およびその反対の第2主面を有するSiC基板と、前記第1主面上に形成され、前記SiC基板よりも抵抗率が低い低抵抗SiC層と、前記低抵抗SiC層上に形成され、前記低抵抗SiC層よりも抵抗率が高い高抵抗SiC層と、前記高抵抗SiC層上に配置された窒化物エピタキシャル層とを含む、窒化物半導体装置を提供する。

[0010] この構成では、SiC基板の反りおよび窒化物エピタキシャル層の内部クラックの抑制が可能となる窒化物半導体装置が得られる。

[0011] 本開示の一実施形態は、第1主面およびその反対の第2主面を有するSiC基板の前記第1主面に、前記SiC基板よりも抵抗率が低い低抵抗SiC層を形成する工程と、前記低抵抗SiC層上に、前記低抵抗SiC層よりも抵抗率が高い高抵抗SiC層を形成する工程と、前記高抵抗SiC層上に、窒化物エピタキシャル層を形成する工程とを含む、窒化物半導体装置の製造方法を提供する。

[0012] この製造方法では、SiC基板の反りおよび窒化物エピタキシャル層の内部クラックの抑制が可能となる窒化物半導体装置を製造できる。

[0013] 本開示における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0014] [図1]図1は、本開示の第1実施形態に係る窒化物半導体装置の構成を説明するための断面図である。

[図2A]図2Aは、前記窒化物半導体装置の製造工程の一例を示す断面図である。

[図2B]図2Bは、図2Aの次の工程を示す断面図である。

[図2C]図2Cは、図2Bの次の工程を示す断面図である。

[図2D]図2Dは、図2Cの次の工程を示す断面図である。

[図2E]図2Eは、図2Dの次の工程を示す断面図である。

[図2F]図2Fは、図2Eの次の工程を示す断面図である。

[図2G]図2Gは、図2Fの次の工程を示す断面図である。

[図2H]図2Hは、図2Gの次の工程を示す断面図である。

[図2I]図2Iは、図2Hの次の工程を示す断面図である。

[図2J]図2Jは、図2Iの次の工程を示す断面図である。

[図3]図3は、本開示の第2実施形態に係る窒化物半導体装置の構成を説明するための断面図である。

発明を実施するための形態

[0015] [本開示の実施形態の説明]

本開示の一実施形態は、第1主面およびその反対の第2主面を有するSiC基板と、前記第1主面上に形成され、前記SiC基板よりも抵抗率が低い低抵抗SiC層と、前記低抵抗SiC層上に形成され、前記低抵抗SiC層よりも抵抗率が高い高抵抗SiC層と、前記高抵抗SiC層上に配置された窒化物エピタキシャル層とを含む、窒化物半導体装置を提供する。

[0016] この構成では、SiC基板の反りおよび窒化物エピタキシャル層の内部クラックの抑制が可能となる窒化物半導体装置が得られる。

[0017] 本開示の一実施形態では、前記低抵抗SiC層の抵抗率が、 $0.01\Omega\cdot\text{cm}$ 以下であり、前記高抵抗SiC層の抵抗率が、 $10\Omega\cdot\text{cm}$ 以上である。

- [0018] 本開示の一実施形態では、前記低抵抗SiC層の抵抗率が、 $0.002\ \Omega \cdot \text{cm}$ 以下である。
- [0019] 本開示の一実施形態では、前記低抵抗SiC層の抵抗率が、 $0.0002\ \Omega \cdot \text{cm}$ 以下である。
- [0020] 本開示の一実施形態では、前記高抵抗SiC層の抵抗率が、 $1 \times 10^3\ \Omega \cdot \text{cm}$ 以上である。
- [0021] 本開示の一実施形態では、前記高抵抗SiC層の抵抗率が、 $1 \times 10^4\ \Omega \cdot \text{cm}$ 以上である。
- [0022] 本開示の一実施形態では、前記高抵抗SiC層の抵抗率が、 $1 \times 10^5\ \Omega \cdot \text{cm}$ 以上である。
- [0023] 本開示の一実施形態では、前記低抵抗SiC層の厚さが、 $2\ \mu\text{m}$ 以上である。
- [0024] 本開示の一実施形態では、前記高抵抗SiC層の厚さが、 $5\ \mu\text{m}$ 以上である。
- [0025] 本開示の一実施形態では、前記窒化物エピタキシャル層の厚さが、 $2.5\ \mu\text{m}$ 以下である。
- [0026] 本開示の一実施形態では、前記高抵抗SiC層に、コンダクションバンドからのエネルギーの深さが $0.6\ \text{eV}$ 以上 $0.7\ \text{eV}$ 以下もしくは $1.5\ \text{eV}$ 以上 $1.6\ \text{eV}$ 以下であるエネルギー準位のうち、どちらかあるいはその両方を含んだ深い準位が浅いドナー準位よりも多く形成されている。
- [0027] 本開示の一実施形態では、前記窒化物エピタキシャル層は、窒化物半導体からなるバッファ層と、前記バッファ層上に形成され、電子走行層を構成する第1窒化物半導体層と、前記第1窒化物半導体層上に形成され、電子供給層を構成し、前記第1窒化物半導体層よりもバンドギャップの高い第2窒化物半導体層とを含む。
- [0028] 本開示の一実施形態では、前記バッファ層と前記第1窒化物半導体層との間に介在する半絶縁性窒化物層を含む。
- [0029] 本開示の一実施形態では、前記バッファ層が、下層側のAlN層と、前記

A l N層上に形成された上層側のA l G a N層とを含み、前記半絶縁性窒化物層が、不純物がドーピングされた半絶縁性G a N層であり、前記第1窒化物半導体層が、前記半絶縁性G a N層上に形成されたノンドープG a N層であり、前記第2窒化物半導体層が、A l G a N層を含む。

[0030] 本開示の一実施形態では、前記窒化物エピタキシャル層上に配置されたソース電極、ドレイン電極およびゲート電極を含み、前記窒化物エピタキシャル層の表面から前記低抵抗S i C層の厚さ途中に達するコンタクト孔が形成されており、前記ソース電極が前記コンタクト孔を介して前記低抵抗S i C層に電氣的に接続されている。

[0031] 本開示の一実施形態では、前記窒化物エピタキシャル層上に配置されたソース電極、ドレイン電極およびゲート電極を含み、前記窒化物エピタキシャル層の表面から前記S i C基板の厚さ途中に達するコンタクト孔が形成されており、前記ソース電極が前記コンタクト孔を介して前記S i C基板に電氣的に接続されている。

[0032] 本開示の一実施形態では、前記第2主面に形成された裏面電極を含む。

[0033] 本開示の一実施形態は、第1主面およびその反対の第2主面を有するS i C基板の前記第1主面に、前記S i C基板よりも抵抗率が低い低抵抗S i C層を形成する工程と、前記低抵抗S i C層上に、前記低抵抗S i C層よりも抵抗率が高い高抵抗S i C層を形成する工程と、前記高抵抗S i C層上に、窒化物エピタキシャル層を形成する工程とを含む、窒化物半導体装置の製造方法を提供する。

[0034] この製造方法では、S i C基板の反りおよび窒化物エピタキシャル層の内部クラックの抑制が可能となる窒化物半導体装置を製造できる。

[0035] [本開示の実施形態の詳細な説明]

以下では、本開示の実施形態を、添付図面を参照して詳細に説明する。

[0036] 図1は、本開示の第1実施形態に係る窒化物半導体装置の構成を説明するための断面図である。

[0037] 窒化物半導体装置1は、第1主面（表面）2aおよびその反対側の第2主

面（裏面）2bを有するSiC基板2と、SiC基板2の第1主面2a上に形成され、SiC基板2よりも抵抗率が低い低抵抗SiC層3と、低抵抗SiC層3上に形成され、低抵抗SiC層3よりも抵抗率が高い高抵抗SiC層4と、高抵抗SiC層4上に配置された窒化物エピタキシャル層20とを含む。

[0038] 窒化物エピタキシャル層20は、高抵抗SiC層4上に形成されたバッファ層5と、バッファ層5上に形成された半絶縁性窒化物層6と、半絶縁性窒化物層6上に形成された第1窒化物半導体層7と、第1窒化物半導体層7上に形成された第2窒化物半導体層8とを含む。

[0039] さらに、この窒化物半導体装置1は、第2窒化物半導体層8上に形成された絶縁膜9を含む。さらに、この窒化物半導体装置1は、絶縁膜9に形成されたソースコンタクトホール10およびドレインコンタクトホール11をそれぞれ貫通して第2窒化物半導体層8にオーミック接触するソース電極12およびドレイン電極13を含む。ソース電極12およびドレイン電極13は、間隔を空けて配置されている。

[0040] さらに、この窒化物半導体装置1は、絶縁膜9に形成されたゲートコンタクトホール14を貫通して第2窒化物半導体層8に接触するゲート電極15を含む。ゲート電極15は、ソース電極12とドレイン電極13との間に配置されている。さらに、この窒化物半導体装置1は、基板2の第2主面2bに形成されたバック電極16を含む。

[0041] なお、実際には、第2窒化物半導体層8上に、ソース電極（S）12、ゲート電極（G）15およびドレイン電極（D）13が、SGDGS GDG…の順に並んで配置されている。

[0042] SiC基板2は、この実施形態では、導電性のSiC基板である。SiC基板2の厚さは、100 μ m程度である。SiC基板2の抵抗率は、0.02 $\Omega \cdot \text{cm}$ 程度である。SiC基板2には、ドナー型不純物がドーピングされている。ドナー型不純物の濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度であってもよい。ドナー型不純物は、例えば、窒素（N）である。

- [0043] 低抵抗S i C層3の抵抗率は、 $0.02\Omega \cdot \text{cm}$ 以下が好ましく、 $0.002\Omega \cdot \text{cm}$ 以下がより好ましく、 $0.0002\Omega \cdot \text{cm}$ 以下がより好ましい。低抵抗S i C層3の厚さは、 $2\mu\text{m}$ 以上であることが好ましい、この実施形態では、低抵抗S i C層3の厚さは、 $3\mu\text{m}$ 程度である。低抵抗S i C層3には、ドナー型不純物がドーピングされている。ドナー型不純物の濃度は、 $1 \times 10^{20}\text{cm}^{-3}$ 程度である。ドナー型不純物は、例えば、窒素(N)である。
- [0044] 高抵抗S i C層4の抵抗率は、 $10\Omega \cdot \text{cm}$ 以上が好ましく、 $1 \times 10^3\Omega \cdot \text{cm}$ 以上がより好ましく、 $1 \times 10^4\Omega \cdot \text{cm}$ 以上がより好ましく、 $1 \times 10^5\Omega \cdot \text{cm}$ 以上がより好ましい。高抵抗S i C層4の厚さは、 $5\mu\text{m}$ 以上であることが好ましい、この実施形態では、高抵抗S i C層4の厚さは、 $10\mu\text{m}$ 程度である。
- [0045] バッファ層5は、バッファ層5上に形成される半絶縁性窒化物層6の格子定数と、高抵抗S i C層4の格子定数との相違によって生じる歪を緩和するための緩衝層である。バッファ層5は、この実施形態では、複数の窒化物半導体膜を積層した多層バッファ層から構成されている。この実施形態では、バッファ層5は、高抵抗S i C層4の表面に接するAlN膜と、このAlN膜の表面(高抵抗S i C層4とは反対側の表面)に積層されたAlGaIn膜との積層膜から構成されている。バッファ層5は、AlN膜の単膜またはAlGaInの単膜から構成されてもよい。バッファ層5の厚さは、例えば $0.01\mu\text{m} \sim 0.1\mu\text{m}$ 程度である。この実施形態では、バッファ層5の厚さは、 $0.01\mu\text{m}$ 程度である。
- [0046] 半絶縁性窒化物層6は、リーク電流を抑制するために設けられている。半絶縁性窒化物層6は、不純物がドーピングされたGaIn層からなり、その厚さは $0.3\mu\text{m} \sim 1.2\mu\text{m}$ 程度である。この実施形態では、半絶縁性窒化物層6の厚さは、 $1\mu\text{m}$ 程度である。不純物は例えばC(炭素)であり、アクセプタ濃度 N_a とドナー濃度 N_d との差($N_a - N_d$)が $5 \times 10^{17}\text{cm}^{-3}$ 程度となるようにドーピングされている。

- [0047] 第1窒化物半導体層7は、電子走行層を構成している。この実施形態では、第1窒化物半導体層7は、ドナー型不純物がドーピングされたn型Ga_{1-x}N層からなり、その厚さは例えば0.05 μm～1 μm程度である。この実施形態では、第1窒化物半導体層7の厚さは、0.1 μm程度である。なお、第1窒化物半導体層7は、ノンドープのGa_{1-x}N層から構成されてもよい。
- [0048] 第2窒化物半導体層8は、電子供給層を構成している。第2窒化物半導体層8は、第1窒化物半導体層7よりもバンドギャップの大きい窒化物半導体からなっている。具体的には、第2窒化物半導体層8は、第1窒化物半導体層7よりもAl組成の高い窒化物半導体からなっている。窒化物半導体においては、Al組成が高いほどバンドギャップは大きくなる。この実施形態では、第2窒化物半導体層8は、Al_xGa_{1-x}N層（0<x≤1）からなり、その厚さは例えば1 nm～100 nm程度である。この実施形態では、第2窒化物半導体層8の厚さは20 nm程度であり、x=0.2である。
- [0049] 窒化物エピタキシャル層20の厚さは、2.5 μm以下であることが好ましい。
- [0050] このように第1窒化物半導体層7（電子走行層）と第2窒化物半導体層8（電子供給層）とは、バンドギャップ（Al組成）の異なる窒化物半導体からなっており、それらの間には格子不整合が生じている。そして、第1窒化物半導体層7および第2窒化物半導体層8の自発分極ならびにそれらの間の格子不整合に起因するpiezo分極によって、第1窒化物半導体層7と第2窒化物半導体層8との界面における第1窒化物半導体層7の伝導帯のエネルギーレベルはフェルミ準位よりも低くなる。これにより、第1窒化物半導体層7内には、第1窒化物半導体層7と第2窒化物半導体層8との界面に近い位置（たとえば界面から数Å程度の距離）に、二次元電子ガス（2DEG）19が広がっている。
- [0051] 絶縁膜9は、第2窒化物半導体層8の表面のほぼ全域に形成されている。絶縁膜9は、この実施形態では、SiNからなる。絶縁膜9の厚さは、例えば10 nm～200 nm程度である。この実施形態では、絶縁膜9の厚さは

100nm程度である。絶縁膜9は、SiNの他、SiO₂、SiN、SiON、Al₂O₃、AlN、AlON、HfO、HfN、HfON、HfSiON、AlON等から構成されてもよい。

[0052] 低抵抗SiC層3、高抵抗SiC層4、窒化物エピタキシャル層20および絶縁膜9には、ソースコンタクトホール10に対してゲートコンタクトホール14とは反対側に、絶縁膜9の表面から、絶縁膜9、窒化物エピタキシャル層20および高抵抗SiC層4を連続して貫通し、低抵抗SiC層3の厚さ途中まで延びたランド用コンタクトホール18が形成されている。

[0053] ソース電極12は、主電極部12Aと延長部12Bとを含む。主電極部12Aは、ソースコンタクトホール10と、絶縁膜9表面におけるソースコンタクトホール10の周縁部とを覆っている。主電極部12Aの一部はソースコンタクトホール10に入り込み、ソースコンタクトホール10内において第2窒化物半導体層8の表面に接触している。

[0054] 延長部12Bは、ランド用コンタクトホール18と、絶縁膜9表面におけるランド用コンタクトホール18の周縁部とを覆っている。延長部12Bにおける主電極部12A側の側縁と、主電極部12Aにおける延長部12B側の側縁とは繋がっている。延長部12Bの一部はランド用コンタクトホール18に入り込み、ランド用コンタクトホール18内において低抵抗SiC層3に接触している。

[0055] ドレイン電極13は、ドレインコンタクトホール11と、絶縁膜9表面におけるドレインコンタクトホール11の周縁部とを覆っている。ドレイン電極13の一部はドレインコンタクトホール11に入り込み、ドレインコンタクトホール11内において第2窒化物半導体層8の表面に接触している。

[0056] ソース電極12およびドレイン電極13は、例えば、Ti膜およびAl膜が、下層からその順に積層されたTi/Al積層膜から構成されている。下層側のTi膜の厚さは、例えば20nm程度であり、上層側のAl膜の厚さは、例えば300nm程度である。

[0057] ソース電極12およびドレイン電極13は、第2窒化物半導体層8（Al

GaN層)に対してオーミック接触が取れる材料から構成されていればよい。ソース電極12およびドレイン電極13は、Ti膜、Al膜、Ni膜およびAu膜が、下層からその順に積層されたTi/Al/Ni/Au積層膜から構成されてもよい。

[0058] ゲート電極15は、ゲートコンタクトホール14と、絶縁膜9表面におけるゲートコンタクトホール14の周縁部とを覆っている。ゲート電極15の一部はゲートコンタクトホール14に入り込み、ゲートコンタクトホール14内において第2窒化物半導体層8の表面に接触している。

[0059] ゲート電極15は、例えば、Ni膜およびAu膜が、下層からその順に積層されたNi/Au積層膜から構成されている。下層側のNi膜の厚さは、例えば10nm程度であり、上層側のAu膜の厚さは、例えば600nm程度である。ゲート電極15は、第2窒化物半導体層8(AlGaN層)に対してショットキーバリアを形成できる材料から構成されていればよい。

[0060] バック電極16は、SiC基板2の第2主面2bのほぼ全域を覆うように形成されている。バック電極16は、例えばNi膜からなる。バック電極16は、SiC基板2、低抵抗SiC層3およびソース電極12の延長部12Bを介してソース電極12の主電極部12Aに電氣的に接続されている。

[0061] この窒化物半導体装置1では、第1窒化物半導体層7(電子走行層)上にバンドギャップ(Al組成)の異なる第2窒化物半導体層8(電子供給層)が形成されてヘテロ接合が形成されている。これにより、第1窒化物半導体層7と第2窒化物半導体層8との界面付近の第1窒化物半導体層7内に二次元電子ガス19が形成され、この二次元電子ガス19をチャンネルとして利用したHEMTが形成されている。

[0062] ゲート電極15に制御電圧が印可されていない状態では、二次元電子ガス19をチャンネルとして、ソース電極12とドレイン電極13との間が電氣的に接続される。したがって、このHEMTはノーマリーオン型である。ソース電極12に対してゲート電極15の電位が負となるような制御電圧がゲート電極15に印加されると、二次元電子ガス19が遮断され、HEMTがオ

フ状態となる。

[0063] 本実施形態では、S i C基板2の第1主面2 a上にS i C基板2よりも抵抗率が低い低抵抗S i C層3が形成されている。そして、ソース電極1 2（複数のソース電極1 2）が低抵抗S i C層3に電氣的に接続されている。これにより、高抵抗S i C層4に接する低抵抗S i C層3表面近傍における電位勾配を、低抵抗S i C層3を挿入せずに高抵抗S i C層4がS i C基板2の第1主面2 a上に直接形成される場合におけるS i C基板2内部の第1主面2 a近傍の電位勾配に比べて小さくすることができる。これにより、デバイス動作時の損失を低減することができる。

[0064] 本実施形態では、S i C基板2の第1主面2 a上に低抵抗S i C層3が形成されているので、何ら対策をしない場合には、S i C基板2として導電性S i C基板を用いた場合と同様に、寄生容量を低減化するために、窒化物エピタキシャル層2 0を厚膜化する必要がある。しかしながら、窒化物エピタキシャル層の厚膜化は、導電性S i C基板の反りや窒化物エピタキシャル層に内部クラックを引き起こす要因となる。

[0065] 本実施形態では、低抵抗S i C層3上に低抵抗S i C層3よりも抵抗率の高い高抵抗S i C層4が形成されているので、低抵抗S i C層3上に高抵抗S i C層4が形成されていない場合に比べて寄生容量を低減することができる。これにより、窒化物エピタキシャル層2 0の膜厚を小さくすることが可能となる。これにより、導電性S i C基板の反りおよび窒化物エピタキシャル層の内部クラックの抑制が可能となる。

[0066] 図2 A～図2 Jは、前述の窒化物半導体装置1の製造工程の一例を説明するための断面図であり、製造工程における複数の段階における断面構造が示されている。

[0067] まず、図2 Aに示すように、例えばC V D（Chemical Vapor Deposition）法によって、S i C基板2の第1主面2 aに、低抵抗S i C層3およびノンドープS i C層3 1がその順にエピタキシャル成長される。ノンドープS i C層3 1は、高抵抗S i C層4を形成するためのS i C層である。低抵抗S

i C層3とノンドープS i C層31とは、不純物濃度を切り替えることによって形成することが可能である。低抵抗S i C層3の不純物濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度であり、ノンドープS i C層61の不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 程度である。ノンドープS i C層31の厚さは、 $10 \mu\text{m}$ 程度である。

[0068] 次に、図2Bに示すように、ノンドープS i C層31に対して電子線照射が行われる。これにより、コンダクションバンドからのエネルギーの深さが0.6 eV以上0.7 eV以下もしくは1.5 eV以上1.6 eV以下であるエネルギー準位のうち、どちらかあるいはその両方を含んだ深い準位が浅いドナー準位よりも多く形成されている高抵抗S i C層4が得られる。電子線照射工程において、加速電圧は200 kV以上800 kV以下が好ましく、フルエンス量は、 $1 \times 10^{17} \text{ cm}^{-2}$ 以上であることが好ましい。

[0069] なお、ノンドープS i C層31に対して、インプラ、プロトン注入等を行うことによって、高抵抗S i C層4を形成するようにしてもよい。

[0070] 次に、図2Cに示すように、例えばCVD法によって、高抵抗S i C層4上に、バッファ層5、半絶縁性窒化物層6、第1窒化物半導体層（電子走行層）7および第2窒化物半導体層（電子供給層）8が順にエピタキシャル成長される。これにより、バッファ層5、半絶縁性窒化物層6、第1窒化物半導体層7および第2窒化物半導体層8からなる窒化物エピタキシャル層20が、高抵抗S i C層4上に形成される。

[0071] 次に、図2Dに示すように、プラズマCVD法、LPCVD（Low Pressure CVD）法、MOCVD法、スパッタ法等によって、絶縁膜9の材料膜である絶縁材料膜32が第2窒化物半導体層8上に形成される。

[0072] 次に、図2Eに示すように、S i C基板2の第2主面2b上に、バック電極16が形成される。バック電極16は、S i C基板2の第2主面2b上に、例えばスパッタ法によってNi膜が形成されることによって作成される。

[0073] 次に、絶縁材料膜32上に、グランド用コンタクトホール18を形成すべき領域を除いた領域にレジスト膜（図示略）が形成される。このレジスト膜

を介して絶縁材料膜 32、窒化物エピタキシャル層 20、高抵抗 SiC 層 4 および低抵抗 SiC 層 3 の一部がドライエッチングされることにより、図 2 F に示すように、絶縁材料膜 32、窒化物エピタキシャル層 20 および高抵抗 SiC 層 4 を連続して貫通して低抵抗 SiC 層 3 内部に達するグランド用コンタクトホール 18 が形成される。

[0074] この後、レジスト膜が除去される。そして、絶縁材料膜 32 上に、ソースコンタクトホール 10 およびドレインコンタクトホール 11 を形成すべき領域を除いた領域にレジスト膜（図示略）が形成される。このレジスト膜を介して絶縁材料膜 32 がドライエッチングされることにより、図 2 G に示すように、絶縁材料膜 32 にソースコンタクトホール 10 およびドレインコンタクトホール 11 が形成される。ソースコンタクトホール 10 およびドレインコンタクトホール 11 は、絶縁材料膜 32 を貫通して、第 2 窒化物半導体層 8 に達している。この後、レジスト膜が除去される。

[0075] 次に、図 2 H に示すように、第 2 窒化物半導体層 8 に、例えば、電子ビーム蒸着法、スパッタ法等によって、絶縁材料膜 32 を覆うように、ソース電極 12 およびドレイン電極 13 の材料膜である電極膜 33 が形成される。電極膜 33 は、例えば、Ti 膜および Al 膜が、下層からその順に積層された Ti/Al 積層膜からなる。

[0076] 次に、電極膜 33 表面におけるソース電極作成予定領域およびドレイン電極作成予定領域を覆うレジスト膜が形成される。そして、このレジスト膜をマスクとして、電極膜 33 が選択的にエッチングされることにより、図 2 I に示すように、主電極部 12 A および延長部 12 B を含むソース電極 12 と、ドレイン電極 13 とが得られる。

[0077] 次に、絶縁材料膜 32、ソース電極 12 およびドレイン電極 13 上に、ゲートコンタクトホール 14 を形成すべき領域を除いた領域にレジスト膜（図示略）が形成される。このレジスト膜を介して絶縁材料膜 32 がドライエッチングされることにより、図 2 J に示すように、絶縁材料膜 32 にゲートコンタクトホール 14 が形成される。これにより、絶縁材料膜 32 がパターンニ

ングされて絶縁膜 9 が得られる。ゲートコンタクトホール 14 は、絶縁膜 9 を貫通して、第 2 窒化物半導体層 8 に達している。

[0078] 次に、レジスト膜が除去された後、ゲート電極 15 が形成されることにより、図 1 に示されるような窒化物半導体装置 1 が得られる。ゲート電極 15 は、例えば、Ni 膜および Au 膜が、下層からその順に積層された Ni / Au 積層膜からなる。

[0079] 図 3 は、本開示の第 2 実施形態に係る窒化物半導体装置の構成を説明するための断面図である。図 3 において、図 1 の各部に対応する部分には、図 1 と同じ符号を付して示す。

[0080] 図 3 の窒化物半導体装置 1A では、図 1 の窒化物半導体装置 1 と比較して、ランド用コンタクトホール 51A の下端が、SiC 基板 2 の厚さ途中まで達している点が異なっている。

[0081] 具体的には、ランド用コンタクトホール 18A は、絶縁膜 9 の表面から、絶縁膜 9、窒化物エピタキシャル層 20、高抵抗 SiC 層 4 および低抵抗 SiC 層 3 を連続して貫通し、SiC 基板 2 の厚さ途中まで延びている。ソース電極 12 の延長部 12B の一部はランド用コンタクトホール 18 に入り込み、ランド用コンタクトホール 18 内において SiC 基板 2 に接触している。したがって、この実施形態では、バック電極 16 は、SiC 基板 2 およびソース電極 12 の延長部 12B を介してソース電極 12 の主電極部 12A に電氣的に接続されている。

[0082] なお、図 3 の窒化物半導体装置 1A の製造方法は、以下の点を除いて、図 1 の窒化物半導体装置 1 の製造方法と同様である。すなわち、図 3 の窒化物半導体装置 1A の製造方法においては、前述の図 2F の工程において、絶縁材料膜 32、窒化物エピタキシャル層 20、高抵抗 SiC 層 4 および低抵抗 SiC 層 3 を連続して貫通して SiC 基板 23 内部に達するランド用コンタクトホール 18A が形成される。

[0083] 前述の第 1 および第 2 実施形態では、バッファ層 5 上に、半絶縁性窒化物層 6 が形成されているが、半絶縁性窒化物層 6 は形成されていなくてもよい。

。

[0084] また、前述の第1および第2実施形態では、第1窒化物半導体層（電子走行層）7がGa₂N層からなり、第2窒化物半導体層（電子供給層）8がAlGa₂N層からなる例について説明したが、第1窒化物半導体層7と第2窒化物半導体層8とはバンドギャップ（例えばAl組成）が異なっていればよく、他の組み合わせも可能である。たとえば、第1窒化物半導体層7／第2窒化物半導体層8の組み合わせとしては、Ga₂N／AlN、AlGa₂N／AlNなどを例示できる。

[0085] 本開示の実施形態について詳細に説明してきたが、これらは本開示の技術的内容を明らかにするために用いられた具体例に過ぎず、本開示はこれらの具体例に限定して解釈されるべきではなく、本開示の範囲は添付の請求の範囲によってのみ限定される。

[0086] この出願は、2022年2月22日に日本国特許庁に提出された特願2022-25598号に対応しており、それらの出願の全開示はここに引用により組み込まれるものとする。

符号の説明

- [0087]
- 1, 1A 窒化物半導体装置
 - 2 SiC基板
 - 2a 第1主面
 - 2b 第2主面
 - 3 低抵抗SiC層
 - 4 高抵抗SiC層
 - 5 バッファ層
 - 6 半絶縁性窒化物層
 - 7 第1窒化物半導体層
 - 8 第2窒化物半導体層
 - 9 絶縁膜
 - 10 ソースコンタクトホール

- 1 1 ドレインコンタクトホール
- 1 2 ソース電極
 - 1 2 A 主電極部
 - 1 2 B 延長部
- 1 3 ドレイン電極
- 1 4 ゲートコンタクトホール
- 1 5 ゲート電極
- 1 6 バック電極
- 1 8 グランド用コンタクトホール
- 1 9 二次元電子ガス
- 2 0 窒化物エピタキシャル層
- 3 1 ノンドープS i C層
- 3 2 絶縁材料膜
- 3 3 電極膜

請求の範囲

- [請求項1] 第1主面およびその反対の第2主面を有するSiC基板と、
前記第1主面上に形成され、前記SiC基板よりも抵抗率が低い低抵抗SiC層と、
前記低抵抗SiC層上に形成され、前記低抵抗SiC層よりも抵抗率が高い高抵抗SiC層と、
前記高抵抗SiC層上に配置された窒化物エピタキシャル層とを含む、窒化物半導体装置。
- [請求項2] 前記低抵抗SiC層の抵抗率が、 $0.01\Omega\cdot\text{cm}$ 以下であり、
前記高抵抗SiC層の抵抗率が、 $10\Omega\cdot\text{cm}$ 以上である、請求項1に記載の窒化物半導体装置。
- [請求項3] 前記低抵抗SiC層の抵抗率が、 $0.002\Omega\cdot\text{cm}$ 以下である、
請求項2に記載の窒化物半導体装置。
- [請求項4] 前記低抵抗SiC層の抵抗率が、 $0.0002\Omega\cdot\text{cm}$ 以下である、
請求項2に記載の窒化物半導体装置。
- [請求項5] 前記高抵抗SiC層の抵抗率が、 $1\times 10^3\Omega\cdot\text{cm}$ 以上である、
請求項2～4のいずれか一項に記載の窒化物半導体装置。
- [請求項6] 前記高抵抗SiC層の抵抗率が、 $1\times 10^4\Omega\cdot\text{cm}$ 以上である、
請求項2～4のいずれか一項に記載の窒化物半導体装置。
- [請求項7] 前記高抵抗SiC層の抵抗率が、 $1\times 10^5\Omega\cdot\text{cm}$ 以上である、
請求項2～4のいずれか一項に記載の窒化物半導体装置。
- [請求項8] 前記低抵抗SiC層の厚さが、 $2\mu\text{m}$ 以上である、請求項1～7の
いずれか一項に記載の窒化物半導体装置。
- [請求項9] 前記高抵抗SiC層の厚さが、 $5\mu\text{m}$ 以上である、請求項1～8の
いずれか一項に記載の窒化物半導体装置。
- [請求項10] 前記窒化物エピタキシャル層の厚さが、 $2.5\mu\text{m}$ 以下である、請
求項1～9のいずれか一項に記載の窒化物半導体装置。
- [請求項11] 前記高抵抗SiC層に、コンダクションバンドからのエネルギーの

深さが 0.6 eV 以上 0.7 eV 以下もしくは 1.5 eV 以上 1.6 eV 以下であるエネルギー準位のうち、どちらかあるいはその両方を含んだ深い準位が浅いドナー準位よりも多く形成されている、請求項 1 ～ 10 のいずれか一項に記載の窒化物半導体装置。

[請求項12]

前記窒化物エピタキシャル層は、
窒化物半導体からなるバッファ層と、
前記バッファ層上に形成され、電子走行層を構成する第 1 窒化物半導体層と、
前記第 1 窒化物半導体層上に形成され、電子供給層を構成し、前記第 1 窒化物半導体層よりもバンドギャップの高い第 2 窒化物半導体層とを含む、請求項 1 ～ 11 のいずれか一項に記載の窒化物半導体装置。

[請求項13]

前記バッファ層と前記第 1 窒化物半導体層との間に介在する半絶縁性窒化物層を含む、請求項 12 に記載の窒化物半導体装置。

[請求項14]

前記バッファ層が、下層側の AlN 層と、前記 AlN 層上に形成された上層側の AlGaIn 層とを含み、
前記半絶縁性窒化物層が、不純物がドーピングされた半絶縁性 GaInN 層であり、
前記第 1 窒化物半導体層が、前記半絶縁性 GaInN 層上に形成されたノンドープ GaInN 層であり、
前記第 2 窒化物半導体層が、 AlGaIn 層を含む、請求項 13 に記載の窒化物半導体装置。

[請求項15]

前記窒化物エピタキシャル層上に配置されたソース電極、ドレイン電極およびゲート電極を含み、
前記窒化物エピタキシャル層の表面から前記低抵抗 SiC 層の厚さ途中に達するコンタクト孔が形成されており、
前記ソース電極が前記コンタクト孔を介して前記低抵抗 SiC 層に電氣的に接続されている、請求項 1 ～ 14 のいずれか一項に記載の窒

化物半導体装置。

[請求項16] 前記窒化物エピタキシャル層上に配置されたソース電極、ドレイン電極およびゲート電極を含み、

前記窒化物エピタキシャル層の表面から前記S i C基板の厚さ途中に達するコンタクト孔が形成されており、

前記ソース電極が前記コンタクト孔を介して前記S i C基板に電氣的に接続されている、請求項1～14のいずれか一項に記載の窒化物半導体装置。

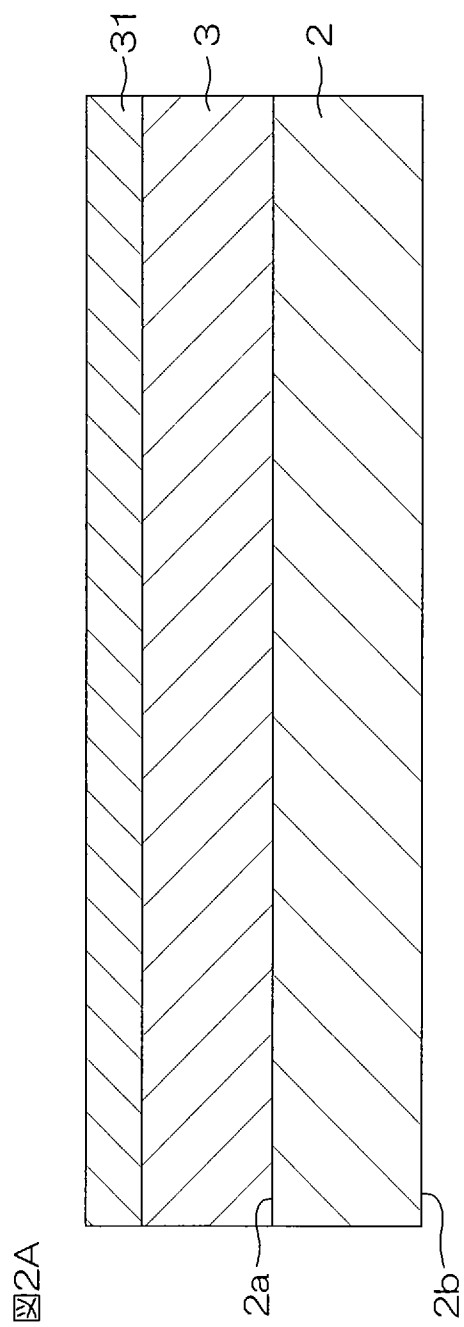
[請求項17] 前記第2主面に形成された裏面電極を含む、請求項15または16に記載の窒化物半導体装置。

[請求項18] 第1主面およびその反対の第2主面を有するS i C基板の前記第1主面に、前記S i C基板よりも抵抗率が低い低抵抗S i C層を形成する工程と、

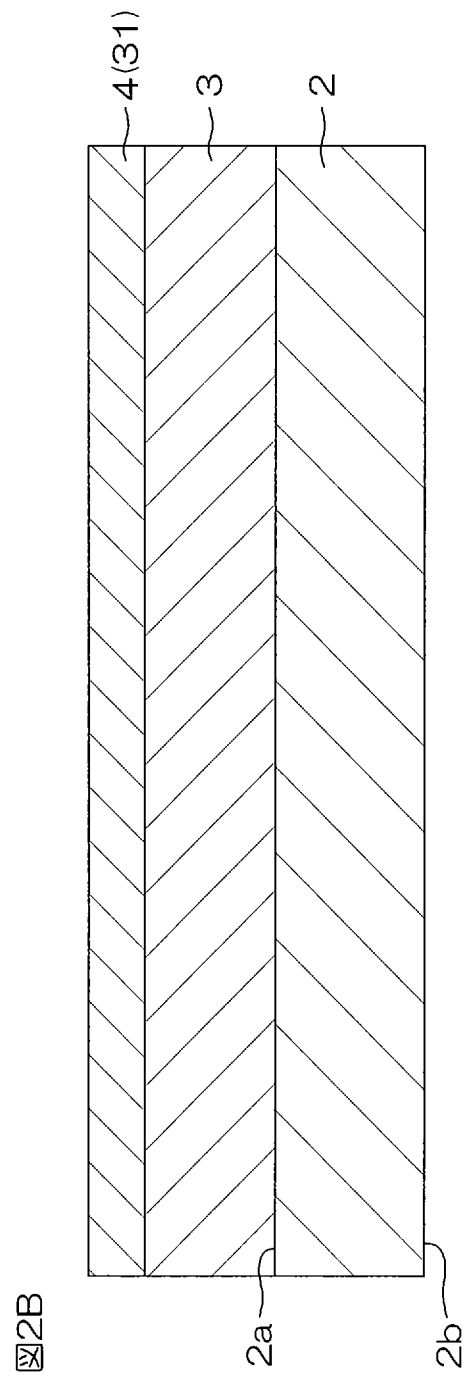
前記低抵抗S i C層上に、前記低抵抗S i C層よりも抵抗率が高い高抵抗S i C層を形成する工程と、

前記高抵抗S i C層上に、窒化物エピタキシャル層を形成する工程とを含む、窒化物半導体装置の製造方法。

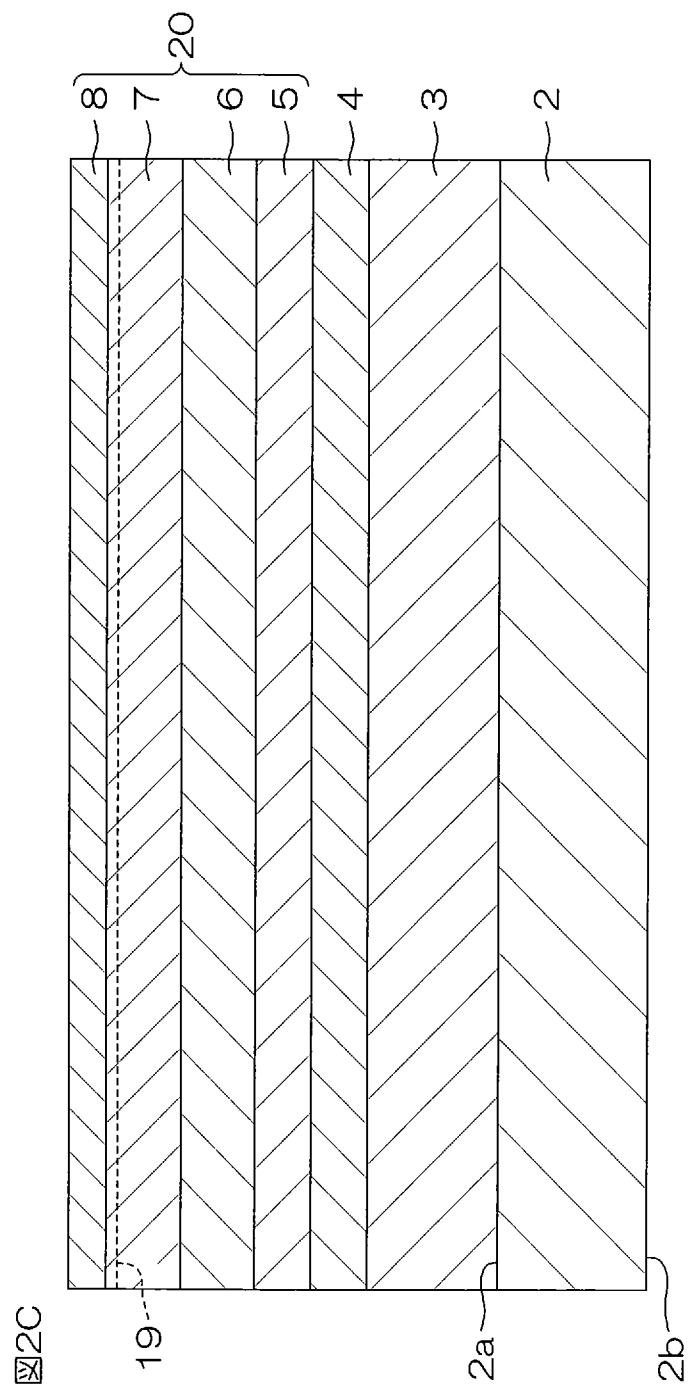
[図2A]



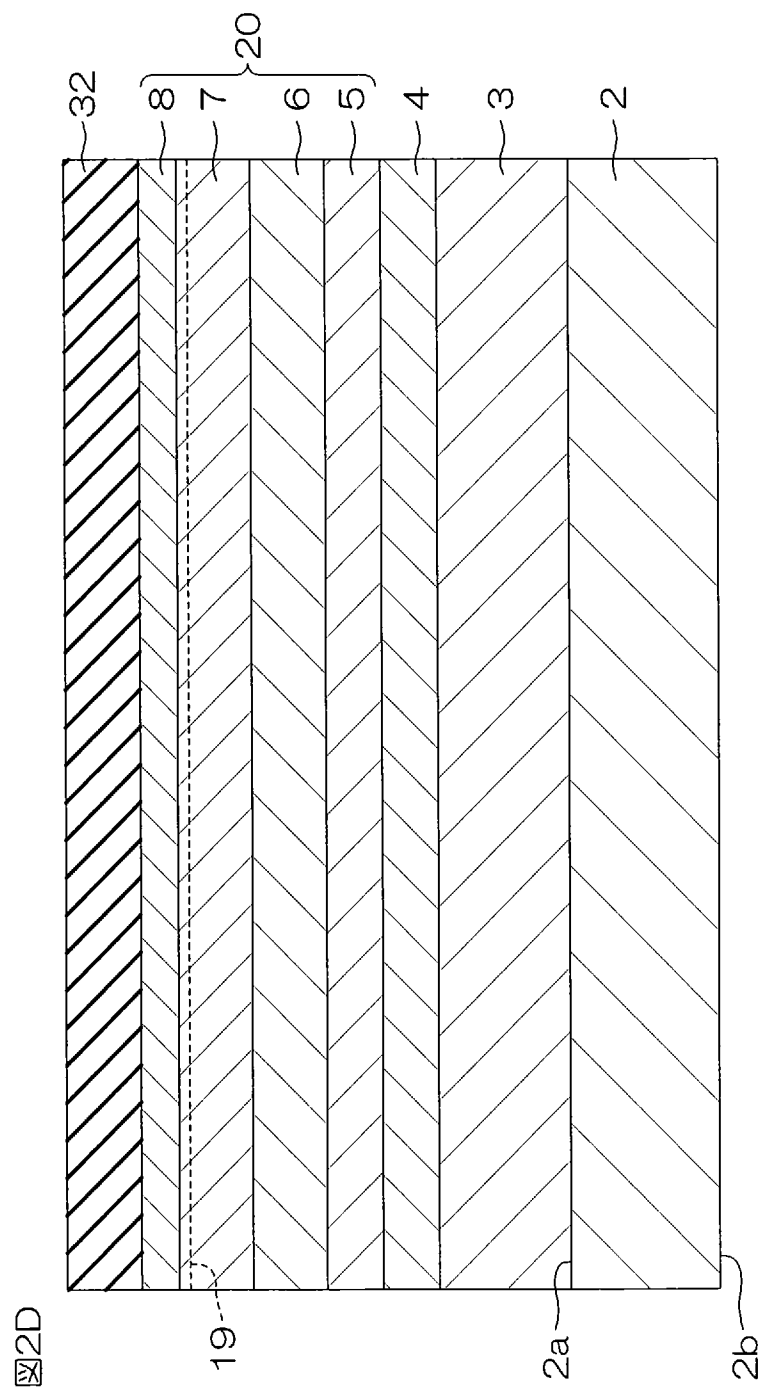
[図2B]



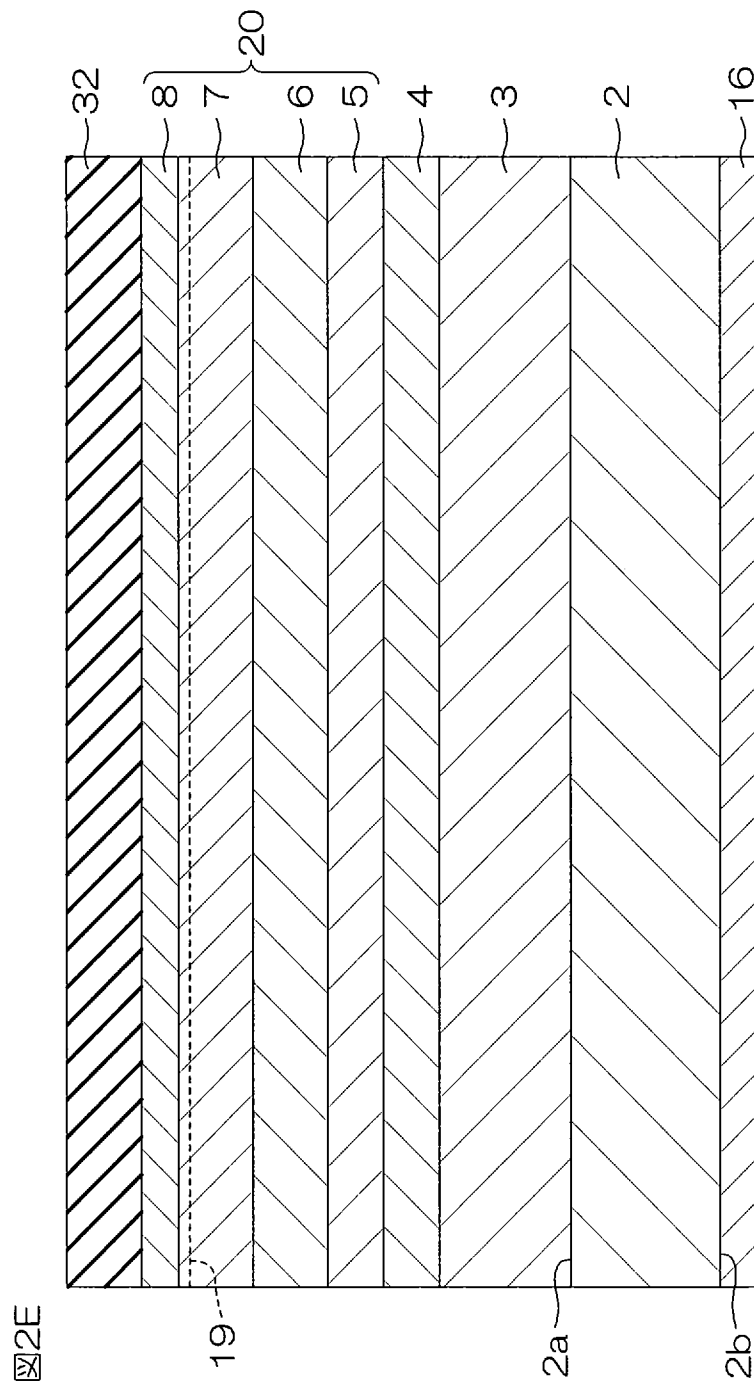
[図2C]



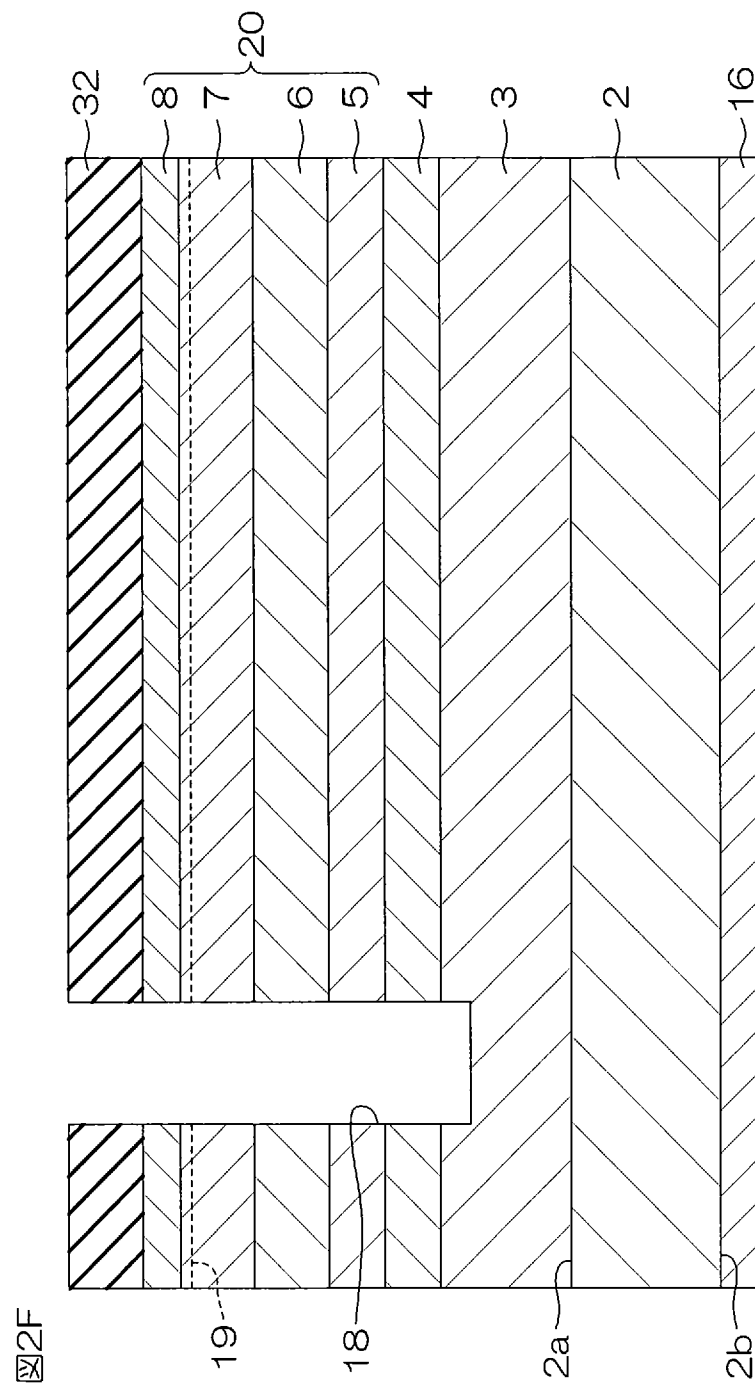
[図2D]



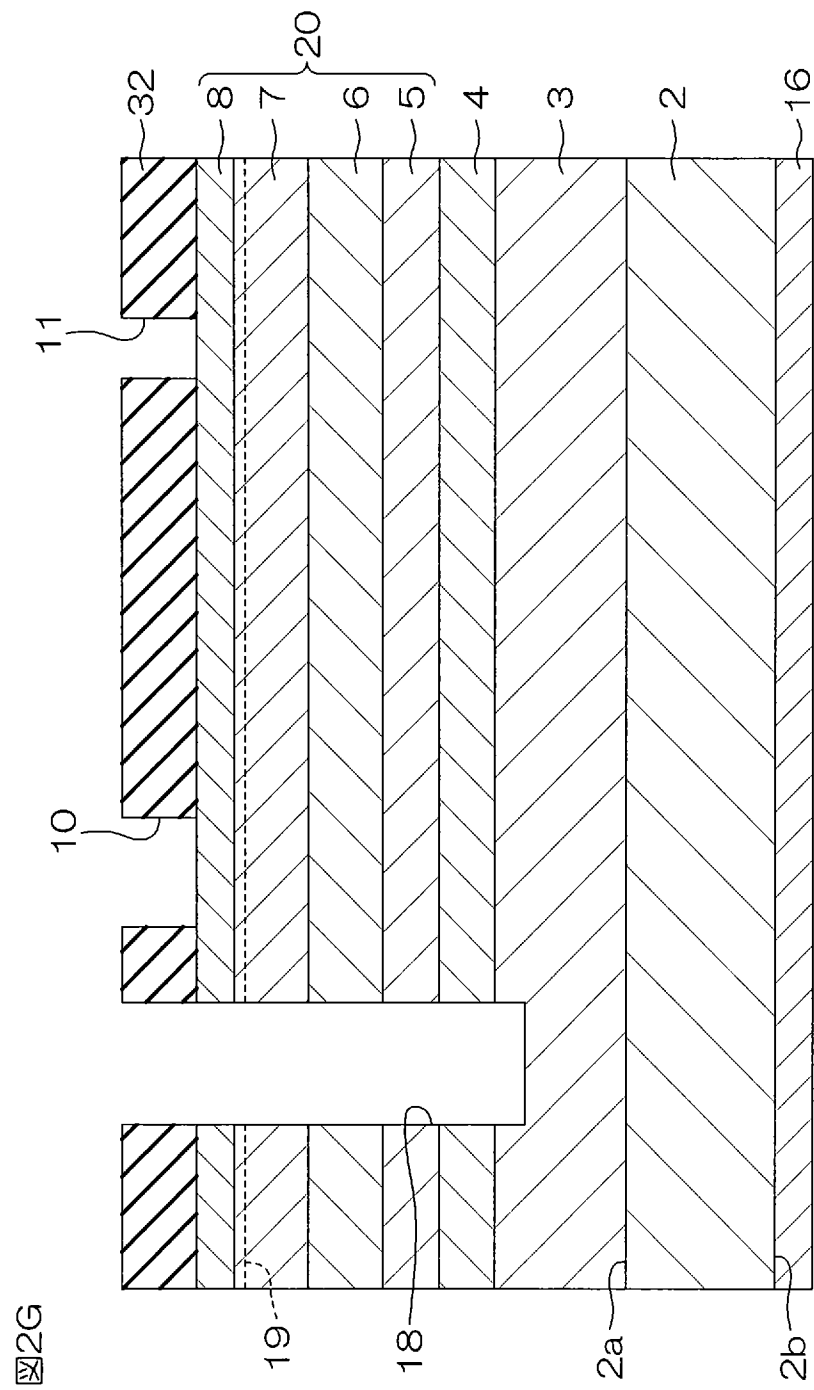
[図2E]



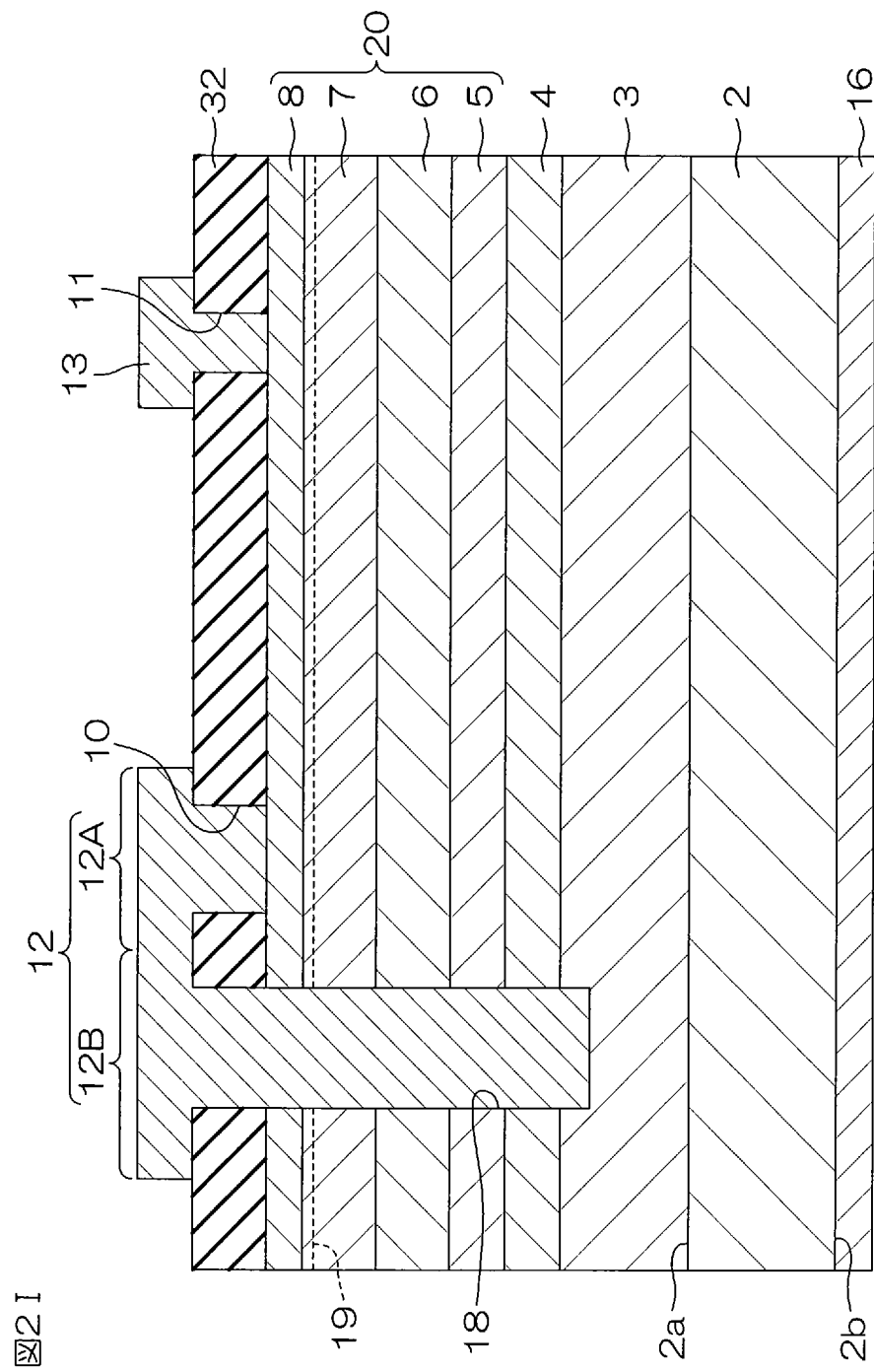
[図2F]



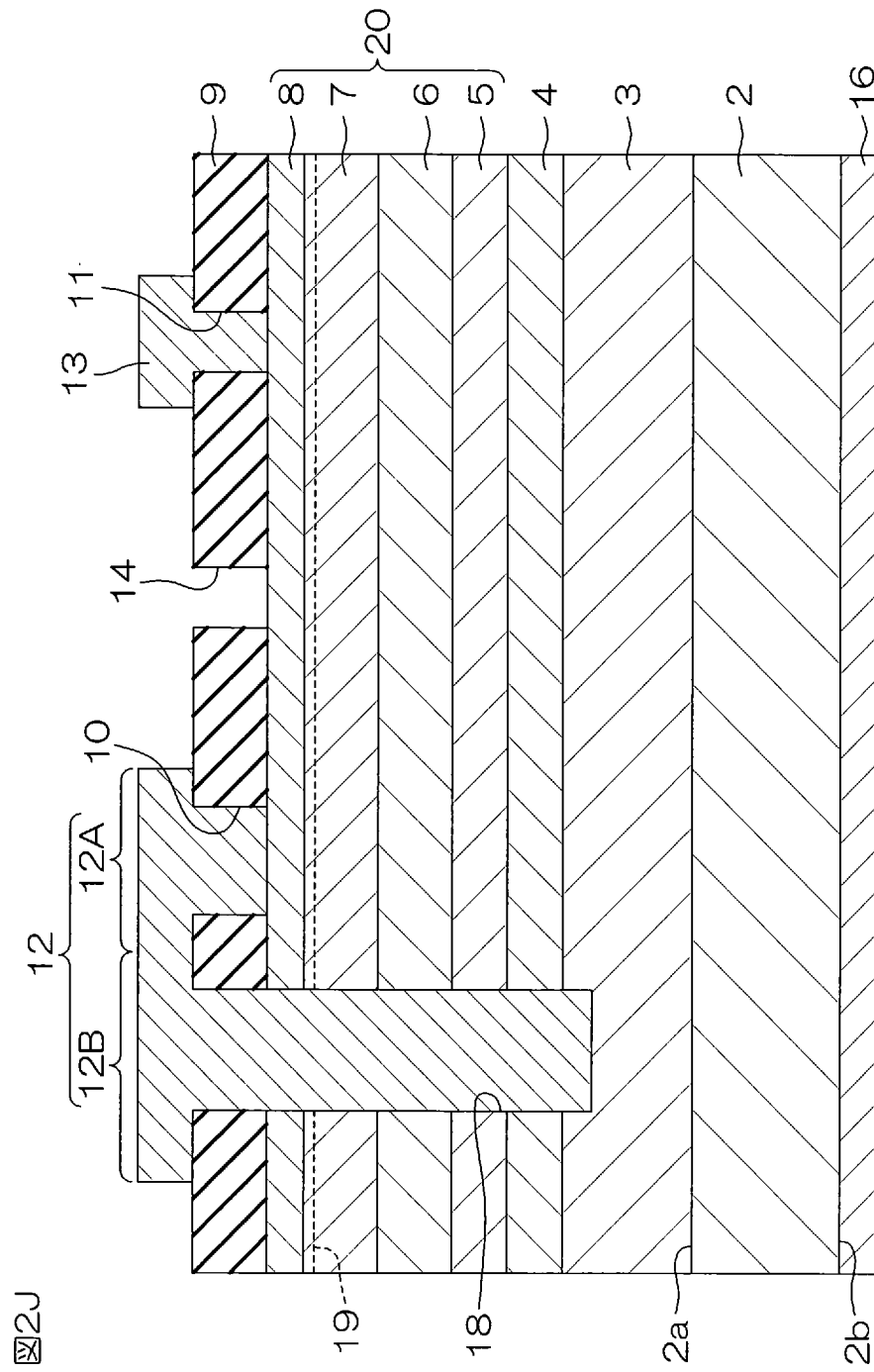
[図2G]



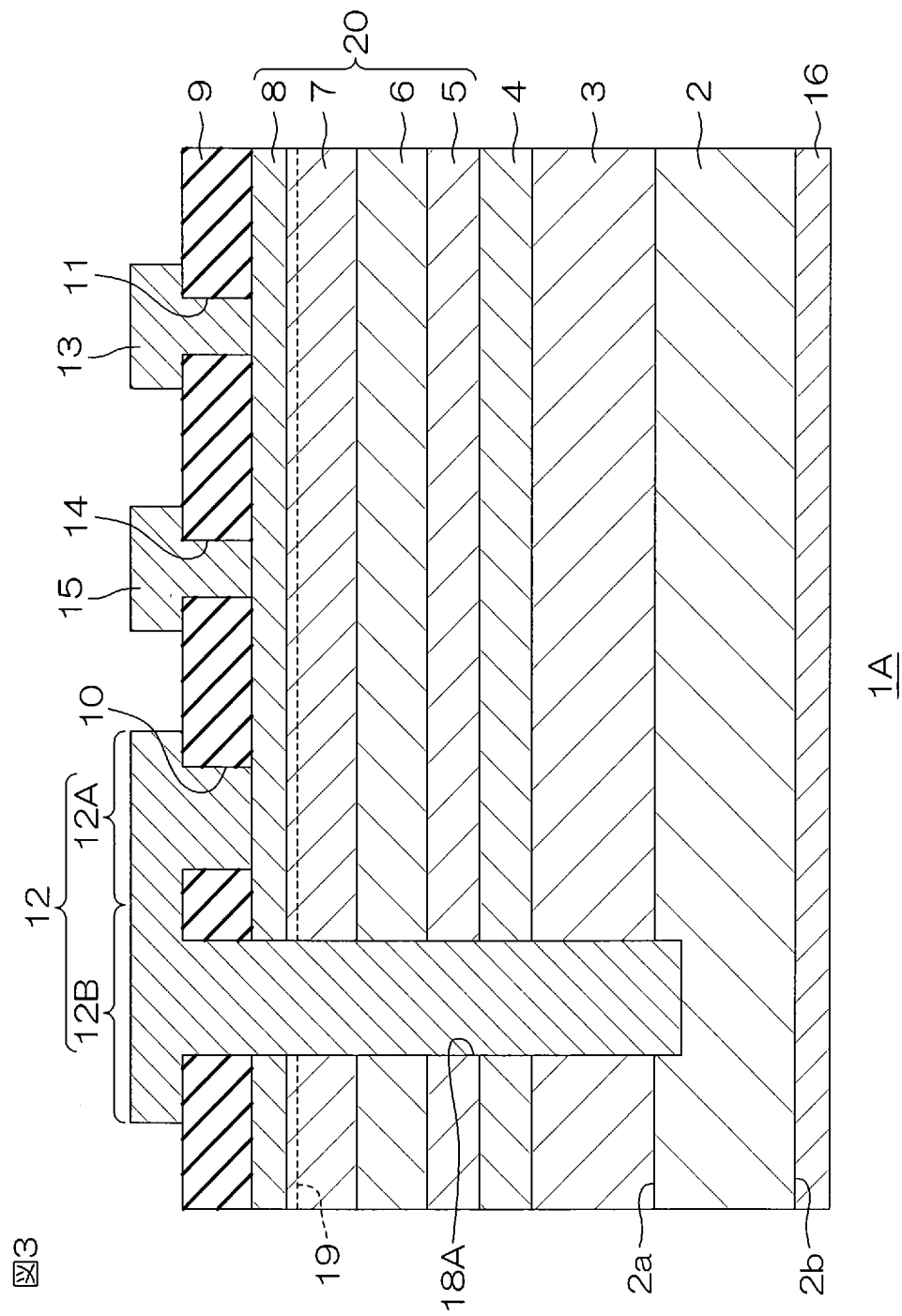
[図2I]



[図2J]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/001382

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/812(2006.01)i; **H01L 21/20**(2006.01)i; **H01L 21/263**(2006.01)i; **H01L 21/265**(2006.01)i; **H01L 21/338**(2006.01)i;
H01L 29/41(2006.01)i; **H01L 29/417**(2006.01)i; **H01L 29/778**(2006.01)i

FI: H01L29/80 U; H01L29/80 H; H01L29/44 L; H01L29/50 J; H01L21/20; H01L21/263 E; H01L21/265 J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/812; H01L21/20; H01L21/263; H01L21/265; H01L21/338; H01L29/41; H01L29/417; H01L29/778

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-103727 A (TOYOTA MOTOR CORP) 19 April 2007 (2007-04-19) paragraphs [0027]-[0029], [0045]-[0053], [0114]-[0124], fig. 1, 9	1, 9, 10, 18
Y		2-4, 12
A		5-8, 11, 13-17
X	JP 2006-286954 A (EUDYNA DEVICES INC) 19 October 2006 (2006-10-19) paragraphs [0026]-[0049], fig. 6, 8	1, 9, 10, 18
Y		2-4, 12
A		5-8, 11, 13-17
X	JP 2006-286910 A (EUDYNA DEVICES INC) 19 October 2006 (2006-10-19) paragraphs [0020]-[0053], fig. 2-18	1, 9, 10, 18
Y		2-4, 12
A		5-8, 11, 13-17

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

11 April 2023

Date of mailing of the international search report

18 April 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/001382

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 01/67521 A1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 13 September 2001 (2001-09-13)	2-4, 12
A	p. 29, line 12 to p. 30, line 3, fig. 15	1, 5-11, 13-17
Y	JP 2014-138111 A (FUJITSU LTD) 28 July 2014 (2014-07-28)	12
A	paragraphs [0011]-[0041], fig. 1	1-11, 13-18
A	JP 2014-212340 A (RENESAS ELECTRONICS CORP) 13 November 2014 (2014-11-13)	1-18
	paragraphs [0209]-[0257], fig. 1-4	
A	JP 2006-507683 A (CREE INC) 02 March 2006 (2006-03-02)	1-18
	paragraphs [0038]-[0072], fig. 1-4	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/001382

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2007-103727	A	19 April 2007	(Family: none)	
JP	2006-286954	A	19 October 2006	US 2006/0220042 A1 paragraphs [0031]-[0054], fig. 6, 8	
JP	2006-286910	A	19 October 2006	US 2006/0219997 A1 paragraphs [0036]-[0069], fig. 2-18	
				EP 1708275 A2	
WO	01/67521	A1	13 September 2001	US 2004/0217375 A1 paragraph [0135], fig. 15	
				EP 1189287 A1	
				KR 10-0655022 B1	
				TW 473843 B	
				CN 1349663 A	
JP	2014-138111	A	28 July 2014	US 2014/0197889 A1 paragraphs [0023]-[0064], fig. 1	
				CN 103943675 A	
				TW 201431078 A	
JP	2014-212340	A	13 November 2014	US 2011/0006346 A1 paragraphs [0273]-[0319], fig. 1-4	
				WO 2009/113612 A1	
				CN 101971308 A	
JP	2006-507683	A	02 March 2006	US 2004/0099888 A1 paragraphs [0044]-[0078], fig. 1-4	
				WO 2004/049454 A1	
				EP 1565946 A1	
				CA 2502485 A	
				KR 10-2005-0086758 A	
				TW 200419803 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/812(2006.01)i; H01L 21/20(2006.01)i; H01L 21/263(2006.01)i; H01L 21/265(2006.01)i; H01L 21/338(2006.01)i; H01L 29/41(2006.01)i; H01L 29/417(2006.01)i; H01L 29/778(2006.01)i FI: H01L29/80 U; H01L29/80 H; H01L29/44 L; H01L29/50 J; H01L21/20; H01L21/263 E; H01L21/265 J		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/812; H01L21/20; H01L21/263; H01L21/265; H01L21/338; H01L29/41; H01L29/417; H01L29/778 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2007-103727 A（トヨタ自動車株式会社）19.04.2007（2007-04-19） 段落[0027]-[0029], [0045-0053], [0114]-[0124], 図1, 9	1, 9, 10, 18 2-4, 12 5-8, 11, 13-17
X Y A	JP 2006-286954 A（ユーディナデバイス株式会社）19.10.2006（2006-10-19） 段落[0026]-[0049], 図6, 8	1, 9, 10, 18 2-4, 12 5-8, 11, 13-17
X Y A	JP 2006-286910 A（ユーディナデバイス株式会社）19.10.2006（2006-10-19） 段落[0020]-[0053], 図2-18	1, 9, 10, 18 2-4, 12 5-8, 11, 13-17
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 11. 04. 2023		国際調査報告の発送日 18. 04. 2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 杉山 芳弘 5F 6311 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 01/67521 A1 (松下電器産業株式会社) 13.09.2001 (2001 - 09 - 13) 第29頁第12行-第30頁第3行, 第15図	2-4, 12
A		1, 5-11, 13-17
Y	JP 2014-138111 A (富士通株式会社) 28.07.2014 (2014 - 07 - 28) 段落[0011]-[0041], 図1	12
A		1-11, 13-18
A	JP 2014-212340 A (ルネサスエレクトロニクス株式会社) 13.11.2014 (2014 - 11 - 13) 段落[0209]-[0257], 図1-4	1-18
A	JP 2006-507683 A (クリー インコーポレイテッド) 02.03.2006 (2006 - 03 - 02) 段落[0038]-[0072], 図1-4	1-18

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/001382

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-103727	A	19.04.2007	(ファミリーなし)	
JP	2006-286954	A	19.10.2006	US 2006/0220042	A1
				段落[0031]-[0054], 図6, 8	
JP	2006-286910	A	19.10.2006	US 2006/0219997	A1
				段落[0036]-[0069], 図2-18	
				EP 1708275	A2
WO	01/67521	A1	13.09.2001	US 2004/0217375	A1
				段落[0135], 図15	
				EP 1189287	A1
				KR 10-0655022	B1
				TW 473843	B
				CN 1349663	A
JP	2014-138111	A	28.07.2014	US 2014/0197889	A1
				段落[0023]-[0064], 図1	
				CN 103943675	A
				TW 201431078	A
JP	2014-212340	A	13.11.2014	US 2011/0006346	A1
				段落[0273]-[0319], 図1-4	
				WO 2009/113612	A1
				CN 101971308	A
JP	2006-507683	A	02.03.2006	US 2004/0099888	A1
				段落[0044]-[0078], 図1-4	
				WO 2004/049454	A1
				EP 1565946	A1
				CA 2502485	A
				KR 10-2005-0086758	A
				TW 200419803	A