

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-169385
(P2012-169385A)

(43) 公開日 平成24年9月6日(2012.9.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 J	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 8 A	
	HO 1 L 29/78 6 5 5 A	
審査請求 未請求 請求項の数 8 O L (全 20 頁)		

(21) 出願番号	特願2011-27996 (P2011-27996)	(71) 出願人	000004260
(22) 出願日	平成23年2月11日 (2011.2.11)		株式会社デンソー
			愛知県刈谷市昭和町1丁目1番地
		(71) 出願人	000003207
			トヨタ自動車株式会社
			愛知県豊田市トヨタ町1番地
		(71) 出願人	000003609
			株式会社豊田中央研究所
			愛知県長久手市横道41番地の1
		(74) 代理人	110001128
			特許業務法人ゆうあい特許事務所
		(72) 発明者	松木 英夫
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		最終頁に続く	

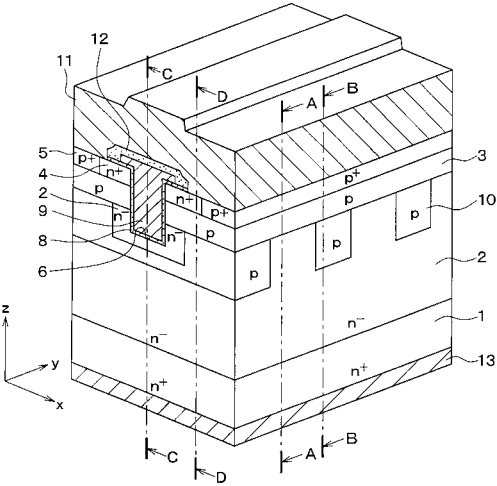
(54) 【発明の名称】 炭化珪素半導体装置

(57) 【要約】

【課題】トレンチゲート構造を構成するトレンチに対して交差するようにディープ層を形成する場合において、オン抵抗の低減を図る。

【解決手段】p型ディープ層10の全部もしくは一部がトレンチ6の内壁面から離間した構造、すなわち少なくともトレンチ6の側面もしくは底面のいずれか一方と接していないレイアウトとする。例えば、トレンチゲート構造の側面と底面の双方と接しないように、トレンチゲート構造から離間した場所にのみp型ディープ層10を形成する。これにより、オン時にゲート電極9にゲート電圧を印加してチャネルが形成されたときに、チャネルの幅を広くすることができる。したがって、p型ディープ層10をトレンチ6と接するように形成する場合と比較してJFET領域の幅を広くことができ、JFET抵抗を低減することができるため、オン抵抗の低減を図ることが可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

炭化珪素からなる第 1 または第 2 導電型の基板 (1) と、
前記基板 (1) の上に形成され、前記基板 (1) よりも低不純物濃度とされた第 1 導電型の炭化珪素からなるドリフト層 (2) と、
前記ドリフト層 (2) の上に形成された第 2 導電型の炭化珪素からなるベース領域 (3) と、
前記ベース領域 (3) の上層部に形成され、前記ドリフト層 (2) よりも高濃度の第 1 導電型の炭化珪素にて構成されたソース領域 (4) と、
前記ベース領域 (3) の上層部に形成され、前記ベース層 (3) よりも高濃度の第 2 導電型の炭化珪素にて構成されたコンタクト領域 (5) と、
前記ソース領域 (4) の表面から前記ベース領域 (3) よりも深くまで形成され、一方向を長手方向として形成されたトレンチ (6) と、
前記トレンチ (6) の内壁面に形成されたゲート絶縁膜 (8) と、
前記トレンチ (6) 内において、前記ゲート絶縁膜 (8) の上に形成されたゲート電極 (9) と、
前記ソース領域 (4) および前記ベース領域 (3) に電氣的に接続されたソース電極 (11) と、
前記基板 (1) の裏面側に形成されたドレイン電極 (13) とを備え、
前記ゲート電極 (9) への印加電圧を制御することで前記トレンチ (6) の側面に位置する前記ベース領域 (3) の表面部に反転型のチャネル領域を形成し、前記ソース領域 (4) および前記ドリフト層 (2) を介して、前記ソース電極 (11) および前記ドレイン電極 (13) の間に電流を流す反転型のトレンチゲート構造の半導体スイッチング素子を備えた炭化珪素半導体装置であって、
前記ベース領域 (3) の下方に配置されると共に前記トレンチ (6) よりも深い位置まで形成され、前記トレンチ (6) の長手方向と交差する複数の第 2 導電型のディープ層 (10) を有し、
前記ディープ層 (10) の全部もしくは一部が前記トレンチ (6) の内壁面から離間していること特徴とする炭化珪素半導体装置。

【請求項 2】

前記トレンチ (6) の側面から前記ディープ層 (10) が第 1 所定距離離間していることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記ディープ層 (10) は、下層領域と上層領域の二層構造とされ、前記上層領域において、前記トレンチ (6) の側面から前記ディープ層 (10) が第 1 所定距離離間していることを特徴とする請求項 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記ドリフト層 (2) のうち前記トレンチ (6) の側面において該トレンチ (6) と前記ディープ層 (10) との間に位置する部分は、該ドリフト層 (2) のうち前記ディープ層 (10) よりも下方に位置する部分より不純物濃度が高くされた電流拡散層 (2a) とされていることを特徴とする請求項 2 または 3 に記載の炭化珪素半導体装置。

【請求項 5】

前記トレンチ (6) の底部から前記ディープ層 (10) とは第 2 所定距離離間していることを特徴とする請求項 1 ないし 4 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 6】

前記ディープ層 (10) は、下層領域と上層領域の二層構造とされ、前記下層領域において、前記トレンチ (6) の底部から前記ディープ層 (10) が第 2 所定距離離間していることを特徴とする請求項 5 に記載の炭化珪素半導体装置。

【請求項 7】

複数の前記ディープ層 (10) のうちの一部が選択的に前記トレンチ (6) の内壁面か

ら離間している構造の前記ディープ層（１０）とされていることを特徴とする請求項１ないし６のいずれか１つに記載の炭化珪素半導体装置。

【請求項８】

前記ディープ層（１０）は、前記ベース領域（３）と電氣的に接続されていることを特徴とする請求項１ないし７のいずれか１つに記載の炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、トレンチゲート構造の半導体スイッチング素子を有する炭化珪素（以下、ＳｉＣという）半導体装置に関する。

10

【背景技術】

【０００２】

ＳｉＣ半導体装置において、より大電流を流すには、チャネル密度を高くすることが有効である。このため、シリコントランジスタにおいて、トレンチゲート構造のＭＯＳＦＥＴが採用され実用化されている。このトレンチゲート構造は当然ＳｉＣ半導体装置にも適用できる構造であるが、ＳｉＣに応用する場合、大きな問題がある。すなわち、ＳｉＣは破壊電界強度がシリコンの１０倍あるため、ＳｉＣ半導体装置にはシリコンデバイスの１０倍近い電圧をかけた状態で使用される。そのため、ＳｉＣの中に入り込んだトレンチ内に形成されたゲート絶縁膜にもシリコンデバイスの１０倍の強度の電界がかかり、トレンチのコーナー部においてゲート絶縁膜が容易に破壊されてしまうという問題がある。

20

【０００３】

このような問題を解決するものとして、特許文献１において、ｐ型ベース領域の下方に、トレンチゲート構造を構成するトレンチに対して交差するようにストライプ状のｐ型ディープ層を形成したＳｉＣ半導体装置が提案されている。このＳｉＣ半導体装置では、各ｐ型ディープ層からｎ型ドリフト層側に伸びる空乏層によって高電圧がゲート絶縁膜側に入り込み難くなるようにすることで、ゲート絶縁膜内での電界集中を緩和し、ゲート絶縁膜が破壊されることを防止している。

【先行技術文献】

【特許文献】

【０００４】

30

【特許文献１】特開２００９－１９４０６５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

しかしながら、上記特許文献１のようにｐ型ディープ層を設ける構造は、ゲート絶縁膜への電界集中を防ぐ上では効果的であるが、ｐ型ディープ層によって電流経路が狭められ、隣り合うｐ型ディープ層間においてＪＦＥＴ領域を形成するため、オン抵抗の上昇を招く。

【０００６】

本発明は上記点に鑑みて、トレンチゲート構造を構成するトレンチに対して交差するようにディープ層を形成する場合において、オン抵抗の低減を図ることができるＳｉＣ半導体装置を提供することを目的とする。

40

【課題を解決するための手段】

【０００７】

上記目的を達成するため、請求項１に記載の発明では、ゲート電極（９）への印加電圧を制御することでトレンチ（６）の側面に位置するベース領域（３）の表面部に反転型のチャネル領域を形成し、ソース領域（４）およびドリフト層（２）を介して、ソース電極（１１）およびドレイン電極（１３）の間に電流を流す反転型のＭＯＳＦＥＴを備えた炭化珪素半導体装置であって、ベース領域（３）の下方に配置されると共にトレンチ（６）よりも深い位置まで形成され、トレンチ（６）の長手方向と交差する複数の第２導電型の

50

ディープ層(10)を有し、ディープ層(10)の全部もしくは一部がトレンチ(6)の内壁面から離間していること特徴としている。

【0008】

このように、ディープ層(10)の全部もしくは一部がトレンチ(6)の内壁面から離間した構造となるようにしている。このため、オン時にゲート電極(9)にゲート電圧を印加してチャンネルが形成されたときに、チャンネルの幅を広くすることができる。したがって、ディープ層(10)をトレンチ(6)と接するように形成する場合と比較してJFET領域の幅を広くすることができ、JFET抵抗を低減することができるため、オン抵抗の低減を図ることが可能となる。

【0009】

例えば、請求項2に記載したように、トレンチ(6)の側面からディープ層(10)が第1所定距離離間した構造とすることができる。この場合、請求項3に記載したように、ディープ層(10)を下層領域と上層領域の二層構造とし、上層領域において、トレンチ(6)の側面からディープ層(10)が第1所定距離離間した構造となるようにすることができる。

【0010】

請求項4に記載の発明では、ドリフト層(2)のうちトレンチ(6)の側面において該トレンチ(6)とディープ層(10)との間に位置する部分は、該ドリフト層(2)のうちディープ層(10)よりも下方に位置する部分より不純物濃度が高くされた電流拡散層(2a)とされていることを特徴としている。

【0011】

このような構造の場合、ゲート電極(9)に対してゲート電圧を印加したときに、トレンチ(6)の側面のうち電流拡散層(2a)が形成されている部分でより広範囲に電流が流れるように電流の流れる範囲を分散でき、より電流経路を広くすることができる。このため、より隣り合うディープ層(10)の間に構成されるJFET領域でのJFET抵抗を低減することができ、よりオン抵抗の低減を図ることが可能となる。

【0012】

また、請求項5に記載したように、トレンチ(6)の底部からディープ層(10)が第2所定距離離間した構造とすることもできる。この場合、請求項6に記載したように、ディープ層(10)を下層領域と上層領域の二層構造とし、下層領域において、トレンチ(6)の底部からディープ層(10)が第2所定距離離間した構造となるようにすることができる。

【0013】

請求項7に記載の発明では、複数のディープ層(10)のうちの一部が選択的にトレンチ(6)の内壁面から離間している構造のディープ層(10)とされていることを特徴としている。

【0014】

このように、複数のディープ層(10)のうちの一部にのみ選択的に請求項1ないし6に記載の構造のディープ層(10)を設けるようにしても良い。

【0015】

請求項8に記載の発明では、ディープ層(10)は、ベース領域(3)と電氣的に接続されていることを特徴としている。

【0016】

このように、ディープ層(10)をベース領域(3)と電氣的に接続することで、ディープ層(10)をベース領域(5)の電位、つまりソース電位に固定することができる。

【0017】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【図面の簡単な説明】

【0018】

10

20

30

40

50

【図 1】本発明の第 1 実施形態にかかる反転型のトレンチゲート構造の MOSFET の斜視断面図である。

【図 2 (a)】図 1 の A - A 線において x z 平面と平行に切断したときの断面図である。

【図 2 (b)】図 1 の B - B 線において x z 平面と平行に切断したときの断面図である。

【図 2 (c)】図 1 の C - C 線において y z 平面と平行に切断したときの断面図である。

【図 2 (d)】図 1 の D - D 線において y z 平面と平行に切断したときの断面図である。

【図 3】トレンチゲート構造におけるゲート酸化膜 8 やゲート電極 9などを省略して示したトレンチ 6 近傍の様子を示した部分斜視断面図である。

【図 4】図 1 に示すトレンチゲート構造の MOSFET の製造工程を示した断面図である。

10

【図 5】図 4 に続くトレンチゲート構造の MOSFET の製造工程を示した断面図である。

【図 6】本発明の第 2 実施形態にかかる SiC 半導体装置の斜視断面図である。

【図 7】図 6 の E - E 線において x z 平面と平行に切断したときの断面図および図 6 中の F - F 線において y z 平面と平行に切断したときの断面図である。

【図 8】本発明の第 3 実施形態にかかる SiC 半導体装置の斜視断面図である。

【図 9】図 8 の G - G 線において x z 平面と平行に切断したときの断面図および図 8 中の H - H 線において y z 平面と平行に切断したときの断面図である。

【図 10】本発明の第 4 実施形態にかかる SiC 半導体装置の斜視断面図である。

【図 11】図 10 の I - I 線において x z 平面と平行に切断したときの断面図および図 10 中の J - J 線において y z 平面と平行に切断したときの断面図である。

20

【図 12】本発明の第 5 実施形態にかかる SiC 半導体装置の斜視断面図である。

【図 13】図 12 の K - K 線において x z 平面と平行に切断したときの断面図および図 8 中の L - L 線において y z 平面と平行に切断したときの断面図である。

【図 14】本発明の第 6 実施形態にかかる SiC 半導体装置の斜視断面図である。

【図 15】図 14 の M - M 線において x z 平面と平行に切断したときの断面図および図 14 中の N - N 線において y z 平面と平行に切断したときの断面図である。

【図 16】他の実施形態で説明する SiC 半導体装置であって、トレンチゲート構造におけるゲート酸化膜 8 やゲート電極 9などを省略して示したトレンチ 6 近傍の様子を示した部分斜視断面図である。

30

【発明を実施するための形態】

【0019】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、図中、同一符号を付してある。

【0020】

(第 1 実施形態)

本発明の第 1 実施形態について説明する。ここでは SiC 半導体装置に備えられるトレンチゲート構造の半導体スイッチング素子として反転型の MOSFET について説明する。

【0021】

40

図 1 は、本実施形態にかかるトレンチゲート構造の MOSFET の斜視断面図である。この図は、MOSFET の 1 セル分を抽出したものに相当する。本図では MOSFET の 1 セル分しか記載していないが、図 1 に示す MOSFET と同様の構造の MOSFET が複数列隣り合うように配置されている。また、図 2 (a) ~ 図 2 (d) は、図 1 の MOSFET の断面図である。図 2 (a) は、図 1 中の A - A 線において x z 平面と平行に切断したときの断面、図 2 (b) は、図 1 中の B - B 線において x z 平面と平行に切断したときの断面、図 2 (c) は、図 1 中の C - C 線において y z 平面と平行に切断したときの断面、図 2 (d) は、図 1 中の D - D 線において y z 平面と平行に切断したときの断面である。

【0022】

50

図1および図2(a)~図2(d)に示すMOSFETは、SiCからなるn⁺型基板1が半導体基板として用いられている。n⁺型基板1は、窒素等のn型不純物濃度が例えば $1.0 \times 10^{19} / \text{cm}^3$ とされ、厚さが300 μm 程度とされている。このn⁺型基板1の表面には、窒素等のn型不純物濃度が例えば $3.0 \times 10^{15} \sim 2.0 \times 10^{16} / \text{cm}^3$ で厚さ10~15 μm 程度のSiCからなるn⁻型ドリフト層2が形成されている。このn⁻型ドリフト層2の不純物濃度は深さ方向において一定であっても良いが、濃度分布に傾斜を付け、n⁻型ドリフト層2のうちn⁺型基板1側の方がn⁺型基板1から離れる側よりも高濃度となるようにすると好ましい。例えば、n⁻型ドリフト層2のうちn⁺型基板1の表面から3~5 μm 程度の部分の不純物濃度が $2.0 \times 10^{15} / \text{cm}^3$ 程度他の部分よりも高くなるようにすると良い。このようにすると、n⁻型ドリフト層2の内部抵抗を低減できるため、オン抵抗を低減することが可能となる。

10

【0023】

このn⁻型ドリフト層2の表層部にはp型ベース領域3が形成されており、さらに、p型ベース領域3の上層部分にはn⁺型ソース領域4およびp⁺型コンタクト層5が形成されている。

【0024】

p型ベース領域3は、ボロンもしくはアルミニウム等のp型不純物濃度が例えば $1.0 \times 10^{16} \sim 2.0 \times 10^{19} / \text{cm}^3$ 、厚さ2.0 μm 程度で構成されている。n⁺型ソース領域4は、表層部における窒素等のn型不純物濃度(表面濃度)が例えば $1.0 \times 10^{21} / \text{cm}^3$ 、厚さ0.3 μm 程度で構成されている。p⁺型コンタクト層5は、例えば表層部におけるボロンもしくはアルミニウム等のp型不純物濃度(表面濃度)が例えば $1.0 \times 10^{21} / \text{cm}^3$ 、厚さ0.3 μm 程度で構成されている。n⁺型ソース領域4は、後述するトレンチゲート構造の両側に配置されており、p⁺型コンタクト層5は、n⁺型ソース領域4を挟んでトレンチゲート構造と反対側に備えられている。

20

【0025】

また、p型ベース領域3およびn⁺型ソース領域4を貫通してn⁻型ドリフト層2に達するように、例えば幅が0.5~2.0 μm 、深さが2.0 μm 以上(例えば2.4 μm)のトレンチ6が形成されている。このトレンチ6の側面と接するように上述したp型ベース領域3およびn⁺型ソース領域4が配置されている。

【0026】

さらに、トレンチ6の内壁面はゲート酸化膜8にて覆われており、ゲート酸化膜8の表面に形成されたドーパドPoly-Siにて構成されたゲート電極9により、トレンチ6内が埋め尽くされている。ゲート酸化膜8は、トレンチ6の内壁面を熱酸化することで形成されており、ゲート酸化膜8の厚みはトレンチ6の側面側と底部側共に100nm程度となっている。

30

【0027】

このようにして、トレンチゲート構造が構成されている。このトレンチゲート構造は、図1中のy方向を長手方向として延設されている。そして、複数のトレンチゲート構造が図1中のx方向に平行に並べられることでストライプ状とされている。また、上述したn⁺型ソース領域4およびp⁺型コンタクト層5もトレンチゲート構造の長手方向に沿って延設された構造とされている。

40

【0028】

さらに、n⁻型ドリフト層2のうちp型ベース領域3よりも下方位置において、トレンチゲート構造に対して交差する方向に延設されるようにp型ディープ層10が形成されている。p型ディープ層10は、一定深さとされ、p型ベース領域3と接続されることで、p型ベース領域3と同電位に固定されている。

【0029】

本実施形態の場合、p型ディープ層10は、トレンチゲート構造におけるトレンチ6の側面のうちチャネル領域が構成される部分に対する法線方向(図1中のx方向)、つまりトレンチ6の長手方向に対する垂直方向に延設され、それがトレンチ6の長手方向におい

50

て複数本並べられて配置されている。この p 型ディープ層 10 は、トレンチ 6 の底部よりも深く形成されており、n⁻型ドリフト層 2 の表面からの深さが例えば 2 . 6 ~ 3 . 0 μm 程度 (p 型ベース領域 3 の底部からの深さが例えば 0 . 6 ~ 1 . 0 μm) とされ、ボロンもしくはアルミニウム等の p 型不純物濃度が例えば $1 . 0 \times 10^{17} / \text{cm}^3 \sim 1 . 0 \times 10^{19} / \text{cm}^3$ とされている。また、p 型ディープ層 10 は、p 型ベース領域 3 と接することで p 型ベース領域 3 と同電位に固定される。

【0030】

具体的には、p 型ディープ層 10 は、全部もしくは一部がトレンチ 6 の内壁面から離間した構造、すなわち少なくともトレンチ 6 の側面もしくは底面のいずれか一方と接していないレイアウトとされている。本実施形態では、トレンチゲート構造の側面と底面の双方と接しないように、トレンチゲート構造から離間した場所にのみ p 型ディープ層 10 を形成してある。すなわち、上記したようにトレンチ 6 の側面の法線に p 型ディープ層 10 を延設しているが、トレンチ 6 が形成される位置において、トレンチ 6 の側面から第 1 所定距離離れ、かつ、底面から第 2 所定距離離れた位置まで p 型ディープ層 10 を形成せず、p 型ディープ層 10 が凹形状となるようにしている。このため、トレンチ 6 の側面および底面では、p 型ディープ層 10 が n⁻型ドリフト層 2 よりも下方に備えられた構造となり、トレンチ 6 の内壁面からは p 型ディープ層 10 が露出していない状態となっている。

【0031】

図 3 は、トレンチゲート構造におけるゲート酸化膜 8 やゲート電極 9 などを省略して示したトレンチ 6 近傍の様子を示した部分斜視断面図である。図 1 や図 2 (a) ~ 図 2 (d) および図 3 に示されるように、本実施形態の p 型ディープ層 10 は、最も n⁺型基板 1 側となる底部からトレンチ 6 の底部より所定深さ深い位置までの部位はトレンチ 6 の底部も含めてトレンチ 6 の長手方向に対する垂直方向にライン状に形成されている。しかし、p 型ディープ層 10 は、トレンチ 6 の底部より所定深さ深い位置からそれよりも浅い位置の部位ではトレンチ 6 の幅よりも大きな寸法分形成されていないためライン状となっており、トレンチ 6 の底部の周囲が n⁻型ドリフト層 2 で囲まれるようにしてある。このように、p 型ディープ層 10 は、ライン状に形成されている部分を下層領域、トレンチ 6 の位置で分断されてライン状となっていない部分を上層領域とした二層構造で構成されている。そして、上層領域において、p 型ディープ層 10 がトレンチ 6 の側面から第 1 所定距離離間させられた構造とされている。

【0032】

このため、本実施形態の場合、ゲート電極 9 に対してゲート電圧を印加したときに、トレンチ 6 の側面にチャネルが形成されると、チャネルの幅はトレンチ 6 の周囲においては p 型ディープ層 10 が形成されていない場合と同様となり、チャネル幅が広がる。つまり、オン時に、トレンチ 6 の側面については n⁻型ドリフト層 2 を通じて電流が流れることができる。したがって、トレンチ 6 の周囲において p 型ディープ層 10 を形成しないようにすることで、p 型ディープ層 10 をトレンチ 6 の側面および底面の双方に接するように形成した場合と比較して J F E T 領域の幅を広くすることができ、J F E T 抵抗を低減することが可能となる。

【0033】

また、n⁺型ソース領域 4 および p⁺型コンタクト層 5 の表面やゲート電極 9 の表面には、ソース電極 11 やゲート配線 (図示せず) が形成されている。ソース電極 11 およびゲート配線は、複数の金属 (例えば Ni / Al 等) にて構成されており、少なくとも n 型 SiC (具体的には n⁺型ソース領域 4 や n ドープの場合のゲート電極 9) と接触する部分は n 型 SiC とオーミック接触可能な金属で構成され、少なくとも p 型 SiC (具体的には p⁺型コンタクト層 5 や p ドープの場合のゲート電極 9) と接触する部分は p 型 SiC とオーミック接触可能な金属で構成されている。なお、これらソース電極 11 およびゲート配線は、層間絶縁膜 12 上に形成されることで電氣的に絶縁されており、層間絶縁膜 12 に形成されたコンタクトホールを通じてソース電極 11 は n⁺型ソース領域 4 および p⁺型コンタクト層 5 と電氣的に接触させられ、ゲート配線はゲート電極 9 と電氣的に接触さ

せられている。

【0034】

そして、 n^+ 型基板1の裏面側には n^+ 型基板1と電氣的に接続されたドレイン電極13が形成されている。このような構造により、 n チャネルタイプの反転型のトレンチゲート構造のMOSFETが構成されている。

【0035】

このような反転型のトレンチゲート構造のMOSFETは、以下のように動作する。まず、ゲート電極9にゲート電圧を印加する前の状態では、 p 型ベース領域3に反転層が形成されない。したがって、ドレイン電極13に正の電圧を加えたとしても、 n 型ソース領域4から電子は p 型ベース領域3内に到達することはできず、ソース電極11とドレイン電極13との間に電流が流れない。

10

【0036】

次に、オフ時（ゲート電圧 = 0 V、ドレイン電圧 = 650 V、ソース電圧 = 0 V）には、ドレイン電極13に電圧を加えても逆バイアスになるため、 p 型ベース領域3と n^+ 型ドリフト層2の間より空乏層が広がる。このとき、 p 型ベース領域3の濃度が n^+ 型ドリフト層2より高いので、空乏層はほとんど n^+ 型ドリフト層2側に広がる。例えば、 p 型ベース領域3の不純物濃度を n^+ 型ドリフト層2の不純物濃度の10倍とした場合、 p 型ベース領域3側に約0.7 μm 伸び、 n^+ 型ドリフト層2側に約7.0 μm 伸びるが、 p 型ベース領域3の厚みを2.0 μm と空乏層の伸び量よりも大きくしてあるため、パンチスルーしないようにできる。そして、ドレイン0 Vの場合より空乏層が広がっているため、絶縁体として振舞う領域は更に広がっているため、ソース電極11とドレイン電極13との間に電流が流れない。

20

【0037】

また、ゲート電圧が0 Vになっているため、ドレイン - ゲート間にも電界がかかる。このため、ゲート酸化膜8の底部にも電界集中が発生し得る。しかしながら、トレンチ6よりも深い p 型ディープ層10を備えた構造としているため、 p 型ディープ層10と n^+ 型ドリフト層2とのPN接合部での空乏層が n^+ 型ドリフト層2側に大きく伸びることになり、ドレイン電圧の影響による高電圧がゲート酸化膜8に入り込み難くなる。そして、耐圧を見込んで p 型ディープ層10の幅を設定してあるため、より高電圧がゲート酸化膜8に入り込まないようにすることが可能となる。これにより、ゲート酸化膜8内での電界集中、特にゲート酸化膜8のうちのトレンチ6の底部での電界集中を緩和することが可能となり、ゲート酸化膜8が破壊されることを防止することが可能となる。

30

【0038】

一方、オン時（ゲート電圧 = 20 V、ドレイン電圧 = 1 V、ソース電圧 = 0 V）には、ゲート電極9にゲート電圧として20 Vが印加されるため、 p 型ベース領域3のうちトレンチ6に接している表面にチャネルが形成される。このため、ソース電極11から注入された電子は n^+ 型ソース領域4から p 型ベース領域3に形成されたチャネルを通った後、 n^+ 型ドリフト層2に到達する。これにより、ソース電極11とドレイン電極13との間に電流を流すことができる。

【0039】

40

さらに、本実施形態では、 p 型ディープ層10をトレンチ6の周囲に形成せず、 p 型ディープ層10がトレンチ6の側面から第1所定距離離れ、底面から第2所定距離離れた位置まで形成されていない構造とされている。このため、オン時にゲート電極9にゲート電圧を印加してチャネルが形成されたときに、チャネルの幅を広くすることができる。すなわち、トレンチ6の周囲においては、 p 型ディープ層10が形成されていないため、トレンチ6の側面および底面の周囲の n^+ 型ドリフト層2にも電流が流れるように電流経路を広げることが可能となる。このため、 p 型ディープ層10をトレンチ6と接するように形成する場合と比較してJFET領域の幅を広くすることができ、JFET抵抗を低減することが可能となる。

【0040】

50

次に、図 1 に示すトレンチゲート構造の MOSFET の製造方法について説明する。図 4 ~ 図 5 は、図 1 に示すトレンチゲート構造の MOSFET の製造工程を示した断面図である。図 4 および図 5 中、左側に図 1 中の B - B 線において x z 平面と平行に切断した断面図（図 2 (b) と対応する場所）を示してあり、右側に図 1 中の D - D 線において y z 平面と平行に切断した断面図（図 2 (d) と対応する場所）を示してある。以下、これらの図を参照して説明する。

【 0 0 4 1 】

〔 図 4 (a) に示す工程 〕

まず、窒素等の n 型不純物濃度が例えば $1.0 \times 10^{19} / \text{cm}^3$ で厚さ $300 \mu\text{m}$ 程度の n^+ 型基板 1 を用意する。この n^+ 型基板 1 の表面に窒素等の n 型不純物濃度が例えば $3.0 \times 10^{15} \sim 2.0 \times 10^{16} / \text{cm}^3$ で厚さ $15 \mu\text{m}$ 程度の SiC からなる n^- 型ドリフト層 2 をエピタキシャル成長させる。続いて、 n^- 型ドリフト層 2 の表面に LTO などで構成されるマスク 20 を形成したのち、フォトリソグラフィ工程を経て、p 型ディープ層 10 のうちの上層領域の形成予定領域においてマスク 20 を開口させる。そして、マスク 20 上から p 型不純物（例えばボロンやアルミニウム）のイオン注入を行う。例えばボロンもしくはアルミニウム濃度が $1.0 \times 10^{16} \sim 1.0 \times 10^{19} / \text{cm}^3$ となるようにイオン注入を行っている。このような工程により、トレンチ 6 の形成予定領域の周囲において、p 型ディープ層 10 が形成されないようにしつつ、p 型ディープ層 10 のうちの上層領域を形成できる。

【 0 0 4 2 】

〔 図 4 (b) に示す工程 〕

フォトリソグラフィ工程を経て、p 型ディープ層 10 のうちの下層領域の形成予定領域においてマスク 20 を開口させる。そして、マスク 20 上から p 型不純物（例えばボロンやアルミニウム）のイオン注入を行う。このときのイオン注入の濃度については、図 4 (a) に示す工程と同様としている。この後、マスク 20 を除去したのち、注入されたイオンを活性化する。

【 0 0 4 3 】

なお、ここでは p 型ディープ層 10 のうちの上層領域を形成するための p 型不純物のイオン注入を行ったのちに、下層領域を形成するための p 型不純物のイオン注入を行うようにしたが、これらの順番を逆にしても良い。ただし、この場合には別々のマスクを用いてイオン注入を行うことが必要になることから、上記した順番で形成することでマスク共通化を図ることが可能となり、上層領域と下層領域とをセルフアラインで形成でき、これらをマスクズレの影響無く形成することが可能となる。

【 0 0 4 4 】

〔 図 4 (c) に示す工程 〕

n^- 型ドリフト層 2 の表面に、ボロンもしくはアルミニウム等の p 型不純物濃度が例えば $1.0 \times 10^{15} \sim 2.0 \times 10^{19} / \text{cm}^3$ 、厚さ $2.0 \mu\text{m}$ 程度となる p 型不純物層をエピタキシャル成長させることにより、p 型ベース領域 3 を形成する。

【 0 0 4 5 】

〔 図 5 (a) に示す工程 〕

続いて、p 型ベース領域 3 の上に、例えば LTO 等で構成されるマスク（図示せず）を成膜したのち、フォトリソグラフィ工程を経て、 n^+ 型ソース領域 4 の形成予定領域上においてマスクを開口させる。その後、n 型不純物（例えば窒素）をイオン注入する。

【 0 0 4 6 】

さらに、先程使用したマスクを除去した後、再びマスク（図示せず）を成膜し、フォトリソグラフィ工程を経て、 p^+ 型コンタクト層 5 の形成予定領域上においてマスクを開口させる。その後、p 型不純物（例えばボロンやアルミニウム）をイオン注入する。

【 0 0 4 7 】

そして、注入されたイオンを活性化することで、窒素等の n 型不純物濃度（表面濃度）が例えば $1.0 \times 10^{21} / \text{cm}^3$ 、厚さ $0.3 \mu\text{m}$ 程度の n^+ 型ソース領域 4 を形成すると

10

20

30

40

50

共に、ボロンもしくはアルミニウム等の p 型不純物濃度（表面濃度）が例えば $1.0 \times 10^{21} / \text{cm}^3$ 、厚さ $0.3 \mu\text{m}$ 程度の p⁺型コンタクト層 5 を形成する。その後、マスクを除去する。

【0048】

〔図 5（b）に示す工程〕

p 型ベース領域 3、n⁺型ソース領域 4 および p⁺型コンタクト層 5 の上に、図示しないエッチングマスクを成膜したのち、トレンチ 6 の形成予定領域においてエッチングマスクを開口させる。そして、エッチングマスクを用いたエッチングを行ったのち、必要に応じて犠牲酸化工程を行うことで、トレンチ 6 を形成する。このとき、先に行った p 型ディープ層 10 の形成工程（図 4（a）、（b）の工程）において、トレンチ 6 の形成予定領域の周囲において p 型ディープ層 10 を形成しないようにしているため、トレンチ 6 の周囲には p 型ディープ層 10 が形成されておらず、これらが接していない状態となる。この後、エッチングマスクを除去する。

10

【0049】

〔図 5（c）に示す工程〕

ゲート酸化膜形成工程を行うことにより、トレンチ 6 内を含む基板表面全面にゲート酸化膜 8 を形成する。具体的には、ウェット雰囲気を用いたパイロジェニック法によるゲート酸化（熱酸化）によりゲート酸化膜 8 を形成する。続いて、ゲート酸化膜 8 の表面に n 型不純物をドーピングしたポリシリコン層を例えば 600°C の温度下で 440 nm 程度成膜したのち、エッチバック工程等を行うことにより、トレンチ 6 内にゲート酸化膜 8 およびゲート電極 9 を残す。

20

【0050】

この後の工程に関しては、従来と同様であるため図示しないが、層間絶縁膜 12 を成膜したのち、層間絶縁膜 12 をパターニングして n⁺型ソース領域 4 や p⁺型コンタクト層 5 に繋がるコンタクトホールを形成すると共に、ゲート電極 9 に繋がるコンタクトホールを別断面に形成する。続いて、コンタクトホール内を埋め込むように電極材料を成膜したのち、これをパターニングすることでソース電極 11 やゲート配線を形成する。また、n⁺型基板 1 の裏面側にドレイン電極 13 を形成する。これにより、図 1 に示した MOSFET が完成する。

【0051】

以上説明したように、本実施形態の SiC 半導体装置によれば、p 型ディープ層 10 の全部もしくは一部がトレンチ 6 の内壁面から離間した構造、すなわち少なくともトレンチ 6 の側面もしくは底面のいずれか一方と接していないレイアウトとしてある。具体的には、p 型ディープ層 10 をトレンチ 6 の周囲に形成せず、p 型ディープ層 10 がトレンチ 6 の側面から第 1 所定距離離れ、底面から第 2 所定距離離れた位置まで形成されていない構造としてある。このため、オン時にゲート電極 9 にゲート電圧を印加してチャネルが形成されたときに、チャネルの幅を広くすることができる。したがって、p 型ディープ層 10 をトレンチ 6 と接するように形成する場合と比較して JFET 領域の幅を広くすることができ、JFET 抵抗を低減することができるため、オン抵抗の低減を図ることが可能となる。

30

40

【0052】

（第 2 実施形態）

本発明の第 2 実施形態について説明する。本実施形態の SiC 半導体装置は、第 1 実施形態に対して p 型ディープ層 10 の構造を変更したものであり、基本構造に関しては第 1 実施形態と同様であるため、第 1 実施形態と異なっている部分に関してのみ説明する。

【0053】

図 6 は、本実施形態にかかる SiC 半導体装置の斜視断面図である。また、図 7（a）は図 6 の E - E 線において xz 平面と平行に切断したときの断面図、図 7（b）は、図 6 中の F - F 線において yz 平面と平行に切断したときの断面図である。

【0054】

50

図 6 および図 7 (a)、(b) に示すように、本実施形態では、第 1 実施形態と異なり p 型ディープ層 10 がトレンチ 6 の底部とは接した状態にしているが、トレンチ 6 の側面については第 1 実施形態と同様に p 型ディープ層 10 がその一部と接しないようにしている。すなわち、トレンチ 6 の側面の法線に p 型ディープ層 10 を延設しているが、上層領域では、p 型ディープ層 10 がトレンチ 6 の側面から第 1 所定距離離間して配置されるようにしている。このような構造の場合、ゲート電極 9 に対してゲート電圧を印加したときに、トレンチ 6 の側面のうち n⁺型ドリフト層 2 が残されている部分では電流が流れるようにでき、電流経路を広くすることができる。このため、第 1 実施形態と比較すれば効果は少なくなるものの、隣り合う p 型ディープ層 10 の間に構成される J F E T 領域での J F E T 抵抗を低減することができるため、オン抵抗の低減を図ることが可能となる。

10

【 0 0 5 5 】

また、本実施形態の構造の S i C 半導体装置の製造方法は、基本的には第 1 実施形態と同様であり、図 4 (a)、(b) に示した p 型ディープ層 10 の形成の際のイオン注入深さを第 1 実施形態に対して変更し、p 型ディープ層 10 のうち下層領域がトレンチ 6 の底部よりも浅い位置まで形成されるようにすれば良い。

【 0 0 5 6 】

(第 3 実施形態)

本発明の第 3 実施形態について説明する。本実施形態の S i C 半導体装置も、第 1 実施形態に対して p 型ディープ層 10 の構造を変更したものであり、基本構造に関しては第 1 実施形態と同様であるため、第 1 実施形態と異なっている部分に関してのみ説明する。

20

【 0 0 5 7 】

図 8 は、本実施形態にかかる S i C 半導体装置の斜視断面図である。また、図 9 (a) は図 8 の G - G 線において x z 平面と平行に切断したときの断面図、図 9 (b) は、図 8 中の H - H 線において y z 平面と平行に切断したときの断面図である。

【 0 0 5 8 】

図 8 および図 9 (a)、(b) に示すように、本実施形態では、第 1 実施形態と異なり p 型ディープ層 10 がトレンチ 6 の側面とは接した状態にしているが、トレンチ 6 の底部については第 1 実施形態と同様に p 型ディープ層 10 と接しないようにしている。すなわち、トレンチ 6 が形成される位置において、トレンチ 6 の底面から第 2 所定距離離れた位置まで p 型ディープ層 10 を形成しないようにしている。このような構造の場合、ゲート電極 9 に対してゲート電圧を印加したときに、トレンチ 6 の底面に残された n⁺型ドリフト層 2 では電流が流れるようにでき、電流経路を広くすることができる。このため、第 1 実施形態と比較すれば効果は少なくなるものの、隣り合う p 型ディープ層 10 の間に構成される J F E T 領域での J F E T 抵抗を低減することができるため、オン抵抗の低減を図ることが可能となる。

30

【 0 0 5 9 】

また、本実施形態の構造の S i C 半導体装置の製造方法は、基本的には第 1 実施形態と同様であり、図 4 (a) に示した p 型ディープ層 10 の上層領域の形成の際のイオン注入に用いるマスク 20 のマスクパターンを変更するだけで良い。

【 0 0 6 0 】

40

(第 4 実施形態)

本発明の第 4 実施形態について説明する。本実施形態の S i C 半導体装置は、第 2 実施形態に対して電流経路を拡大する部分の濃度をより高濃度となるようにしたものであり、基本構造に関しては第 1 実施形態と同様であるため、第 1 実施形態と異なっている部分に関してのみ説明する。

【 0 0 6 1 】

図 10 は、本実施形態にかかる S i C 半導体装置の斜視断面図である。また、図 11 (a) は図 10 の I - I 線において x z 平面と平行に切断したときの断面図、図 11 (b) は、図 10 中の J - J 線において y z 平面と平行に切断したときの断面図である。

【 0 0 6 2 】

50

図10および図11(a)、(b)に示すように、本実施形態でも、第2実施形態と同様に、p型ディープ層10がトレンチ6の側面の一部と接していない状態とされている。しかし、第2実施形態と異なり、少なくともp型ディープ層10がトレンチ6から離れた場所においてn⁺型ドリフト層2の不純物濃度を高くした電流拡散層2aを形成している。すなわち、トレンチ6の側面の法線にp型ディープ層10を延設しているが、上層領域では、p型ディープ層10がトレンチ6の側面から第1所定距離離間して配置されるようにし、トレンチ6の側面とp型ディープ層10との間に電流拡散層2aが形成されるようにしている。また、本実施形態では、n⁺型ドリフト層2のうち複数のp型ディープ層10の間に位置する箇所の表層部、つまりn⁺型ドリフト層2のうちp型ディープ層10の上層領域と同じ深さとなる部位も電流拡散層2aとされている。このような構造の場合、ゲート電極9に対してゲート電圧を印加したときに、トレンチ6の側面のうち電流拡散層2aが形成されている部分でより広範囲に電流が流れるように電流の流れる範囲を分散でき、より電流経路を広くすることができる。このため、第2実施形態と比較して、より隣り合うp型ディープ層10の間に構成されるJFET領域でのJFET抵抗を低減することができ、よりオン抵抗の低減を図ることが可能となる。

10

【0063】

また、本実施形態の構造のSiC半導体装置の製造方法は、基本的には第1実施形態と同様であるが、電流拡散層2aを形成する工程が含まれることが異なる。電流拡散層2aの形成は、エピタキシャル成長もしくはイオン注入のいずれによって行っても良く、第1実施形態で説明した図4(a)、(b)の工程の代わりに以下の工程を行えば良い。

20

【0064】

例えば、n⁺型ドリフト層2の表面にp型ディープ層10の下層領域の形成予定領域が開口するマスクを形成したのち、そのマスクを用いてp型不純物をイオン注入し、下層領域を形成する。そして、マスクを除去した後、n⁺型ドリフト層2およびp型ディープ層10の下層領域の表面に電流拡散層2aをエピタキシャル成長させ、さらにp型ディープ層10の上層領域の形成予定領域が開口するマスクを形成する。そして、そのマスクを用いてp型不純物をイオン注入し、上層領域を形成する。その後は、図4(c)以降の工程を経ることで本実施形態にかかるSiC半導体装置を製造することができる。

【0065】

また、他の方法により、本実施形態にかかるSiC半導体装置を製造することもできる。例えば、n⁺型ドリフト層2の表面にp型ディープ層10の下層領域の形成予定領域が開口するマスクを形成したのち、そのマスクを用いてp型不純物をイオン注入し、下層領域を形成する。そして、マスクを除去した後、n⁺型ドリフト層2およびp型ディープ層10の下層領域の表面にp型ディープ層10の上層領域をエピタキシャル成長させ、さらにp型ディープ層10の上層領域の形成予定領域以外が開口するマスクを形成する。そして、そのマスクを用いてn型不純物をイオン注入し、電流拡散層2aを形成する。その後は、図4(c)以降の工程を経ることで本実施形態にかかるSiC半導体装置を製造することができる。

30

【0066】

また、第2実施形態と同様に、p型ディープ層10を形成したのち、n型不純物のイオン注入によって電流拡散層2aを形成しても良い。すなわち、マスク20を除去した後に電流拡散層2aの形成予定領域が開口するマスクを再び配置し、その後、n型不純物をイオン注入して電流拡散層2aが形成されるようにしても良い。また、電流拡散層2aを形成するためのn型不純物のイオン注入については、p型ディープ層10の形成前後のいずれに行っても良く、p型ディープ層10のうちの上層領域と下層領域の形成工程の間に行っても良い。

40

【0067】

なお、ここではp型ディープ層10の上層領域と同じ深さの位置において、p型ディープ層10以外の部分が全域電流拡散層2aとなるようにする場合について説明したが、少なくともトレンチ6の側面とp型ディープ層10との間に電流拡散層2aを配置すれば、

50

電流経路の低抵抗化を図ることが可能となり、よりオン抵抗低減が可能となる。

【0068】

(第5実施形態)

本発明の第5実施形態について説明する。本実施形態のSiC半導体装置は、p型ディープ層10を第1実施形態の構造とする場合において第4実施形態の電流拡散層2aを形成したものであり、基本構造に関しては第1実施形態と同様であるため、第1実施形態と異なっている部分に関してのみ説明する。

【0069】

図12は、本実施形態にかかるSiC半導体装置の斜視断面図である。また、図13(a)は図12のK-K線においてxz平面と平行に切断したときの断面図、図13(b)は、図12中のL-L線においてyz平面と平行に切断したときの断面図である。

10

【0070】

図12および図13(a)、(b)に示すように、本実施形態でも、第1実施形態と同様に、p型ディープ層10がトレンチ6の底面および側面の一部と接していない状態とされており、さらに、第4実施形態と同様に、トレンチ6の側面からp型ディープ層10までの間や、n⁺型ドリフト層2のうち複数のp型ディープ層10の間に位置する箇所の表層部に電流拡散層2aが形成されるようにしている。

【0071】

このように、p型ディープ層10がトレンチ6の底面および側面の一部と接していない状態とされる形態に対して、電流拡散層2aを形成するようにしても良い。このようにすれば、第1実施形態よりもさらに電流拡散層2aにて電流経路を広げることができる分、さらにJFET抵抗を低減でき、よりオン抵抗低減を図ることが可能となる。

20

【0072】

なお、本実施形態の構造のSiC半導体装置の製造方法は、基本的には第1実施形態と同様であるが、電流拡散層2aを形成する工程が含まれることが異なる。電流拡散層2aの形成は、エピタキシャル成長もしくはイオン注入のいずれによって行っても良く、第1実施形態で説明した図4(a)、(b)の工程の後に、以下の工程を行うようにしても良い。

【0073】

例えば、図4(a)、(b)のp型ディープ層10の形成工程の前に電流拡散層2aをエピタキシャル成長させておけば良い。

30

【0074】

また、図4(a)、(b)の工程を行った後、n型不純物のイオン注入によって電流拡散層2aを形成しても良い。すなわち、マスク21を除去した後に電流拡散層2aの形成予定領域が開口するマスクを再び配置し、その後、n型不純物をイオン注入して電流拡散層2aが形成されるようにしても良い。また、電流拡散層2aを形成するためのn型不純物のイオン注入を図4(a)の工程の前後のいずれかに変更しても良い。

【0075】

なお、ここでもp型ディープ層10の上層領域と同じ深さの位置において、p型ディープ層10以外の部分が全域電流拡散層2aとなるようにする場合について説明したが、少なくともトレンチ6の側面とp型ディープ層10との間に電流拡散層2aを配置すれば、電流経路の低抵抗化を図ることが可能となり、よりオン抵抗低減が可能となる。

40

【0076】

(第6実施形態)

本発明の第6実施形態について説明する。本実施形態のSiC半導体装置は、p型ディープ層10を第3実施形態の構造とする場合において第4実施形態の電流拡散層2aを形成したものであり、基本構造に関しては第3実施形態と同様であるため、第3実施形態と異なっている部分に関してのみ説明する。

【0077】

図14は、本実施形態にかかるSiC半導体装置の斜視断面図である。また、図15(

50

a) は図 14 の M - M 線において x z 平面と平行に切断したときの断面図、図 15 (b) は、図 14 中の N - N 線において y z 平面と平行に切断したときの断面図である。

【 0 0 7 8 】

図 14 および図 15 (a)、(b) に示すように、本実施形態でも、第 3 実施形態と同様に、p 型ディープ層 10 がトレンチ 6 の底面と接していない状態とされており、さらに、第 4 実施形態と同様に、トレンチ 6 の側面に接するように、トレンチ 6 の側面よりトレンチ 6 から第 1 所定距離離間して配置された p 型ディープ層 10 までの間に電流拡散層 2 a が形成されるようにしている。

【 0 0 7 9 】

このように、p 型ディープ層 10 がトレンチ 6 の底面と接していない状態とされる形態に対して、電流拡散層 2 a を形成するようにしても良い。このようにすれば、第 1 実施形態よりもさらに電流拡散層 2 a を形成して電流経路を広げることができる分、さらに J F E T 抵抗を低減でき、よりオン抵抗低減を図ることが可能となる。

【 0 0 8 0 】

なお、本実施形態の構造の S i C 半導体装置の製造方法は、基本的には第 5 実施形態と同様であり、p 型ディープ層 10 の上層領域の下部を形成する際のマスクパターンを変更し、p 型ディープ層 10 がトレンチ 6 の側面とは接するが底部に接しないようにすれば良い。

【 0 0 8 1 】

(他の実施形態)

(1) 上記各実施形態では、複数本並列的に並べた p 型ディープ層 10 をすべて同様の構造としたが、複数本のうちの必要な本数だけ、上記各実施形態で示した構造とすることもできる。また、上記各実施形態で示した構造の p 型ディープ層 10 を組み合わせることもできる。図 16 は、その一例を示したものであり、トレンチゲート構造におけるゲート酸化膜 8 やゲート電極 9 などを省略して示したトレンチ 6 近傍の様子を示した部分斜視断面図である。

【 0 0 8 2 】

図 16 (a) に示すように、第 1 実施形態の構造を p 型ディープ層 10 のうちの一部にのみ選択的に設けるようにしても良い。また、図 16 (b) に示すように、第 1 実施形態の構造の p 型ディープ層 10 と第 3 実施形態の構造の p 型ディープ層 10 を組み合わせるようにしても良い。さらに、図 16 (c) に示すように、第 1 実施形態の構造の p 型ディープ層 10 と第 2 実施形態の構造の p 型ディープ層 10 とで組み合わせることもできる。

【 0 0 8 3 】

(2) 上記第 1、第 2 実施形態では、p 型ディープ層 10 を x 方向に延設した場合について説明したが、各 p 型ディープ層 10 をトレンチ 6 の長手方向に対して斜め方向に交差する形状にしたり、X 方向において複数に分割した形状としても良い。p 型ディープ層 10 をトレンチ 6 の長手方向に対して斜め方向に交差する構造とする場合、等電位分布の偏りなどを抑制するために、トレンチ 6 の長手方向に対する垂直方向に伸びる線を対称線として、p 型ディープ層 10 を線対称のレイアウトにするのが好ましい。

【 0 0 8 4 】

(3) 上記各実施形態では、第 1 導電型を n 型、第 2 導電型を p 型とした n チャネルタイプの M O S F E T を例に挙げて説明したが、各構成要素の導電型を反転させた p チャネルタイプの M O S F E T に対しても本発明を適用することができる。また、上記説明では、トレンチゲート構造の M O S F E T を例に挙げて説明したが、同様のトレンチゲート構造の I G B T に対しても本発明を適用することができる。I G B T は、上記各実施形態に対して基板 1 の導電型を n 型から p 型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。

【 0 0 8 5 】

(4) 上記各実施形態では、ゲート絶縁膜として熱酸化によるゲート酸化膜 8 を例に挙げて説明したが熱酸化によらない酸化膜もしくは窒化膜などを含むものであっても構わな

10

20

30

40

50

い。

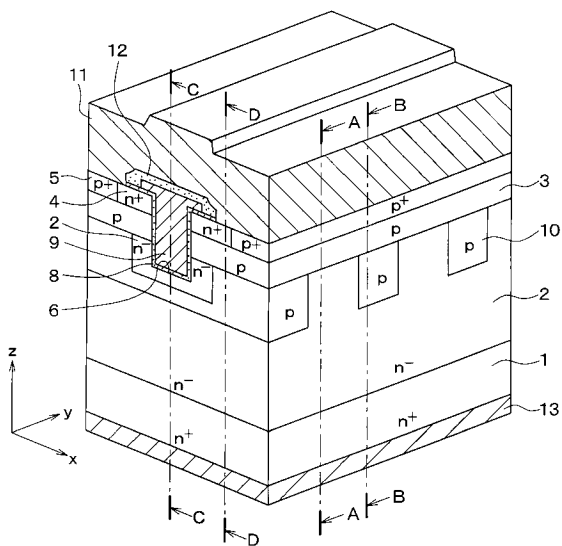
【符号の説明】

【 0 0 8 6 】

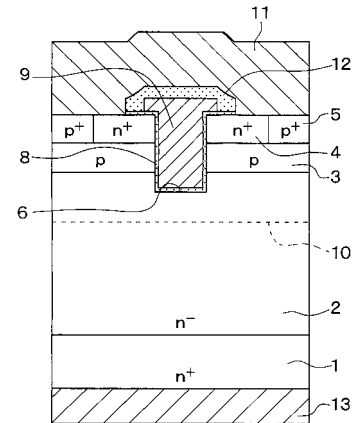
- | | |
|---------|---------------|
| 1 | n^+ 型基板 |
| 2 | n^- 型ドリフト層 |
| 2 a | 電流拡散層 |
| 3 | p型ベース領域 |
| 4 | n^+ 型ソース領域 |
| 5 | p^+ 型コンタクト層 |
| 6 | トレンチ |
| 8 | ゲート酸化膜 |
| 9 | ゲート電極 |
| 1 0 | p型ディープ層 |
| 1 0 a | 高濃度領域 |
| 1 0 b | 低濃度領域 |
| 1 1 | ソース電極 |
| 1 2 | 層間絶縁膜 |
| 1 3 | ドレイン電極 |
| 2 0、2 1 | マスク |

10

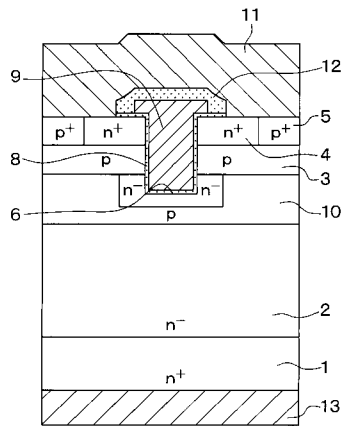
【図 1】



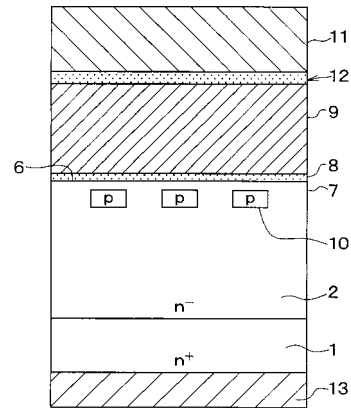
【図 2 (a)】



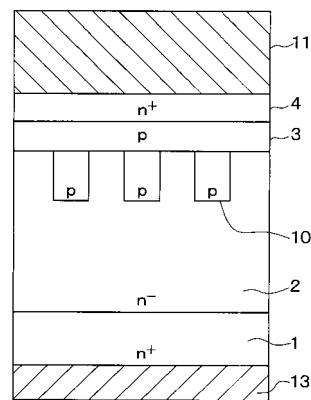
【図 2 (b)】



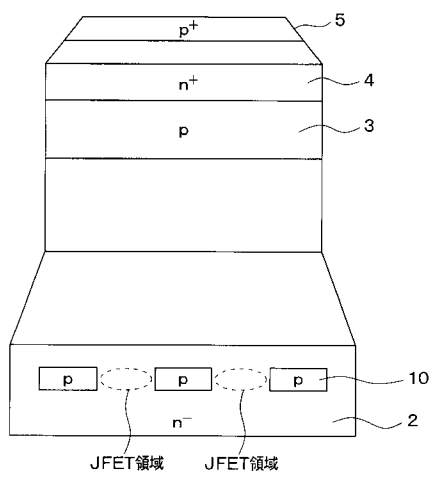
【図 2 (c)】



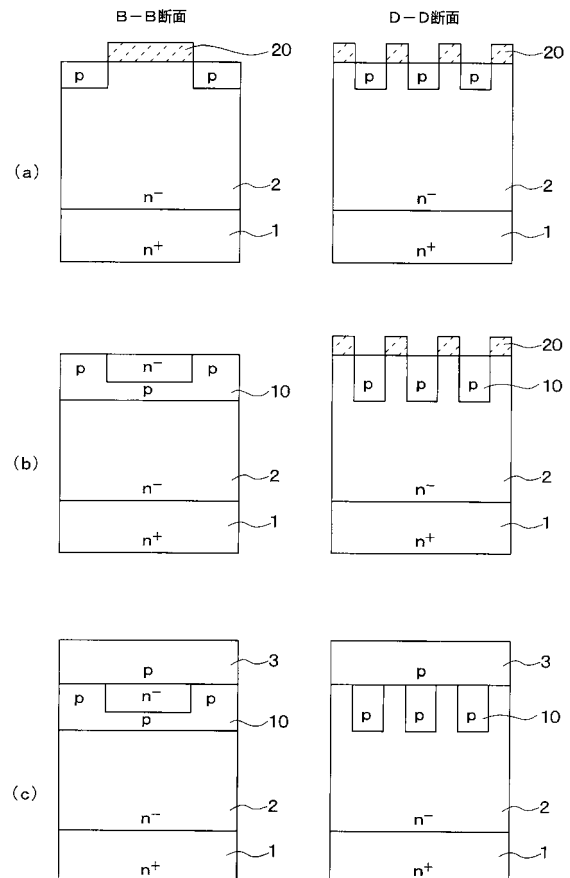
【図 2 (d)】



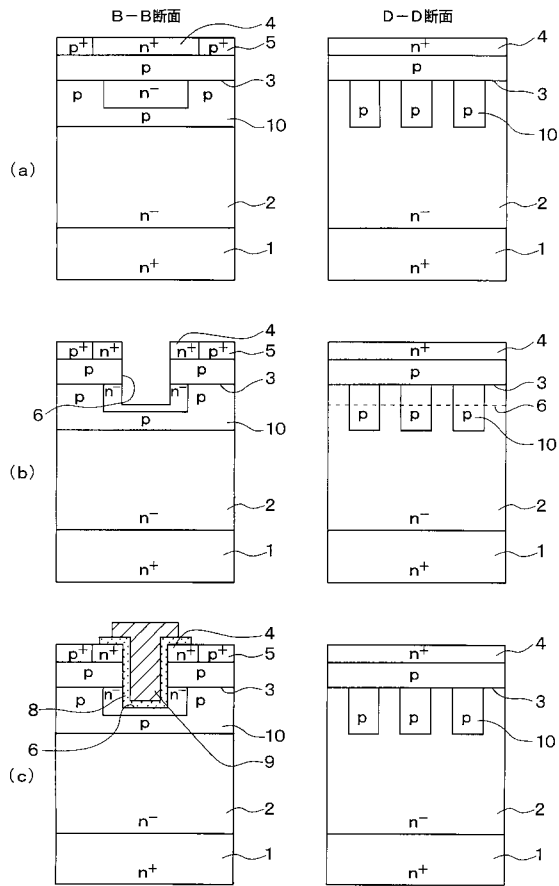
【図 3】



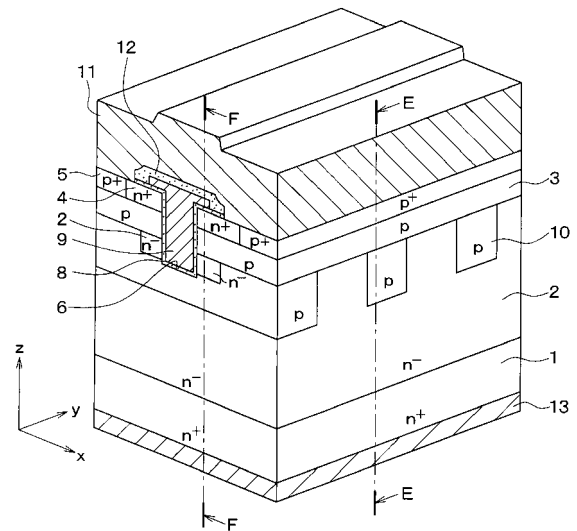
【図 4】



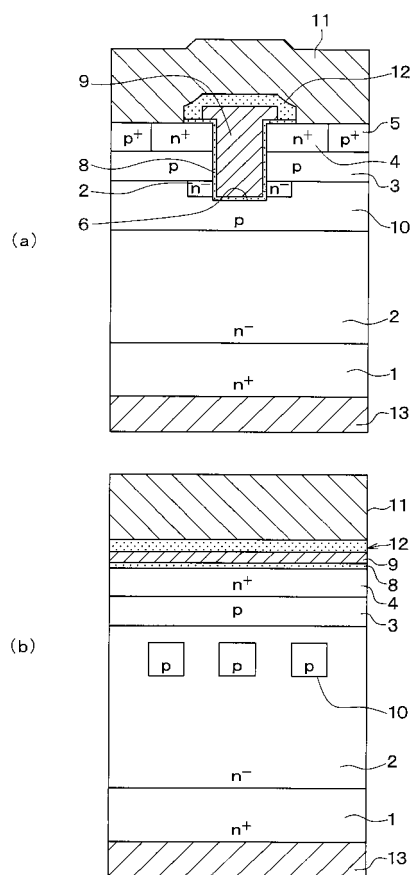
【図 5】



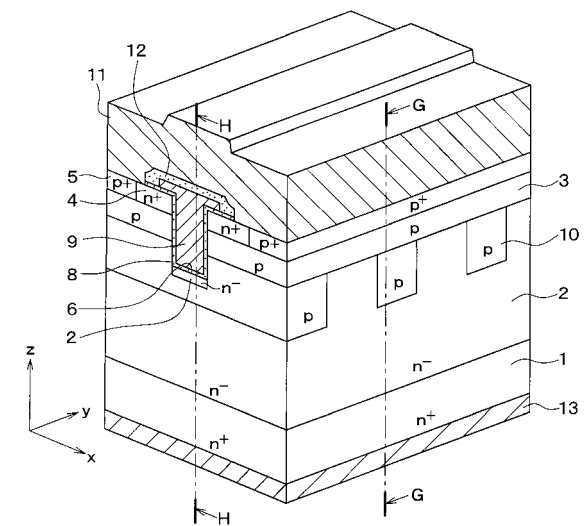
【図 6】



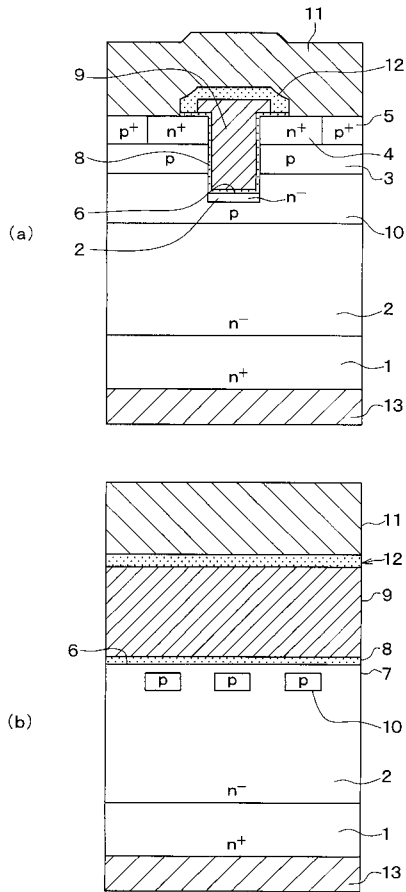
【図 7】



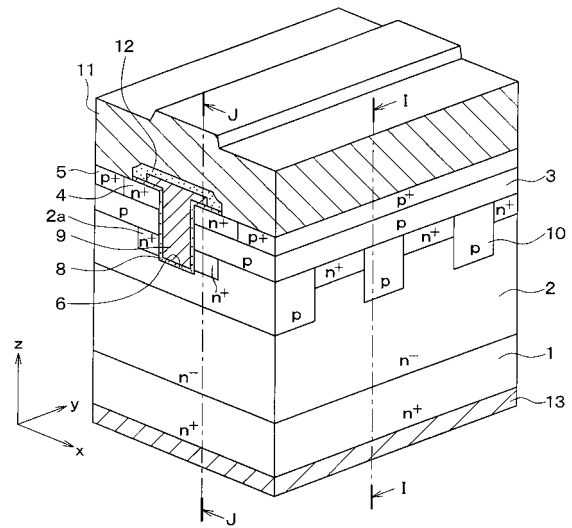
【図 8】



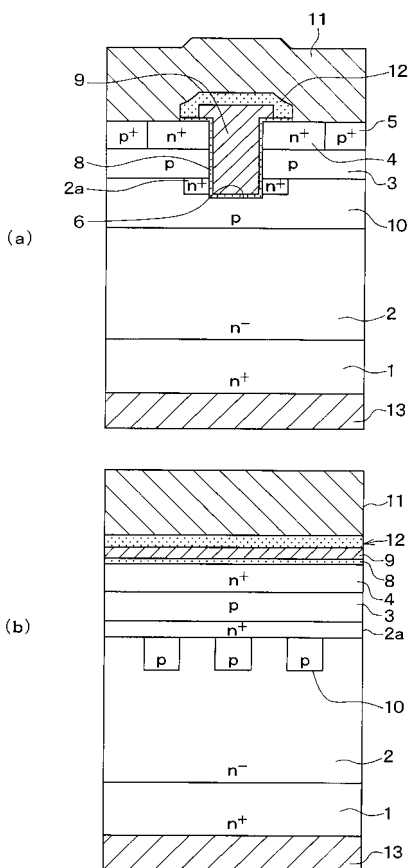
【図 9】



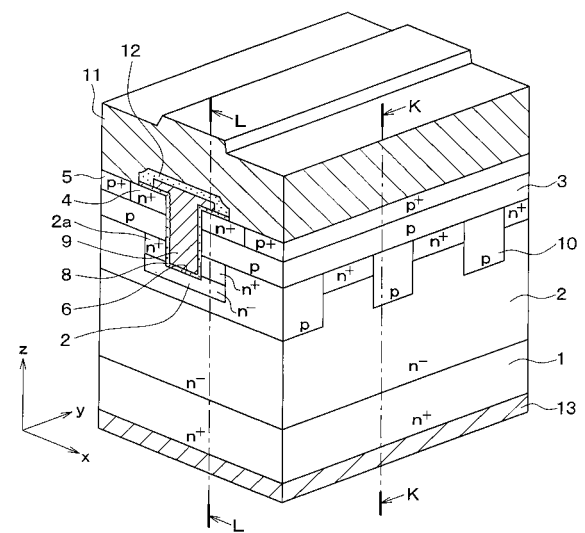
【図 10】



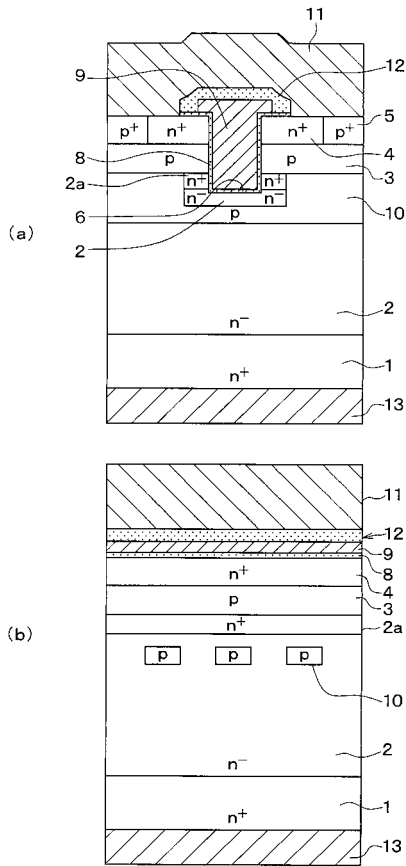
【図 11】



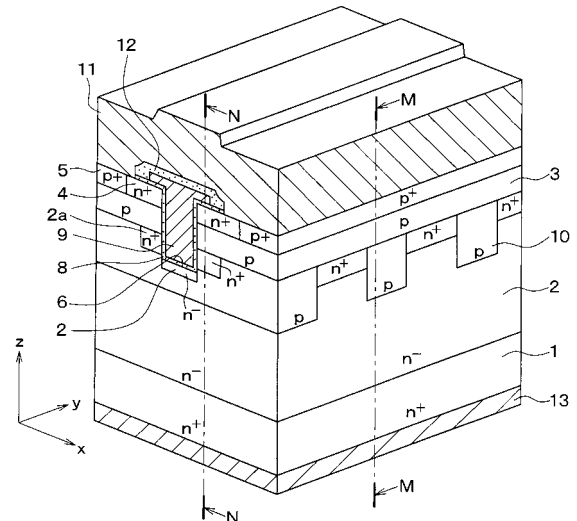
【図 12】



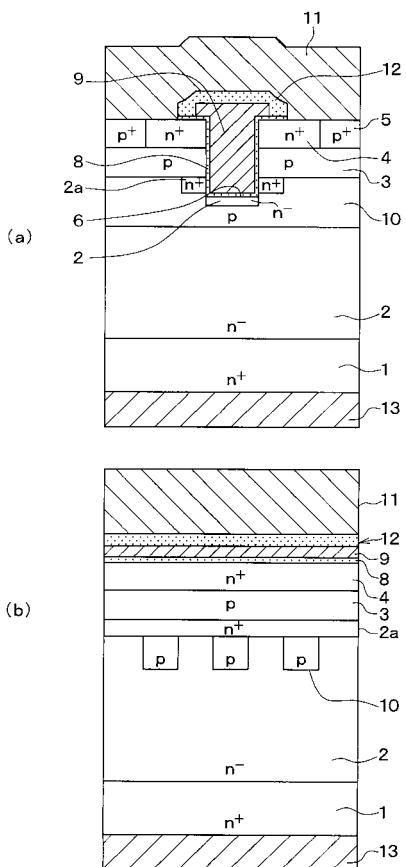
【図 13】



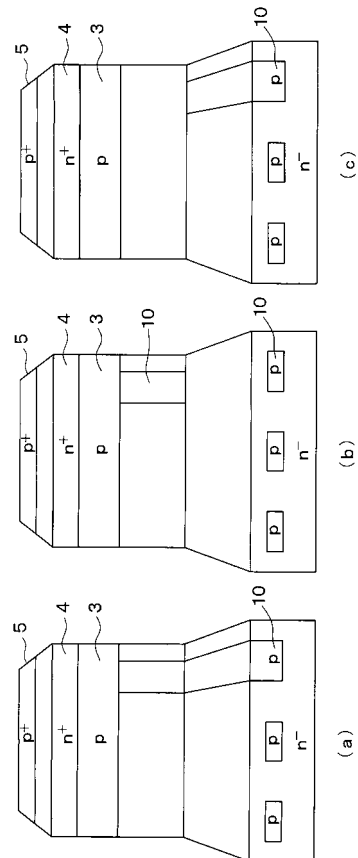
【図 14】



【図 15】



【図 16】



フロントページの続き

- (72)発明者 山本 建策
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
- (72)発明者 登尾 正人
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
- (72)発明者 鈴木 巨裕
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
- (72)発明者 高谷 秀史
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内
- (72)発明者 杉本 雅裕
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内
- (72)発明者 森本 淳
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内
- (72)発明者 副島 成雅
愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内
- (72)発明者 石川 剛
愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内
- (72)発明者 渡辺 行彦
愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内