



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I852353 B

(45) 公告日：中華民國 113 (2024) 年 08 月 11 日

(21) 申請案號：112105921

(22) 申請日：中華民國 112 (2023) 年 02 月 18 日

(51) Int. Cl. : **H10B51/20 (2023.01)****H10B51/30 (2023.01)****H10B51/00 (2023.01)**

(30) 優先權：2022/07/19 美國

17/867,983

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72) 發明人：廖崧甫 LIAO, SONG-FU (TW)；蔣國璋 CHIANG, KUO-CHANG (TW)；陳海清  
CHEN, HAI-CHING (TW)；林仲德 LIN, CHUNG-TE (TW)

(74) 代理人：卓俊傑

(56) 參考文獻：

TW 202201744A

TW 202205630A

TW 202207361A

TW 202211443A

TW 202224162A

US 2022/0189993A1

審查人員：陳憶緣

申請專利範圍項數：10 項 圖式數：15 共 43 頁

(54) 名稱

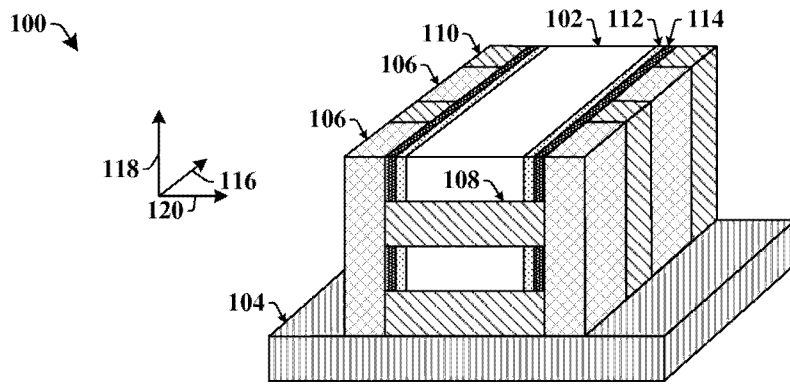
三維記憶體裝置及其形成方法

(57) 摘要

在一些實施例中，本揭露是有關於一種 3D 記憶體裝置，所述 3D 記憶體裝置包括：多條閘極線，在垂直方向上交錯排列於多個介電層之間，所述多條閘極線在所述多個介電層之間形成凹槽；源極/汲極線，設置於所述多個介電層旁邊，所述源極/汲極線在側向方向上藉由凹槽而與所述多條閘極線間隔開；鐵電薄膜，側向地設置於所述多條閘極線的側壁與源極/汲極線的側壁之間且限定於凹槽內；以及半導體薄膜，設置於凹槽內且將鐵電薄膜與源極/汲極線間隔開。

In some embodiments, the present disclosure relates to a 3D memory device, including a plurality of gate lines interleaved between a plurality of dielectric layers in a vertical direction, the plurality of gate lines forming recesses between the plurality of dielectric layers; a source/drain line disposed next to the plurality of dielectric layers, spaced from the plurality of gate lines by the recesses in a lateral direction; a ferroelectric film arranged laterally between sidewalls of the plurality of gate lines and the source/drain line and confined within the recesses; and a semiconductor film disposed within the recesses and spacing the ferroelectric film from the source/drain line.

指定代表圖：



【圖1】

符號簡單說明：

100:立體圖

102:閘極線

104:基底

106:源極/汲極線

108:介電層

110:介電柱

112:鐵電薄膜

114:半導體薄膜

116:第一側向方向

118:垂直方向

120:第二側向方向



公告本

I852353

【發明摘要】

【中文發明名稱】三維記憶體裝置及其形成方法

【英文發明名稱】3D MEMORY DEVICE AND METHOD FOR

FORMING THE SAME

【中文】在一些實施例中，本揭露是有關於一種3D記憶體裝置，所述3D記憶體裝置包括：多條閘極線，在垂直方向上交錯排列於多個介電層之間，所述多條閘極線在所述多個介電層之間形成凹槽；源極/汲極線，設置於所述多個介電層旁邊，所述源極/汲極線在側向方向上藉由凹槽而與所述多條閘極線間隔開；鐵電薄膜，側向地設置於所述多條閘極線的側壁與源極/汲極線的側壁之間且限定於凹槽內；以及半導體薄膜，設置於凹槽內且將鐵電薄膜與源極/汲極線間隔開。

【英文】In some embodiments, the present disclosure relates to a 3D memory device, including a plurality of gate lines interleaved between a plurality of dielectric layers in a vertical direction, the plurality of gate lines forming recesses between the plurality of dielectric layers; a source/drain line disposed next to the plurality of dielectric layers, spaced from the plurality of gate lines by the recesses in a lateral direction; a ferroelectric film arranged laterally between sidewalls of the plurality of gate lines and the source/drain line and confined within the recesses; and a semiconductor film disposed within the recesses and spacing the ferroelectric film from

the source/drain line.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100:立體圖

102:閘極線

104:基底

106:源極/汲極線

108:介電層

110:介電柱

112:鐵電薄膜

114:半導體薄膜

116:第一側向方向

118:垂直方向

120:第二側向方向

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 三維記憶體裝置及其形成方法

【英文發明名稱】 3D MEMORY DEVICE AND METHOD FOR  
FORMING THE SAME

### 【技術領域】

【0001】 本公開的實施例是有關於一種三維記憶體裝置及其形成方法。

### 【先前技術】

【0002】 許多現代電子裝置包括非揮發性記憶體。非揮發性記憶體是能夠在不存在電力的條件下儲存資料的電子記憶體。下一代非揮發性記憶體的有希望的候選項是鐵電場效電晶體（ferroelectric field effect transistor, FeFET）。FeFET 具有相對簡單的結構且與互補金屬氧化物半導體（complementary metal-oxide-semiconductor, CMOS）邏輯製作製程兼容。

### 【發明內容】

【0003】 根據本公開的一些實施例，提供一種 3D 記憶體裝置，3D 記憶體裝置包括：多條閘極線，在垂直方向上交錯排列於多個介電層之間，多條閘極線在所述多個介電層之間形成凹槽；源極/汲極線，設置於所述多個介電層旁邊，源極/汲極線在側向方向上藉由凹槽而與所述多條閘極線間隔開；鐵電薄膜，側向地設置於

多條閘極線的側壁與源極/汲極線的側壁之間且限定於凹槽內；以及半導體薄膜，設置於凹槽內且將鐵電薄膜與源極/汲極線間隔開。

**【0004】** 根據本公開的一些實施例，提供一種 3D 記憶體裝置，3D 記憶體裝置包括：多條閘極線，在側向方向上延伸至基底之上；多個介電層，在與側向方向垂直的垂直方向上將多條閘極線彼此間隔開；源極/汲極線，沿著多個介電層的外部側壁在垂直方向上延伸；鐵電薄膜，位於多條閘極線與源極/汲極線中的第一源極/汲極線之間，鐵電薄膜具有如下的側壁：側壁面對第一源極/汲極線且直接位於所述多個介電層中的第一介電層的上表面與多個介電層中的第二介電層的下表面之間；以及半導體薄膜，覆蓋鐵電薄膜的側壁。

**【0005】** 根據本公開的一些實施例，提供一種用於形成 3D 記憶體裝置的方法，所述方法包括：形成在側向方向上延伸的多條閘極線，其中多條閘極線藉由在側向方向上延伸的多個介電層而彼此垂直地間隔開；在多個介電層的外表面上形成自組裝單層 (SAM)；在垂直於 SAM 的外部的多條閘極線的外表面上形成鐵電薄膜；在垂直於 SAM 的外部的鐵電薄膜的側壁上形成半導體薄膜；以及沿著多條閘極線形成在與側向方向垂直的垂直方向上延伸的源極/汲極線。

### **【圖式簡單說明】**

### **【0006】**

藉由結合附圖閱讀以下詳細說明，會最佳地理解本揭露的態樣。應注意，根據行業中的標準慣例，各種特徵並非按比例繪製。事實上，為使論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1 示出具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的一些實施例的立體圖，鐵電場效電晶體 (FeFET) 包括自源極/汲極線凹陷的鐵電薄膜。

圖 2A 至圖 2B 示出具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的一些附加實施例的俯視圖及電路圖，鐵電場效電晶體 (FeFET) 包括自源極/汲極線凹陷的鐵電薄膜。

圖 3A 至圖 3B 示出具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的一些附加實施例的立體圖及俯視圖，鐵電場效電晶體 (FeFET) 包括自源極/汲極線凹陷的鐵電薄膜。

圖 4A 至圖 4C 示出具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的一些附加實施例的立體圖，鐵電場效電晶體 (FeFET) 包括自源極/汲極線凹陷的鐵電薄膜。

圖 5 示出具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的一些附加實施例的立體圖，鐵電場效電晶體 (FeFET) 包括自源極/汲極線凹陷的鐵電薄膜。

圖 6A、圖 6B、圖 7A、圖 7B、圖 9、圖 10、圖 11、圖 12、圖 13 及圖 14 示出形成具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的方法的一些實施例的立體圖，鐵電場效電晶體 (FeFET) 包括自源極/汲極線凹陷的鐵電薄膜。

圖 8A 至圖 8B 示出用於選擇特定區域以形成鐵電薄膜的自組裝單層的化學結構的一些實施例。

圖 15 示出形成具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的方法的一些實施例的流程圖，鐵電場效電晶體 (FeFET) 包括自源極/汲極線凹陷的鐵電薄膜。

### 【實施方式】

【0007】 以下揭露內容提供用於實施所提供標的物的不同特徵的諸多不同實施例或實例。以下闡述組件及設置的具體實例以簡化本揭露。當然，該些僅為實例且不旨在進行限制。舉例而言，以下說明中將第一特徵形成於第二特徵之上或第二特徵上可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且亦可包括其中第一特徵與第二特徵之間可形成有附加特徵進而使得第一特徵與第二特徵可不直接接觸的實施例。另外，本揭露可能在各種實例中重複使用參考編號及/或字母。此種重複使用是出於簡潔及清晰的目的，而不是自身表示所論述的各種實施例及/或配置之間的關係。

【0008】 此外，為易於說明，本文中可能使用例如「位於...之下 (beneath)」、「位於...下方 (below)」、「下部的 (lower)」、「位於...上方 (above)」、「上部的 (upper)」及類似用語等空間相對性用語來闡述圖中所示的一個元件或特徵與另一 (其他) 元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的定向外亦囊括裝置在使用或操作中的不同定向。設備可具有其他定向 (旋轉 90 度

或處於其他定向)，且本文中所使用的空間相對性描述語可同樣相應地進行解釋。

**【0009】** 鐵電場效電晶體（FeFET）裝置包括沿著場效電晶體的閘極設置的鐵電材料。閘極與在源極和汲極之間延伸的通道隔開。通道或介電質可包含鐵電材料。近年來，FeFET 已被實施為使用極化場（polarized fields）來對資料進行讀取、寫入及儲存的三維（three-dimensional，3D）記憶體裝置。

**【0010】** 可藉由形成包括與多個介電層交錯排列的多條閘極線的閘極堆疊來形成 3D FeFET 裝置。沿著所述多條閘極線的側壁及所述多個介電層的側壁形成鐵電薄膜，且形成半導體薄膜以環繞鐵電薄膜。然後沿著半導體薄膜的側壁在間隔點（spaced points）處形成源極/汲極線。閘極線中的偏壓可使得半導體薄膜變得局部導電，進而產生與源極/汲極線與連接的導電通道。更高的電壓可對鐵電薄膜進行極化，以更改半導體薄膜的閾值電壓，且藉此在鐵電薄膜內儲存資料狀態。

**【0011】** 當形成 3D FeFET 裝置時，鐵電薄膜及半導體薄膜可被形成為垂直地延伸跨越多條緊密堆積的閘極線。隨著技術節點變得更微縮及更緊密，鐵電薄膜及半導體薄膜會因為在源極/汲極線及其它特徵的形成過程中所使用的蝕刻製程、電漿處理及熱製程而暴露於更多潛在的損傷及電荷引入的狀況之中。該些損傷效應可能會使源極/汲極線之間的漏電流隨之增加。

**【0012】** 在本揭露中，提出一種選擇性沈積的方法來形成具有更

少漏電流的 FeFET 裝置。所述方法藉由在多個介電層的側壁上形成自組裝單層 (self assembled monolayer, SAM) 的犧牲層而在多條閘極線的側壁上選擇性地形成鐵電薄膜及半導體薄膜。SAM 犧牲層被配置為避免沿著所述多個介電層的側壁形成鐵電薄膜及半導體薄膜，使得沿著所述多條閘極線的側壁來界定鐵電薄膜及半導體薄膜。藉由沿著所述多條閘極線的側壁來界定鐵電薄膜及半導體薄膜，鐵電薄膜及半導體薄膜具有更小的表面積，由於在隨後的製程期間可能造成損傷的表面積已變得更小，因此膜內會具有更少的漏電流。由於增加了對製程的控制，因此鐵電薄膜及半導體薄膜的界定也會形成更少的缺陷及晶界。

【0013】 圖 1 示出具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的一些實施例的立體圖 100，鐵電場效電晶體 (FeFET) 包括自源極/汲極線 106 凹陷的鐵電薄膜 112。

【0014】 如圖 1 所示立體圖 100 中所示，多條閘極線 102 在第一側向方向 116 上在基底 104 之上延伸。所述多條閘極線 102 在垂直方向 118 上彼此堆疊。源極/汲極線 106 垂直地延伸且在第二側向方向 120 上環繞所述多條閘極線 102。多個介電層 108 與所述多條閘極線 102 交錯排列。所述多個介電層 108 將所述多條閘極線 102 彼此垂直地間隔開。多個介電柱 110 在第一側向方向 116 上位於源極/汲極線 106 之間。所述多個介電柱 110 垂直地自所述多個介電層 108 的底部延伸至所述多個介電層 108 的頂部。

【0015】 鐵電薄膜 112 及半導體薄膜 114 二者在第二側向方向

120 上設置於所述多條閘極線 102 與源極/汲極線 106 之間。鐵電薄膜 112 對所述多條閘極線 102 的側壁進行排列且藉由半導體薄膜 114 與源極/汲極線 106 間隔開。

【0016】 鐵電薄膜 112 及半導體薄膜 114 二者被分隔成垂直於介電層 108 的外部的多個條帶 (strip)。在一些實施例中，所述多個條帶被侷限於設置在所述多個介電層 108 中的相鄰的介電層 108 之間凹槽內。舉例而言，鐵電薄膜 112 及半導體薄膜 114 的第一條帶藉由所述多個介電層 108 的其中一者而與鐵電薄膜 112 及半導體薄膜的第二條帶隔開。在一些實施例中，所述多個條帶垂直地侷限於所述多條閘極線 102 中的相關的一者的頂表面與底表面之間。

【0017】 所述多個條帶的間距會確保鐵電薄膜 112 及半導體薄膜 114 具有減少暴露於用於製造其它組件的後續處理步驟的表面積。舉例而言，所述多個條帶的間距會確保鐵電薄膜 112 及半導體薄膜 114 具有減少暴露於用於形成源極/汲極線 106 的溝槽的蝕刻劑的表面積。減少暴露於後續處理步驟的表面積可以減少對鐵電薄膜 112 及半導體薄膜 114 的損傷，且藉此減輕源極/汲極線 106 中的相鄰的源極/汲極線 106 之間的漏電流。

【0018】 圖 2A 至圖 2B 示出具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的一些附加實施例的俯視圖 200a 及電路圖 200b，鐵電場效電晶體 (FeFET) 包括自源極/汲極線 106 凹陷的鐵電薄膜 112。

【0019】 如圖 2A 所示俯視圖 200a 中所示，FeFET 裝置 122 包括

兩條源極/汲極線 106、閘極線 102、位於閘極線 102 與源極/汲極線 106 之間的鐵電薄膜 112 以及位於鐵電薄膜 112 與源極/汲極線 106 之間的半導體薄膜 114。在一些實施例中，鐵電薄膜 112 被配置成作為記憶胞，且可在兩個不同的極化方向的其中一者上被極化。

【0020】舉例而言，極化方向改變了半導體薄膜 114 的電壓閾值，第一極化方向相較於第二極化方向具有更高的電壓閾值。藉由使用閘極線 102 及所述兩條源極/汲極線 106 在鐵電薄膜 112 兩端施加寫入電壓而可以在第一極化方向與第二極化方向之間改變極化方向。由於具有在第一極化方向與第二極化方向（且因此對應的電壓閾值）之間進行改變的能力，因此 FeFET 裝置 122 可儲存數位值（例如，儲存為「1」或「0」）。可藉由向閘極線 102 施加處於所述兩個不同極化方向的電壓閾值之間的讀取電壓且對所述兩條源極/汲極線 106 之間的電流進行量測以對 FeFET 裝置 122 進行讀取。若讀取電壓大於電壓閾值，則半導體薄膜 114 可作為所述兩條源極/汲極線 106 之間的導電通道。若讀取電壓小於 FeFET 裝置 122 的電壓閾值，則不形成導電通道且會獲得不同的電流讀值。由於所述多條閘極線 102 與源極/汲極線 106 相交於不同的點，因此 3D 記憶體裝置的個別 FeFET 裝置可以獲得不同的位址。在一些實施例中，FeFET 裝置 122 設置於所述多條閘極線 102 的兩側上，源極/汲極線 106 垂直於所述多條閘極線 102 的兩側且排列於所述兩側。

【0021】 如圖 2B 的電路圖 200b 中所示，亦示出所述多條閘極線 102 與源極/汲極線 106 的交點。當執行讀取操作或寫入操作時，將讀取電壓或寫入電壓施加至所述多條閘極線 102 中的與欲讀取或寫入的 FeFET 裝置 122 對應的閘極線。在該些操作期間，與 FeFET 裝置 122 對應的源極/汲極線 106 也被啟動以進行操作。由於源極/汲極線 106 與所述多條閘極線 102 中的每條閘極線都相交一次，因此源極/汲極線 106 與所述多條閘極線 102 中的閘極線的每一個有效組合都是一個具有特定的 FeFET 裝置的唯一位址，特定的 FeFET 裝置與所述唯一位址相關。

【0022】 圖 3A 至圖 3B 示出具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的一些其他實施例的立體圖 300a 及俯視圖 300b，鐵電場效電晶體 (FeFET) 包括自源極/汲極線 106 處凹陷的鐵電薄膜。

【0023】 如圖 3A 所示立體圖 300a 中所示，所述多條閘極線 102 可在一端處具有階梯式 (staircase) 構造，其中所述多條閘極線 102 中的第一閘極線將比位於第一閘極線上方的閘極線具有更長的長度，且將比位於第一閘極线下方的閘極線具有更短的長度。階梯式構造暴露出位於最上層閘極线下方的閘極線的上表面。在一些實施例中，鐵電薄膜 112 及半導體薄膜 114 沿著所述多個介電層 108 之下的階梯式構造延伸，如圖 3A 中所示。在其他實施例中，鐵電薄膜 112 及半導體薄膜 114 不沿著階梯式構造延伸，且所述多個介電層 108 不延伸超過階梯式構造中的所述多條閘極線 102 的外部側壁。

【0024】 在一些實施例中，所述多條閘極線 102 的被露出的上表面電性耦合至導電接觸件 302，如圖 3B 的俯視圖 300b 中所示。導電接觸件 302 進一步耦合至多條導電線 304，所述多條導電線 304 將 3D 記憶體裝置連接至半導體晶粒中的下伏/上覆（底層/上層）電路系統（例如，控制電路系統）及/或訊號線、電源線及接地線。

【0025】 源極/汲極線 106 耦合至連接至源極/汲極導電線 308 的源極/汲極導電接觸件 306。源極/汲極導電接觸件 306 被設置成使得在第二側向方向 120 上環繞所述多條閘極線 102 中的閘極線的源極/汲極線 106 不會彼此電性耦合。源極/汲極導電線進一步連接至半導體晶粒中的下伏/上覆電路系統（例如，控制電路系統）及/或訊號線、電源線及接地線。在一些實施例中，源極/汲極導電線 308 在第二側向方向 120 上延伸。在一些實施例中，導電線 304 與源極/汲極導電線 308 二者同時形成於 3D 記憶體裝置上方的相同高度處。

【0026】 圖 4A 至圖 4C 示出具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的一些附加實施例的立體圖 400a 至 400c，鐵電場效電晶體 (FeFET) 包括自源極/汲極線 106 凹陷的鐵電薄膜 112。

【0027】 如圖 4A 所示立體圖 400a 中所示，在一些實施例中，鐵電薄膜 112 與半導體薄膜 114 可藉由介電柱 110 彼此側向地隔開（例如，沿著第一側向方向 116）。將鐵電薄膜 112 及半導體薄膜 114 分隔成離散的（不連續的）區域部分可以進一步對共享閘極線

的 FeFET 裝置進行隔離，進而防止另一種可能的漏電流路徑。本實施例可在形成鐵電薄膜 112 及半導體薄膜 114 之後藉由微影及蝕刻製程來達。

**【0028】** 如圖 4B 所示立體圖 400b 中所示，在一些實施例中，所述多個介電層 108 可垂直地延伸超過所述多條閘極線 102 的側壁的外邊緣。鐵電薄膜 112 位於所述多條閘極線 102 的側壁的中間且與所述多個介電層 108 的內部側壁齊平。立體圖 400b 示出介電頂蓋 401 作為所述多個介電層 108（以虛線示出）的襯墊的示例。在一些實施例中，介電頂蓋 401 與所述多個介電層 108 可包含相同的材料或者是相同的材料。在其他實施例中，介電頂蓋 401 與所述多個介電層 108 可包含不同的材料或者是不同的材料。在一些實施例中，介電頂蓋 401 是在與所述多個介電層 108 分開的步驟中形成。在一些實施例中，在介電頂蓋 401 與所述多個介電層 108 之間設置有接縫。在其他實施例中，介電頂蓋 401 與所述多個介電層 108 無法區分且實質上是所述多個介電層 108 的一部分。在一些實施例中，半導體薄膜 114 包括位於鐵電薄膜 112 的外部側壁上的多個條帶，所述多個條帶包括第一矩形條帶。在進一步的實施例中，第一矩形條帶的第一側壁 402 及第二側壁 404 自所述多個介電層 108 的第一介電層延伸至所述多個介電層 108 的第二介電層。

**【0029】** 如圖 4C 所示立體圖 400c 中所示，在一些實施例中，圍繞所述多條閘極線 102 中的閘極線的源極/汲極線 106 彼此偏移

開，使得每一條源極/汲極線 106 以介電柱 110 的其中一者為中心。舉例而言，沿著閘極線 102 的第一側設置的第一源極/汲極線具有在第一側向方向 116 上與沿著閘極線 102 的第二側設置的第二源極/汲極線的中心偏移開的中心。源極/汲極線 106 的配置可具有源極/汲極導電接觸件 306，源極/汲極導電接觸件 306 以維持功能性所需的最小距離均勻地分佈（間隔開）在 3D 記憶體裝置的頂部，使空間的使用效率更高。此外，每一源極/汲極導電線 308 將直接延伸至每一所述多條閘極線 102 的相對側的介電柱的上方，進而使所述兩組 FeFET 裝置互相隔離開。

**【0030】** 圖 5 示出具有鐵電場效電晶體（FeFET）的 3D 記憶體裝置的一些附加實施例的立體圖 500，鐵電場效電晶體（FeFET）包括自源極/汲極線 106 凹陷的鐵電薄膜 112。

**【0031】** 如圖 5 所示立體圖 500 中所示，在一些實施例中，所述多條閘極線 102 的閘極線彼此平行且以多個列及多個行的形式在 3D 記憶體裝置上均勻地間隔開。所述多個介電層 108 分佈於所述多條閘極線 102 的多個列及多個行之間。源極/汲極線 106 直接接觸位於所述多條閘極線 102 的兩個不同行上的半導體薄膜 114。

**【0032】** 所述多條閘極線 102 包含多晶矽、銅（Cu）、氮化鈦（TiN）、鎢（W）、鋁（Al）、氮化鉭（TaN）的其中一者、上述材料中一或多者的組合或類似材料。在一些實施例中，源極/汲極線 106 可為與所述多條閘極線 102 相同的材料。在其他實施例中，源極/汲極線 106 可為與所述多條閘極線 102 不同的材料。所述多個

介電層 108 包含氧化矽、氮氧化矽或類似材料。在一些實施例中，介電柱 110 可為與所述多個介電層 108 相同的材料。在其他實施例中，介電柱 110 可為與所述多個介電層 108 不同的材料。鐵電薄膜 112 包含氧化鉛銻 (HZO)、氮化鋁銦 (AlScN)、氮化鋁鈮 (AlYN)、氮化鎵銦 (GaScN)、氮化銦銦 (InScN) 或類似材料的其中一者。半導體薄膜 114 包含氧化鋅 (ZnO)、氧化鋅錫 (ZnTiO)、氧化銦鎢 (InWO)、氧化銦鎵鋅 (InGaZnO, IGZO)、氧化銦鋅 (InZnO)、氧化銦錫 (ITO)、其組合或類似材料的其中一者。基底 104 包括塊狀半導體、絕緣體上半導體 (SOI) 基底或類似裝置的其中一者 (可為經摻雜的 (例如，使用 p 型摻雜劑或 n 型摻雜劑) 或未經摻雜的)。

**【0033】** 圖 6A、圖 6B、圖 7A、圖 7B、圖 9、圖 10、圖 11、圖 12、圖 13 及圖 14 示出形成具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的方法的一些實施例的立體圖，鐵電場效電晶體 (FeFET) 包括自源極/汲極線 106 凹陷的鐵電薄膜 112。儘管圖 6A、圖 6B、圖 7A、圖 7B、圖 9、圖 10、圖 11、圖 12、圖 13 及圖 14 是針對一方法來闡述，但應理解，圖 6A、圖 6B、圖 7A、圖 7B、圖 9、圖 10、圖 11、圖 12、圖 13 及圖 14 中揭露的結構並不限於此種方法，而是可作為獨立於所述方法的結構而單獨存在。

**【0034】** 如圖 6A 所示立體圖 600a 中所示，在基底 104 之上形成多個導電層 602 及多個介電層 108，然後將所述多個導電層 602 及所述多個介電層 108 蝕刻成在第一側向方向 116 上延伸的行。

藉由例如化學氣相沈積 (chemical vapor deposition, CVD)、物理氣相沈積 (physical vapor deposition, PVD)、原子層沈積 (atomic layer deposition, ALD)、一些其它製程或前述製程的組合來形成所述多個介電層 108。在一些實施例中，藉由例如 CVD、PVD、ALD、濺鍍、電化學鍍覆、電鍍、一些其他沈積製程或前述製程的組合來形成所述多個導電層 602。在一些實施例中，形成柱的製程包括在所述多個介電層 108 的上表面上形成圖案化罩幕層 (未示出) (例如，正型光阻/負型光阻、硬罩幕等)。在形成圖案化罩幕層之後，執行蝕刻製程以移除所述多個介電層 108 的未被遮蔽的部分及所述多個導電層 602 的未被遮蔽的部分，進而留下如圖 6A 中所示的行。蝕刻製程可為例如濕式蝕刻製程、乾式蝕刻製程 (例如，電漿乾式蝕刻)、反應離子蝕刻 (reactive ion etching, RIE) 製程、一些其它蝕刻製程或前述製程的組合。

**【0035】** 如圖 6B 所示立體圖 600b 中所示，藉由對所述多個導電層 602 的側壁進行蝕刻以形成多條閘極線 102 而在所述多個介電層 108 之間形成凹槽 604。可藉由例如濕式蝕刻製程 (例如，磷酸)、反應離子蝕刻 (RIE) 製程、一些其他蝕刻製程或前述製程的組合來對側壁進行蝕刻。凹槽 604 在所述多個介電層 108 之間延伸且橫跨所述多條閘極線 102 的被露出的外表面。

**【0036】** 如圖 7A 至圖 7B 所示立體圖 700a 至 700b 中所示，在所述多個介電層 108 的外表面之上形成自組裝單層 (SAM) 702。在一些實施例中，使用多個化學浴 (chemical bath) 形成 SAM 702，

其中所述多個化學浴包括在甲苯中的前驅物溶液（例如，5mM 的烷基三氯矽烷溶液（例如，十八烷基三氯矽烷））中進行浸泡達 5 分鐘、在甲苯中進行超音波震洗（sonication）達 3 分鐘、在第一丙酮化學浴中進行浸泡達 3 分鐘、在乙酸中進行浸泡達 5 分鐘、以及在第二丙酮化學浴中進行浸泡達 3 分鐘，以移除殘餘的未反應的烷基三氯矽烷及在所述製程中所形成的雜質。在一些實施例中，在前驅物溶液中，使用除了烷基三氯矽烷之外的 SAM 前驅物來代替烷基三氯矽烷或者與烷基三氯矽烷組合使用。在一些實施例中，SAM 702 具有介於 1 奈米與 5 奈米之間的厚度、介於 0.25 奈米與 2 奈米之間的厚度、介於 2.5 奈米與 6 奈米之間的厚度或類似厚度。在一些實施例中，SAM 702 在所述多個介電層 108 的外表面上形成了離散的區段（不連續的區段），所述離散的區段被所述多條閘極線 102 的外表面所橋接的距離所隔開。

**【0037】** SAM 702 包括鍵結至所述多個介電層 108 的頭部官能基（head group）、鍵結至頭部官能基且包括 SAM 702 的大部分體積的間隔官能基（間隔分子或架橋）（spacer）、以及鍵結至間隔官能基的端部的端部官能基（terminal functional group）。頭部官能基選擇性地鍵結至氧化物材料，例如形成所述多個介電層 108 的氧化物材料。SAM 702 並未沿著所述多條閘極線 102 而形成。

**【0038】** 圖 7A 所示立體圖 700a 示出環繞所述多個介電層 108 的被露出的側壁（包括位於所述多個介電層 108 的上方及下方）的 SAM 702。圖 7B 所示立體圖 700b 示出替代性實施例，其中 SAM

702 不形成於所述多個介電層 108 的上方及下方且限定於所述多個介電層 108 的側壁上。在一些實施例中，SAM 702 的位於所述多個介電層 108 的上方及下方的部分可以具有比 SAM 702 所橫跨的所述多個介電層 108 的側壁的部分還要薄的厚度。在一些實施例中，較薄的厚度是由於形成 SAM 702 的製程中的變話會增加覆蓋的選擇性。在一些實施例中，由於具有薄的原生氧化矽（例如，SiO<sub>2</sub>）層，因此 SAM 702 可以在基底 104 的露出的表面上形成。

【0039】 圖 8A 至圖 8B 示出用於選擇特定區域以形成鐵電薄膜 112 的自組裝單層（SAM）702 的化學結構 800a、800b 的一些實施例。

【0040】 SAM 702 具有頭部官能基 802、末端基團 804 及間隔官能基 806、808。頭部官能基 802 被配置成與介電層形成鍵結。舉例而言，頭部官能基 802 可與氧化物材料鍵結，例如氧化矽及氮氧化矽。在一些實施例中，SAM 前驅物的頭部官能基可為-SiCl<sub>3</sub>（三氯矽烷）、-COOH（羧酸）、SiX<sub>3</sub>（X= H，OCH<sub>2</sub>CH<sub>3</sub>）或另一種合適的材料。末端基團 804 位於 SAM 702 的與頭部官能基相反的端部上，且不鍵結至所揭露的閘極層的金屬、類金屬材料或半導體材料。在一些實施例中，末端基團與介電層氧化物內的羥基（-OH）化合物發生反應。在一些實施例中，末端基團 804 可為-CH<sub>3</sub>、-CF<sub>3</sub>、乙烯、乙炔或另一種合適的材料。間隔官能基 806、808 是一種烴鏈，且在所述多個介電層 108 的材料、鐵電薄膜 112 的材料及半導體薄膜 114 的材料被添加時作為所述多個介電層 108

的材料、鐵電薄膜 112 的材料及半導體薄膜 114 的材料之間的物理（實體）屏障（physical barrier）。在圖 8A 中所示的化學結構 800a 中，間隔官能基 806 是長度為  $n$  的直鏈或支鏈烷基鏈。在一些實施例中，直鏈或支鏈烷基鏈的長度  $n$  約介於 8 與 20 之間。在圖 8B 中所示的化學結構 800b 中，間隔官能基 808 是長度為  $n$  的芳香環鏈。在一些實施例中，芳香環鏈的長度  $n$  約介於 1 與 4 之間。在一些實施例中，間隔官能基 806、808 是直鏈烷基鏈、支鏈烷基鏈及芳香環的組合。由於末端基團 804 缺乏反應活性加上與間隔官能基 806、808 所形成的物理屏障的結合可以確保鐵電薄膜 112 不會於所述多個介電層 108 上形成。

【0041】如圖 9 所示立體圖 900 中所示，在所述多條閘極線 102 的被露出的表面之上形成鐵電薄膜 112。藉由化學氣相沈積（CVD）、物理氣相沈積（PVD）、原子層沈積（ALD）或其他合適的製程形成鐵電薄膜 112。在一些實施例中，鐵電薄膜 112 在 SAM 702 的上部側壁與下部側壁之間延伸。在其他實施例中，鐵電薄膜 112 在所述多個介電層 108 的上部側壁與下部側壁之間延伸。在一些實施例中，鐵電薄膜 112 被形成為自所述多個介電層 108 的外部側壁凹陷的多個矩形條帶。在進一步的實施例中，所述多個矩形條帶具有面對所述多條閘極線 102 的第一側壁及背對所述多條閘極線 102 的第二側壁，第一側壁具有第一高度 902h，第二側壁具有第二高度 904h，且其中第一高度 902h 與第二高度 904h 實質上相等。

【0042】 由於 SAM 702 的末端基團的鍵結性質，因此未在 SAM 702 的外部側壁上形成鐵電薄膜 112。在一些實施例中，由於 SAM 702 的端部官能基的鍵結性質，因此鐵電薄膜 112 藉由 SAM 702 與所述多個介電層 108 垂直地間隔開。由於其中形成鐵電薄膜 112 的區域很窄，因此鐵電薄膜 112 表現出的缺陷及晶界較一般的 FeFET 數目還少。

【0043】 如圖 10 所示立體圖 1000 中所示，在鐵電薄膜 112 的被露出的外表面之上形成半導體薄膜 114。藉由化學氣相沈積（CVD）、物理氣相沈積（PVD）、原子層沈積（ALD）或其他合適的製程形成半導體薄膜 114。由於 SAM 702 的末端基團的鍵結性質，因此未在 SAM 702 的外部側壁之上形成半導體薄膜 114。在一些實施例中，半導體薄膜 114 藉由 SAM 702 與所述多個介電層 108 垂直地間隔開。在一些實施例中，半導體薄膜 114 藉由鐵電薄膜 112 與所述多條閘極線 102 間隔開。

【0044】 如圖 11 所示立體圖 1100 中所示，移除 SAM 702。在一些實施例中，使用氧電漿處理來移除 SAM 702。此在不損傷所述多個介電層 108、鐵電薄膜 112 或半導體薄膜 114 的條件下移除 SAM 702。在一些實施例中，當鐵電薄膜 112 及半導體薄膜 114 包含金屬氧化物材料時，氧電漿處理會額外對該些膜中留下的氧空缺進行填充。在一些實施例中，氧電漿處理暴露出基底 104 的上表面以及所述多個介電層 108 的外表面。

【0045】 如圖 12 所示立體圖 1200 中所示，在半導體薄膜 114 的

外部側壁及所述多個介電層 108 的外部側壁之上形成共形介電質 1202。在一些實施例中，共形介電質 1202 填補了鐵電薄膜 112 與所述多個介電層 108 之間的因移除 SAM (圖 10 所示 702) 而留下的間隙，形成延伸至所述多條閘極線 102 的介電頂蓋 401。在一些實施例中，共形介電質 1202 填補了包括所述多個介電層 108 的行與包括所述多條閘極線 102 的行之間的空隙，進而自第一行中的第一閘極線橫向地延伸至第二行中的第二閘極線。

**【0046】** 如圖 13 所示立體圖 1300 中所示，在共形介電質 1202 中形成源極/汲極孔洞 1302，進而留下間隔地圍繞半導體薄膜 114 及所述多個介電層 108 的介電柱 110。孔洞在與第一側向方向 116 垂直的垂直方向 118 上形成且延伸至基底 104 的上表面。在一些實施例中，藉由形成源極/汲極孔洞來露出介電頂蓋 401 及半導體薄膜 114。在一些實施例中，半導體薄膜 114 的第二側壁與介電頂蓋 401 的外部側壁實質上對準 (例如，齊平)。在一些實施例中，形成源極/汲極孔洞 1302 的製程包括在所述多個介電層 108 的上表面及共形介電質的上表面 (圖 12 所示 1202) 上形成圖案化罩幕層 (未示出) (例如，正型光阻/負型光阻、硬罩幕等)。在形成圖案化罩幕層之後，蝕刻製程移除共形介電質 1202 的未被遮蔽的部分，進而留下介電柱 110 (例如圖 13 中所示的介電柱 110)。蝕刻製程可為例如濕式蝕刻製程、乾式蝕刻製程 (例如，電漿乾式蝕刻)、反應離子蝕刻 (RIE) 製程、一些其它蝕刻製程或前述製程的組合。

【0047】 如圖 14 所示立體圖 1400 中所示，在於垂直方向 118 上延伸的源極/汲極孔洞 1302 內形成源極/汲極線 106。源極/汲極線 106 藉由鐵電薄膜 112 及半導體薄膜 114 與所述多條閘極線 102 間隔開，且藉由介電柱 110 在第一側向方向 116 上間隔開。藉由使用導電材料對源極/汲極孔洞 1302 進行填充來形成源極/汲極線 106。在一些實施例中，藉由例如 CVD、PVD、ALD、濺鍍、電化學鍍覆、電鍍、一些其他沈積製程或前述製程的組合來形成源極/汲極線 106。

【0048】 圖 15 示出形成具有鐵電場效電晶體 (FeFET) 的 3D 記憶體裝置的方法 1500 的一些實施例的流程圖，鐵電場效電晶體 (FeFET) 包括自源極/汲極線 106 凹陷的鐵電薄膜 112。

【0049】 儘管方法 1500 在以下示出並闡述為一系列動作或事件，然而應理解，此些動作或事件的示出次序不應被解釋為具有限制性意義。舉例而言，一些動作可能以不同的次序發生及/或與除本文中示出及/或闡述的動作或事件之外的其他動作或事件同時發生。另外，在實施本文說明的一或多個態樣或實施例時可能並不需要所有所示出的動作。此外，本文中所繪示的動作中的一或多個動作可在一或多個不同的動作及/或階段中施行。

【0050】 在 1502 處，形成在側向（橫向）方向上延伸的多條閘極線。所述多條閘極線藉由在側向方向上延伸的多個介電層而垂直地彼此間隔開。圖 6A 至圖 6B 示出與動作 1502 對應的一些實施例的立體圖 700a 至 700b。

【0051】 在 1504 處，在所述多個介電層的外表面上形成自組裝單層 (SAM)。圖 7A 至圖 7B 示出與動作 1504 對應的一些實施例的立體圖 800a 至 800b。

【0052】 在 1506 處，在所述多條閘極線的垂直地位於 SAM 的外部的表面上形成鐵電薄膜。圖 9 示出與動作 1506 對應的一些實施例的立體圖 900。

【0053】 在 1508 處，在鐵電薄膜的垂直地位於 SAM 的外部的側壁上形成半導體薄膜。圖 10 示出與動作 1508 對應的一些實施例的立體圖 1000。

【0054】 在 1510 處，沿著所述多條閘極線形成在與側向方向垂直的垂直方向上延伸的源極/汲極線。圖 14 示出與動作 1510 對應的一些實施例的立體圖 1400。

【0055】 本揭露的內容是有關於一種製造 FeFET 裝置的方法，所述方法選擇性地在閘極線之上形成鐵電薄膜，以減少由於鐵電薄膜的形成及進一步的製程步驟而引起的漏電流及缺陷。

【0056】 在一些實施例中，本揭露是有關於一種 3D 記憶體裝置，所述 3D 記憶體裝置包括：多條閘極線，在垂直方向上交錯排列於多個介電層之間，所述多條閘極線在所述多個介電層之間形成凹槽；源極/汲極線，設置於所述多個介電層旁邊，所述源極/汲極線在側向方向上藉由凹槽而與所述多條閘極線間隔開；鐵電薄膜，側向地設置於所述多條閘極線的側壁與源極/汲極線的側壁之間且限定於凹槽內；以及半導體薄膜，設置於凹槽內且將鐵電

薄膜與源極/汲極線間隔開。

【0057】 在一些實施例中，所述鐵電薄膜以多個矩形條帶對所述多條閘極線的自所述多個介電層的外部側壁凹陷的側壁進行襯墊。在一些實施例中，所述半導體薄膜包括位於所述鐵電薄膜的外部側壁上的多個矩形條帶，所述多個矩形條帶包括第一矩形條帶，其中所述第一矩形條帶的第一側壁及第二側壁自所述多個介電層中的第一介電層延伸至所述多個介電層中的第二介電層。在一些實施例中，所述多個矩形條帶具有面向所述多條閘極線的第一側壁及背對所述多條閘極線的第二側壁，所述第一側壁具有第一高度，所述第二側壁具有第二高度，且其中所述第一高度與所述第二高度實質上相等。在一些實施例中，所述半導體薄膜的外部側壁與所述多個介電層的所述外部側壁實質上對齊。在一些實施例中，所述鐵電薄膜設置於所述多個介電層的上表面及下表面上以及所述多條閘極線的側壁上。

【0058】 在其他實施例中，本揭露是有關於一種 3D 記憶體裝置，所述 3D 記憶體裝置包括：多條閘極線，在側向方向上延伸至基底之上；多個介電層，在與側向方向垂直的垂直方向上將所述多條閘極線彼此間隔開；源極/汲極線，沿著所述多個介電層的外部側壁在垂直方向上延伸；鐵電薄膜，位於所述多條閘極線與源極/汲極線中的第一源極/汲極線之間，鐵電薄膜具有如下的側壁：所述側壁面對第一源極/汲極線且直接位於所述多個介電層中的第一介電層的上表面與所述多個介電層中的第二介電層的下表面之

間；以及半導體薄膜，覆蓋鐵電薄膜的側壁。

**【0059】** 在一些實施例中，所述半導體薄膜具有第一側壁及第二側壁，所述第一側壁面對所述鐵電薄膜且具有第一高度，所述第二側壁面對所述源極/汲極線且具有第二高度，且其中所述第一高度等於所述第二高度。在一些實施例中，所述鐵電薄膜及所述半導體薄膜藉由所述多個介電層而與所述多條閘極線的最上層表面及最下層表面間隔開。在一些實施例中，所述多條閘極線與所述鐵電薄膜直接接觸，且所述源極/汲極線與所述半導體薄膜直接接觸。在一些實施例中，所述半導體薄膜被分隔成多個條帶，其中所述多個條帶在與所述側向方向垂直的第二側向方向上藉由所述多條閘極線間隔開，且所述多個條帶在所述垂直方向上藉由所述多個介電層間隔開。在一些實施例中，所述源極/汲極線在所述側向方向上藉由介電柱隔開，所述介電柱在所述垂直方向上自所述多個介電層的底部延伸至所述多個介電層的頂部。在一些實施例中，在一些實施例中，所述多條閘極線與所述源極/汲極線包含相同的材料，所述鐵電薄膜包含氧化鉛銻（HZO），且所述半導體薄膜包含氧化銻鎵鋅（IGZO）。

**【0060】** 在又一些其他實施例中，本揭露是有關於一種用於形成3D記憶體裝置的方法，所述方法包括：形成在側向方向上延伸的多條閘極線，其中所述多條閘極線藉由在側向方向上延伸的多個介電層而彼此垂直地間隔開；在所述多個介電層的外表面上形成自組裝單層（SAM）；在垂直於所述SAM的外部的所述多條閘極

線的外表面上形成鐵電薄膜；在垂直於 SAM 的外部的鐵電薄膜的側壁上形成半導體薄膜；以及沿著所述多條閘極線形成在與側向方向垂直的垂直方向上延伸的源極/汲極線。

【0061】 在一些實施例中，所述自組裝單層是使用烷基三氯矽烷形成，且其中所述自組裝單層在所述多個介電層的外表面上形成了離散區段，所述離散區段被橋接所述多條閘極線的所述外表面的距離所隔開。在一些實施例中，所述的方法更包括：使用多個化學浴形成所述自組裝單層，其中所述多個化學浴包括在甲苯中的烷基三氯矽烷溶液中進行浸泡、在甲苯中進行超音波震洗、在第一丙酮化學浴中進行浸泡、在乙酸中進行浸泡以及在第二丙酮化學浴中進行浸泡。在一些實施例中，由於所述自組裝單層的端部官能基的鍵結性質，所述鐵電薄膜及所述半導體薄膜藉由所述自組裝單層而與所述多個介電層垂直地間隔開。在一些實施例中，在沈積所述半導體薄膜之後，使用氧電漿處理對所述自組裝單層進行灰化而移除所述自組裝單層。在一些實施例中，所述的方法更包括：使用共形介電質來環繞所述半導體薄膜；移除所述共形介電質的一些部分以形成被第二多個介電層隔開的源極/汲極孔洞；以及使用導電材料填充所述源極/汲極孔洞以形成所述源極/汲極線。在一些實施例中，所述自組裝單層包括：頭部官能基，鍵結至所述多個介電層中的氧化物材料，間隔官能基，約具有 1 奈米至 3 奈米的厚度，以及端部官能基，與羥基 (-OH) 化合物發生反應。

【0062】 前述內容概述了若干實施例的特徵，以使熟習此項技術者可更佳地理解本揭露的態樣。熟習此項技術者應理解，他們可容易地使用本揭露作為設計或修改其他製程及結構的基礎來施行與本文中所介紹的實施例相同的目的及/或達成與本文中所介紹的實施例相同的優點。熟習此項技術者亦應認識到，此種等效構造並不背離本揭露的精神及範圍，而且他們可在不背離本揭露的精神及範圍的條件下對其作出各種改變、取代及變更。

【符號說明】

【0063】

100、300a、400a、400b、400c、500、600a、600b、700a、700b、900、1000、1100、1200、1300、1400:立體圖

102:閘極線

104:基底

106:源極/汲極線

108:介電層

110:介電柱

112:鐵電薄膜

114:半導體薄膜

116:第一側向方向

118:垂直方向

120:第二側向方向

122:FeFET 裝置

200a、300b:俯視圖

200b:電路圖

302:導電接觸件

304:導電線

306:源極/汲極導電接觸件

308:源極/汲極導電線

401:介電頂蓋

402:第一側壁

404:第二側壁

602:導電層

604:凹槽

702:自組裝單層 (SAM)

800a、800b:化學結構

802:頭部官能基

804:末端基團

806、808:間隔官能基

902h:第一高度

904h:第二高度

1202:共形介電質

1302:源極/汲極孔洞

1500:方法

1502、1504、1506、1508、1510:動作

## 【發明申請專利範圍】

【請求項1】 一種三維記憶體裝置，包括：

多條閘極線，在垂直方向上交錯排列於多個介電層之間，所述多條閘極線與位於所述多個介電層之間的凹槽鄰接；

源極/汲極線，設置於所述多個介電層旁邊，所述源極/汲極線在側向方向上藉由所述凹槽而與所述多條閘極線間隔開；

鐵電薄膜，側向地設置於所述多條閘極線的側壁與所述源極/汲極線的側壁之間且限定於所述凹槽內；以及

半導體薄膜，設置於所述凹槽內且將所述鐵電薄膜與所述源極/汲極線間隔開。

【請求項2】 如請求項 1 所述的三維記憶體裝置，其中所述鐵電薄膜以多個矩形條帶對所述多條閘極線的自所述多個介電層的外部側壁凹陷的側壁進行襯墊。

【請求項3】 如請求項 2 所述的三維記憶體裝置，其中所述半導體薄膜包括位於所述鐵電薄膜的外部側壁上的多個矩形條帶，所述多個矩形條帶包括第一矩形條帶，其中所述第一矩形條帶的第一側壁及第二側壁自所述多個介電層中的第一介電層延伸至所述多個介電層中的第二介電層。

【請求項4】 如請求項 2 所述的三維記憶體裝置，其中所述多個矩形條帶具有面向所述多條閘極線的第一側壁及背對所述多條閘極線的第二側壁，所述第一側壁具有第一高度，所述第二側壁具有第二高度，且其中所述第一高度與所述第二高度實質上相等。

【請求項5】 一種三維記憶體裝置，包括：

多條閘極線，在側向方向上延伸至基底之上；

多個介電層，在與所述側向方向垂直的垂直方向上將所述多條閘極線彼此間隔開；

源極/汲極線，沿著所述多個介電層的外部側壁在所述垂直方向上延伸；

鐵電薄膜，位於所述多條閘極線與所述源極/汲極線中的第一源極/汲極線之間，所述鐵電薄膜具有如下的側壁：所述側壁面向所述第一源極/汲極線且直接位於所述多個介電層中的第一介電層的上表面與所述多個介電層中的第二介電層的下表面之間；以及

半導體薄膜，覆蓋所述鐵電薄膜的所述側壁。

【請求項6】 如請求項 5 所述的三維記憶體裝置，其中所述半導體薄膜具有第一側壁及第二側壁，所述第一側壁面對所述鐵電薄膜且具有第一高度，所述第二側壁面對所述源極/汲極線且具有第二高度，且其中所述第一高度等於所述第二高度。

【請求項7】 如請求項 5 所述的三維記憶體裝置，其中所述鐵電薄膜及所述半導體薄膜藉由所述多個介電層而與所述多條閘極線的最上層表面及最下層表面間隔開。

【請求項8】 一種用於形成三維記憶體裝置的方法，所述方法包括：

形成在側向方向上延伸的多條閘極線，其中所述多條閘極線藉由在所述側向方向上延伸的多個介電層而彼此垂直地間隔開；

在所述多個介電層的外表面上形成自組裝單層 (SAM)；

在與所述自組裝單層垂直地隔開的所述多條閘極線的外表面上形成鐵電薄膜；

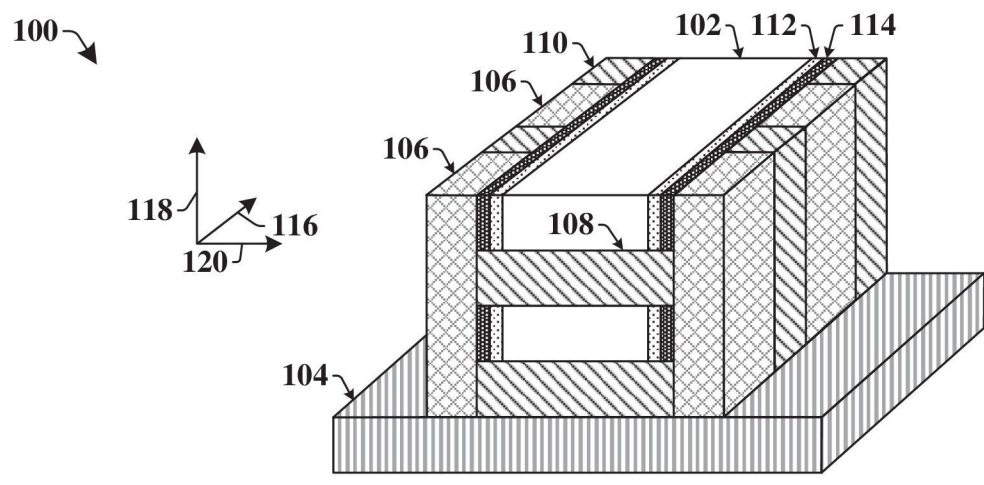
在與所述自組裝單層垂直地隔開的所述鐵電薄膜的側壁上形成半導體薄膜；以及

沿著所述多條閘極線形成在與所述側向方向垂直的垂直方向上延伸的源極/汲極線。

**【請求項9】** 如請求項 8 所述的方法，其中所述自組裝單層是使用烷基三氯矽烷形成，且其中所述自組裝單層在所述多個介電層的外表面上形成了離散區段，所述離散區段被橋接所述多條閘極線的所述外表面的距離所隔開。

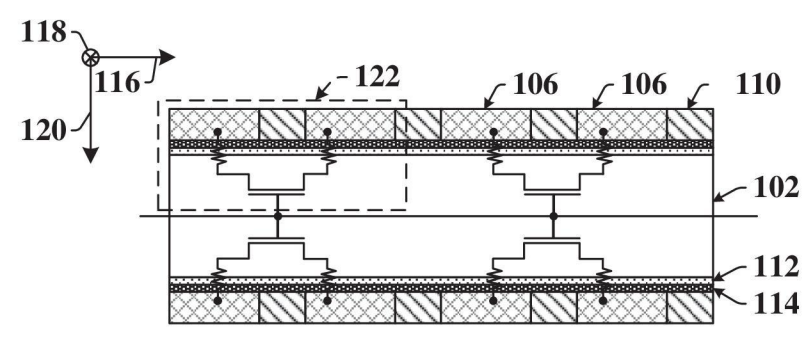
**【請求項10】** 如請求項 8 所述的方法，其中由於所述自組裝單層的端部官能基的鍵結性質，所述鐵電薄膜及所述半導體薄膜藉由所述自組裝單層而與所述多個介電層垂直地間隔開。

【發明圖式】



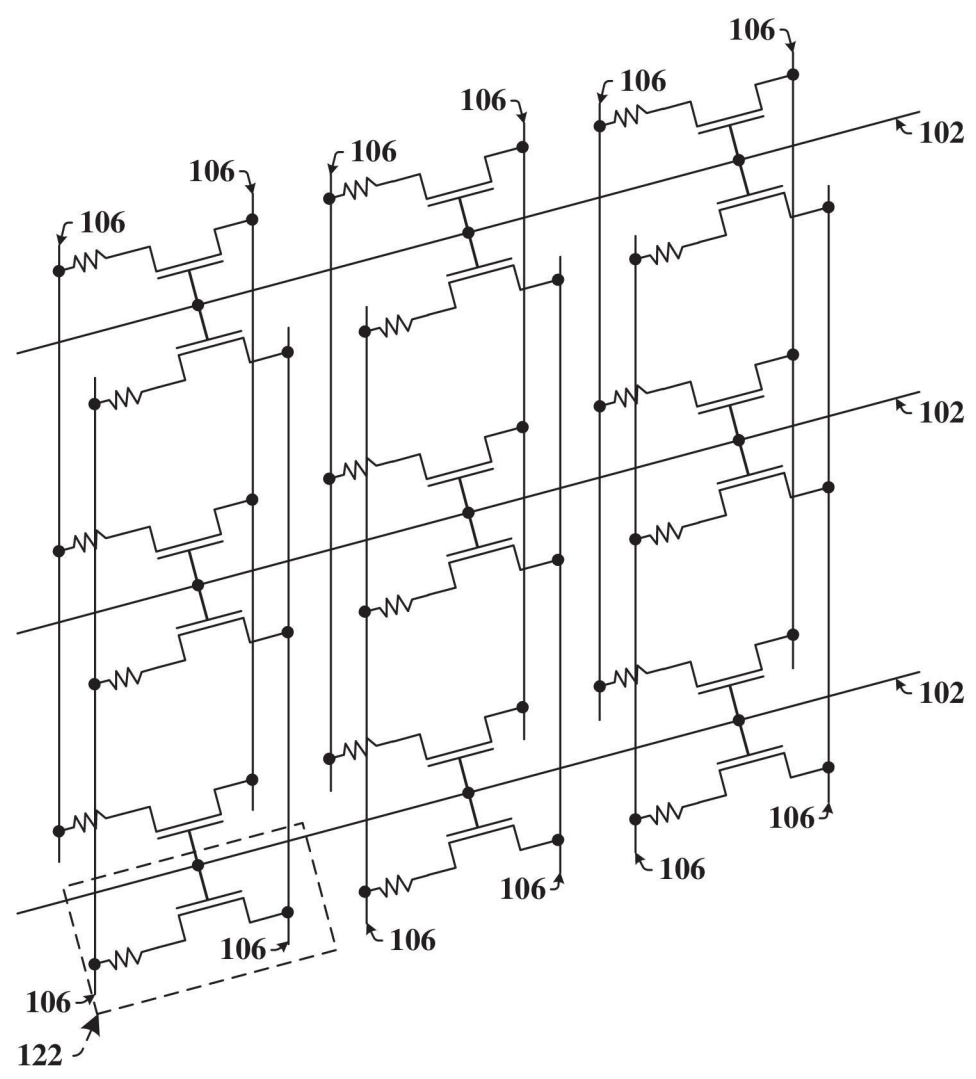
【圖1】

200a

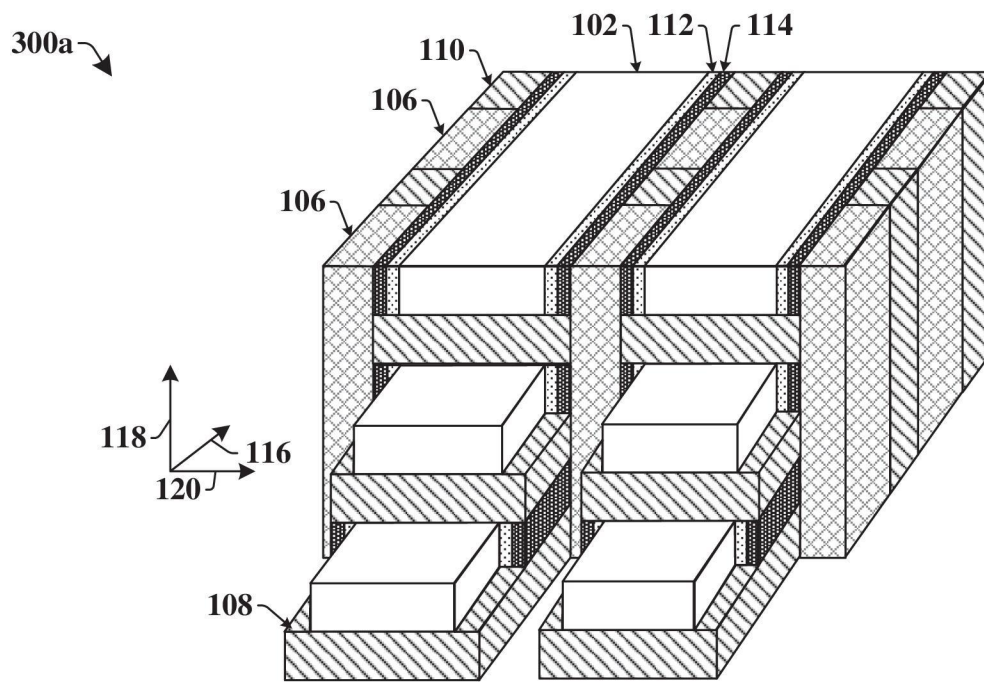


【圖2A】

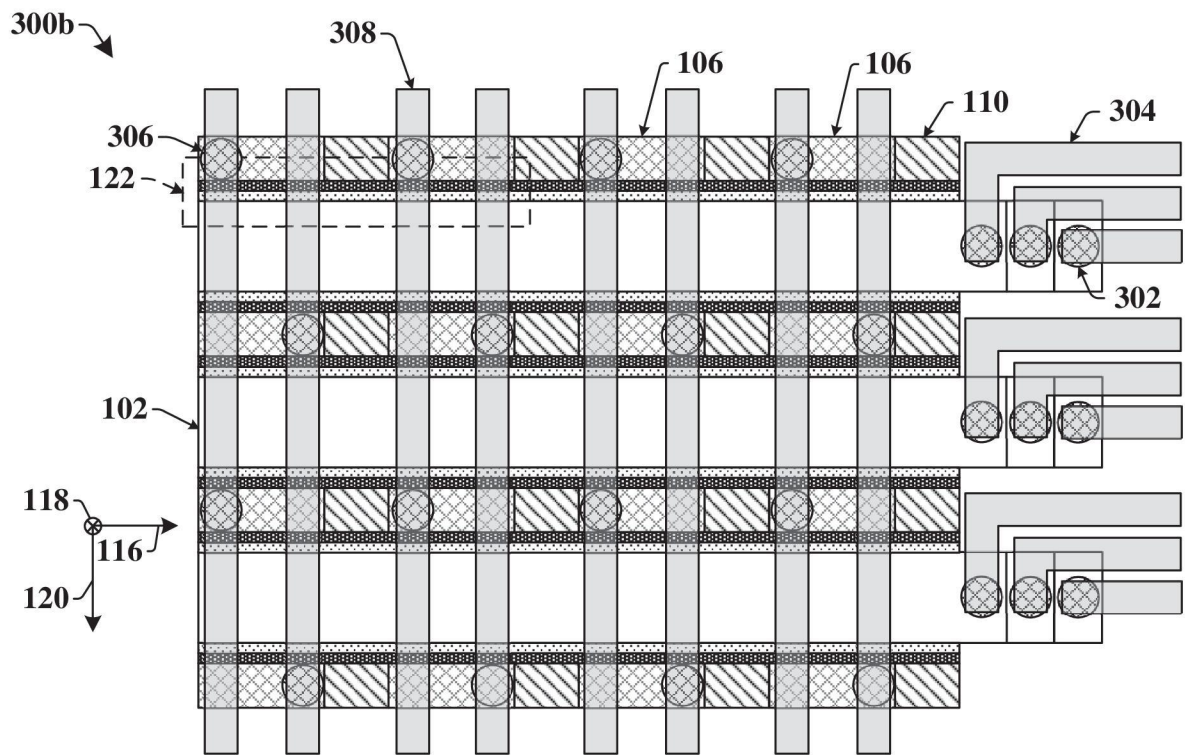
200b ↘



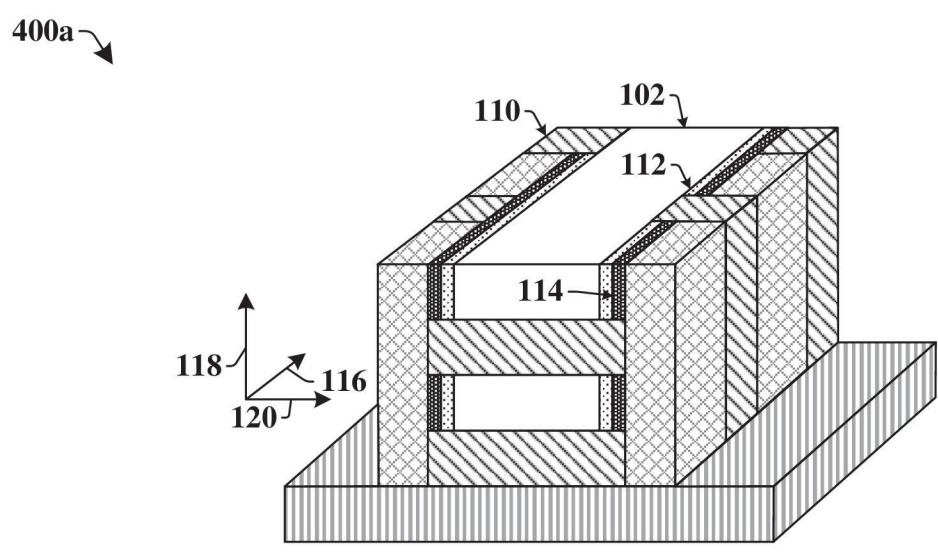
【圖2B】



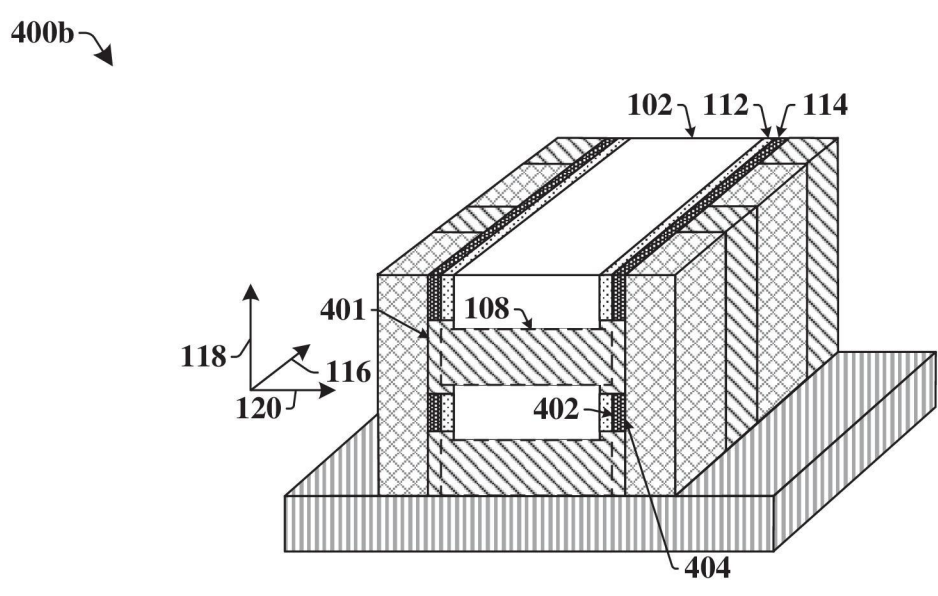
【圖3A】



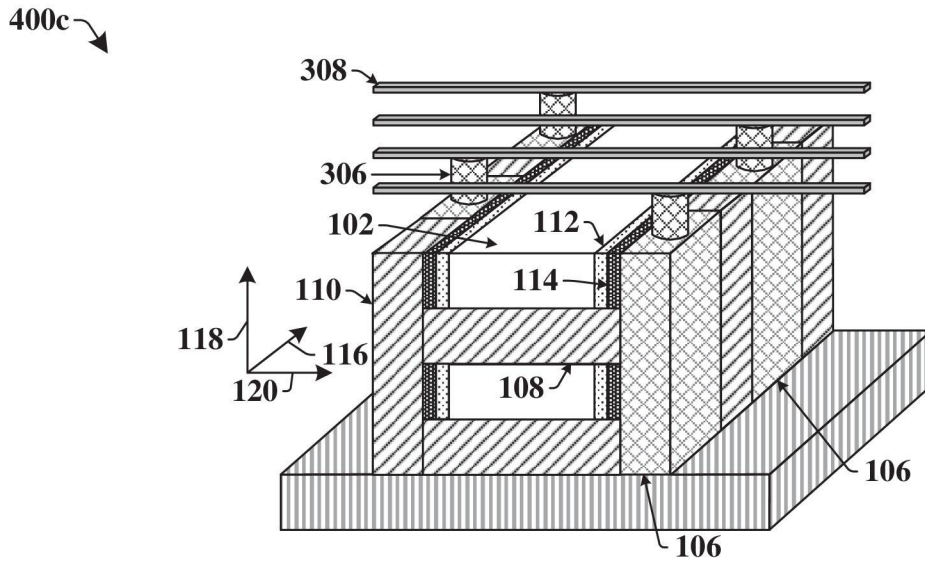
【圖3B】



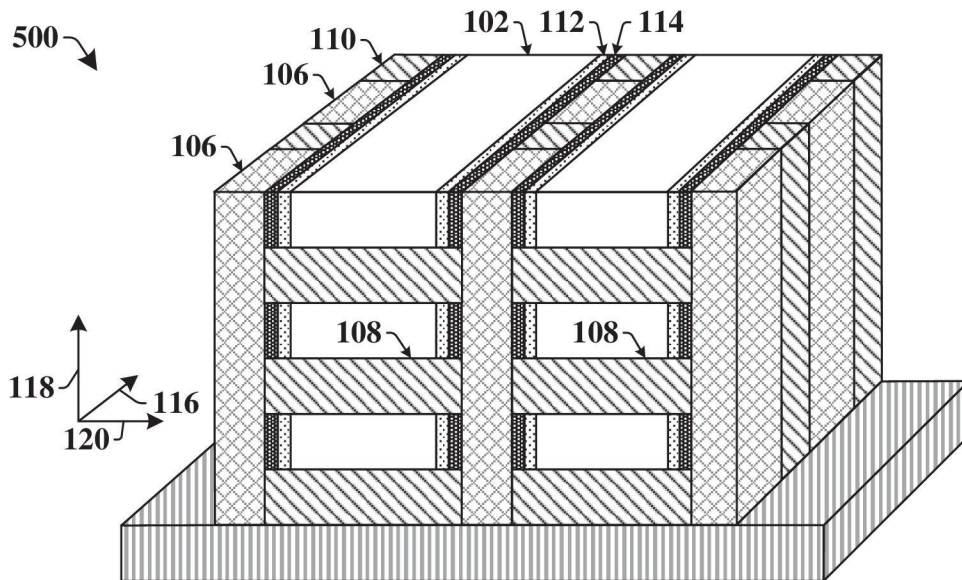
【圖4A】



【圖4B】

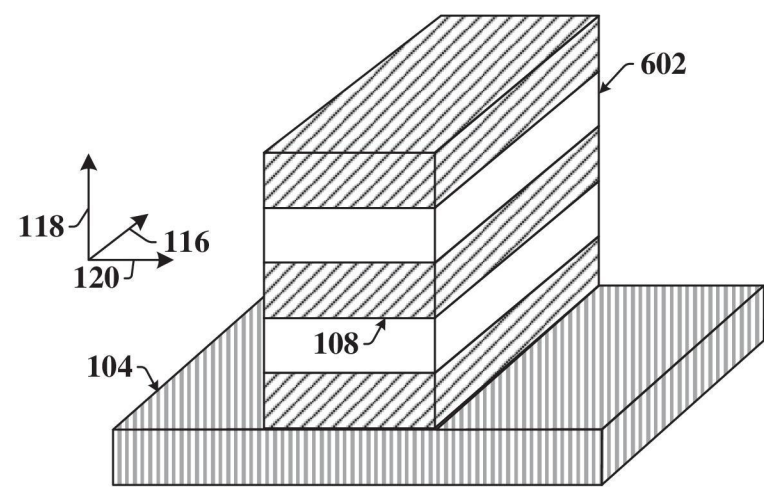


【圖4C】



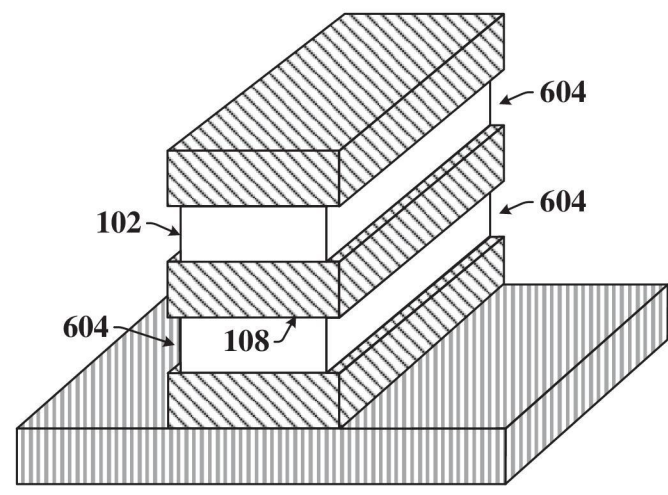
【圖5】

600a



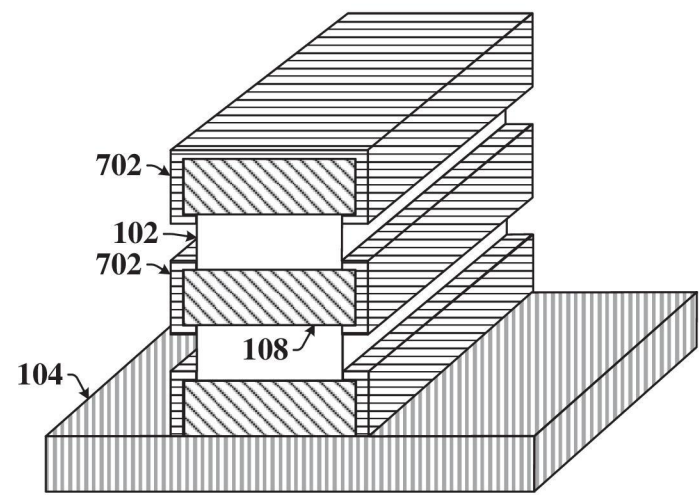
【圖6A】

600b



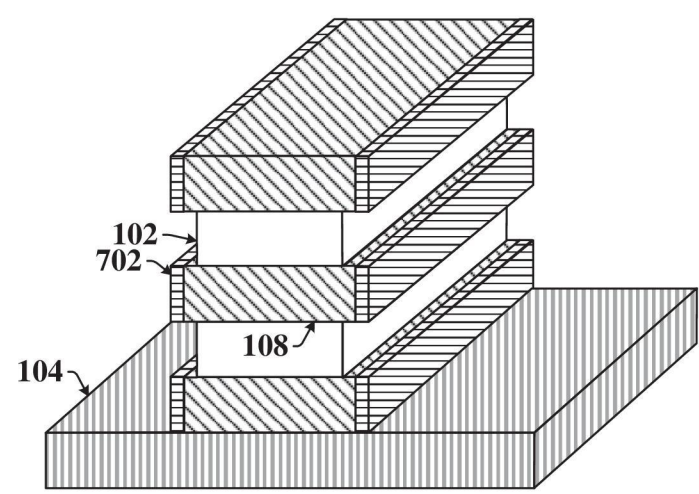
【圖6B】

700a ↘



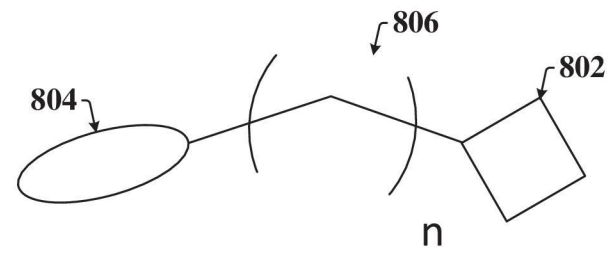
【圖7A】

700b ↘



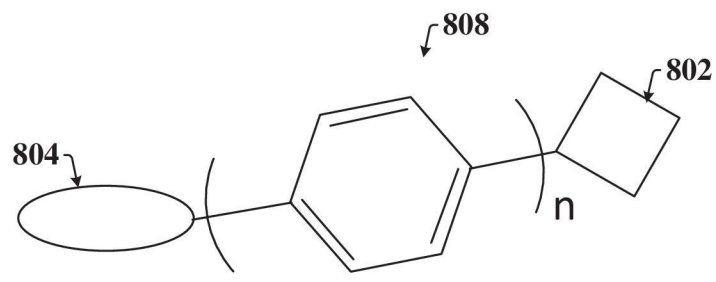
【圖7B】

800a



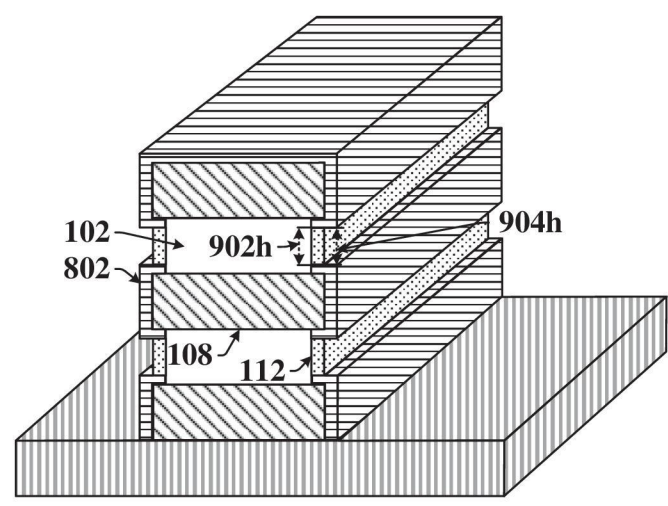
【圖8A】

800b



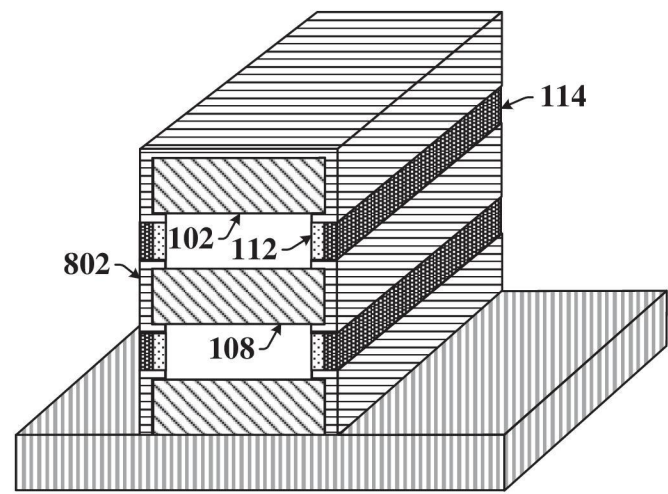
【圖8B】

900 ↘



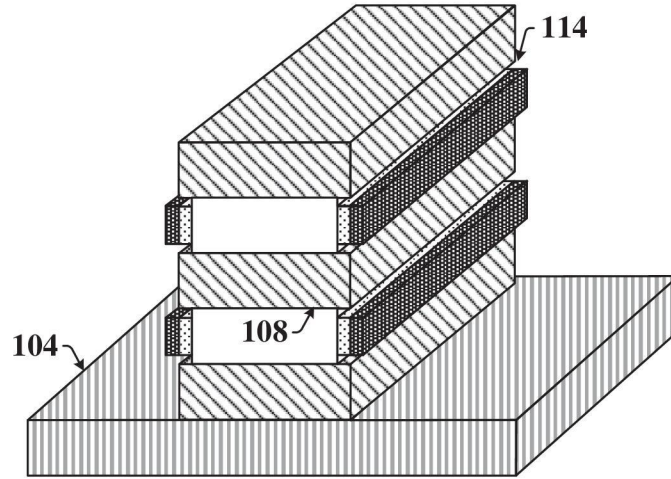
【圖9】

1000 ↘



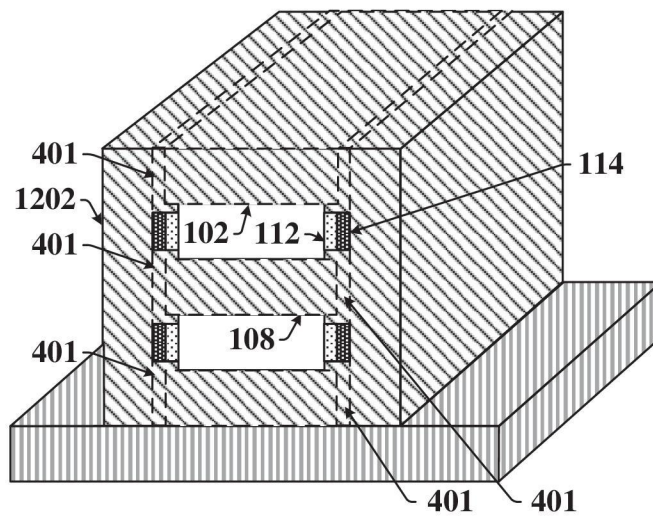
【圖10】

1100 ↘

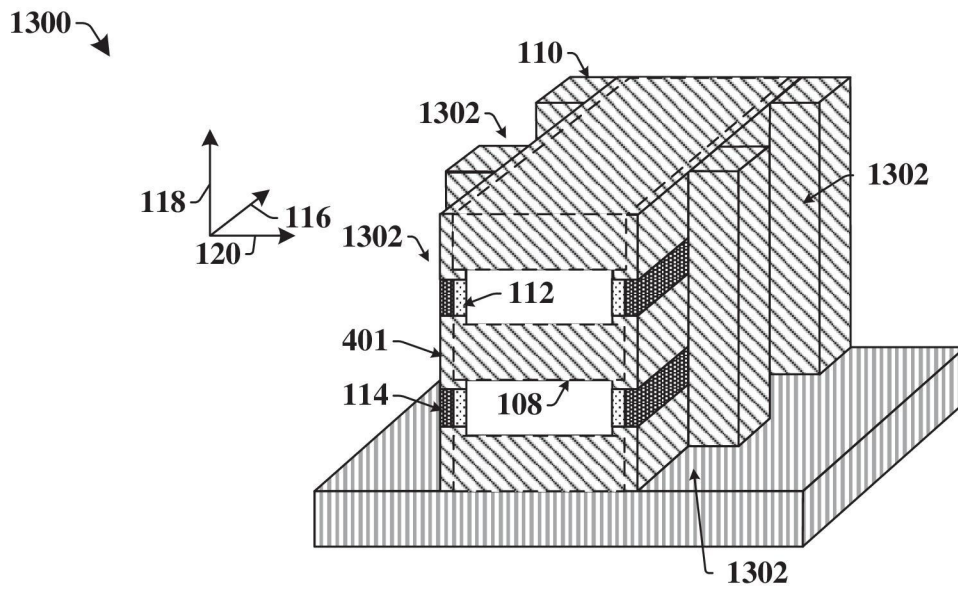


【圖11】

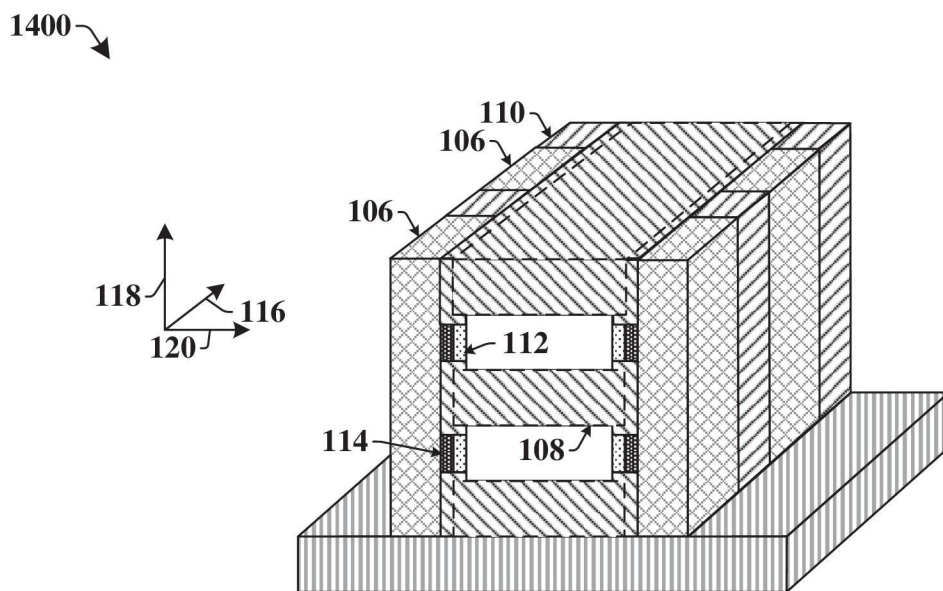
1200 ↘



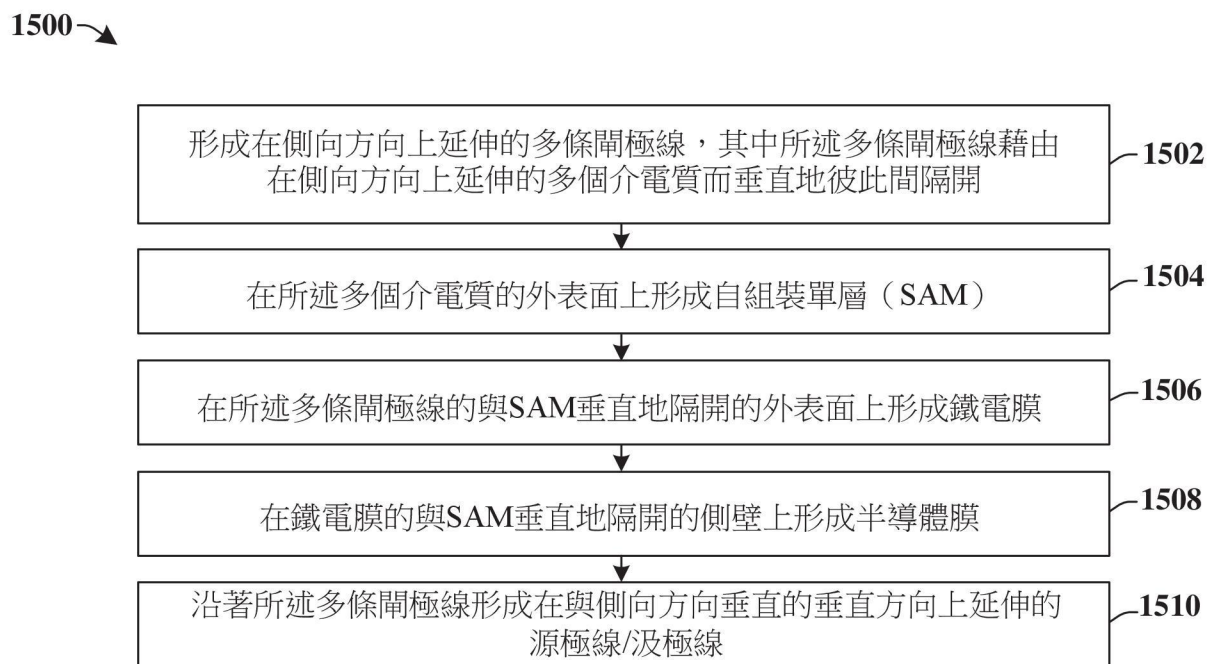
【圖12】



【圖13】



【圖14】



【圖15】