



(12) 发明专利

(10) 授权公告号 CN 101135951 B

(45) 授权公告日 2012. 10. 17

(21) 申请号 200710147678. 2

(22) 申请日 2007. 08. 31

(30) 优先权数据

2006-237727 2006. 09. 01 JP

2006-284141 2006. 10. 18 JP

(73) 专利权人 佳能株式会社

地址 日本东京都大田区下丸子 3 丁目 30 番
2 号

(72) 发明人 铃木武史 上田浩市 普胜勉

(74) 专利代理机构 北京魏启学律师事务所
11398

代理人 魏启学

(51) Int. Cl.

G06F 3/06 (2006. 01)

审查员 陈龙

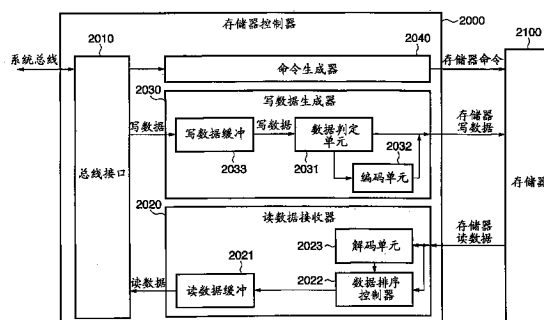
权利要求书 2 页 说明书 9 页 附图 12 页

(54) 发明名称

数据输出设备和方法、存储器系统、数据处理方法

(57) 摘要

本发明提供一种数据输出设备和方法、存储器系统、数据处理方法。数据输出设备将输入数据转换成变化少于输入数据的数据，并将变换后的数据输出至存储器。



1. 一种数据输出设备, 其将数据输出至存储器, 包括:
排序单元, 被构成为基于各排序模式对输入数据进行排序;
切换计数单元, 被构成为接收由所述排序单元排序后的数据, 并输出各排序模式的数据切换计数;
最小值判定单元, 被构成为判定由所述切换计数单元输出的最小数据切换计数;
数据选择单元, 被构成为选择具有由所述最小值判定单元判定出的所述最小数据切换计数的排序后的数据并作为存储器的要写入的数据的一部分而输出; 和
输出单元, 被构成为将由所述数据选择单元选择出的具有所述最小数据切换计数的排序后的数据和用于从所述排序单元排序后的数据复原排序前的数据的控制数据输出至存储器。
2. 根据权利要求 1 所述的数据输出设备, 其特征在于, 还包括复原单元, 被构成为基于从存储器读出的所述控制数据, 从自存储器读出的具有所述最小数据切换计数的排序后的数据复原由所述排序单元排序前的数据。
3. 一种存储器系统, 其具有存储器装置和存储器控制器,
所述存储器控制器包括:
第一变换单元, 被构成为将预定的输入数据变换成变化少于该输入数据的数据; 和
第一输出单元, 被构成为将以下数据输出至所述存储器装置: 由所述第一变换单元变换的预定的输入数据、和表示预定的数据由所述第一变换单元变换的第一识别数据,
所述存储器装置包括:
第一复原单元, 被构成为从所述第一输出单元所输出的数据复原由所述变换单元变换前的数据;
写入单元, 被构成为将由所述第一复原单元复原的数据写入存储器单元;
第二变换单元, 被构成为将从所述存储器单元读出的预定的读出数据变换成变化少于该读出数据的数据; 以及
第二输出单元, 被构成为将以下数据输出至所述存储器控制器: 由所述第二变换单元变换的预定的数据、和表示预定的数据由所述第二变换单元变换的第二识别数据,
所述存储器控制器还包括: 第二复原单元, 被构成为从所述第二输出单元所输出的数据复原由所述第二变换单元变换前的数据。
4. 一种数据输出方法, 其将数据输出至存储器, 包括:
排序步骤, 基于各排序模式对输入数据进行排序;
切换计数步骤, 接收在所述排序步骤中排序后的数据, 并输出各排序模式的数据切换计数;
最小值判定步骤, 判定在所述切换计数步骤中输出的最小数据切换计数;
数据选择步骤, 选择具有在所述最小值判定步骤中判定出的所述最小数据切换计数的排序后的数据并作为存储器的要写入的数据的一部分而输出; 和
输出步骤, 将在所述数据选择步骤中选择出的具有所述最小数据切换计数的排序后的数据和用于从在所述排序步骤中排序后的数据复原排序前的数据的控制数据输出至存储器。
5. 根据权利要求 4 所述的数据输出方法, 其特征在于, 还包括复原步骤, 基于从存储器

读出的所述控制数据,从自存储器读出的具有所述最小数据切换计数的排序后的数据复原在所述排序步骤中排序前的数据。

6. 一种存储器装置的数据处理方法,其中,

所述存储器装置是还包括存储器控制器的存储器系统的组成部件,和

所述存储器控制器执行:

第一变换步骤,其将预定的输入数据变换成变化少于该输入数据的数据;和

第一输出步骤,将以下数据输出至所述存储器装置:在所述第一变换步骤中变换的预定的输入数据、和表示预定的数据在所述第一变换步骤中变换的第一识别数据,

所述存储器装置执行:

第一复原步骤,从在所述第一输出步骤中输出的数据复原所述第一变换步骤中的变换前的数据;

写入步骤,将在所述第一复原步骤中复原的数据写入存储器单元;

第二变换步骤,将从所述存储器单元读出的预定的读出数据变换成变化少于该读出数据的数据;和

第二输出步骤,将以下数据输出至所述存储器控制器:在所述第二变换步骤中变换的预定的输入数据、和表示预定的数据在所述第二变换步骤中变换的第二识别数据,

所述存储器控制器还执行:第二复原步骤,从在所述第二输出步骤中输出的数据复原所述第二变换步骤中的变换前的数据。

数据输出设备和方法、存储器系统、数据处理方法

技术领域

[0001] 本发明涉及将数据输出至存储器的数据输出设备及方法,具有存储器装置和存储器控制器的存储器系统,以及存储器系统中存储器装置的数据处理方法。

背景技术

[0002] 近年来,半导体工艺的改善极大地提高了 LSI 的集成度和工作频率,使用该 LSI 的设备性能也提高了。工作频率的提高也增加了 LSI 的电磁辐射,使得控制 EMI (electromagnetic interference :电磁干扰) 变得困难了。当 LSI 的工作频率升高时,时钟信号所含的高频处的谐波 (harmonic) 分量增加了,这增加了谐波分量的辐射。

[0003] SSCG (Spread Spectrum Clock Generator :扩频时钟发生器) 被用来控制 EMI。SSCG 通过稍微改变 LSI 的时钟频率来振动 (调制) 该时钟频率,从而降低 EMI 的峰值。

[0004] 随着 LSI 的工作频率增加,能否确保信号的品质、即所谓信号完整性就变得很重要。

[0005] 当 LSI 芯片上的晶体管切换时,高频电流流经电源 / 接地配线,并在电源 / 接地配线上发生噪声。这就是所谓电源振颤或接地振颤。

[0006] 该噪声与进行切换的晶体管数量成正比而增大。当集成在 LSI 芯片上的大量晶体管同时切换时产生的较大电源振颤或接地振颤称作 SSO (Simultaneous Switching Output :同时切换输出) 噪声。

[0007] 随着 LSI 的工作频率和集成度提高,噪声也增加,另一方面,随着 LSI 电源电压降低和工作频率提高,噪声容限减少。这使得控制噪声变得很重要。

[0008] 作为有效降低上述噪声及 EMI 的技术,日本特开 2004-213563 提出了存储器存取信号生成器。

[0009] 在日本特开 2004-213563 所记载的存储器存取信号生成器中,当检测出数字信号的转换并且该信号被延迟时,进行控制以使同时检测出转换的次级的数字信号不延迟。此外,进行控制以使同时检测出转换的次级的数字信号延迟,从而将由地址信号或数据信号等数字信号发生的同时切换动作的数量总是控制在 1/2。这使之可适宜地减小电力消耗、噪声及 EMI。

[0010] 可惜,日本特开 2004-213563 所记载的存储器存取信号生成器中的问题在于如果数据切换次数增多则噪声增大,并且噪声减小了工作容限。

发明内容

[0011] 本发明提供一种削减当将数据写入存储器或从存储器读出数据时的噪声的技术。

[0012] 根据本发明的一个方面,提供了一种数据输出设备,用于将数据输出至存储器,包括:变换单元,被构成为将输入数据变换成变化少于输入数据的数据;和输出单元,被构成为将由所述变换单元变换的数据输出至存储器。

[0013] 根据本发明的另一方面,提供了一种存储器系统,其具有存储器装置和存储器控

制器,所述存储器控制器包括:第一变换单元,被构成为将输入数据变换成变化少于输入数据的数据;和第一输出单元,被构成为将由所述第一变换单元变换的数据输出至所述存储器装置,以及所述存储器装置包括:第一复原单元,被构成为从所述第一输出单元所输出的数据复原由所述第一变换单元变换前的数据;和写入单元,被构成为将由所述第一复原单元复原的数据写入存储器单元。

[0014] 根据本发明的另一方面,提供了一种数据输出设备,其将数据输出至存储器,包括:排序单元,被构成为基于各排序模式对输入数据进行排序;切换计数单元,被构成为接收由所述排序单元排序后的数据,并输出各排序模式的数据切换计数;最小值判定单元,被构成为判定由所述切换计数单元输出的最小数据切换计数;数据选择单元,被构成为选择具有由所述最小值判定单元判定出的所述最小数据切换计数的排序后的数据并作为存储器的要写入的数据的一部分而输出;和输出单元,被构成为将由所述数据选择单元选择出的具有所述最小数据切换计数的排序后的数据和用于从所述排序单元排序后的数据复原排序前的数据的控制数据输出至存储器。

[0015] 根据本发明的另一方面,提供了一种数据输出设备,其将数据输出至存储器,包括:变换单元,被构成为变换预定的输入数据;和输出单元,被构成为将以下数据输出至存储器:由所述变换单元变换的预定的输入数据、和表示预定的数据由所述变换单元变换的识别数据。

[0016] 根据本发明的另一方面,提供了一种存储器系统,其具有存储器装置和存储器控制器,所述存储器控制器包括:第一变换单元,被构成为将预定的输入数据变换成变化少于该输入数据的数据;和第一输出单元,被构成为将以下数据输出至所述存储器装置:由所述第一变换单元变换的预定的输入数据、和表示预定的数据由所述第一变换单元变换的第一识别数据,所述存储器装置包括:第一复原单元,被构成为从所述第一输出单元所输出的数据复原由所述变换单元变换前的数据;写入单元,被构成为将由所述第一复原单元复原的数据写入存储器单元;第二变换单元,被构成为将从所述存储器单元读出的预定的读出数据变换成变化少于该读出数据的数据;以及第二输出单元,被构成为将以下数据输出至所述存储器控制器:由所述第二变换单元变换的预定的数据、和表示预定的数据由所述第二变换单元变换的第二识别数据,所述存储器控制器包括:第二复原单元,被构成为从所述第二输出单元所输出的数据复原由所述第二变换单元变换前的数据。

[0017] 根据本发明的另一方面,提供了一种数据输出方法,其将数据输出至存储器,包括:变换步骤,将输入数据变换成变化少于输入数据的数据;和输出步骤,将在所述变换步骤中变换的数据输出至存储器。

[0018] 根据本发明的另一方面,提供了一种数据处理方法,用于具有存储器装置和存储器控制器的存储器系统中的存储器装置,其中,所述存储器控制器执行:第一变换步骤,将输入数据变换成变化少于输入数据的数据;和第一输出步骤,将在所述第一变换步骤中变换的数据输出至所述存储器装置,所述存储器装置执行:第一复原步骤,从所述第一输出步骤中输出的数据复原所述第一变换步骤中的变换前的数据;和写入步骤,将在所述第一复原步骤中复原的数据写入存储器单元。

[0019] 根据本发明的另一方面,提供了一种数据输出方法,其将数据输出至存储器,包括:排序步骤,基于各排序模式对输入数据进行排序;切换计数步骤,接收在所述排序步骤

中排序后的数据,并输出各排序模式的数据切换计数;最小值判定步骤,判定在所述切换计数步骤中输出的最小数据切换计数;数据选择步骤,选择具有在所述最小值判定步骤中判定出的所述最小数据切换计数的排序后的数据并作为存储器的要写入的数据的一部分而输出;和输出步骤,将在所述数据选择步骤中选择出的具有所述最小数据切换计数的排序后的数据和用于从在所述排序步骤中排序后的数据复原排序前的数据的控制数据输出至存储器。

[0020] 根据本发明的另一方面,提供了一种数据输出方法,其将数据输出至存储器,包括:变换步骤,其变换预定的输入数据;和输出步骤,将以下数据输出至存储器:在所述变换步骤中变换的预定的输入数据、和表示预定的数据在所述变换步骤中变换的识别数据。

[0021] 根据本发明的另一方面,提供了一种存储器装置的数据处理方法,其中,所述存储器装置还包括存储器控制器的存储器系统的组成部件,和所述存储器控制器执行:第一变换步骤,其将预定的输入数据变换成变化少于该输入数据的数据;和第一输出步骤,将以下数据输出至所述存储器装置:在所述第一变换步骤中变换的预定的输入数据、和表示预定的数据在所述第一变换步骤中变换的第一识别数据,所述存储器装置执行:第一复原步骤,从在所述第一输出步骤中输出的数据复原所述第一变换步骤中的变换前的数据;写入步骤,将在所述第一复原步骤中复原的数据写入存储器单元;第二变换步骤,将从所述存储器单元读出的预定的读出数据变换成变化少于该读出数据的数据;和第二输出步骤,将以下数据输出至所述存储器控制器:在所述第二变换步骤中变换的预定的输入数据、和表示预定的数据在所述第二变换步骤中变换的第二识别数据,所述存储器控制器还执行:第二复原步骤,从在所述第二输出步骤中输出的数据复原所述第二变换步骤中的变换前的数据。

[0022] 通过下面结合附图对示例实施例的说明,本发明的更多特征将变得更加清楚。

[0023] 附图说明

[0024] 图 1 是示出本发明的存储器控制器的第一实施例的构成的框图。

[0025] 图 2 是示出第一实施例的数据判定单元的构成的框图。

[0026] 图 3 是示出第一实施例中数据序列切换例的图。

[0027] 图 4A 和 4B 是示出第一实施例中写数据时的存储器接口的动作时序的时序图。

[0028] 图 5 是示出本发明的存储器控制器的第二实施例的构成的框图。

[0029] 图 6 是示出第二实施例的数据判定单元的构成的框图。

[0030] 图 7 是示出第二实施例中数据模式比较例的图。

[0031] 图 8A 和 8B 是示出第二实施例中写数据时的存储器接口的动作时序的时序图。

[0032] 图 9 是示出第二实施例中读数据复原电路的构成的框图。

[0033] 图 10 是说明当将数据写入存储器时以及当从存储器读出数据时的处理过程的例子的流程图。

[0034] 图 11 是示出根据第三实施例的存储器系统的构成的框图。

[0035] 图 12A 和 12B 是说明根据第三实施例的数据写入的时序图。

具体实施方式

[0036] 第一实施例

[0037] 以下参照附图来详细说明本发明的实施例。注意,以下的实施例并不限制根据权利要求书的范围的本发明。还要注意,在本实施例中说明的特征的组合不全是本发明的解决手段所必须的。

[0038] 首先,说明根据本发明的第一实施例的存储器系统。

[0039] 图 1 示出了根据本实施例的存储器系统。

[0040] 在图 1 中,附图标记 2000 表示存储器控制器,2100 表示存储器。存储器控制器 2000 包括总线接口 2010、命令生成器 2040、写数据生成器 2030、和读数据接收器 2020。

[0041] 写数据生成器 2030 包括写数据缓冲 2033、数据判定单元 2031、和编码单元 2032。读数据接收器 2020 包括读数据缓冲 2021、数据排序控制器 2022 和解码单元 2023。

[0042] 已从系统总线接收了写请求的存储器控制器 2000 使用总线接口 2010、根据总线协议而生成命令和写数据。存储器控制器 2000 将命令发送至命令生成器 2040,并将写数据发送至写数据生成器 2030。

[0043] 命令生成器 2040 将接收到的命令变换成存储器命令。写数据生成器 2030 将接收到的写数据写入写数据缓冲 2033。数据判定单元 2031 判定写入写数据缓冲 2033 内的写数据的排序顺序。编码单元 2032 对数据判定单元 2031 的判定结果进行编码。然后写数据生成器 2030 基于数据判定单元 2031 和编码单元 2032 的输出结果而生要应写入存储器 2100 的存储器写数据。

[0044] 另一方面,当读出数据时,数据排序控制器 2022 基于解码单元 2023 的解码结果而对数据进行排序。读数据缓冲 2021 保持排序后的数据,并将读数据经总线接口 2010 发送至系统总线。

[0045] 接着参照图 2 来说明数据判定单元 2031。

[0046] 本实施例的数据判定单元 2031 包括数据排序单元 0 110-0 ~ n110-n、数据切换计数器 0 120-0 ~ n120-n、最小值判定电路 130、数据选择电路 140 等。

[0047] 本实施例将使用脉冲串长度为 4 来说明。写数据缓冲 2033 内的写数据被分割成脉冲串 0 101 ~ 3104。数据排序单元 0 110-0 ~ n110-n 基于各排序模式而对脉冲串 0 101 ~ 3104 的数据进行排序。

[0048] 切换计数器 0 120-0 ~ n120-n 接收排序后的数据,并输出各数据模式的切换次数。最小值判定电路 130 判定数据切换计数器 0120-0 ~ n120-n 的输出的最小值,并将判定结果输出至编码单元 2032 和数据选择电路 140。数据选择电路 140 将选择结果作为存储器写数据的一部分而输出。

[0049] 接着参照图 3 来说明由数据排序单元 110-1 ~ 110-n 进行的数据排序的具体例。本实施例将使用脉冲串长度为 4、数据宽度为 8 位来说明,并以写数据为“FF → 0F → F0 → FF”为例来说明。

[0050] 在由数据排序单元 110-0 进行排序 0(0 → 1 → 2 → 3,数据未排序)的情况下,在脉冲串(burst)0 和 1 之间切换 4 位数据,在脉冲串 1 和 2 之间切换 8 位数据,在脉冲串 2 和 3 之间切换 4 位数据。即,由于在脉冲串 0 和 1 之间 FF 变成 0F(F → 0),因此变化了 4 位。合计在 1 个脉冲串中发生 16 位数据的切换。

[0051] 在由数据排序单元 110-1 进行排序 1(以脉冲串 1 → 脉冲串 0 → 脉冲串 3 → 脉冲串 2 的顺序进行排序)的情况下,各脉冲串间切换 4 位、0 位、4 位数据,故共切换了 8 位。同

样地,在由数据排序单元 110-2 进行排序 2 的情况下,切换 12 位。

[0052] 最小值判定电路 130 判定在由数据排序单元 110-0 ~ 110-2 进行的数据排序操作内的排序 1 的模式使数据切换次数最小。编码单元 2032 将对本数据排序结果进行编码而得的“0011”附加至存储器写数据。

[0053] 图 4A 和 4B 示出了时序的例子。在图 4A 和 4B 中,附图标记 CLK 表示时钟,A 表示地址,DQS 表示数据选通,DQ 表示数据信号,DQM 表示数据屏蔽信号。在图 4A 所示的比较例(未应用本实施例)中,将写数据直接输出至 DQ。与此相对,图 4B 所示的本实施例使用 DQ 冗余位发送编码结果,并且以通常的 DQ 来传输数据排序结果。

[0054] 这就有可能在存储器读和写时减小数据切换次数,从而减小 EMI 噪声和 SS0 噪声。另外,通过减小切换次数还能够减小因存储器读和写而消耗的电力。

[0055] 接着,参照图 10 来说明存储器控制过程的例子。

[0056] 首先,在步骤 S101 中,数据排序单元 110-0 ~ 110-n 通过对写数据缓冲 2033 内的写数据的脉冲串序列进行排序而生成 n 类写数据。

[0057] 然后,在步骤 S102 中,数据切换计数器 120-0 ~ 120-n 检测各写数据中数据模式切换的次数。在步骤 S103 中,最小值判定电路 130 和数据选择电路 140 选择具有最小数据切换次数的写数据。在图 3 所示的例中,数据选择电路 140 选择排序单元 110-2 的输出,并输出图 4B 的 DQ[7:0] 所示的信号。

[0058] 在步骤 S104 中,编码单元 2032 将在步骤 S103 中选择的写数据的脉冲串序列编码为冗余位。该编码如前述、使用例如 4 位。所编码的冗余位被附加至写数据。如图 4B 所示,编码单元 2032 将编码结果作为冗余位 DQ[0:0] 而输出。此后,在步骤 S105 中,将被选择的写数据和被编码的冗余位写入存储器 2100。

[0059] 接着处理前进至步骤 S106,读出如前述写入存储器 2100 的写数据和冗余位。处理前进至步骤 S107,由解码单元 2023 对读出的冗余位进行解码。处理前进至步骤 S108,根据在步骤 S107 处进行的解码的结果而检测从存储器 2100 读出的读数据的脉冲串序列。在图 3 所示的例中,解码单元 2023 通过对“0011”进行解码,从而判断脉冲串序列为排序 1,并将“0FFFFFF0”排序为“FF0FF0FF”。

[0060] 此后处理前进至步骤 S109,数据排序控制器 2022 根据脉冲串序列检测结果而对从存储器 2100 读出的读数据的脉冲串序列进行排序,从而复原读数据以得排序前的脉冲串序列。

[0061] 如前述,本实施例的存储器控制方法通过对脉冲串序列进行排序而生成写数据,以使将数据写入存储器 2100 时的数据切换次数最小。这就有可能减小将数据写入存储器 2100 以及从存储器 2100 读出数据时的噪声。

[0062] 第二实施例

[0063] 下面说明根据本发明的第二实施例的存储器系统。

[0064] 图 5 示出了根据本实施例的存储器系统。

[0065] 附图标记 3000 表示存储器控制器,3100 表示存储器。存储器控制器 3000 包括总线接口 3010、命令生成器 3040、写数据生成器 3030、读数据接收器 3020 等。

[0066] 写数据生成器 3030 包括写数据缓冲 3033、数据判定单元 3031、编码单元 3032、数据固定控制单元 3034 等。读数据接收器 3020 包括读数据缓冲 3021、数据选择器 3022、解

码单元 3023 等。

[0067] 已从系统总线接收到写请求的存储器控制器 3000 使用总线接口 3010、根据总线协议而生成命令和写数据。存储器控制器 3000 将命令发送至命令生成器 3040,并将写数据发送至写数据生成器 3030。

[0068] 命令生成器 3040 将接收到的命令变换成存储器命令。写数据生成器 3030 将接收到的写数据写入写数据缓冲 3033。数据判定单元 3031 判定写数据缓冲 3033 内的写数据是否与特定模式一致。编码单元 3032 对数据判定单元 3031 的判定结果进行编码。

[0069] 数据固定控制单元 3034 根据数据判定单元 3031 而对欲写入存储器 3100 的数据进行固定。基于数据固定控制单元 3034 和编码单元 3032 的输出结果而生成存储器写数据。

[0070] 当进行数据读时,解码单元 3032 对存储器读数据进行解码并判定数据是否与特定模式一致。如果数据与特定模式一致,则数据选择器 3022 将读数据变更为特定模式,并将该模式发送至读数据缓冲 3021。读数据缓冲 3021 保持排序后的数据,并将读数据经总线接口 3010 发送至系统总线。

[0071] 接着参照图 6 来说明数据判定单元 3031。

[0072] 数据判定单元 3031 包括 n 个数据比较电路 210-0 ~ 210- n 、数据模式保持电路 220、数据命中标志生成器 230 等。本实施例将使用脉冲串长度为 4 来说明。

[0073] 写数据缓冲 3033 内的写数据被分割成各 8 位数据的脉冲串 0201 ~ 3204。数据比较电路 210-0 ~ 210- n 将脉冲串 0 ~ 3 的数据与各数据模式做比较。

[0074] 数据比较电路 210-0 ~ 210- n 将脉冲串 0 ~ 3 与 n 个模式做比较。如果数据与某模式一致,则将对应的命中信号设为“1”。数据比较结果被发送至编码单元 3032 并被编码。数据命中标志生成器 230 通过对比较结果进行算数运算而生成命中标志,并将命中标志发送至数据固定控制单元 3034。

[0075] 如果命中标志为“1”,则数据固定控制单元 3034 对写数据进行固定。反之,则数据固定控制单元 3034 将写数据作为存储器写数据的一部分而直接输出至存储器 3100。

[0076] 接着,参照图 7 来说明固定数据的实际过程。本实施例将使用脉冲串长度为 4、数据宽度为 8 位来说明。

[0077] 首先,数据比较电路 210-0 ~ 210- n 将写数据与模式 0 ~ n 做比较。如图 7 所示,写数据“FF、00、FF、00”与模式 1 一致。因此数据判定单元 3031 在命中 1 (数据比较电路 210-1 的输出) 和命中标志 (数据命中标志生成器 230 的输出) 中设为“1”。同样地,如图 7 所示,编码单元 3032 将数据比较电路 210-0 ~ 210- n 的输出编码为“0010”。

[0078] 另外,由于命中标志为“1”,故数据固定控制单元 3034 将数据作为固定至“0”的降噪数据而发送至存储器 3100。注意,在数据模式保持电路 220 中保持的模式 0 ~ n 具有较大的数据切换次数。

[0079] 写数据“00、01、02、03”与数据模式保持电路 220 的任一输出模式都不匹配。在这种情况下,数据判定单元 3031 将命中标志和全部命中输出都作为“0”而输出。在这种情况下,编码单元 3032 输出“0000”,数据固定控制单元 3034 将写数据作为存储器写数据而直接输出至存储器 3100。

[0080] 图 8A 和 8B 是时序图。在图 8A 所示的比较例 (未应用本实施例) 中,将写数据直

接输出至 DQ。与此相对,图 8B 所示的本实施例使用 DQ 冗余位发送编码结果,并且以通常的 DQ 来传输数据固定结果。当将数据写入 A0 时,数据与存储模式一致,故 DQ[7:0] 被固定为“0”,并将编码结果“0010”发送至 DQ 冗余位。当将数据写入 A1 时,数据与存储模式不匹配,故将写数据直接输出至 DQ[7:0],DQ 冗余位是“0000”。

[0081] 接着,参照图 9 来说明数据选择器 3022。

[0082] 数据选择器 3022 包括模式选择电路 310 及数据模式保持电路 320。附图标记 301 ~ 304 表示在读数据缓冲 3021 中保持的脉冲串数据。

[0083] 模式选择电路 310 根据来自解码单元 3023 的选择信号 400 而选择输出在数据模式保持电路 320 中保持的模式或接收到的数据。数据模式保持电路 320 保持特定的数据模式,即与本实施例中数据模式保持电路 220 相同的数据模式。

[0084] 尽管本实施例分别使用模式保持电路 220 和 320 来读和写,但由于为读和写而保持同一数据,因此也可共用一个数据模式保持电路。

[0085] 当 DQ 冗余位是“0000”时,如图 7 所示数据与特定模式不匹配,故存储器读数据直接输出至读数据缓冲 3021。如果数据与特定模式一致,则依解码结果而选择来自数据模式保持电路 320 的数据。

[0086] 使用以上说明的过程、本实施例的存储器系统能够削减数据切换的次数,从而能够削减存储器芯片和存储器模块的写入数据和读出数据时因数据切换而产生的噪声。

[0087] 第三实施例

[0088] 图 11 是示出根据本发明的实施例的存储器系统的构成的框图。

[0089] 在图 11 中,与图 5 所示的构成要素相同的附图标记表示被给予相同名称的构成要素。附图标记 3000 表示存储器控制器;而 3100 表示具有存储器单元 3111 的存储器(存储器元素)。

[0090] 总线接口 3010 连接存储器控制器 3000 的内部总线和系统总线。读数据接收器 3020 将从存储器 3100 读出的数据输出至总线接口 3010。读数据缓冲 3021 暂时保持从存储器 3100 读出并处理的数据,并将数据输出至总线接口 3010。数据选择器 3022 如第二实施例中说明的那样、处理从存储器 3100 读出的数据。解码单元 3023 对从存储器 3100 的编码单元 3132 输出的编码数据进行解码。

[0091] 写数据生成器 3030 将从总线接口 3010 接收到的写数据暂时存储在写数据缓冲 3033 中。此后,写数据生成器 3030 进行与第二实施例同样的处理,并将数据输出至存储器 3100。数据判定单元 3031 分析欲写入存储器装置 3100 的数据的模式,并判定该写入的数据是否为易发生噪声的模式。编码单元 3032 对数据判定单元 3031 所做的判定结果进行编码,并将编码结果输出至存储器 3100。如果数据判定单元 3031 判定欲写入存储器 3100 的数据易发生噪声,则数据固定控制单元 3034 将该数据变换成难以发生噪声的数据。命令生成器 3040 生成对于存储器 3100 的读出和写入命令,并将该命令输出至存储器 3100。

[0092] 接着说明存储器 3100 的构成。存储器 3100 具有解码单元 3123 和数据选择器 3122,其分别具有与上述存储器控制器 3000 的解码单元 3023 和数据选择器 3022 相同的功能。存储器 3100 还具有数据判定单元 3131、编码单元 3132、数据变换控制单元 3134,其分别具有与存储器控制器 3000 的数据判定单元 3031、编码单元 3032、数据固定控制单元 3034 相同的功能。

[0093] 注意,根据本实施例的数据判定单元 3031 和 3131 的构成与图 6 所示的数据判定单元 3031 的构成相同。另外注意,数据模式保持电路 220 所保持的数据模式和编码单元 3032 的编码例与图 3 所示相同。根据本实施例的数据选择器 3022 和 3122 的构成与图 9 所示的数据选择器 3022 的构成相同。

[0094] 在存储器 3100 中,解码单元 3123 接收到由存储器控制 3000 编码并输出的编码数据,并对接收到的数据进行解码。基于该解码结果而生成欲输出至数据选择器 3122 的选择信号 400。数据选择器 3122 根据选择信号 400 而选择从存储器控制器 3000 接收到的写数据或在数据模式保持电路 320 中保持的模式数据,并将所选择的数据输出至存储器单元 3111。存储器 3100 将该输出保持在存储器单元 3111 中。

[0095] 更具体地,如果解码单元 3123 作为编码输出而接收到例如前述的码“0010”,则解码单元 3123 得知:由于该码与模式 1 一致,故将存储器写数据变换成数据“0”。因而在这种情况下,存储器 3100 依选择信号 400 而选择存储在数据模式保持电路 320 中的模式 1,并将模式 1 写入存储器单元 3111。

[0096] 另一方面,如果解码单元 3123 作为编码输出而接收到例如前述的码“0000”,则解码单元 3123 得知:由于该码不与任何模式一致,故不变换存储器写数据而直接将其输入到数据选择器 3122。因而在这种情况下,存储器 3100 依选择信号 400 而选择存储器写数据,并将数据写入存储器单元 3111。

[0097] 另外,与上述写入操作相反地从存储器 3100 读出数据。即,数据判定单元 3131 与写入数据时由存储器控制器 3000 进行的同样方式而判定从存储器 3100 的存储器单元 3111 读出的数据是否与任何模式一致。数据判定单元 3131 输出与各模式对应的命中信号 0~n 和命中标志。编码单元 3132 对命中信号进行编码并将编码后的信号输出至存储器控制器 3000。根据数据判定单元 3131 的判定输出而判别从存储器单元 3111 读出的数据是实际的数据还是变换成“0”数据。编码单元 3132 对该判定结果进行编码并将编码结果输出至解码单元 3023。

[0098] 存储器控制器 3000 的数据选择器 3022 接收从存储器 3100 的数据固定控制单元 3034 输出的数据。另外,存储器控制器 3000 的解码单元 3023 接收从存储器 3100 的编码单元 3132 输出的编码结果。解码单元 3023 基于来自存储器 3100 的编码结果而输出选择信号 400。数据选择器 3022 基于从该解码单元 3023 输出的选择信号 400 而输出从存储器 3100 接收到的读出数据和预先在数据模式保持电路 320 中保持的模式数据。

[0099] 如上述,在本实施例中,通过将易发生噪声的数据变换成难于发生噪声的数据,从而存储器控制器 3000 和存储器 3100 交换数据。这就有可能减小数据切换次数并抑制噪声。

[0100] 图 12B 是与图 12A 所示的比较例做比较而说明根据本实施例的数据写入的时序图。在该例中将数据 (00,00,00,00) 写入地址“A0”,将数据 (01,02,03,04) 写入地址“A1”。

[0101] 在 500 所示的部分中,写入数据 (FF,00,FF,00) 与模式 1 一致,故变换成数据 (00,00,00,00)。在这种情况下,编码结果依图 7 而成为“0010”(501)。

[0102] 于是,在图 12A 所示的比较例处发生的、时刻 $t_3 \sim t_5$ 处的噪声降为“0”。

[0103] 注意,存储在本实施例的数据模式保持电路 220 和 320 中的模式数据(特定的模式)不限于上述的例子。只要是前一数据和后续数据之间反相的位数大于或等于预定量的

模式,都可以使用。这是因为,在上一数据和后续数据之间反相的位数大于或等于预定量的模式中,该数据间切换的位数增多了,结果流动的电流增大,这就提高了发生噪声的可能性。

[0104] 另外,在上述实施例中将降噪数全部设为“0”数据,但也可使用任何减少噪声的发生的数据。

[0105] 本发明的其它实施例

[0106] 根据前述本发明的实施例构成存储器控制电路的各部件和存储器控制方法的各步骤可通过计算机程序的工作来实现。本发明包括该程序及记录该程序的计算机可读的记录介质。

[0107] 本发明可包括例如系统、设备、方法、程序或存储介质的形式的实施例。

[0108] 为了以计算机来实现本发明的功能处理,欲安装在计算机上的程序代码也实现本发明。即,本发明包括用于实现本发明的功能处理的计算机程序自身。

[0109] 尽管参照示例实施例而说明了本发明,但应当理解:本发明不限于所公开的示例实施例。所附权利要求书的范围符合最宽的解释,以涵盖全部这样的修改和等同结构和功能。

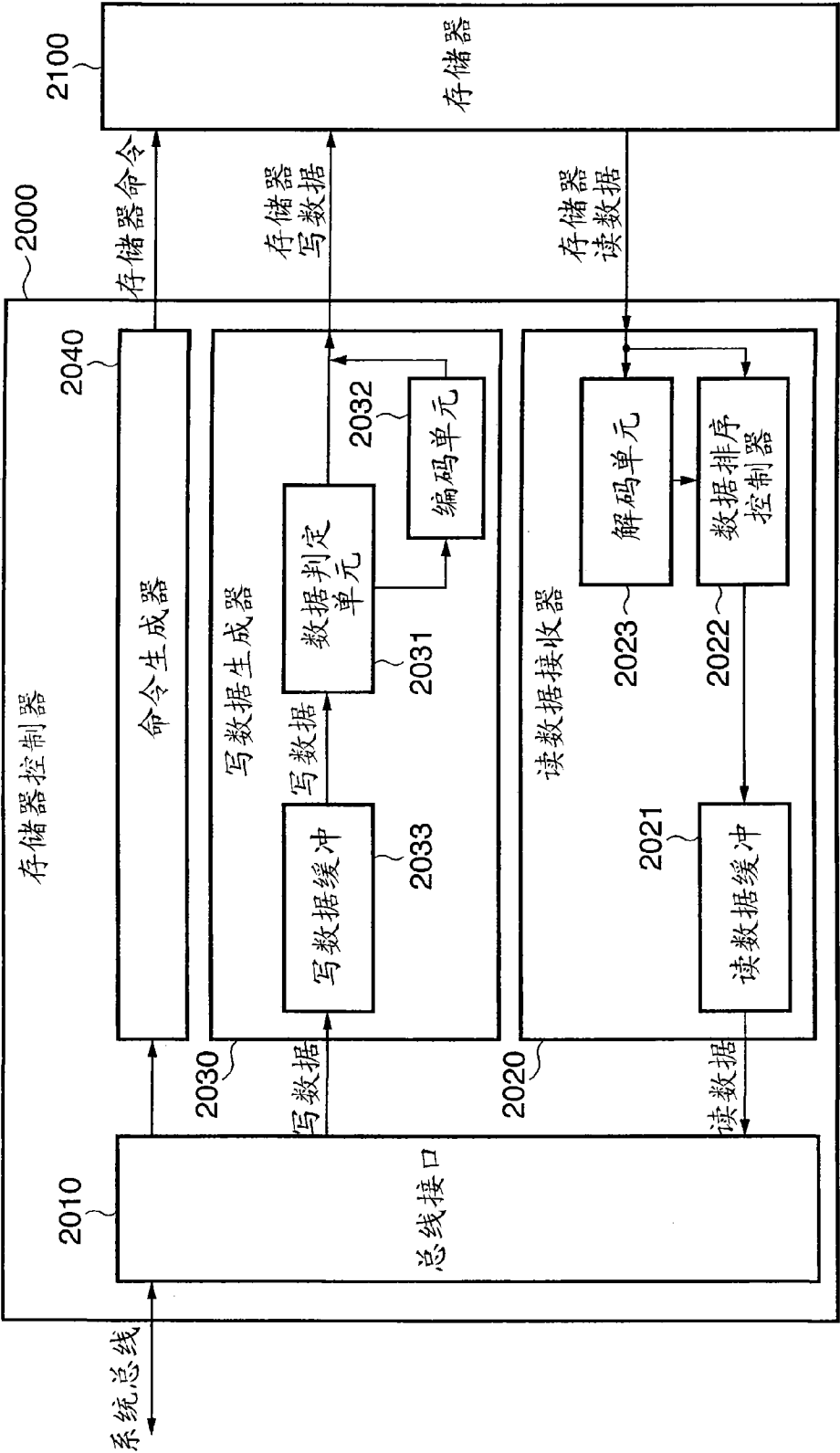


图 1

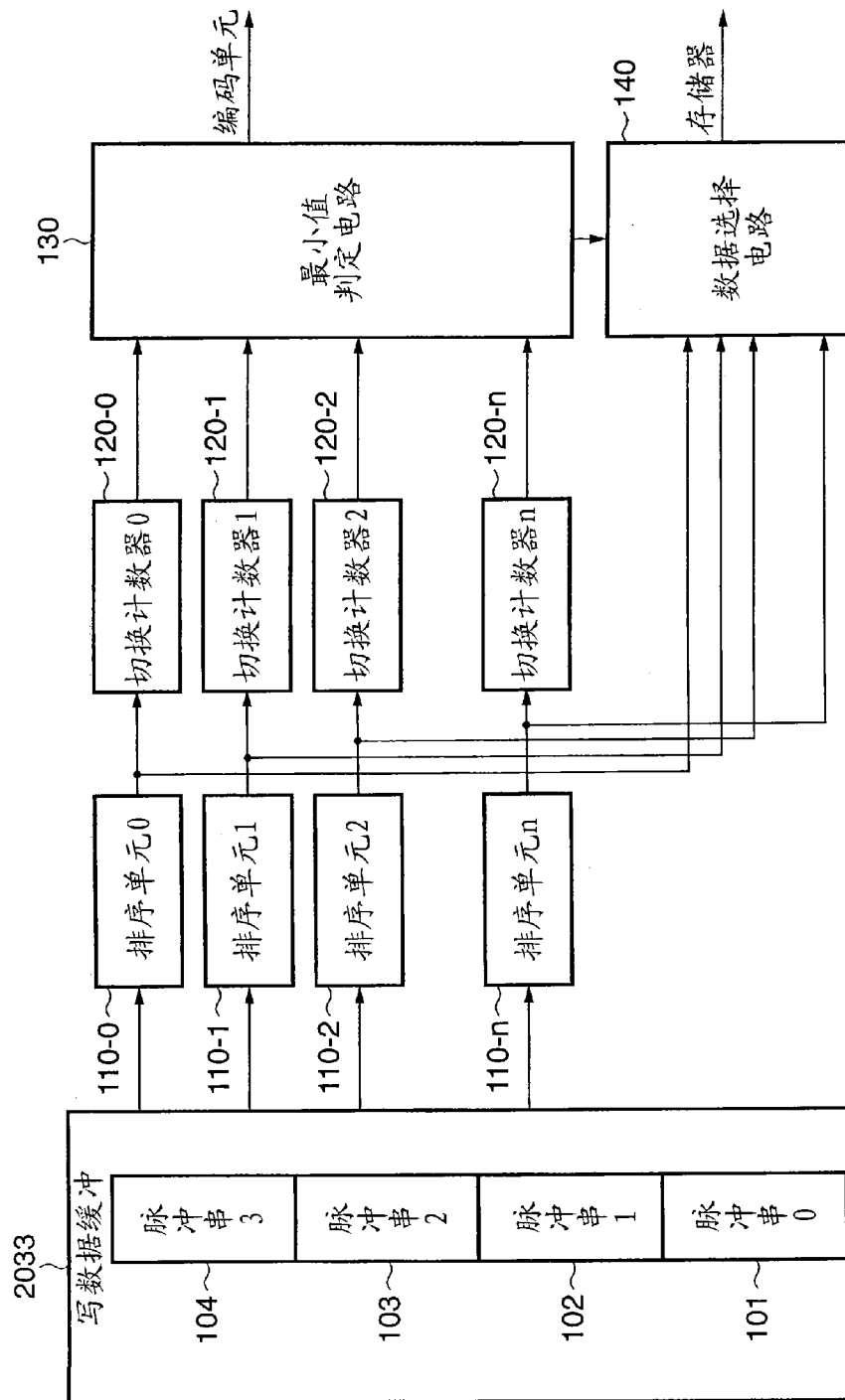


图 2

		脉冲串0	脉冲串1	脉冲串2	脉冲串3	切换计数	编码
写数据		FF	0F	F0	FF		
排序0	0 → 1 → 2 → 3	FF 4bit	0F 8bit	F0 4bit	FF	16bit	0000
排序1	1 → 0 → 3 → 2	0F 4bit	FF 0bit	FF 4bit	F0	8bit	0011
排序2	3 → 0 → 1 → 2	FF 0bit	FF 4bit	0F 8bit	F0	12bit	1111

图 3

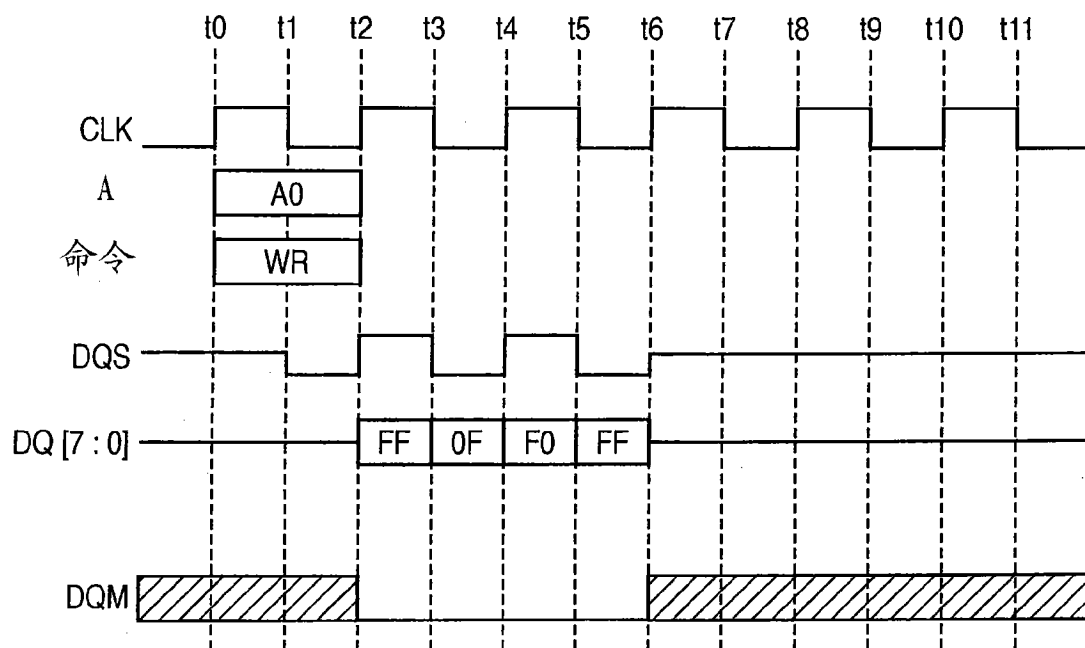


图 4A

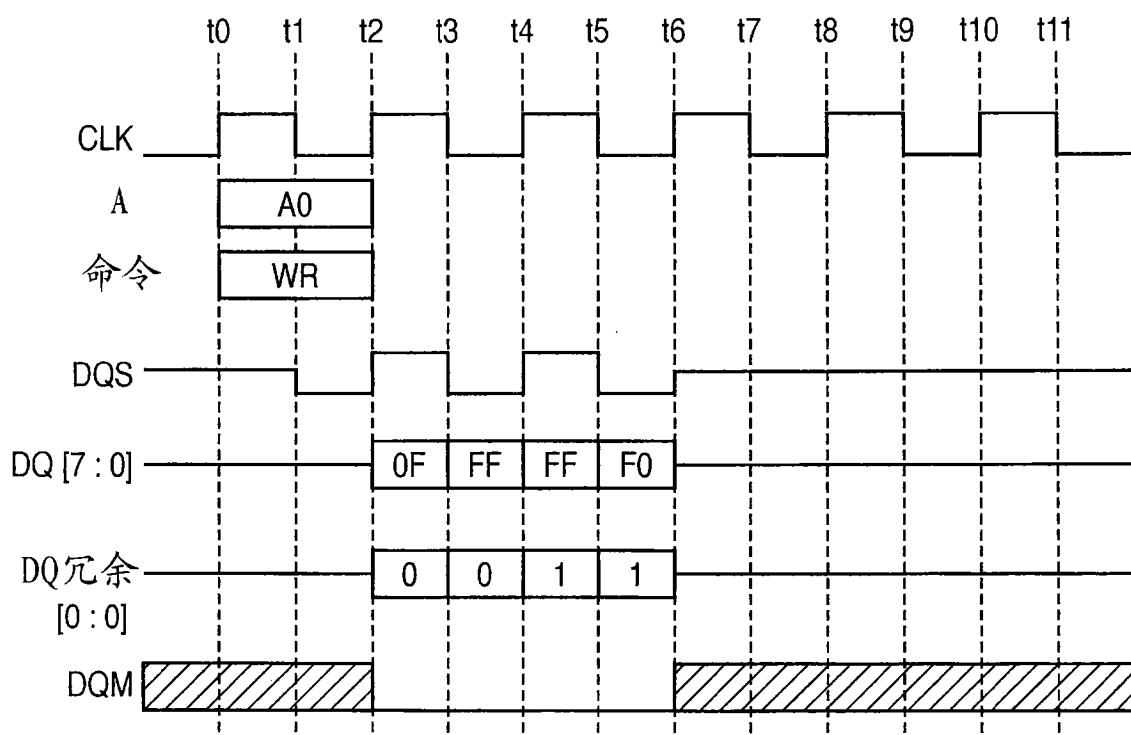


图 4B

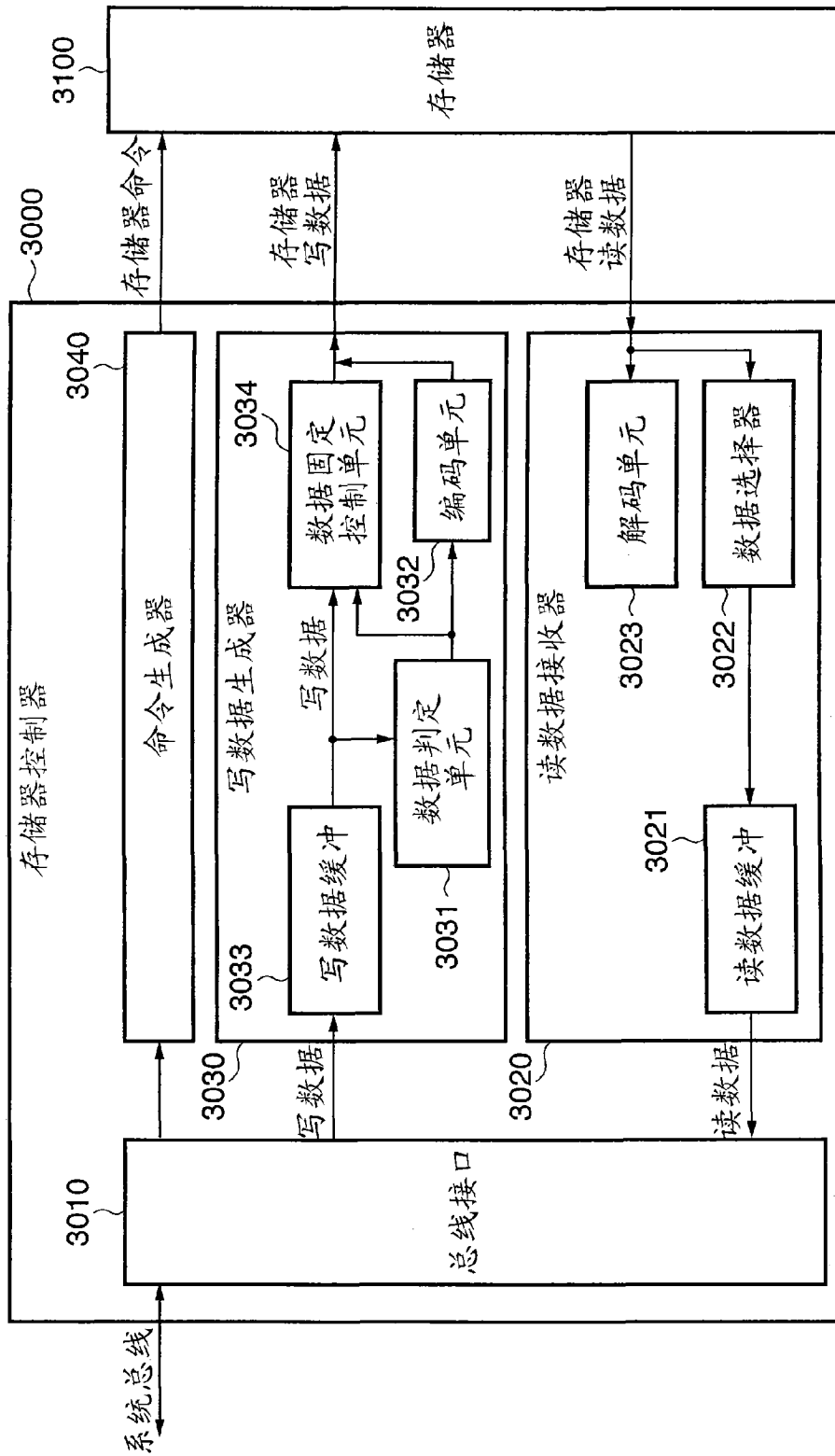


图 5

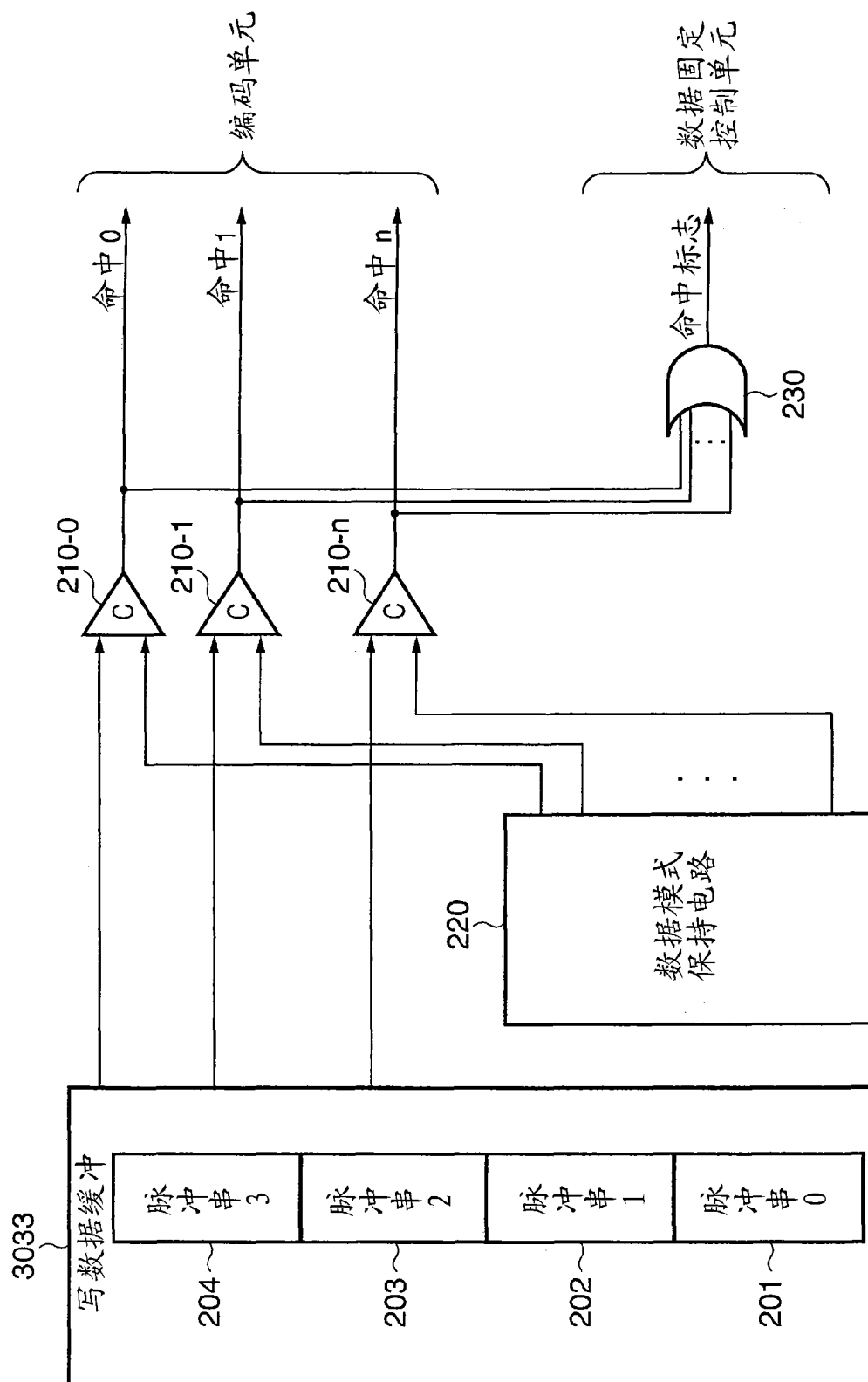


图 6

写数据	脉冲串0	脉冲串1	脉冲串2	脉冲串3	编码
模式0	00	FF	00	FF	0001
模式1	FF	00	FF	00	0010
模式n					
不匹配					0000

图 7

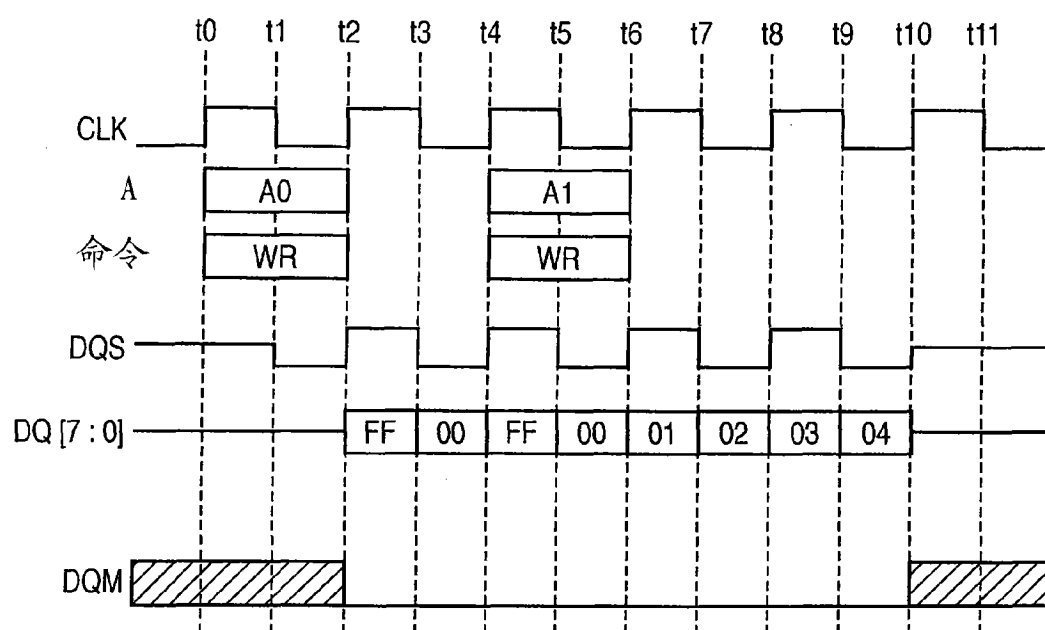


图 8A

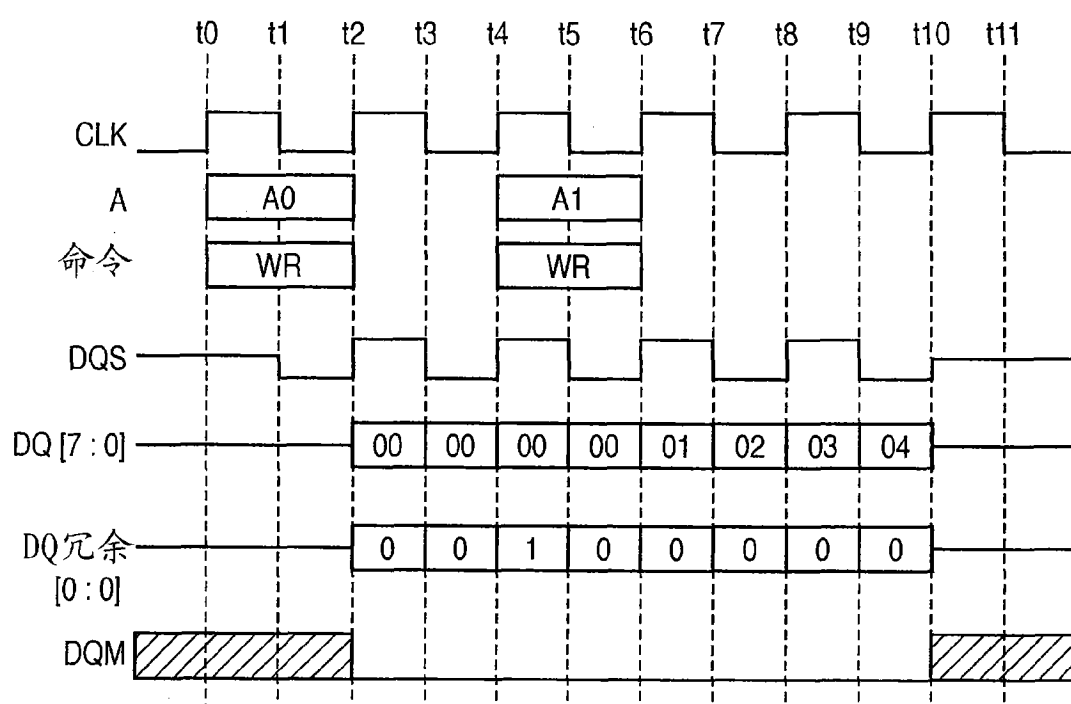


图 8B

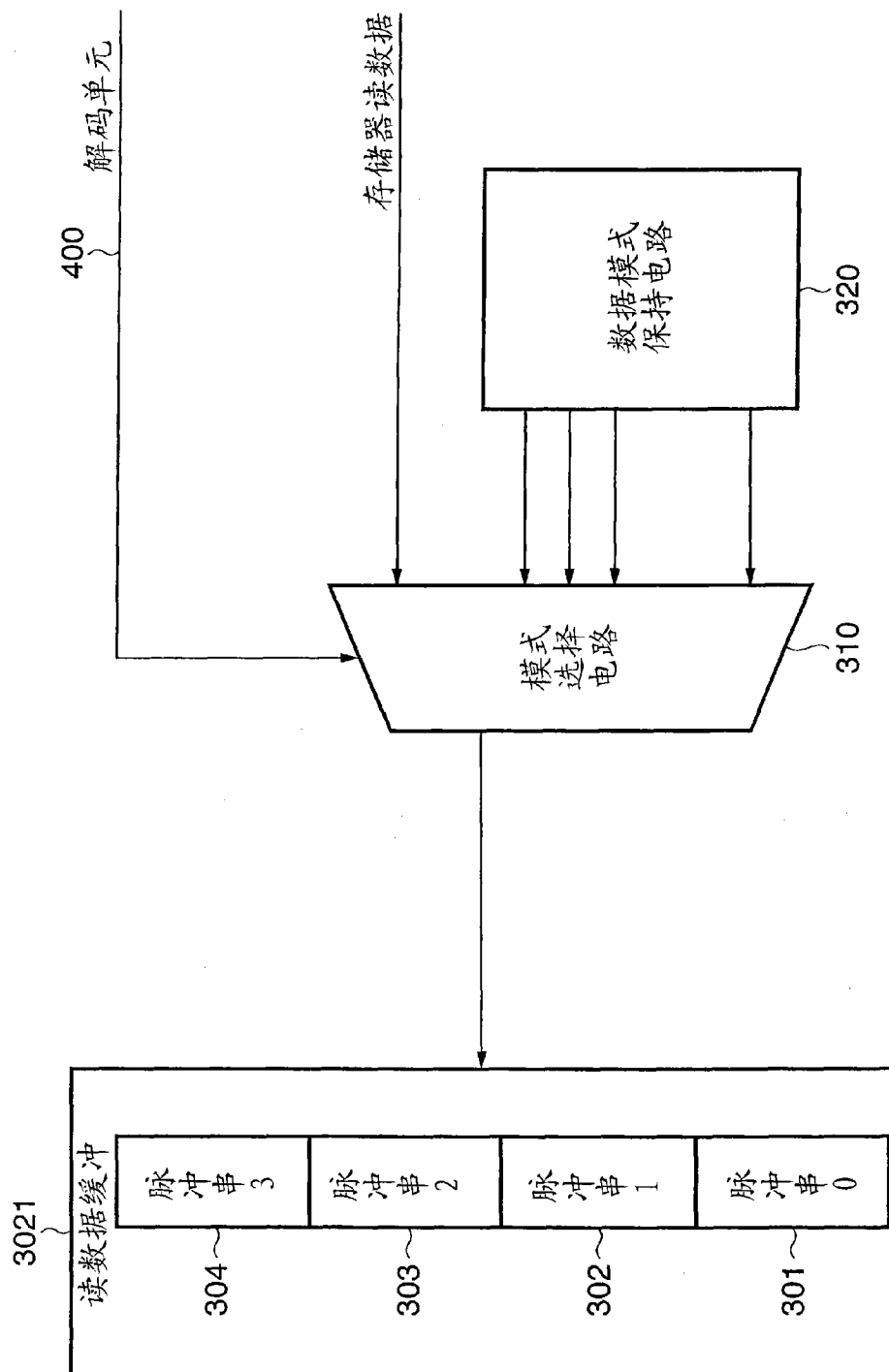


图 9

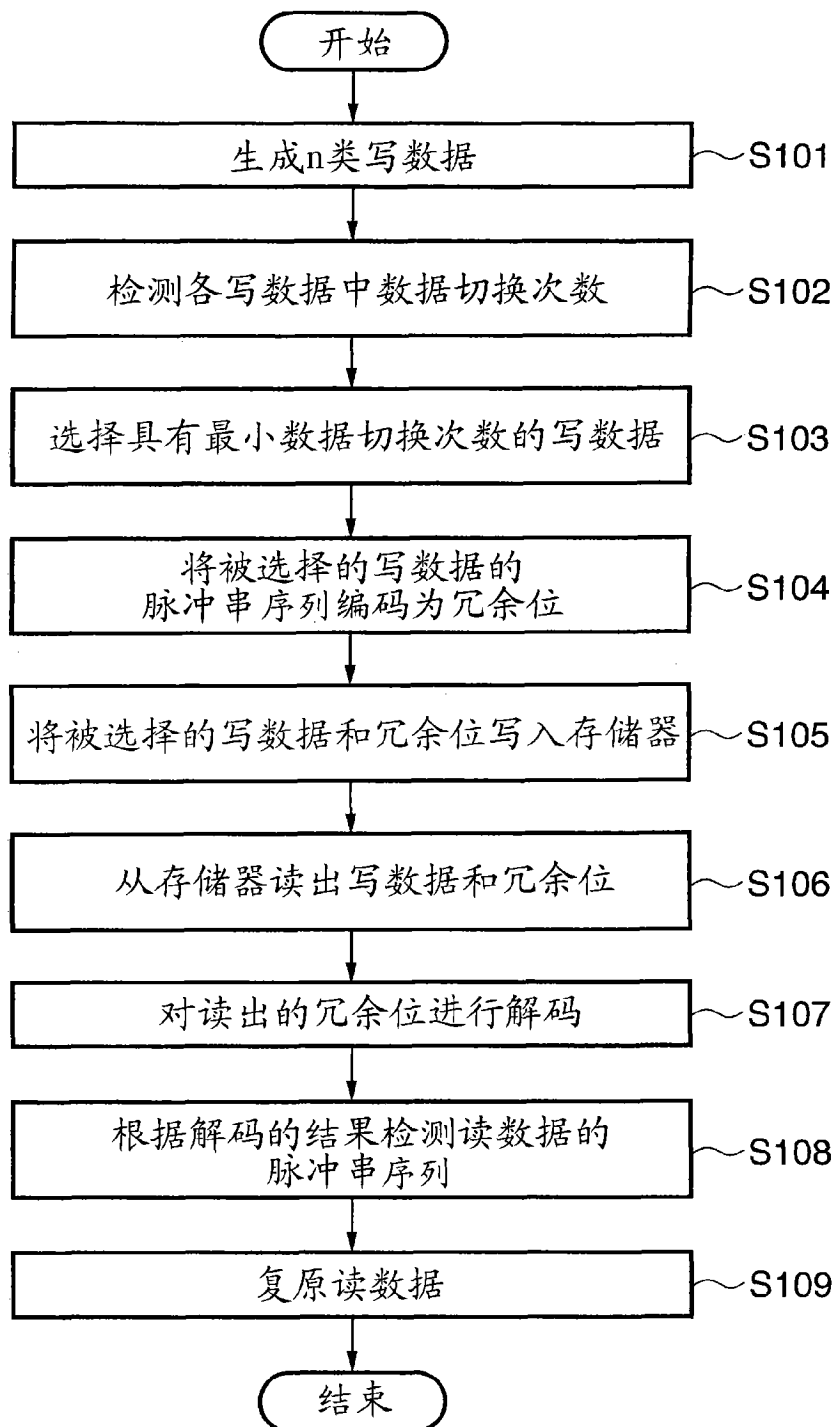


图 10

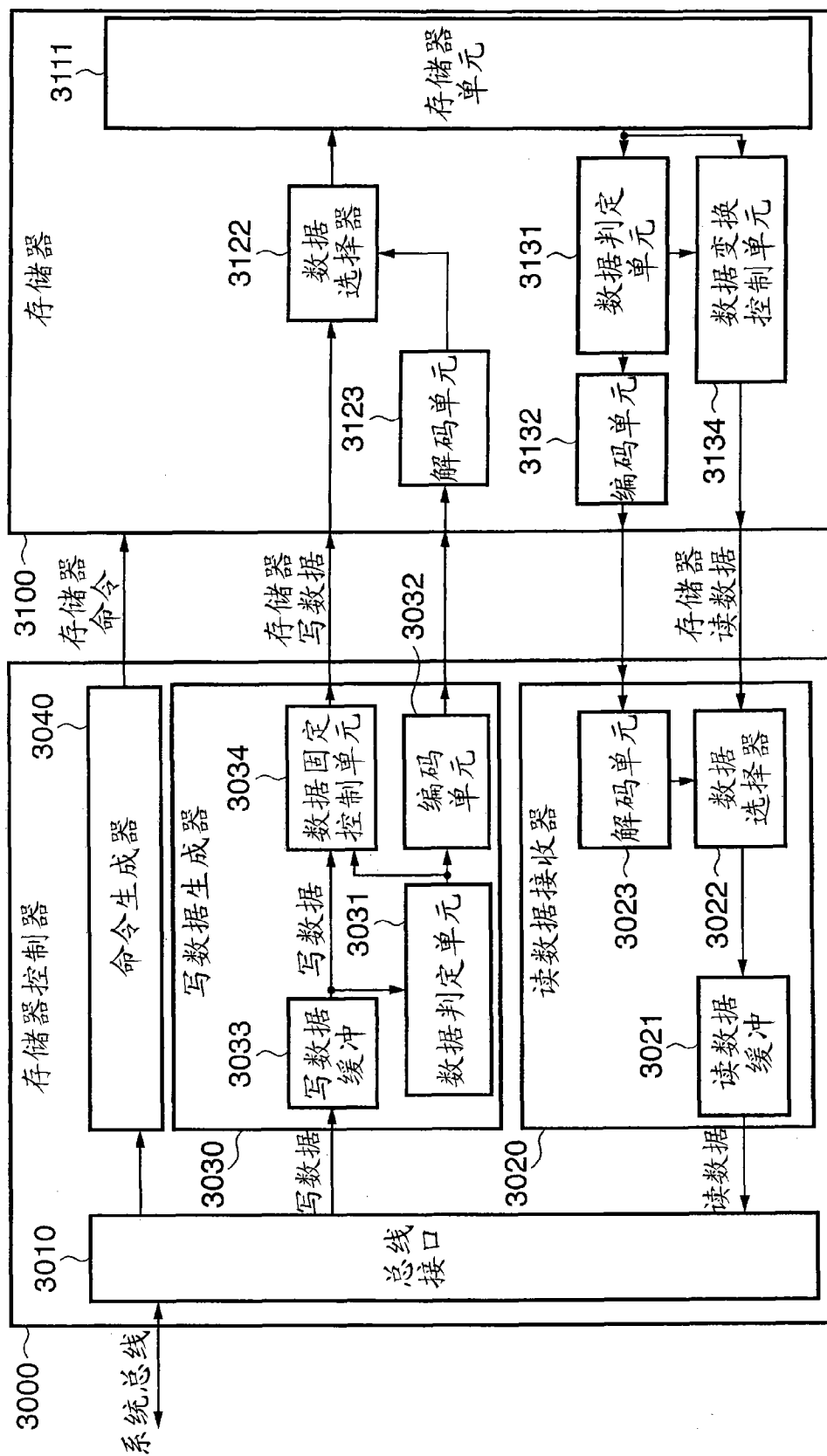


图 11

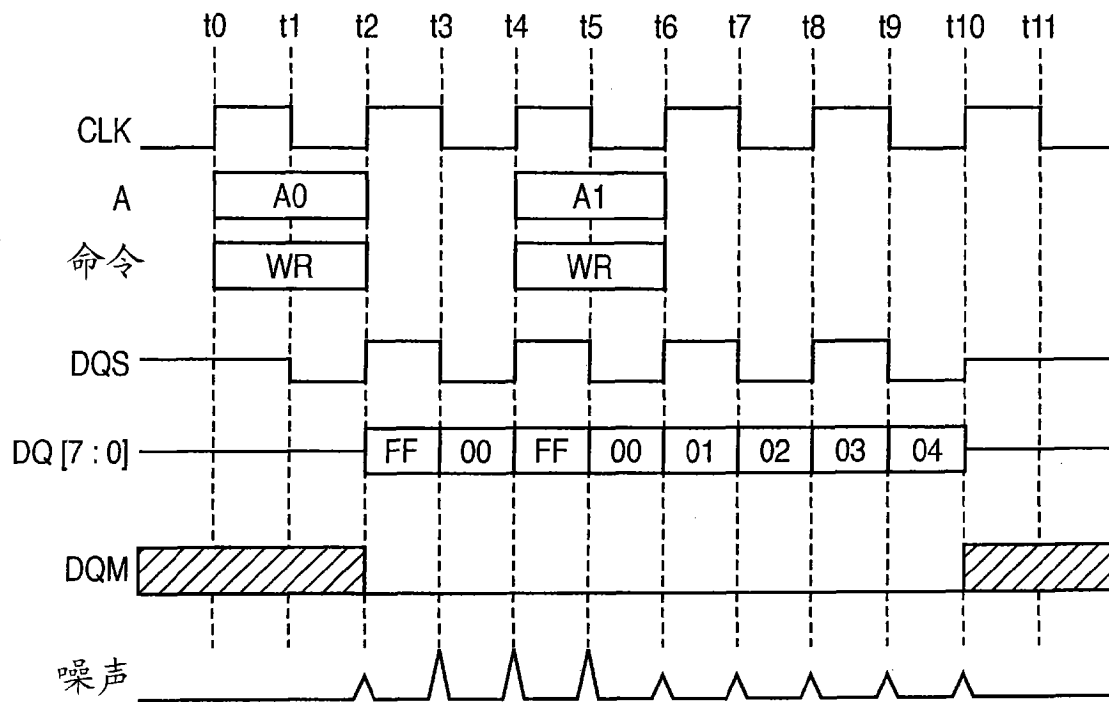


图 12A

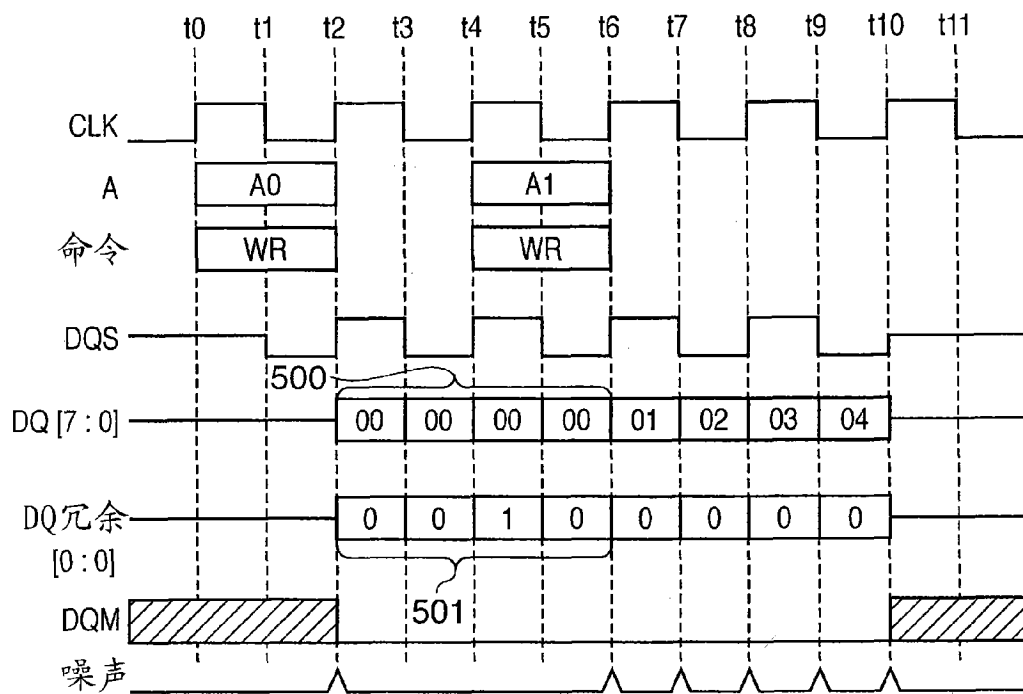


图 12B