

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-532905

(P2009-532905A)

(43) 公表日 平成21年9月10日(2009.9.10)

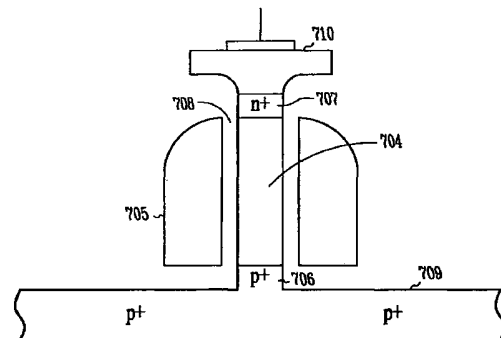
(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 J	5 F O 4 8
H O 1 L 21/8238 (2006.01)	H O 1 L 29/78 6 5 4 Z	5 F 1 4 O
H O 1 L 27/092 (2006.01)	H O 1 L 29/78 6 5 3 B	
H O 1 L 29/66 (2006.01)	H O 1 L 27/08 3 2 1 D	
	H O 1 L 27/08 3 2 1 A	
審査請求 未請求 予備審査請求 未請求 (全 32 頁) 最終頁に続く		

(21) 出願番号	特願2009-504239 (P2009-504239)	(71) 出願人	595168543
(86) (22) 出願日	平成19年4月3日 (2007.4.3)		マイクロン テクノロジー, インク.
(85) 翻訳文提出日	平成20年11月28日 (2008.11.28)		アメリカ合衆国, アイダホ州 8 3 7 1 6
(86) 国際出願番号	PCT/US2007/008124		- 9 6 3 2, ボイズ, サウス フェデ
(87) 国際公開番号	W02007/120493		ラル ウェイ 8 0 0 0
(87) 国際公開日	平成19年10月25日 (2007.10.25)	(74) 代理人	100106851
(31) 優先権主張番号	11/397, 527		弁理士 野村 泰久
(32) 優先日	平成18年4月4日 (2006.4.4)	(74) 代理人	100074099
(33) 優先権主張国	米国 (US)		弁理士 大菅 義之
(31) 優先権主張番号	11/397, 430	(72) 発明者	フォーブス, レオナルド
(32) 優先日	平成18年4月4日 (2006.4.4)		アメリカ合衆国, オレゴン州 9 7 3 3 0
(33) 優先権主張国	米国 (US)		- 9 1 1 3, コーバリス, ノースウエスト
(31) 優先権主張番号	11/397, 358		マウンテン ヴュー ドライブ 7 3 4
(32) 優先日	平成18年4月4日 (2006.4.4)		O
(33) 優先権主張国	米国 (US)		最終頁に続く

(54) 【発明の名称】 ナノ F i n トンネリング・トランジスタ

(57) 【要約】

本明細書では、フォトリソグラフィ基準寸法未満の巾を持つトランジスタボディを囲うゲートを具えた、垂直トンネリング・トランジスタを開示する。こうしたサラウディングゲートを具えた薄型トンネリング・トランジスタを使って、閾値下漏洩を少なくできる。種々の実施形態群では、基板上に形成した非晶質構造体から結晶質ナノFinを成長させるか、結晶質基板をエッチングして結晶質基板から結晶質ナノFinを劃定するようにするか、あるいは、基板上に形成した非晶質構造体から結晶質ナノワイヤを成長させるか、のいずれかの手法により、リソグラフィ基準寸法以下の基板を得る。他の態様群および実施形態群についても本明細書に開示してある。



【特許請求の範囲】**【請求項 1】**

第一の方向についてリソグラフィ基準寸法以下である断面巾を有し、且つ前記第一の方向に直交する第二の方向について最小フィーチャ寸法に対応する断面巾を有する、ナノFinと、

前記ナノFinの周りに在る、サラウンディングゲート絶縁体と、

前記ナノFinの周りに前記サラウンディングゲート絶縁体を間に挟んで在る、サラウンディングゲートと、

前記ナノFinの底端に在る第一の導電型を持つ第一のソース/ドレイン領域、および、前記ナノFinの頂端に在る第二の導電型を持つ第二のソース/ドレイン領域と
を含み、ここで、

前記第一のソース/ドレイン領域および前記第二のソース/ドレイン領域が、前記第一のソース/ドレイン領域と前記第二のソース/ドレイン領域との間を垂直方向に走るチャネル領域を劃定する
ことを特徴とする、トランジスタ。

10

【請求項 2】

前記ナノFinが結晶質基板から形成され、また、

複数の溝が前記結晶質基板にエッチングされて前記ナノFinを劃定する
ことを特徴とする、請求項1記載のトランジスタ。

20

【請求項 3】

前記ナノFinが、基板表面に形成される、請求項1記載のトランジスタ。

【請求項 4】

前記第一のソース/ドレイン領域が、P⁺導電型を有し、また、

前記第二のソース/ドレイン領域が、N⁺導電型を有する

ことを特徴とする、請求項1記載のトランジスタ。

【請求項 5】

前記結晶質基板中に在り、前記第一のソース/ドレイン領域に接続する、P⁺導電線をさらに含む、請求項4記載のトランジスタ。

【請求項 6】

第一の方向についてリソグラフィ基準寸法以下である断面巾を有し且つ前記第一の方向に直交する第二の方向について最小フィーチャ寸法に対応する断面巾を有するナノFinを、形成するステップと、

30

前記ナノFinの周りにサラウンディングゲート絶縁体を形成するステップと、

前記ナノFinの周りに前記サラウンディングゲート絶縁体を間に挟んでサラウンディングゲート絶縁体を形成するステップと

を含む、トランジスタの形成方法であって、ここで、

前記ナノFinを用いることによって、第一の導電型を持つ第一のソース/ドレイン領域と、第二の導電型を持つ第二のソース/ドレイン領域との間を垂直方向に走るチャネルが得られる

ことを特徴とする、方法。

40

【請求項 7】

ナノFinを形成するステップが、

基板上に非晶質の半導体柱を形成し、前記半導体柱を再結晶して前記ナノFinを形成するステップ

を含む、請求項6記載の方法。

【請求項 8】

ナノFinを形成するステップが、

結晶質基板に複数の溝をエッチングすることで、前記結晶質基板から前記ナノFinを形成するステップ

を含む、請求項6記載の方法。

50

【請求項 9】

前記第一のソース/ドレイン領域がP⁺導電型を有し、また、
前記第二のソース/ドレイン領域が、N⁺導電型を有する
ことを特徴とする、請求項6記載の方法。

【請求項 10】

P⁺導電線を基板に形成して、前記第一のソース/ドレイン領域に接続するステップ
をさらに含む、請求項9記載の方法。

【請求項 11】

基板表面上に形成され、且つリソグラフィ基準寸法以下である断面寸法を少なくとも
一方に有する、結晶質柱と、

10

前記結晶質柱の周りに在る、サラウンディングゲート絶縁体と、

前記結晶質柱の周りに前記サラウンディングゲート絶縁体を間に挟んで在る、サラウ
ンディングゲートと

を含み、ここで、

第一の導電型を持つ第一のソース/ドレイン領域と、第二の導電型を持つ第二のソース
/ドレイン領域との間を垂直方向に走るチャンネルを得るために、前記結晶質柱が用いられ
る

ことを特徴とする、トランジスタ。

【請求項 12】

前記第一のソース/ドレイン領域が、P⁺導電型を有し、また、

20

前記第二のソース/ドレイン領域が、N⁺導電型を有する

ことを特徴とする、請求項11記載のトランジスタ。

【請求項 13】

前記基板中に在り、前記第一のソース/ドレイン領域に接続する、P⁺導電線
をさらに含む、請求項12記載のトランジスタ。

【請求項 14】

前記結晶質柱が結晶質ナノワイヤであり、前記結晶質ナノワイヤは、第一の方向につい
てリソグラフィ基準寸法以下である断面巾を有し、且つ前記第一の方向に直交する第二の
方向について最小フィーチャ寸法に対応する断面巾を有する、請求項11記載のトランジス
タ。

30

【請求項 15】

前記結晶質柱が結晶質ナノFinであり、前記結晶質ナノFinは、第一の方向についてリソ
グラフィ基準寸法以下である断面巾を有し、且つ前記第一の方向に直交する第二の方向に
ついて最小フィーチャ寸法に対応する断面巾を有する、請求項11記載のトランジスタ。

【請求項 16】

少なくとも一方向についてリソグラフィ基準寸法以下である断面寸法を有する結晶質
柱を形成するステップであって、

基板上に非晶質半導体柱を形成してから、前記非晶質半導体柱を再結晶することで
、前記結晶質柱を形成するステップ

を含んだステップと、

40

サラウンディングゲート絶縁体を、前記結晶質柱の周りに形成するステップと、

サラウンディングゲートを、前記結晶質柱の周りに前記サラウンディングゲート絶縁
体を間に挟んで形成するステップと

を含み、ここで、

第一の導電型を有する第一のソース/ドレイン領域と第二の導電型を有する第二のソー
ス/ドレイン領域との間を垂直方向に走るチャンネル領域が、前記結晶質柱を用いて得られ
る

ことを特徴とする、トランジスタの形成方法。

【請求項 17】

少なくとも一方向についてリソグラフィ基準寸法以下である断面寸法を有する結晶質柱

50

を形成するステップが、

第一の方向についてリソグラフィ基準寸法以下である断面巾を有し、且つ前記第一の方向に直交する第二の方向について最小フィーチャ寸法に対応する断面巾を有するような、結晶質ナノFinを形成するステップを含む、請求項16記載の方法。

【請求項18】

少なくとも一方向についてリソグラフィ基準寸法以下である断面寸法を有する結晶質柱を形成するステップが、

第一の方向についてリソグラフィ基準寸法以下である断面巾を有し、且つ前記第一の方向に直交する第二の方向について最小フィーチャ寸法に対応する断面巾を有するような、結晶質ナノワイヤを形成するステップを含む、請求項16記載の方法。

【請求項19】

前記第一のソース/ドレイン領域が、 P^+ 導電型を有し、
前記第二のソース/ドレイン領域が、 N^+ 導電型を有することを特徴とする、請求項16記載の方法。

【請求項20】

前記基板中に形成され、且つ前記第一のソース/ドレイン領域に接続した、 P^+ 導電線をさらに含む、請求項19記載の方法。

【請求項21】

トランジスタボディを形成するステップであって、

非晶質半導体材料でできており且つ厚さがリソグラフィ基準寸法以下である柱を、結晶質基板上に形成するステップと、

固相エピタキシー（SPE）工程を使って、前記結晶質基板を種とした結晶成長によって、前記非晶質半導体材料を結晶化するステップと
を含み、ここで前記トランジスタボディは、結晶化した半導体柱の第一の導電型を有する第一のソース/ドレイン領域と第二の導電型を有する第二のソース/ドレイン領域との間につくられるというステップと、

サラウンディングゲート絶縁体を、前記半導体柱の周りに形成するステップと、

サラウンディングゲートを、前記半導体柱の周りに前記サラウンディングゲート絶縁体を間に挟んで形成するステップと
を含む、トランジスタの形成方法。

【請求項22】

非晶質半導体材料でできている柱を結晶質基板上に形成するステップが、

非晶質珪素でできている柱を結晶質珪素基板上に形成するステップを含む、請求項21記載の方法。

【請求項23】

前記サラウンディングゲート絶縁体を形成するステップが、

酸化珪素を形成するステップ

を含む、請求項21記載の方法。

【請求項24】

サラウンディングゲートを形成するステップが、

ポリシリコンゲートを形成するステップ

を含む、請求項21記載の方法。

【請求項25】

サラウンディングゲートを形成するステップが、

金属ゲートを形成するステップ

を含む、請求項21記載の方法。

【請求項26】

前記サラウンディングゲートの高さが、前記柱の高さ未満となるように、前記サラウンディングゲートを凹ませるステップをさらに含む、請求項21記載の方法。

【請求項 27】

前記第一のソース/ドレイン領域を前記結晶質基板に形成し、前記第二のソース/ドレイン領域を前記柱の頂部に形成するステップをさらに含む、請求項21記載の方法。

【請求項 28】

結晶質基板と、
前記結晶質基板中に形成された、第一の導電型を有する第一のソース/ドレイン領域と、
前記結晶質基板上に、前記第一のソース/ドレイン領域と接続するようにして形成され、且つ断面寸法が最小フィーチャ寸法未満である、結晶質半導体柱と、
前記柱の頂部に形成された、第二の導電型を有する第二のソース/ドレイン領域と、
前記柱の周りに形成された、ゲート絶縁体と、
前記柱の周りに前記ゲート絶縁体を間に挟んで形成された、サラウンディングゲートと
を含む、トランジスタ。

【請求項 29】

前記半導体柱の断面寸法が、前記最小フィーチャ寸法未満の三分の一の値のorderである、請求項28記載のトランジスタ。

【請求項 30】

前記半導体柱の断面寸法が、30nmのorderである、請求項28記載のトランジスタ。

【請求項 31】

前記ゲート絶縁体が、酸化珪素を含む、請求項28記載のトランジスタ。

【請求項 32】

前記ゲートが、ポリシリコンゲートを含む、請求項28記載のトランジスタ。

【請求項 33】

前記ゲートが、金属ゲートを含む、請求項28記載のトランジスタ。

【請求項 34】

トランジスタボディを形成するステップであって、
非晶質半導体材料でできており且つ断面厚さが最小フィーチャ寸法未満であるFinを、結晶質基板上に形成するステップと、
固相エピタキシー（SPE）工程を使って、前記結晶質基板を種とした結晶成長によって、前記非晶質半導体材料を結晶化するステップと
を含み、ここで前記トランジスタボディは、結晶化した半導体柱の第一の導電型を有する第一のソース/ドレイン領域と第二の導電型を有する第二のソース/ドレイン領域との間につくられる
というステップと、

サラウンディングゲート絶縁体を、前記半導体柱の周りに形成するステップと、
サラウンディングゲートを、前記半導体柱の周りに前記サラウンディングゲート絶縁体を間に挟んで形成するステップと
を含む、トランジスタの形成方法。

【請求項 35】

前記Finの第一の方向についての断面厚さが、最小フィーチャ長に対応し、また、
前記Finの前記第一の方向に直交する第二の方向についての断面厚さが、前記最小フィーチャ長未満である
ことを特徴とする、請求項34記載の方法。

【請求項 36】

非晶質半導体材料でできたFinを結晶質基板上に形成するステップが、

10

20

30

40

50

結晶質珪素基板上に非晶質珪素の柱を形成するステップを含む、請求項34記載の方法。

【請求項 37】

前記サラウンディングゲート絶縁体を形成するステップが、酸化珪素を形成するステップを含む、請求項34記載の方法。

【請求項 38】

サラウンディングゲートを形成するステップが、ポリシリコンゲートを形成するステップを含む、請求項34記載の方法。

10

【請求項 39】

前記サラウンディングゲートの高さが、前記Finの高さ未満となるように、前記サラウンディングゲートを凹ませるステップをさらに含む、請求項34記載の方法。

【請求項 40】

P⁺領域を具えた前記第一のソース/ドレイン領域を前記Finの第一の端に形成し、N⁺領域を具えた前記第二のソース/ドレイン領域を前記Finの第二の端に形成するステップをさらに含む、請求項34記載の方法。

【請求項 41】

前記第一のソース/ドレイン領域が前記第二のソース/ドレイン領域の下に在り、チャンネル領域が前記第一のソース/ドレイン領域と前記第二のソース/ドレイン領域との間を垂直方向に走っていることを特徴とする、請求項40記載の方法。

20

【請求項 42】

結晶質基板と、
前記結晶質基板上に在り、且つ断面寸法が最小フィーチャ寸法未満であり、且つ第一の導電型を有する下部ソース/ドレイン領域と第二の導電型を有する上部ソース/ドレイン領域との間を垂直に走るチャンネルを与える、結晶質半導体Finと、
前記結晶質半導体Finの周りに形成された、ゲート絶縁体と、
前記結晶質半導体Finの周りに前記ゲート絶縁体を間に挟んで形成された、サラウンディングゲートとを含む、トランジスタ。

30

【請求項 43】

前記結晶質基板が珪素ウェハである、請求項42記載のトランジスタ。

【請求項 44】

前記ゲート絶縁体が酸化珪素を含む、請求項42記載のトランジスタ。

【請求項 45】

前記ゲートがポリシリコンを含む、請求項42記載のトランジスタ。

【請求項 46】

前記ゲートが金属を含む、請求項42記載のトランジスタ。

40

【請求項 47】

前記下部ソース/ドレイン領域が、P⁺導電型を有し、
前記上部ソース/ドレイン領域が、N⁺導電型を有することを特徴とする、請求項42記載のトランジスタ。

【請求項 48】

前記結晶質基板中に形成され、且つ前記下部ソース/ドレイン領域に接続した、P⁺導電線
をさらに含む、請求項47記載のトランジスタ。

【請求項 49】

結晶質基板からFinを形成するステップと、

50

第一の導電型を有する第一のソース/ドレイン領域を、前記結晶質基板内の前記Finの下方に形成するステップと、

サラウンディングゲート絶縁体を、前記Finの周りに形成するステップと、

サラウンディングゲートを、前記Finの周りに前記サラウンディングゲート絶縁体を間に挟んで形成するステップと、

第二の導電型を有する第二のソース/ドレイン領域を、前記Finの頂部に形成するステップと

を含む、トランジスタの形成方法。

【請求項 50】

前記第一のソース/ドレイン領域が、P⁺導電型を有し、

10

前記第二のソース/ドレイン領域が、N⁺導電型を有することを特徴とする、請求項49記載の方法。

【請求項 51】

前記結晶質基板中に形成され、且つ前記第一のソース/ドレイン領域に接続した、P⁺導電線

をさらに含む、請求項50記載の方法。

【請求項 52】

前記Finの第一の方向についての断面厚さが、最小フィーチャ長に対応し、また、

前記Finの前記第一の方向に直交する第二の方向についての断面厚さが、前記最小フィーチャ長未満である

20

ことを特徴とする、請求項49記載の方法。

【請求項 53】

結晶質基板からFinを形成するステップが、

結晶質珪素基板からFinを形成するステップ

を含む、請求項49記載の方法。

【請求項 54】

結晶質基板からFinを形成するステップが、

前記結晶質基板をエッチングすることでFinを形成するステップ

を含む、請求項49記載の方法。

【請求項 55】

30

第一のソース/ドレイン領域を前記結晶質基板内の前記Finの下方に形成するステップが、

前記結晶質基板に隣接する溝へドーパントを注入し、前記ドーパントを前記Finの下部に拡散させるステップ

を含む、請求項49記載の方法。

【請求項 56】

拡散させるステップが、

前記ドーパントを前記Finの底部へと拡散させるステップ

を含む、請求項55記載の方法。

【請求項 57】

40

サラウンディングゲート絶縁体を形成するステップが、

酸化珪素を形成するステップ

を含む、請求項49記載の方法。

【請求項 58】

サラウンディングゲートを形成するステップが、

ポリシリコンゲートを形成するステップ

を含む、請求項49記載の方法。

【請求項 59】

前記サラウンディングゲートの高さが前記Finの高さ未満になるように、前記サラウンディングゲートを凹ませるステップ

50

をさらに含む、請求項49記載の方法。

【請求項 6 0】

ゲート接点を、前記サラウンディングゲートに隣接して接続するように形成するステップ

をさらに含む、請求項49記載の方法。

【請求項 6 1】

少なくともひとつのゲート線を、前記サラウンディングゲートに隣接して接続するように形成するステップ

をさらに含む、請求項49記載の方法。

【請求項 6 2】

少なくともひとつのゲート線を前記サラウンディングゲートに隣接して接続するように形成するステップが、

第一のゲート線を前記サラウンディングゲートの第一の側に隣接して接続するように形成し、第二のゲート線を前記サラウンディングゲートの第二の側に隣接して接続するように形成し、ここで前記第一の側と前記第二の側が、前記Finの対向する側部にそれぞれ位置しているステップ

を含む、請求項61記載の方法。

【請求項 6 3】

前記Finの占有領域が、短辺と長辺を有する矩形であり、また、

少なくともひとつのゲート線を前記サラウンディングゲートに隣接して接続するように形成するステップが、

前記長辺上で前記サラウンディングゲートに接続するようにゲート線を形成するステップ

を含む

ことを特徴とする、請求項61記載の方法。

【請求項 6 4】

前記Finの占有領域が、短辺と長辺を有する矩形であり、また、

少なくともひとつのゲート線を前記サラウンディングゲートに隣接して接続するように形成するステップが、

前記短辺上で前記サラウンディングゲートに接続するようにゲート線を形成するステップ

を含む

ことを特徴とする、請求項61記載の方法。

【請求項 6 5】

サラウンディングゲートを形成するステップが、

ポリシリコンサラウンディングゲートを形成するステップ

を含む、請求項49記載の方法。

【請求項 6 6】

溝がエッチングされたことにより、断面寸法が最小フィーチャ寸法未満であるような結晶質半導体Finがつくられている、結晶質基板と、

前記結晶質基板内の前記結晶質半導体Finの底部に形成された第一の導電型を有する第一のソース/ドレイン領域、および、前記結晶質半導体Finの頂部に形成された第二の導電型を有する第二のソース/ドレイン領域と、

前記結晶質半導体Finの周りに形成された、ゲート絶縁体と、

前記結晶質半導体Finの周りに前記ゲート絶縁体を間に挟んで形成された、サラウンディングゲートと

を含み、ここで、

前記第一のソース/ドレイン領域および前記第二のソース/ドレイン領域が、前記結晶質半導体Fin内の前記第一のソース/ドレイン領域と前記第二のソース/ドレイン領域との間に垂直方向に走るチャンネル領域を劃定する

10

20

30

40

50

ことを特徴とする、トランジスタ。

【請求項 67】

前記結晶質基板が珪素を含む、請求項66記載のトランジスタ。

【請求項 68】

前記結晶質基板が、結晶質珪素ウェハである、請求項66記載のトランジスタ。

【請求項 69】

前記サラウンディングゲート絶縁体が、酸化珪素を含む、請求項66記載のトランジスタ

。【請求項 70】

前記サラウンディングゲートがポリシリコンを含む、請求項66記載のトランジスタ。

10

【請求項 71】

前記サラウンディングゲートが金属を含む、請求項66記載のトランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

〔関連出願へのクロスリファレンス〕

"Nanowire Transistor With Surrounding Gate" U.S.Application Serial No. 11/397, 527 (2006年04月04日出願)、"Grown Nanofin Transistors" U.S.Application Serial No. 11/397,430 (2006年04月04日出願)、"Etched Nanofin Transistors" U.S.Application Serial No. 11/397,358 (2006年04月04日出願)、"DRAM With Nanofin Transistors" U.S.Application Serial No. 11/397,413 (2006年04月04日出願)の優先日の利益を、ここに請求する。これらの出願はこの参照により本開示に含まれる。

20

【0002】

本出願はまた、以下に挙げる本発明の譲受人に譲渡された米国特許出願にも関係しており、これらの出願の全体はここでの参照により本開示に含まれる。"Vertical Tunneling Nano-Wire Transistor" U.S. Application Serial No. 11/210,374 (2004年08月25日出願)、"Ultra-Thin Body Vertical Tunneling Transistor" U.S.Application Serial No. 11/215,468 (2005年08月29日出願)、および "DRAM Tunneling Access Transistor" U.S.Application Serial No. 11/219,085 (2005年08月29日出願)。

【0003】

30

〔技術分野〕

本開示は、半導体装置に全般的に関し、特にリソグラフィ基準寸法以下 (sublithographic) であるチャンネルを具えたトンネリング・トランジスタに関する。

【背景技術】

【0004】

半導体産業市場は、トランジスタなどの装置の大きさを縮め、基板上の素子密度を高める要請に駆られている。製品の目標としては、消費電力の低減、性能の向上、小型化などがある。トランジスタをオフにしたときに電流が通せるようにしつつ、トランジスタの長さを縮めてゆくと、蓄電量が奪われて性能に影響が出てしまう。金属酸化膜半導体 (MOS) トランジスタのゲート-ソース電圧が電圧閾値を下回ると、閾値下領域に入ってしまう。ゲート-ソース電圧に対するドレイン電流が指数関数的に変化することがその特徴である。技法が拡張してゆくに連れ、閾値下漏洩電流が指数関数的に増加し、全電力消費量のうちの大部分を占めるようになってしまう。こうしたことは、携帯型装置では電池寿命が重要である携帯型 (ハンドヘルド型) 装置の設計者にとって大きな問題である。そして十分な性能を発揮させつつ電力消費量を最小限に抑えるという課題がますます重要視されるようになっている。またDRAMにおいても、漏洩電流はキャパシタセルでの電荷保持時間を減少させてしまうため、やはり深刻な問題である。

40

【0005】

図1は、装置の種々のパラメータを、係数 k で拡張するおおまかな傾向と相関を示したものである。一例として、旧来のトランジスタ構造体では、接合深さはチャンネル長未満

50

である必要がある。すると、図 1 に示したトランジスタ 100 では、チャンネル長 102 の適切な長さが 1000 であることを考慮すると、接合深さ 101 は数百オングストロームの桁になるべきである。そうした浅い接合は、旧来の注入・拡散法ではつくることが難しい。また、チャンネルへと超高濃度のドーピングを行うと、短チャンネル効果をどうしても抑制してしまうことになる。こうした短チャンネル効果には、ドレイン誘起障壁低下、閾値電圧の roll off (ロールオフ)、および閾値下伝達などがある。このような超高濃度ドーピングを行うと、漏洩が増してキャリア移動度が減少してしまう。閾値電圧が低いので、十分な増速駆動 (overdrive) と妥当なスイッチング速度は実現できる。しかし図 2 に示したように、閾値が小さいと、閾値下漏洩電流がかなり大きくなってしまう。ゆえに、短かめのチャンネルから得ようとしていた性能向上が、高濃度ドーピングに因るキャリア移動度の低さと漏洩の大きさに打ち消されてしまうのである。

10

【 0 0 0 6 】

図 3 には、旧来の平面型 CMOS トランジスタについての理想的な $60\text{mV}/\text{decade}$ の閾値下勾配と、短チャンネル効果を受けた旧来の平面型 CMOS トランジスタ構造体についての $120\text{mV}/\text{decade}$ から $80\text{mV}/\text{decade}$ の桁の閾値下勾配との、比較を描いてある。この図を見れば、旧来のナノスケール平面型 CMOS トランジスタ技法において、閾値下漏洩電流を制御して減らすということがいかに難しいかがわかる。この問題は、ナノスケール CMOS 回路に使われている低電力供給電圧によってさらに亢進してしまう。そうした低電力供給電圧は今や 2.5V の桁に乗っており、いずれはさらに低く、 1.2V の範囲にまで向かっていくことになる。良好な $I_{\text{on}}/I_{\text{off}}$ 比を得るには、トランジスタをオンにした際に、閾値下漏洩電流が、トランジスタ電流量の八倍以上 (8 decades) 低くなるべきである。そうではあるのだが、旧来の平面型装置で大電流と低閾値下漏洩の双方を実現するために必要な電圧振幅が、 1.2V 電圧では充分には得られないのである。トランジスタをオンにするには、閾値電圧 V_T を超えるような充分な電圧の増速駆動 (overdrive) が要る。そしてトランジスタの閾値下漏洩を切るには、閾値電圧勾配の数倍 (図 3 に約 $100\text{mV}/\text{decade}$ として示した) もが必要になるのである。

20

【 0 0 0 7 】

こうした問題を狙って提案されたいくつかの設計では、超薄型基板 (ultra-thin bodies) を持つトランジスタか、もしくは、トランジスタの他の寸法が縮小したのと同様にして表面空間電荷領域の寸法もとったようなトランジスタか、を用いている。また、デュアルゲート式もしくはダブルゲート式のトランジスタ構造体も、トランジスタの縮小のために提案されたものである。当該産業では通常、「デュアル (dual) ゲート」とは、別々の独立した電圧で駆動可能な前面ゲートと背面ゲートを具えたトランジスタのことを指す。そして「ダブル (double) ゲート」とは、両方のゲートが同じ電位で駆動されるような構造体のことを指す。ゲート基板を接続したトランジスタでは、動的な変動する閾値電圧が得られるので、トランジスタがオンのときには閾値が低く、トランジスタがオフのときには閾値が低くなるようにできる。ダブルゲート装置構造体の例としては FinFET がある。「Triゲート」構造体およびサラウンディング (surrounding) ゲート構造体も提案されている。「Triゲート」構造体では、ゲートが、チャンネルの三方の側に存在する。サラウンディングゲート構造体では、ゲートが、トランジスタチャンネルをとりかこんでいる (囲繞している)。サラウンディングゲート構造体では、トランジスタチャンネル全体に互って望ましい制御ができるが、そうした構造体を実際につくるのはこれまでは難しかった。

30

40

【 0 0 0 8 】

図 4 には、ドレインと、ソースと、ゲート絶縁体で半導体基板から隔てられた前面ゲートおよび背面ゲートを具えた、デュアルゲート式 MOSFET を示してある。さらに図 3 には、ドレインから発生する電界も示してある。デュアルゲート式 MOSFET および / もしくはダブルゲート式 MOSFET の持つ特性群は、旧来のバルク珪素 MOSFET よりは優れたものである。これは、単一ゲートに較べれば、二つのゲートが、ドレイン電極のチャンネルのソース側端から発生する電界を能く遮蔽するからである。サラウンディングゲートは、ドレイン電極のソース側から発生する電界をもっと能く遮蔽できる。図 5 には、デュアルゲート式 MOSF

50

ET、ダブルゲート式MOSFET、もしくはサラウンディングゲート式MOSFETの向上した閾値下特性を、旧来のバルク珪素MOSFETの閾値下特性と比較するかたちでおおまかに示してある。デュアルゲート式および／もしくはダブルゲート式のMOSFETがオフになる際には、閾値下電流はより高速に減少する。

【 0 0 0 9 】

リソグラフィ基準寸法以下のチャネル寸法を持つMOSFET (FinFETなど) では、閾値下勾配が60mV/decadeになるようにでき、これは大型且つ旧来の平面型MOSFETに関連する閾値下勾配よりも小さい。しかしながら、閾値下漏洩をさらに減らせるような新規な装置構造体の需要が依然存在している。

【 発明の開示 】

【 0 0 1 0 】

トンネリング・トランジスタの閾値下勾配は、ゼロ近傍にできる。本明細書では、フォトリソグラフィ基準寸法 (photolithographic dimension) 未満の巾を持つトランジスタボディを囲うゲートを具えた、垂直トンネリング・トランジスタを開示する。こうしたサラウンディングゲートを具えた薄型トンネリング・トランジスタを使って、CMOS回路での閾値下漏洩を少なくできる。種々の実施形態群では、基板上に形成した非晶質構造体から結晶質ナノFinを成長させるか、結晶質基板をエッチングして結晶質基板から結晶質ナノFinを劃定するようにするか、あるいは、基板上に形成した非晶質構造体から結晶質ナノワイヤを成長させるか、のいずれかの手法により、リソグラフィ基準寸法以下の基板を得る。種々の実施形態群では、側壁スペーサー法を使って、リソグラフィ基準寸法以下を実現する。

【 0 0 1 1 】

種々の態様群はトランジスタに関する。トランジスタに関する種々の実施形態群には、第一の方向についてリソグラフィ基準寸法以下である断面巾を有し且つ第一の方向に直交する第二の方向について最小フィーチャ寸法 (minimum feature size) に対応する断面巾を有するようなナノFinと、そのナノFinの周りに在るサラウンディングゲート絶縁体と、ナノFinの周りにそのサラウンディングゲート絶縁体を間に挟んで在るサラウンディングゲートと、が含まれる。ナノFinの底端に在る第一の導電型を有する第一のソース/ドレイン領域、および、ナノFinの頂端に在る第二の導電型を有する第二のソース/ドレイン領域によって、その第一のソース/ドレイン領域と第二のソース/ドレイン領域との間を垂直方向に走るチャネル領域が劃定されている。種々のトランジスタにかかる実施形態には、基板表面上に形成され且つ少なくとも一方向についてリソグラフィ基準寸法以下である断面寸法を有するような結晶質柱と、その結晶質柱の周りに在るサラウンディングゲート絶縁体と、結晶質柱の周りにそのサラウンディングゲート絶縁体を間に挟んで在るサラウンディングゲートと、が含まれる。この結晶質柱を用いることで、第一の導電型を有する第一のソース/ドレイン領域と、第二の導電型を有する第二のソース/ドレイン領域との間を、垂直方向に走るチャネル領域が得られる。

【 0 0 1 2 】

種々の態様群は、トランジスタの形成方法に関する。この方法の種々の実施形態群では、第一の方向についてリソグラフィ基準寸法以下である断面巾を有し、且つ第一の方向に直交する第二の方向について最小フィーチャ寸法に対応する断面巾を有するようなナノFinを形成する。また、サラウンディングゲート絶縁体をそのナノFinの周りにつくり、そしてサラウンディングゲートをナノFinの周りにそのサラウンディングゲート絶縁体を間に挟むようにして形成する。このナノFinを用いることで、第一の導電型を有する第一のソース/ドレイン領域と、第二の導電型を有する第二のソース/ドレイン領域との間を、垂直方向に走るチャネル領域が得られる。種々の実施形態群では、非晶質半導体柱を基板上に形成してから再結晶することで、ナノFinを形成する。種々の実施形態群では、結晶質基板に複数の溝をエッチングすることで、その基板からナノFinを形成する。

【 0 0 1 3 】

本方法にかかる種々の実施形態群では、少なくとも一方向についてリソグラフィ基準寸

10

20

30

40

50

法以下である断面寸法を有するような結晶質柱を形成する。この形成には、非晶質半導体柱を基板につくってから再結晶することでそうした結晶質柱を形成すること、が含まれる。サラウンディングゲート絶縁体をその結晶質柱の周りに形成してから、サラウンディングゲートを結晶質柱の周りにそのサラウンディングゲート絶縁体を間に挟むようにして形成する。こういった結晶質柱を用いることで、第一の導電型を有する第一のソース/ドレイン領域と、第二の導電型を有する第二のソース/ドレイン領域との間を、垂直方向に走るチャンネル領域が得られる。

【0014】

これらその他の態様、実施形態、効果、および特徴は、本主題についての以降の記載および参照図面から明らかとなってくるであろう。

【発明を実施するための最良の形態】

【0015】

以降の詳細な記載では、本主題を実施可能な特定の態様群および実施形態群を一例として示してある付随図面を参照している。これらの実施形態群は、当業者が本主題を実施できる程度に十分に詳細に記載してある。本主題の種々の実施形態同士が排他的である必然性はなく、或る実施形態の態様を別の実施形態の態様と組み合わせてもかまわない。他の実施形態を利用してもよく、また、構造的・論理的・電氣的な変更を本主題の範囲から逸脱することなく加えることも可能である。以降の記載では、「ウェハ」("wafer")という語と「基板」("substrate")という語は同義であって、集積回路を作成可能な任意の構造体を一般に指し、集積回路製造中の種々の段階でのそうした構造体のことも指す。どちらの語にも、ドーブ半導体および非ドーブ半導体、支持半導体上もしくは絶縁材料上の半導体のエピタキシャル層、が含まれ、ひいては当該技術分野にて公知である他の構造体も包摂されている。「水平方向の」("horizontal")という語は本出願では、ウェハまたは基板の在来型の平面もしくは表面に対して平行な平面のことであると定義され、そのウェハもしくは基板の向きには依らない。「垂直方向の」("vertical")という語は、上記で定めた「水平方向」に直交する方向のことを指す。"on" (「上の」、「に付いた」)、"side" (「横の」)、"higher" (「高い」)、"lower" (「低い」)、"over" (「上の」、「被った」)、および"under" (「下の」、「下方の」)といった前置詞は、ウェハまたは基板の上面に位置する在来型の平面もしくは表面に対して定義されるものであって、そのウェハもしくは基板の向きには依らない。ゆえに以降の詳細な記載は、限定的な意味にとるべきものではない。そして本発明の範囲は、付随する請求項とその請求項が体现する均等な特徴の全範囲によってのみ定められる。

【0016】

本主題は、サラウンディングゲートおよびリソグラフィ基準寸法以下であるチャンネルを具えた、トンネリング・トランジスタに関する。トンネリング・トランジスタ構造体およびそれらの形成方法にかかる種々の実施形態群を、以下に述べてゆく。このような構造体としては、成長型ナノワイヤトンネリング・トランジスタ、成長型ナノFinトンネリング・トランジスタ、エッチング型ナノFinトランジスタ、がある。また以下では、ナノFinアレイのレイアウト、CMOS論理回路の例、ならびに高レベルの装置およびシステムについても述べる。

【0017】

〔トンネリング・トランジスタ〕

図6にはトランジスタ構造体603を描いてある。トランジスタ構造体603は、垂直式であり且つリソグラフィ基準寸法以下であるようなチャンネル604と、サラウンディングゲート605と、同じ導電型であるソース/ドレイン領域606およびソース/ドレイン領域607と、を具えている。こうしたトランジスタとしては、U.S. Application Nos. 11/397,430 (2006年04月04日出願)および11/397,358 (2006年04月04日出願)に記載されたものなどのナノFinトランジスタを用いてもよい。あるいはこうしたトランジスタとして、U.S. Application No. 11/397,527 (2006年04月04日出願)に記載されたものなどのナノワイヤ・トランジスタを用いてもかまわない。サラウンディングゲート605は、基板

もしくはチャンネル 604 の周りにサラウンディングゲート絶縁体 608 を間に挟むようにして在る。この基板にドーブを施すことで、底部のソース/ドレイン領域 606 と導電的に接続する導電線 609 を基板につくることができる。

【0018】

図7には、本主題の種々実施形態群にかかる、垂直式であり且つリソグラフィ基準寸法以下であるようなチャンネルと、サラウンディングゲートと、異なる導電型である複数のソース/ドレイン領域と、を具えたトランジスタ構造体を描いてある。示した実施形態は、珪素基板内もしくは N^+ ウェル内に形成してある。別の実施形態では、他の導電型ドーブを基板に施してもかまわない。

【0019】

図6に示したトランジスタのように旧来は基板に N^+ ソース領域を形成していたが、そうする代わりに、本主題の第一のソース/ドレイン領域 706 には、 P^+ ドーブを施す。さらには、その第一のソース/ドレイン領域 706 を回路内の他の素子に接続するソース配線 709 にも、 P^+ ドーブが施される。

【0020】

少なめにドーブされた薄型p型基板 704 が、第一のソース/ドレイン領域 706 の上に形成される。或る実施形態では、この形成を行うに際して0.1ミクロン技法を用い、それによってトランジスタの高さが約100nm、厚さが25nmから50nmの範囲になるようにする。別の実施形態群では、他の高さおよび/もしくは他の厚さ範囲を用いてもかまわない。

【0021】

N^+ ドーブをされた第二のソース/ドレイン領域 707 を、珪素基板 704 の頂部に形成する。第二のソース/ドレイン領域 707 に接点 710 を形成することにより、トランジスタの第二のソース/ドレイン領域が、電子回路の他の素子に接続できるようになっている。この接続をする部位は、金属であってもよいし何か他の材料であってもよい。

【0022】

ゲート絶縁体層 708 を、薄型基板 709 の周りに形成する。この絶縁体としては、酸化物を用いてもよいし何か他の種類の誘電材料を用いてもかまわない。いくつかの実施形態群では、半導体基板の酸化によってこうした絶縁体をつくる。例えば或る実施形態では、珪素柱を熱酸化する工程によって、その柱の周りに酸化珪素のゲート絶縁体を設ける。

【0023】

制御ゲート 705 は、絶縁体層 708 の周りに形成する。当該技術分野で周知のように、制御ゲートに適切なバイアスをかけることで、第一のソース/ドレイン領域 706 と第二のソース/ドレイン領域との間のチャンネル領域内に N チャンネルを形成できる。

【0024】

P^+ 型である第一のソース/ドレイン領域を実施することも可能である。 P^+ をドーブする量は、 N^+ よりもつねに少なくなるので、柱の頂部にはマスクをかける必要はなく、柱は N^+ のままになるであろう。得られる柱の側壁下には P^+ 領域が在り、頂部には P^+ 領域が在る。柱は薄いので、 P^+ 領域は柱の下で拡散し融合することになる。或る実施形態では、トランジスタ構造体が、成長式もしくは堆積式のゲート絶縁体と、側壁エッチング法でつくられたサラウンディングゲートと、を有する。

【0025】

図8および図9には、図6のトランジスタの挙動についてのエネルギー帯(エネルギーバンド)図を描いてある。各図の上側の線は伝導帯のエネルギーを、下側の線は価電子帯のエネルギーを、それぞれ示している。図8は、本主題の種々の実施形態群にかかる、トランジスタゲートにバイアスをかけていないときの図7のトンネリング・トランジスタの電氣的な挙動を、エネルギー帯図で示したものである。この図には、チャンネルおよび N^+ である第二のソース/ドレイン領域811、ならびに P^+ である第一のソース/ドレイン領域 812 が示されている。非導電性条件では、ソース/ドレイン領域間に大きな障壁 813 が存在する。図9は、本主題の種々の実施形態群にかかる、トランジスタゲートにバイアスをかけるときの図7のトンネリング・トランジスタの電氣的な挙動を、エネルギー帯図で示

10

20

30

40

50

したものである。トランジスタの電氣的な挙動は、MOSでゲートされたpinダイオードに基づいたものである。ゲートにバイアスをかけることで、電子濃度がいったん減少すると、電子チャネルの形成が誘導されるような導電条件をつくりだせる。トンネル接合 914 を、このチャネルのP⁺側に形成する。ドレインにバイアスをかけることで、帯を曲げて、N型領域導電帯がソース領域の価電子帯のきわよりも下にくるようにできる。すると電子が、ソース価電子帯から、誘導されたn型チャネル領域へとトンネル移動し、そうしてドレイン電流が得られることになる。チャネルの導電帯のきわが、ソースの価電子帯の下へと引き下げられるまでは、トンネリングは起こりえない。このため、turn-on特性は非常に鋭く、図 10 に示すように、閾値下勾配が、トンネリング・トランジスタとしての理想値すなわち0mV/decadeに近づくことになる。

10

【0026】

図 10 は、本主題の種々の実施形態群にかかる、図 7 のトンネリング・トランジスタについてのドレイン電流vs.トンネリング・トランジスタゲート-ソース電圧をプロットしたものであり、閾値下漏洩電流を示してある。このプロットでは、閾値下電流1015 が非常にきつい勾配 "S" を示しており、これはトンネリング・トランジスタの実施形態群でのバイアスかけに起因するものである。図 10 の縦軸のドレイン電流はlog scaleであり、横軸のVGSはlinearである。

【0027】

〔垂直式であり且つリソグラフィ基準寸法以下であるチャネルを形成する方法〕

以下の記述では、珪素トランジスタの実施形態群を参照する。当業者は、本開示を通読し把握した上で、本明細書に教示したところをどのように用いれば、リソグラフィ基準寸法以下であるチャネルを具えたトンネリング・トランジスタを他の半導体を使って形成できるかについてを理解できるであろう。

20

【0028】

〔ナノワイヤ基板の成長方法〕

図 11 A から図 11 H には、本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノワイヤ基板の成長工程を描いてある。示した工程では、サラウンディングゲートを具えた結晶質ナノロッドを形成する。示した工程については、"Nanowire Transistor With Surrounding Gate" U.S. Application No. 11/397,527 (2006年04月04日出願、この参照により本開示に含まれる)に記載されている。

30

【0029】

図 11 A には、基板 1117 上の第一の層 1116 を示してある。第一の層 1116 には複数の孔 1118 がつくられている。この層に孔を劃定するにあたっては、第一の層をエッチングすることで行える。種々の実施形態群では、複数の孔 1118 を珪素基板 1117 上の窒化珪素層 1116 に穿つときに、それらの孔が窒化珪素層を貫通して珪素基板に届くようにする。示した実施形態では、それらの孔の寸法が、最小フィーチャ寸法に対応するようにつくる。各孔の中心は、ナノワイヤ・トランジスタの所望の位置に対応する。ナノワイヤ・トランジスタのアレイの、行と列についての中心間間隔を、2Fに設定できる。

40

【0030】

孔を第一の層にエッチングして穿った後に、酸化物の層をその第一の層の上に設ける。種々の実施形態群では、窒化珪素層の上に酸化珪素を形成する。いくつかの実施形態群では、化学気相蒸着 (CVD) 工程により酸化珪素の堆積を行う。

【0031】

図 11 B には、酸化物を異方性エッチングして、孔の側部に付いた酸化物側壁 1119 を残すようにしたその後の、構造体を示してある。この酸化物側壁 1119 には、得られる孔の寸法を縮めるという効果がある。得られた構造体を平坦化する。100nm技法では例えば、酸化物側壁によって、孔の寸法を約30nmまで縮める。この例では、トランジスタの基板領域の厚さが、フィーチャ寸法の三分の一の値のorderになると考えられる。いくつかの実施形態群では、化学的・機械的研磨 (CMP) 工程を使って構造体を平坦化する。

50

【 0 0 3 2 】

図 1 1 C には、得られた構造体の上に、非晶質半導体材料 1120 の厚い層を被せたさまを示してある。この非晶質材料が、側壁 1119 で劃定した孔を埋めている。種々の実施形態群では、非晶質材料として非晶質珪素を用いて堆積する。図 1 1 D には、得られる構造体を (CMP などで) 平坦化したその後に、孔の中だけに非晶質半導体材料が残るようすを描いている。

【 0 0 3 3 】

図 1 1 E には、側壁 (酸化珪素でできた側壁など) を除去した後に得られる構造体を示してある。この構造体を加熱処理し、固相エピタキシー (SPE) などの公知の手法を使って、非晶質半導体 1120 (非晶質珪素など) を結晶化して結晶質ナノロッド (1120-C を振って示した) をつくる。非晶質半導体柱 1120 は、半導体ウェハ (珪素ウェハなど) と接続しており、したがって非晶質半導体柱 1120 の結晶成長は、そのウェハ中の結晶を種としたものとなる。SPE 工程による結晶形成を、図 1 1 E に矢印 1121 で示した。

【 0 0 3 4 】

図 1 1 F には、第一の層 (窒化珪素など) を除去した後の構造体を描いており、ここでは結晶質ナノロッド 1120-C が基板表面からのびあがるようにして残っている。そしてその後にゲート絶縁体 1122 を得られる構造体に被せている。或る実施形態では、ゲート絶縁体の形成に熱酸化工程を使う。つまり、ウェハが珪素ウェハであって且つナノロッドが結晶質珪素ナノロッドであるような実施形態の場合には、ゲート絶縁体は酸化珪素となる。High K 絶縁体などの他のゲート絶縁体を使ってもかまわない。

【 0 0 3 5 】

ゲート材料 1123 を結晶質ナノロッド 1120-C の側壁に付けてつくった後の構造体について、図 1 1 G に側面図を、図 1 1 H に図 1 1 G の線 11H-11H で切った断面図を、それぞれ示した。或る実施形態では、ゲート材料を堆積してから、得られる構造体をエッチングして、ナノロッドの側壁に付いた分だけしかゲート材料を残さないようにする。種々の実施形態群では、ポリシリコンをゲート材料として使う。柱の高さによってトランジスタのチャネル長が定まることになり、この柱の高さを最小リソグラフィ基準寸法 (minimum lithographic dimensions) よりも小さくできる。種々の実施形態群では、チャネル長を約 100nm のオーダー (order) にする。こうした巻きつき式 (wraparound) ゲートを具えたナノロッドを用いて、surrounding 式 (巻きつき式) のゲートを具えたナノワイヤ・トランジスタを作成できる。単体のトランジスタもしくはトランジスタアレイを形成するには、"Nanowire Transistor With Surrounding Gate" U.S. Application No. 11/397,527 (2006年04月04日出願) に記載の手法に従えばよい。

【 0 0 3 6 】

〔 ナノ Fin 基板の成長方法 〕

図 1 2 A から図 1 2 L には、本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノ Fin 基板の成長工程を描いてある。示した工程については、"Grown Nanofin Transistors" U.S. Application No. 11/397,430 (2006年04月04日出願、この参照により本開示に含まれる) に記載されている。

【 0 0 3 7 】

ここにて開示するのは、ナノ Fin トランジスタ、および、垂直方向の非晶質珪素ナノ Fin を基板上で再結晶させて単結晶珪素ナノ Fin トランジスタを作成するような構築法、である。本主題の態様群では、垂直チャネルを具えたナノ Fin トランジスタを提供し、こうしたトランジスタは、Fin の底部に在る第一のソース/ドレイン領域と、Fin の頂部に在る第二のソース/ドレイン領域とを有する。

【 0 0 3 8 】

半導体構造体 1224 の上面図を図 1 2 A に、線 12B-12B に沿った断面図を図 1 2 B に、それぞれ示してある。半導体構造体 1224 は、窒化珪素層 1225 と、窒化珪素層 122 に在る孔 1226 と、孔の壁に沿った非晶質珪素でできた側壁スパーサー 1227 と、を有する。孔を、窒化珪素層にエッチングして穿ってから、非晶質珪素を堆積させて異方性エッ

10

20

30

40

50

チングして側壁に付いたところだけに残す。孔 1226 をエッチングするときには、窒化珪素層 1225 を貫通して、珪素ウェハもしくは基板 1228 に届くようにする。

【0039】

窒化珪素層を除去した後の構造体1224 の上面図を図12Cに、線 12D-12D に沿った断面図を図12Dに、それぞれ示してある。示しているように、窒化珪素層を除去した後に、側壁 1227 が、非晶質珪素の自立した細い領域として残ることになる。こうして得られる自立した珪素からなるパターンは、おおまかには細長い矩形なので、「競技路」("racetrack")パターンとも呼ばれている。線巾は、保護(マスキング)工程・リソグラフィ工程に依ってではなく、非晶質珪素の厚さに依って決まってくる。種々の実施形態群では例えば、非晶質珪素の厚さは、約20nmから50nmである。固相エピタキシャル(SPE)成長工程を使って、こうした非晶質珪素の自立した細い領域を再結晶させられる。SPE成長工程には、アニーリング(加熱処理)が含まれ、これによって構造体中の非晶質珪素の結晶化を、珪素基板 1228 との界面から発動させる。この界面は結晶成長の種として機能し、珪素の自立した細い領域の残りの部分を這いのぼって結晶化が進行してゆくことになる。

10

【0040】

図12Eには、マスク層を塗布した後の構造体 1224 の上面図を描いてある。網かけしてあるところはエッチングされた部分であって、結晶質珪素からできた自立型Finが残っている。自立型Fin 1229 のなすパターンについて、図12Fに上面図を、図12Gに線 12G-12G に沿った断面図を、それぞれ示した。埋め込み式のドープ領域 1230 は、第一のソース/ドレイン領域として機能する。種々の実施形態群では、こうした埋め込み式のドープ領域をパターン化して、Finのアレイの行方向か列方向かに沿わせた導電線を作成可能である。

20

【0041】

図12Hには構造体の上面図を示してあり、ここではFinがゲート絶縁体 1231 とゲート 1232 に囲まれている。このゲート絶縁体は、堆積してつくってもよいし、何らかの別の手法でつくってもかまわない。例えば酸化珪素を、珪素Finの上に熱酸化工程を用いて形成することもできる。ゲートとしては任意のゲート材料を使用でき、例えばポリシリコンもしくは金属を使用できる。ゲート材料を堆積して異方性エッチングすることで、ゲート材料を、ゲート絶縁体を含んだFin構造の側壁上にのみ残す。配線の向きは、「x方向」か「y方向」かのいずれかにできる。

30

【0042】

図12Hの構造体

を絶縁体 1233 で埋め戻し、ゲート配線 1234 を「x方向」(Finの長手側に沿った方向)につくった状態に関して、図12Iに上面図を、図12Jに線 12J-12J に沿った断面図を、それぞれ示した。種々の実施形態群では、構造体を酸化珪素で埋め戻す。埋め戻した絶縁体に、Finの側部に沿って走らせるようにして溝をつくる。そしてゲート線をその溝の中につくる。種々の実施形態群では、ひとつのゲート線がFinの一方の側に沿って走っており、Fin構造体のサラウンディングゲートと接続している。いくつかの実施形態群では、第一のゲート線をFinの第一の側に、第二のゲート線をFinの第二の側に、それぞれつくる。ゲート配線材料(ポリシリコンもしくは金属など)を堆積して異方性エッチングし、側壁上にのみ残すようにできる。ゲート配線材料は、Finのサラウンディングゲートと接続しているのが好ましい。種々の実施形態群では、ゲート材料およびゲート配線材料をエッチングして、ゲートおよびゲート配線がFinの頂部の下にくるように凹ませる。構造体の全体を絶縁体(酸化珪素など)で埋め戻してから、平坦化して表面に酸化物だけが残るようにできる。こうした柱もしくはFinの頂部は、エッチングを使って露出させられる。旧来の技法を用いて、第二のソース/ドレイン領域を、Finの頂部に注入してつくり、また、ドレイン領域への金属接点を作成できる。例えば、金属配線を「x方向」に走らせ、埋め込み式ソース配線を図の紙面に垂直な方向に走らせるようにできる。

40

【0043】

構造体を絶縁体で埋め戻して、ゲート配線を「y方向」(Finの短手側に沿った方向)に

50

つくった状態に関して、図 1 2 K に上面図を、図 1 2 L に線 12L-12L に沿った断面図を、それぞれ示した。溝はFinの側部を「y方向に」沿って拓けている。ゲート配線材料 1234 (ポリシリコンもしくは金属など)を堆積して異方性エッチングし、側壁上にのみ残すようにしてFin上のゲートに接続させるようにできる。種々の実施形態群では、ゲート材料およびゲート配線材料をエッチングして、ゲートおよびゲート配線がFinの頂部の下にくるように凹ませる。構造体の全体を絶縁体 1233 (酸化珪素など)で埋め戻してから、平坦化して表面に埋め戻し絶縁体だけが残るようにできる。その後に、柱の頂部ならびに旧来の技法を用いてそこに注入されたドレイン領域1235およびドレイン領域への金属接点1236へと、接点開口部およびドレインドープ領域をエッチングしてつくることも可能である。例えば、金属配線を図の紙面に垂直な方向に走らせ、埋め込み式ソース配線 1230 を「x方向」に走らせるようにできる。非晶質珪素の堆積に先立って、埋め込み式ソース/ドレインをパターン化して注入する。図 1 2 L には、仕上がったFin構造体のうちのひとつを提示しており、この構造体は、ドレイン/ソース領域と、凹んだゲートと、ソース/ドレイン領域配線と、を有している。こうしたナノFinFETでは、W/L比を大きくできるため、ナノワイヤFETに比して多量の電流を通すことが可能である。

10

【 0 0 4 4 】

〔ナノFin基板のエッチング方法〕

ここにて開示するのは、ナノFinトランジスタ、ならびに、基板もしくはウェハをエッチングしてナノFinを得てそのナノFinを使い単結晶ナノFinトランジスタを作成するような構築法、である。以降の詳細な説明では、付随する図面を参照して、本主題を実施可能な特定の態様群および実施形態群をあくまで例示として示す。当業者には、本開示を読んで理解した上で、他の半導体を用いてナノFinを作成する手法がわかるであろう。本主題の態様群では、垂直チャネルを具えたナノFinトランジスタを提供し、こうしたトランジスタは、Finの底部に在る第一のソース/ドレイン領域と、Finの頂部に在る第二のソース/ドレイン領域とを有する。

20

【 0 0 4 5 】

或る実施形態では、窒化珪素を珪素ウェハ上に堆積してから、この窒化珪素を非晶質珪素 (a-silicon) の層で蔽う。図 1 3 A には、孔 1338 を非晶質珪素 1339 内に劃定して、側壁スペーサー 1340 を形成した後の、構造体 1337 の側面図を示してある。孔 1338 は窒化珪素層 1341 内に展延していて、窒化珪素層 1341 は基板 1342 (珪素ウェハなど)の上に位置している。種々の実施形態群では、非晶質珪素を酸化することで側壁スペーサーをつくる。図 1 3 B には、非晶質珪素の厚い層 1339 で覆った後の、構造体 1337 の側面図を示してある。図 1 3 C には、矢印 1344 に示したところで平坦化した後の構造体 1337 を示してある。こうした平坦化は、非晶質珪素の上部に載った酸化物を除去できる高さまで、少なくとも行う。構造体の平坦化にあたっては、例えば化学的・機械的研磨 (CMP) 工程を使用できる。こうして、表面に露出した酸化物 1340 でできた細長い矩形のパターンが残る。このパターンのことを「競技路」 ("racetrack") パターンとも呼ぶ。このパターンの線巾は、保護 (マスキング) 工程・リソグラフィ工程に依ってではなく、酸化物の厚さに依って決まってくる。種々の実施形態群では例えば、酸化物の厚さは、約 20nm から 50nm である。

30

40

【 0 0 4 6 】

図 1 3 D には、競技路パターンに被せたマスクを描いてあり、このマスクは酸化物の部分を選択的に蔽い、酸化物のその他の部分が露出するようにする。酸化物のこの露出した部分には斜線をかけてあり、ここが除去されることになる。エッチング工程 (水酸化カリウム KOH エッチングなど) を施して、非晶質珪素を除去する。図 1 3 D に示した、保護工程とエッチング工程の後に残る酸化物もしくは酸化物の一部が、エッチング工程中に窒化物を保護することになる。非晶質珪素を除去した後に窒化物 1341 をエッチングして、珪素異方性エッチングを使って、ウェハ 1342 を窒化物層下の所定の深さまでエッチングできる。窒化物パターンによって珪素の局部をエッチングから保護することで、珪素でできた珪素Fin 1343 を、珪素ウェハの今や低くなった表面から突き出したようなかたちで

50

得ることができる(図13E参照)。Finの頂部とFinの底部に在る溝とにドーパントを注入した後の、構造体の上面図を図13Fに、側面図を図13Gに、それぞれ示した。図13Fに示したように、溝に注入したドーパントによって、導電線1344(ソース線など)ができています。また、Finの底もしくは底部に注入したドーパントによって、ソース/ドレイン領域ができています。Finは極薄なので、溝へのドーパントをするとFinの下部に完全に拡散させられる。こうした細片は行方向に並べてもよいし列方向に並べてもよい。

【0047】

図13Hには、ゲート絶縁体1345をFin1343の周りに形成して、ゲート材料1346をFin1343の周りにそのゲート絶縁体1345を間に挟んで形成した後の、構造体1337を描いてある。或る実施形態では例えば、熱酸化工程を用いて珪素Finを酸化する。種々の実施形態群では、ゲート材料1346として、ポリシリコンもしくは金属を使用できる。

10

【0048】

アレイの第一の実施形態に関して、図13Iに上面図を、図13Jに線13J-13Jに沿った断面図を、それぞれ示した。構造体1337を絶縁体1347(酸化物など)で埋め戻してから、溝をFinの脇につくる。ゲート配線材料1348(ポリシリコンもしくは金属など)を堆積して異方性エッチングし、側壁に付いたところだけに残して、Finのサラウンディングゲート1346に接続するようにできる。ゲート材料およびゲート配線材料をエッチングして、Finの頂部の下にくるように凹ませることが可能である。構造体の全体を酸化物で埋め戻してから、平坦化して表面に酸化物だけが残るようにできる。その後、柱の頂部ならびに旧来の技法を用いてそこに注入されたドレイン領域およびドレイン領域への金属接点へと、接点開口部およびドレインドープ領域をエッチングしてつくることも可能である。この場合、金属配線を「x方向」に走らせ、埋め込み式ソース配線1349を図の紙面に垂直な方向に走らせるようにできる。

20

【0049】

アレイの第二の実施形態に関して、図13Kに上面図を、図13Lに線13L-13Lに沿った断面図を、それぞれ示した。構造体1337は絶縁体1347(酸化物など)で埋め戻されており、溝がFin1343の脇の「y方向」に沿ってつくられている。ゲート配線材料1348(ポリシリコンもしくは金属など)を堆積して異方性エッチングし、側壁に付いたところだけに残して、Fin上のゲートに接続するようにできる。ゲート材料およびゲート配線材料をエッチングして、Finの頂部の下にくるように凹ませることが可能である。構造体の全体を絶縁体(酸化物など)で埋め戻してから、平坦化して表面に酸化物だけが残るようにできる。その後、柱の頂部ならびに旧来の技法を用いてそこに注入されたドレイン領域およびドレイン領域への金属接点へと、接点開口部およびドレインドープ領域をエッチングしてつくることも可能である。この場合、金属配線を図の紙面に垂直な方向に走らせ、埋め込み式ソース配線を「x方向」に走らせるようにできる。

30

【0050】

アレイの第一の実施形態でも第二の実施形態でも、サラウンディングゲート絶縁体およびサラウンディングゲートの形成に先立って、埋め込み式ソース/ドレインをパターン化して注入できる。図13Lには、仕上がったFin構造体のうちのひとつを提示しており、この構造体は、ドレイン/ソース領域1350およびドレイン/ソース領域1351と、凹んだゲート1346と、ソース/ドレイン領域配線1349と、を有している。こうしたナノFinFETでは、W/L比を大きくできるため、ナノワイヤFETに比して多量の電流を通すことが可能である。

40

【0051】

図11Aから図11H、図12Aから図12L、および図13Aから図13Lに示した工程は、フロー図を以っておおまかに表すこともでき、その例が図14と図15である。図14には、本主題の種々の実施形態群にかかる、トンネリング・ナノFinトランジスタを形成する方法を示してある。示した実施形態では、1452にて、ナノFinの断面積がリソグラフィ基準寸法以下となるようにして形成する。垂直方向に走るチャネルが、ナノFin内に劃定されることになる。このナノFinの形成にあたっては、図12Aから図12Lに

50

示したようにして結晶質ナノFinを成長させることで行うことができるし、あるいは、図 1 3 A から図 1 3 L に示したようにして結晶質基板をエッチングしてナノFinを劃定することで行ってもよい。1453 では、第一のソース/ドレイン領域を柱の底端に作成する。この第一のソース/ドレイン領域は第一の導電型を有し、例えば P^+ 領域を有する。第一のソース/ドレイン領域の形成は、ナノFinの形成に先立って行うことが可能である。また、ナノFinの形成後に第一のソース/ドレイン領域をつくることもできる。その理由は、ナノFinが非常に薄いので、注入されたドーパントがナノFinの下方に完全に拡散できるからである。1454 では、サラウンディングゲート絶縁体をナノFinの周りにつくってから、サラウンディングゲートをナノFinの周りにそのサラウンディングゲート絶縁体を間に挟むようにしてつくる。1455 では、第二のソース/ドレイン領域をナノFinの頂端に形成する。この第二のソース/ドレイン領域は、第一の導電型とは異なる第二の導電型（例えば N^+ ）を有する。なお、第一のソース/ドレイン領域が第二の導電型（ N^+ ）を有し、第二のソース/ドレイン領域が第一の導電型（ P^+ ）を有してもよい、ということに留意されたい。

10

20

30

40

50

【0052】

図 1 5 には、本主題の種々の実施形態群にかかる、トンネリング・トランジスタのためのリソグラフィ基準寸法以下のトランジスタボディの成長方法を示してある。1556 では、基板上の非晶質半導体から、結晶質柱を、その断面積がリソグラフィ基準寸法以下となるようにして成長させる。垂直方向に走るチャネルが、結晶質柱内に劃定されることになる。この柱は、図 1 1 A から図 1 1 H に示したようなナノワイヤであってもよいし、あるいは、図 1 2 A から図 1 2 L に示したようなナノFinであってもかまわない。1557 では、第一のソース/ドレイン領域を、柱の底端に作成する。この第一のソース/ドレイン領域は第一の導電型を有し、例えば P^+ 領域を有する。第一のソース/ドレイン領域の形成は、結晶質柱の形成に先立って行うことが可能である。また、結晶質柱の形成後に第一のソース/ドレイン領域をつくることもできる。その理由は、柱が非常に薄いので、注入されたドーパントが柱の下方に完全に拡散できるからである。1558 では、サラウンディングゲート絶縁体を柱の周りにつくってから、サラウンディングゲートを柱の周りにそのサラウンディングゲート絶縁体を間に挟むようにしてつくる。1559 では、第二のソース/ドレイン領域を柱の頂端に形成する。この第二のソース/ドレイン領域は、第一の導電型とは異なる第二の導電型（例えば N^+ ）を有する。なお、第一のソース/ドレイン領域が第二の導電型（ N^+ ）を有し、第二のソース/ドレイン領域が第一の導電型（ P^+ ）を有してもよい、ということに留意されたい。単体のトランジスタ又はトランジスタアレイが形成される。

【0053】

〔ナノFinアレイ〕

図 1 6 は、種々の実施形態群にかかる、トンネリング・ナノFinトランジスタのアレイのための、ナノFinの上面からみたレイアウトである。この図では、側壁スペーサー 1660 でできた二つの「競技路」を示しており、エッチングで側壁スペーサーの一部を取り除いたさまも描いてある。孔を使って、側壁スペーサー競技路が最小フィーチャ寸法（1F）となるようにつくってある。マスク片 1661 の巾は最小フィーチャ寸法（1F）であり、またマスク片 1661 同士の間隔も最小フィーチャ寸法（1F）になっている。示したレイアウトでは、ナノFinの列の中心間距離がほぼ2Fになっていて、またナノFinの行の中心間距離がほぼ1Fとなっている。また図 1 6 に示してあるように、ナノFinは、孔の壁に付いた側壁スペーサーからつくってあるので、第一の行と第二の行との中心間距離が、長さ1FからナノFinの厚みに応じた量だけ若干縮んだ長さ（ $1F - T$ ）となっている。そして、第二の行と第三の行との中心間距離が、長さ1FにナノFinの厚みに応じた量だけ若干足した長さ（ $1F + T$ ）となっている。一般に、第一の行と第二の行との中心間距離は、最小フィーチャ間隔（NF）からナノFinの厚みに応じた量だけ若干縮んだ長さ（ $NF - T$ ）となり、且つ、第二の行と第三の行との中心間距離が、最小フィーチャ間隔（NF）にナノFinの厚みに応じた量だけ若干足した長さ（ $NF + T$ ）となる。

【 0 0 5 4 】

〔 論理回路 〕

図 1 7 は、本主題の種々の実施形態群にかかる、トンネリング・トランジスタを有する NOR ゲート論理回路を描いてある。入力 A, B, C から、示した CMOS 論理回路へと論理レベルを導入する。これらのうちのいずれかの入力からの論理 low 入力信号によって、PMOS トランジスタ 1772-1774 の対応するいずれかが ON になり、トンネリング・トランジスタ 1775-1777 の対応するいずれかが OFF になる。論理 high 入力信号は逆の作用をする。トンネリング・トランジスタ 1775-1777 のいずれかが ON になると、出力を ground (すなわち論理 0) にもってゆく作用が得られる。PMOS トランジスタ 1772-1774 のすべてが ON になると、出力を VDD (すなわち論理 1) につなぐ作用が得られる。

10

【 0 0 5 5 】

図 1 8 は、本主題の種々の実施形態群にかかる、トンネリング・トランジスタを有する NAND ゲート論理回路を描いてある。本出願では、トンネリング・トランジスタを NAND ゲート CMOS 論理回路内に組み込み、NMOS トランジスタが Vss に最近接するようにしている。三つの入力 A, B, C のうちのいずれかからの論理 low 入力信号によって、PMOS 装置 1878-1880 の対応するいずれかが ON になり、そして出力を論理 high へと押しやる。すべての入力で論理 high になると、NMOS トランジスタ 1881-1882 のそれぞれが ON になり、そしてトンネリング・トランジスタ 1883 も ON になって出力を論理 low に押しやる。

【 0 0 5 6 】

本主題にかかるトンネリング・トランジスタによって、閾値下漏洩電流を実質的に減らすことが可能となり、ひいては CMOS 回路 (図 1 7 に示した NOR ゲート論理回路および図 1 8 に示した NAND ゲート論理回路など) の動作電力も低減できる。本主題にかかるトンネリング・トランジスタは任意のトランジスタ回路に使用できるので、これらの実施形態群は説明のみを目的としたものである。

20

【 0 0 5 7 】

〔 高レベル装置 / システム 〕

図 1 9 は、本主題の種々の実施形態に係るメモリ装置の種々の実施形態を高度に組織化した、単純化したブロック図である。示したメモリ装置 1984 には、メモリアレイ 1985、および、そのメモリアレイ上での動作を (ひとつもしくは複数の) 通信線もしくはチャネル 1987 を介して行うための読み込み / 書き込み制御回路 1986、が含まれている。示したメモリ装置 1954 としては、メモリカードまたはメモリモジュールを用いることができ、例えば SIMM (single inline memory module) や DIMM (dual inline memory module) などを用いることができる。当業者には、本開示を読んで理解した上で、メモリアレイ内および / もしくは制御回路内の半導体部品を、上述したようなトンネリング・トランジスタを使って組み立てられる、ということがわかるであろう。構造体とこれらの装置の製造方法については上記してある。

30

【 0 0 5 8 】

メモリアレイ 1985 は、多数のメモリセル 1988 を有する。アレイになったメモリセルは、行と列をなすように配置される。種々の実施形態群では、ワード線 1989 を行に並んだメモリセルに接続し、またビット線 1990 を列に並んだメモリセルに接続する。読み込み / 書き込み制御回路 1986 には、所望の行を選択する機能を持つワード線選択回路 1991 と、所望の列を選択する機能を持つビット線選択回路 1992 と、メモリアレイ 1985 中の選択したメモリセルについてのメモリ状態を検出する機能を持つ読み出し回路 1993 と、が含まれる。

40

【 0 0 5 9 】

図 2 0 には、種々の実施形態群にかかる、(一個もしくは複数個の) トンネリング・トランジスタを持つ電子システムの概要図を示してある。電子システム 2094 には、制御手段 2095、バス 2096、および電子装置 2097 が含まれており、このバス 2096 が制御手段 2095 と電子装置 2097 との通信回線になっている。種々の実施形態群では、制御手段および / もしくは電子装置に、前述したようなトンネリング・トランジスタが含まれる。

50

示した電子システム 2094 としては、情報処理装置、無線装置、遠隔通信装置、光ファイバー系、電気-光学系、およびコンピュータなどがあるが、これらに限定はされない。

【0060】

図21は、制御手段2102とメモリ2103を有するシステム2101の或る実施形態の概要図である。この制御手段2102および/もしくはメモリ2103が、種々の実施形態群にかかるトンネリング・トランジスタを有してもよい。示したシステム2101にはまた、電子装置2104、ならびに、制御手段と電子装置との間および制御手段とメモリとの間の(ひとつもしくは複数の)通信回線となるバス2105、も含まれる。このようなバスとしては、それぞれが独立に構成された、アドレス、データバス、および制御バスを使用する。あるいは、アドレス、データ、かつ/または制御を提供する共通通信回線を使用してもよい。そして、その使用は制御手段によって制御される。或る実施形態では、電子装置2104が、メモリ2103と同様に構成された付加的なメモリであってもよい。或る実施形態では、バス2105に接続した(一個もしくは複数個の)周辺機器2106を含んでもよい。そうした周辺機器としては、ディスプレイ、付加的な記憶メモリ、または、制御手段および/もしくはメモリと協働できる他の制御機器、などがある。或る実施形態では、制御手段としてプロセッサを用いる。制御手段2102、メモリ2103、電子装置2104、および周辺機器2106のうちのどれでもが、種々の実施形態群に応じて形成されたトンネリング・トランジスタを含んでもよい。こうしたシステム2101としては、情報処理装置、遠隔通信システム、およびコンピュータがあるが、これらに限定はされない。本開示に記載したトンネリング・トランジスタに関する用途としては、メモリモジュール、装置ドライバ、電力モジュール、通信モデム、プロセッサモジュール、および特定用途モジュールに使うための電子システムが含まれ、ひいては複数レイヤの、複数チップを含むモジュールを含んでもよい。こうした回路が、時計、テレビジョン、携帯電話、PC、自動車、産業用制御システム、飛行機、などのさまざまな電子システムの従属部品であってもよい。

10

20

30

40

【0061】

こうしたメモリは、種々の実施形態群にかかる、トンネリング・トランジスタを内包するメモリ装置として実現可能である。実施形態群によって、任意の大きさと種類のメモリ回路と同等の効果が得られ、特定の種類のメモリ装置に限定することは企図していない。メモリの種類としては、DRAM、SRAM(Static Random Access Memory)、もしくはフラッシュメモリがある。さらに云えば、DRAMとして、シンクロナスDRAMを使ってもよいと考えられる。そうしたシンクロナスDRAMのことを、SGRAM(Synchronous Graphics Random Access Memory)、SDRAM(Synchronous Dynamic Random Access Memory)、SDRAM II、およびDDR SDRAM(Double Data Rate SDRAM)とも呼ぶ。さまざまな新興のメモリ技術で、トンネリング・トランジスタを具えたトランジスタを使うこともできる。

【0062】

本開示には、いろいろな工程、回路図、およびセル構造体が入っている。本主題は、特定の工程順序もしくは論理配置に限定はされない。特定の実施形態群について本明細書にて図解したが、当業者には、同じ目的を達成するために考案された任意の配置を、示した特定の実施形態に代えて使用できる、ということが正しく理解できるだろう。本出願は、本主題の応用例もしくは変形例を包括せむとするものである。上述の記載は例示を目的としたものであって、限定をしようとするものではないことを理解されたい。上述した実施形態群を組み合わせたものや、その他の実施形態群についても、当業者には上述の記載を通読すれば自明のものとなる。付随する請求項を、その請求項が体现する均等な特徴の全範囲と併せて参照することによって、本主題の範囲を定めるべきである。

【図面の簡単な説明】

【0063】

【図1】係数kで拡張される種々の装置パラメータについての傾向と相関をおおまかに示したものである。

【図2】旧来の珪素MOSFETでの閾値下漏洩を示す。

【図3】旧来の平面型CMOSトランジスタについての理想的な60mV/decadeの閾値下勾配と

50

、短チャネル効果を受けた旧来の平面型CMOSトランジスタ構造体についての約120mV/decadeから80mV/decadeの閾値下勾配との、比較を描いてある。

【図4】ドレインと、ソースと、ゲート絶縁体で半導体基板から隔てられた前面ゲートおよび背面ゲートと、ドレインから発生する電界と、を有するデュアルゲート式MOSFETを描いたものである。

【図5】デュアルゲート式MOSFET、ダブルゲート式MOSFET、およびサラウンディングゲート式MOSFETの向上した閾値下特性を、旧来のバルク珪素MOSFETの閾値下特性と比較するかたちでおおまかに示したものである。

【図6】垂直式であり且つリソグラフィ基準寸法以下であるようなチャネルと、サラウンディングゲートと、同じ導電型である複数のソース/ドレイン領域と、を具えたトランジスタ構造体を描いてある。

【図7】本主題の種々の実施形態群にかかる、垂直式であり且つリソグラフィ基準寸法以下であるようなチャネルと、サラウンディングゲートと、異なる導電型である複数のソース/ドレイン領域と、を具えたトランジスタ構造体を描いてある。

【図8】本主題の種々の実施形態群にかかる、トランジスタゲートにバイアスをかけていないときの図7のトンネリング・トランジスタの電氣的な挙動を、エネルギー帯図で示したものである。

【図9】本主題の種々の実施形態群にかかる、トランジスタゲートにバイアスをかけるときの図7のトンネリング・トランジスタの電氣的な挙動を、エネルギー帯図で示したものである。

【図10】本主題の種々の実施形態群に応じて、図7のトンネリング・トランジスタについてのドレイン電流vs. トンネリング・トランジスタゲート-ソース電圧をプロットしたものであり、閾値下漏洩電流を示してある。

【図11A】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノワイヤ基板の成長工程を描いてある。

【図11B】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノワイヤ基板の成長工程を描いてある。

【図11C】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノワイヤ基板の成長工程を描いてある。

【図11D】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノワイヤ基板の成長工程を描いてある。

【図11E】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノワイヤ基板の成長工程を描いてある。

【図11F】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノワイヤ基板の成長工程を描いてある。

【図11G】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノワイヤ基板の成長工程を描いてある。

【図11H】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノワイヤ基板の成長工程を描いてある。

【図12A】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノFin基板の成長工程を描いてある。

【図12B】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノFin基板の成長工程を描いてある。

【図12C】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノFin基板の成長工程を描いてある。

【図12D】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノFin基板の成長工程を描いてある。

【図12E】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための垂直式チャネルを得るための、ナノFin基板の成長工程を描いてある。

【図12F】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのための

10

20

30

40

50

【図 1 4】本主題の種々の実施形態群にかかる、トンネリング・ナノFinトランジスタを

50

形成する方法を示してある。

【図 1 5】本主題の種々の実施形態群にかかる、トンネリング・トランジスタのためのリソグラフィ基準寸法以下のトランジスタボディの成長方法を示してある。

【図 1 6】本主題の種々の実施形態群にかかる、トンネリング・ナノFinトランジスタのアレイのための、ナノFinを上面からみたレイアウトである。

【図 1 7】本主題の種々の実施形態群にかかる、トンネリング・トランジスタを有するNORゲート論理回路を描いてある。

【図 1 8】本主題の種々の実施形態群にかかる、トンネリング・トランジスタを有するNANDゲート論理回路を描いてある。

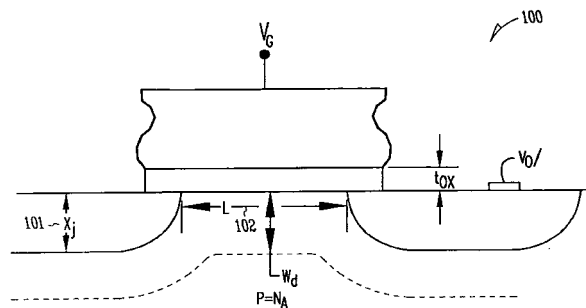
【図 1 9】本主題の種々の実施形態に係るメモリ装置の種々の実施形態を高度に組織化した、単純化したブロック図である。

【図 2 0】種々の実施形態群にかかる、一個もしくは複数個のトンネリング・トランジスタを有する電子システムの概要図である。

【図 2 1】制御手段とメモリを有するシステムの実施形態の図である。

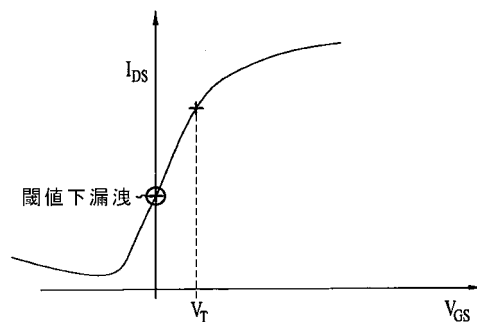
10

【図 1】

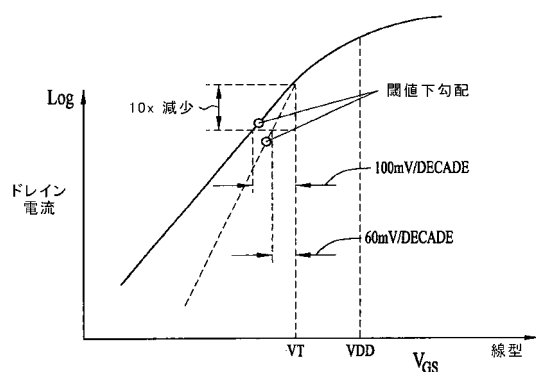


$V_G \rightarrow V_G/k$ $V_0 \rightarrow V_0/k$
 $t_{ox} \rightarrow t_{ox}/k$
 $L \rightarrow L/k$
 $X_j \rightarrow X_j/k$ 接合深さが減少
 $W_d \rightarrow W_d/k$
 $N_A \rightarrow k N_A$ 基板への添加量が増大

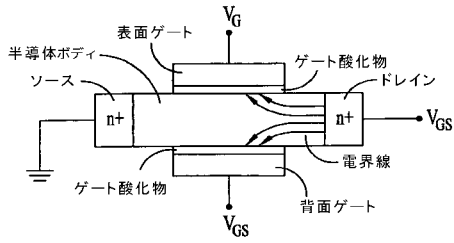
【図 2】



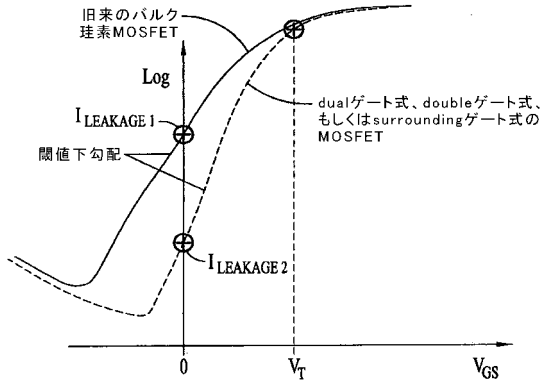
【図 3】



【図 4】



【図 5】



【図 6】

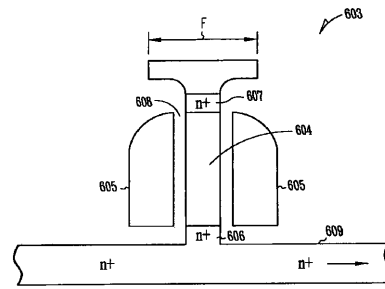


FIG. 6

【図 7】

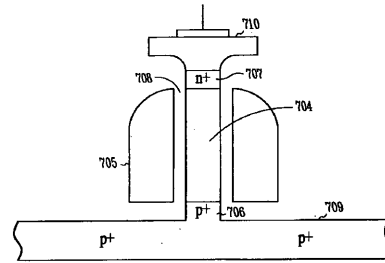
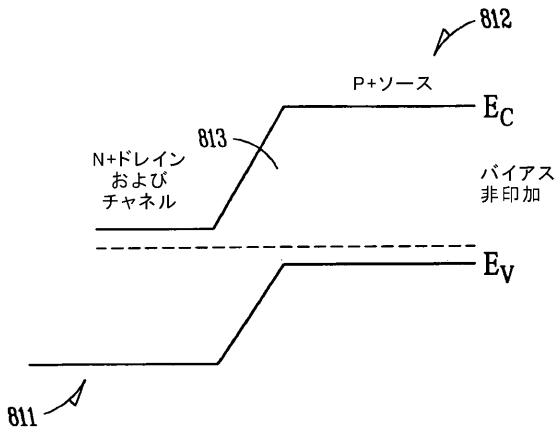
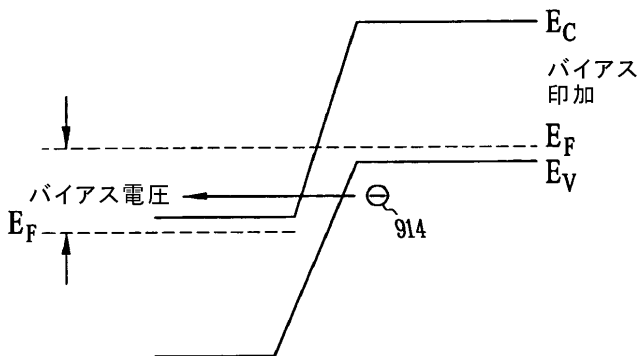


FIG. 7

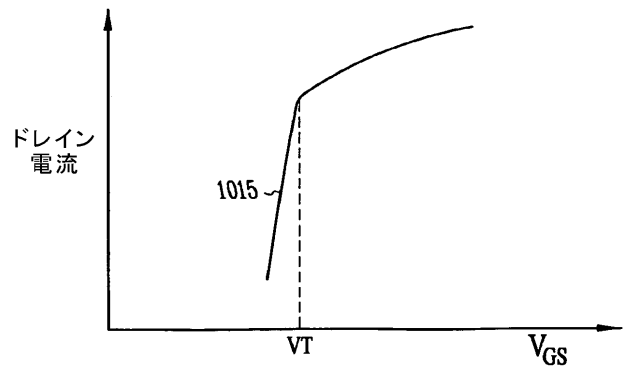
【図 8】



【図 9】



【図 10】



【図 11 A】

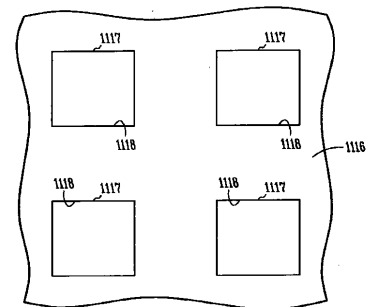


FIG. 11A

【図 11 B】

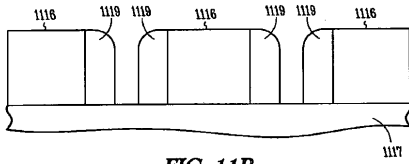


FIG. 11B

【図 11 E】

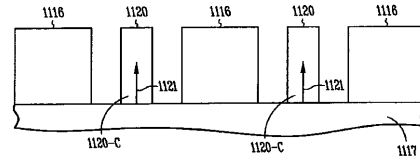


FIG. 11E

【図 11 C】

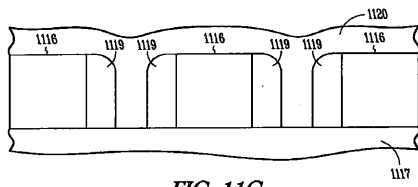


FIG. 11C

【図 11 F】

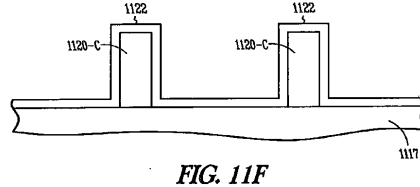


FIG. 11F

【図 11 D】

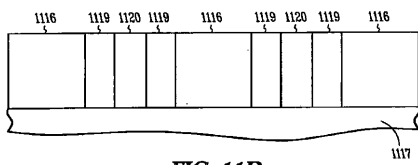


FIG. 11D

【図 11 G】

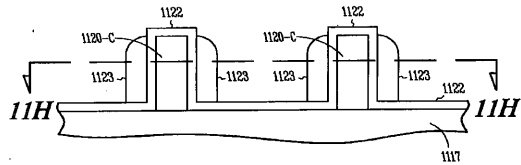


FIG. 11G

【図 11 H】

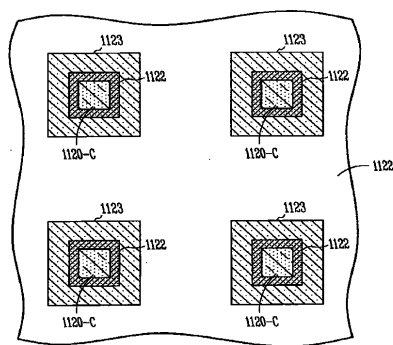


FIG. 11H

【図 12 B】

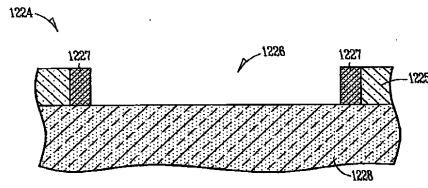


FIG. 12B

【図 12 A】

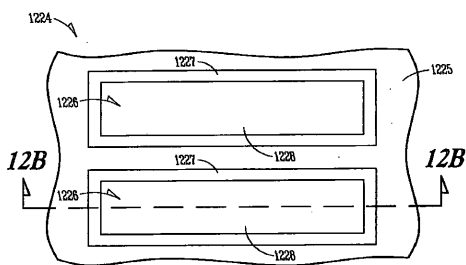


FIG. 12A

【図 12 C】

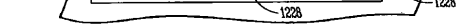


FIG. 12C

【図 12 D】

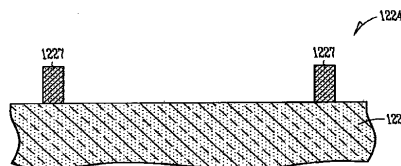


FIG. 12D

【図 12 E】

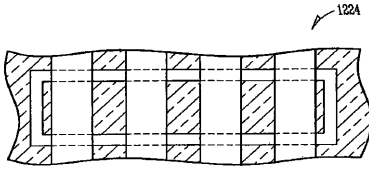


FIG. 12E

【図 12 H】

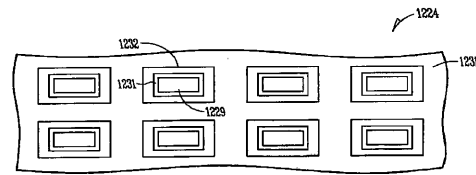


FIG. 12H

【図 12 F】

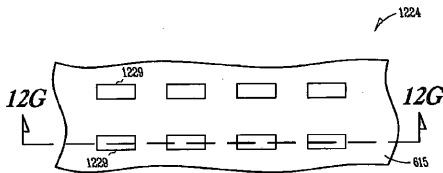


FIG. 12F

【図 12 I】

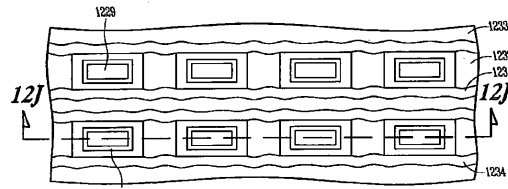


FIG. 12I

【図 12 G】

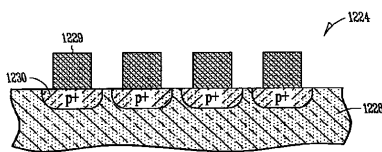


FIG. 12G

【図 12 J】

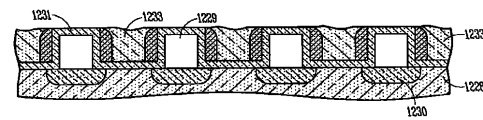


FIG. 12J

【図 12 K】

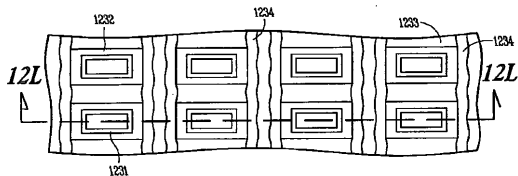


FIG. 12K

【図 13 B】

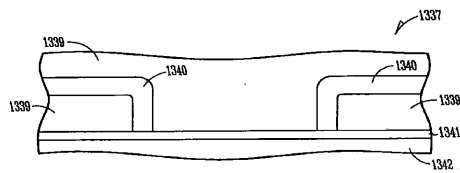


FIG. 13B

【図 12 L】

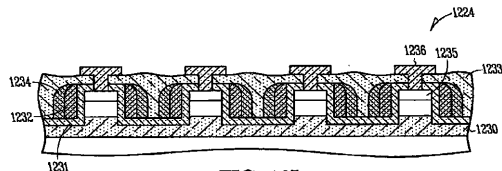


FIG. 12L

【図 13 C】

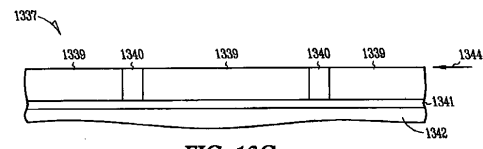


FIG. 13C

【図 13 A】

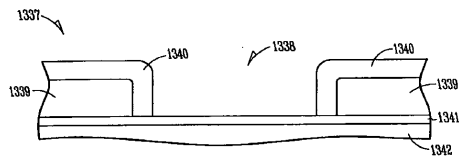


FIG. 13A

【図 13 D】

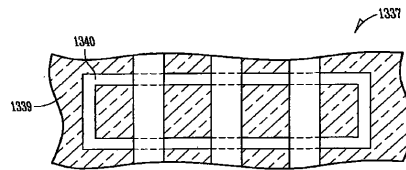
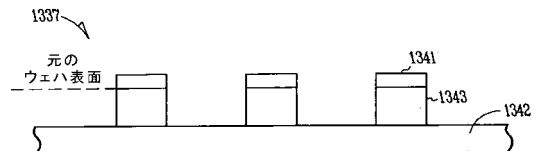


FIG. 13D

【図 13 E】



【図 13 F】

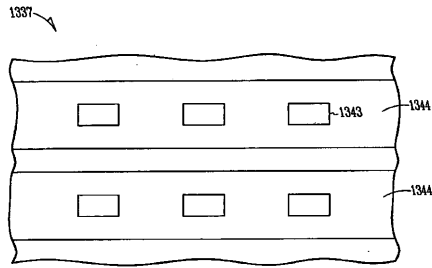


FIG. 13F

【図 13 G】

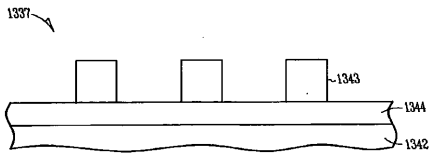


FIG. 13G

【図 13 H】

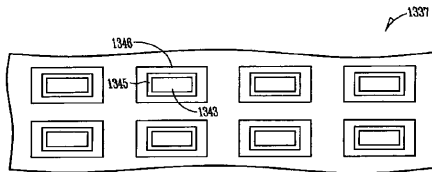


FIG. 13H

【図 13 L】

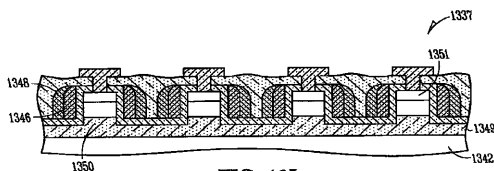
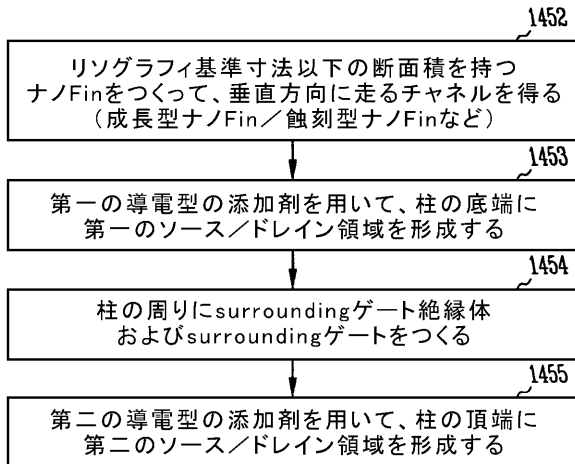


FIG. 13L

【図 14】



【図 13 I】

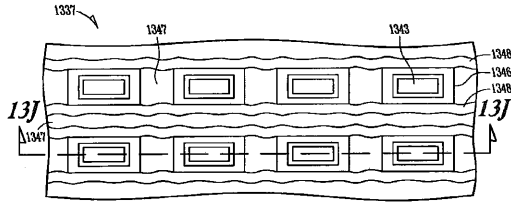


FIG. 13I

【図 13 J】

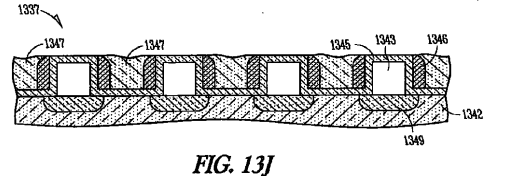


FIG. 13J

【図 13 K】

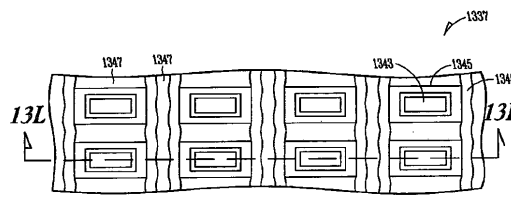
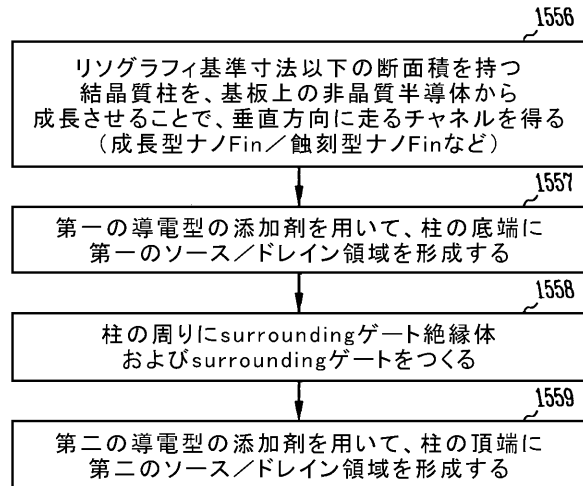


FIG. 13K

【図 15】



【図 16】

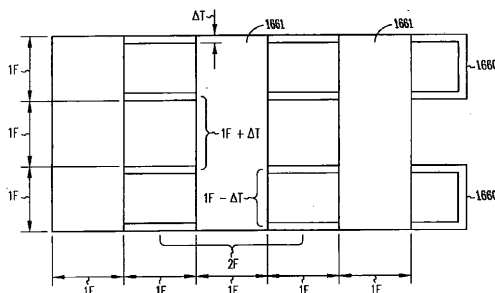
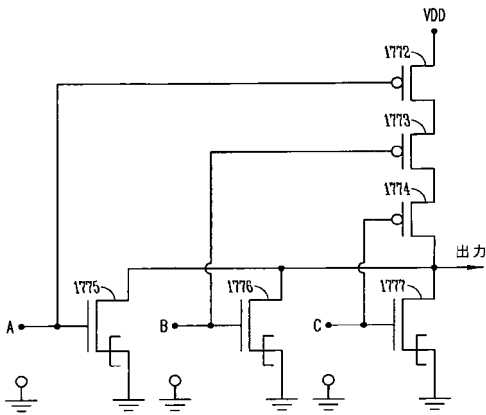
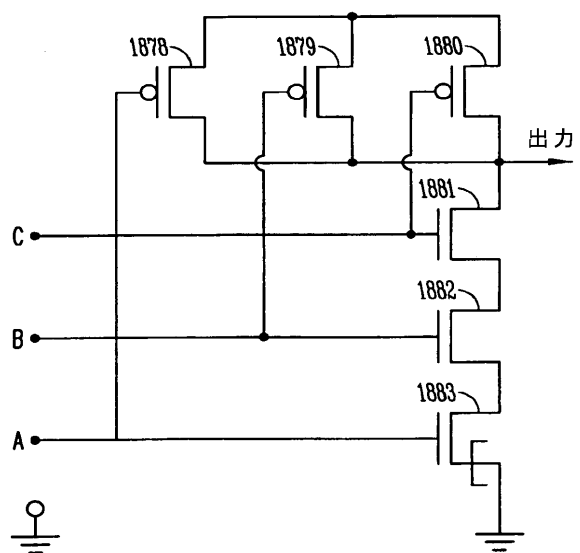


FIG. 16

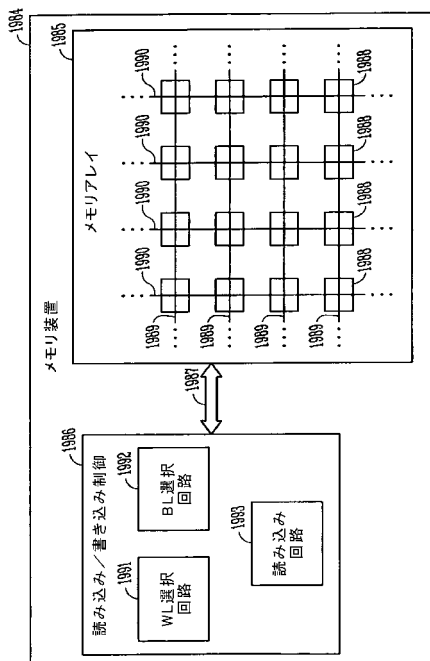
【図 17】



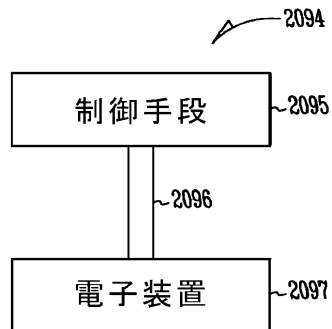
【図 18】



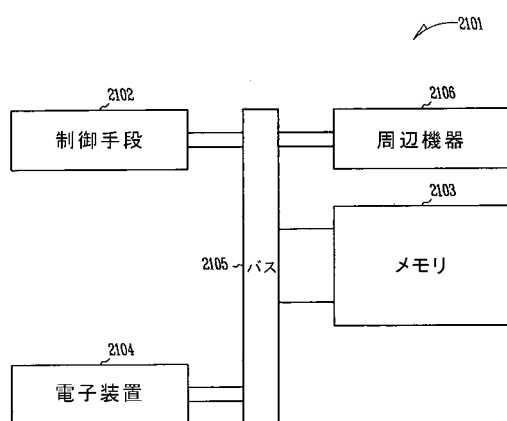
【図 19】



【図 20】



【図 21】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2007/008124

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/336 H01L29/06 H01L29/786 H01L21/8242 H01L21/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	DE 199 43 390 A1 (HANSCH WALTER [DE]) 3 May 2001 (2001-05-03) column 4, line 36 - line 44	1-71
Y	US 2005/032297 A1 (KAMINS THEODORE I [US]) 10 February 2005 (2005-02-10) paragraphs [0041] - [0047]; figure 1	1-71
A	US 2006/046391 A1 (TANG SANH D [US] ET AL) 2 March 2006 (2006-03-02) paragraphs [0117] - [0119]; figures 7B-10B	1-71
A	US 4 941 026 A (TEMPLE VICTOR A K [US]) 10 July 1990 (1990-07-10) figure 7A	1,11,16, 21,28, 34,42, 49,66
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&' document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
14 August 2007		21/08/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Juhl, Andreas

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2007/008124

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 19943390	A1	03-05-2001	NONE	
US 2005032297	A1	10-02-2005	NONE	
US 2006046391	A1	02-03-2006	US 2007048943 A1	01-03-2007
US 4941026	A	10-07-1990	NONE	

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 29/78	3 0 1 X
	H 0 1 L 27/08	3 2 1 G
	H 0 1 L 29/66	T

(31)優先権主張番号 11/397,413
 (32)優先日 平成18年4月4日(2006.4.4)
 (33)優先権主張国 米国(US)
 (31)優先権主張番号 11/397,406
 (32)優先日 平成18年4月4日(2006.4.4)
 (33)優先権主張国 米国(US)

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 5F048 AA07 AB01 AB03 AC03 BA01 BA16 BB01 BB05 BB09 BB20
 BD07 BD09 BF07 CB07
 5F140 AA02 AA24 AB03 AC12 AC23 AC32 AC33 BA01 BB04 BC12
 BC15 BE07 BF04 BF05 BF43 BF44 BF54 BG37 BJ05 BK13
 CA03 CE07 CE20