

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-165401

(P2007-165401A)

(43) 公開日 平成19年6月28日(2007.6.28)

| (51) Int. Cl. | F I | テーマコード (参考) |
|--------------------------|----------------------|-------------|
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 3 O 1 G | 4 M 1 0 4 |
| HO 1 L 29/423 (2006.01) | HO 1 L 29/58 G | 5 F 0 4 8 |
| HO 1 L 29/49 (2006.01) | HO 1 L 21/28 3 O 1 A | 5 F 0 8 3 |
| HO 1 L 21/28 (2006.01) | HO 1 L 27/08 3 2 1 D | 5 F 1 4 0 |
| HO 1 L 21/8238 (2006.01) | HO 1 L 27/10 3 8 1 | |

審査請求 未請求 請求項の数 15 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2005-356645 (P2005-356645)
 (22) 出願日 平成17年12月9日 (2005.12.9)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100110928
 弁理士 遠水 進治
 (72) 発明者 東郷 光洋
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 (72) 発明者 鈴木 隆之
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 4M104 BB01 BB37 CC05 DD55 DD86
 EE08 FF13 GG09 GG10 GG14

最終頁に続く

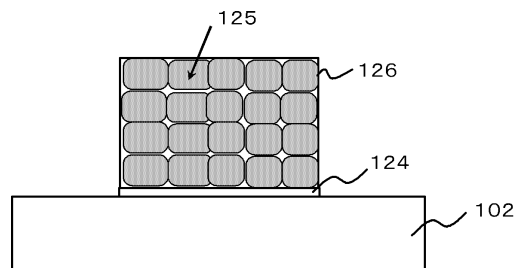
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】電界効果トランジスタの電気的特性を安定化することができ、信頼性が高く、さらに設計の自由度が向上した半導体装置および半導体装置の製造方法を提供する。

【解決手段】本発明の半導体装置は、半導体基板102上に、ゲート絶縁膜124と、ポリシリコン粒子125からなるゲート電極126と、を順に積層してなるゲート電極部を備える電界効果トランジスタを有し、ゲート絶縁膜124の膜厚は1.6nm以下であり、ゲート絶縁膜124近傍のポリシリコン粒子125の平均グレインサイズは10nm以上150nm以下である。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板上に、ゲート絶縁膜と、ポリシリコンからなるゲート電極と、を順に積層してなるゲート電極部を備える電界効果トランジスタを有する半導体装置であって、

前記ゲート絶縁膜の膜厚は 1.6 nm 以下であり、

前記ゲート絶縁膜近傍のポリシリコンの平均グレインサイズは 10 nm 以上 150 nm 以下である、半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置であって、

前記電界効果トランジスタを備える N 型 MOSFET 領域と、

10

ポリシリコンからなるゲート電極を有する電界効果トランジスタを備える P 型 MOSFET 領域とが、設けられ、

前記 N 型 MOSFET 領域に形成された前記ゲート電極を構成するポリシリコンの粒径は、前記 P 型 MOSFET 領域に形成された前記ゲート電極を構成するポリシリコンの粒径よりも小さい、半導体装置。

【請求項 3】

請求項 1 または 2 に記載の半導体装置であって、

前記 N 型 MOSFET 領域に形成された前記ゲート電極を構成するポリシリコンの不活性ガス含有量は、前記 P 型 MOSFET 領域に形成された前記ゲート電極を構成するポリシリコンの不活性ガス含有量よりも多い、半導体装置。

20

【請求項 4】

請求項 3 に記載の半導体装置であって、

前記不活性ガス含有量は、単位体積あたりの不活性ガスを構成する元素の個数で表され

、前記 N 型 MOSFET 領域に形成された前記ゲート電極を構成するポリシリコンの不活性ガス含有量は、 $2 \times 10^{21} \text{ cm}^{-3}$ 以上、 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である、半導体装置。

【請求項 5】

請求項 3 または 4 に記載の半導体装置であって、

前記不活性ガスは窒素含有ガスである、半導体装置。

30

【請求項 6】

請求項 3 乃至 5 のいずれかに記載の半導体装置であって、

前記 N 型 MOSFET 領域と、前記 P 型 MOSFET 領域とが隣接して設けられ、

前記 N 型 MOSFET 領域と、前記 P 型 MOSFET 領域とに亘って前記ゲート電極が設けられている、半導体装置。

【請求項 7】

請求項 1 に記載の半導体装置であって、

前記ゲート電極は、第 1 ポリシリコン層と、ストッパ層と、第 2 ポリシリコン層とが順に積層された構造を有し、

該第 1 ポリシリコン層を構成するポリシリコン粒子の平均グレインサイズは、該第 2 ポリシリコン層を構成するポリシリコン粒子の平均グレインサイズよりも小さい、半導体装置。

40

【請求項 8】

請求項 7 に記載の半導体装置であって、

前記ストッパ層の層厚が、0.5 nm 以上、2 nm 以下である、半導体装置。

【請求項 9】

請求項 7 または 8 に記載の半導体装置であって、

前記ストッパ層が、酸化層、窒化層または炭化膜からなる、半導体装置。

【請求項 10】

請求項 7 乃至 9 のいずれかに記載の半導体装置であって、

50

前記第1ポリシリコン層の層厚が、10nm以上、50nm以下である、半導体装置。

【請求項11】

N型MOSFET形成領域およびP型MOSFET形成領域において、半導体基板上に、ゲート絶縁膜と、ポリシリコンから構成されるゲート電極とが積層されたゲート電極部を形成する工程を含む半導体装置の製造方法であって、

前記ゲート電極部を形成する前記工程は、

前記ゲート絶縁膜上にポリシリコン膜を形成するとともに、P型MOSFET形成領域を覆うようにレジスト膜を形成する工程と、

前記レジスト膜をマスクとして、前記N型MOSFET形成領域の前記ポリシリコン膜に不活性ガスを導入する工程と、

前記ポリシリコン膜および前記ゲート絶縁膜をエッチングすることにより、前記ゲート電極部を形成する工程と、

を含む、半導体装置の製造方法。

【請求項12】

請求項11に記載の半導体装置の製造方法であって、

前記不活性ガスを導入する前記工程は、

前記不活性ガスを、前記ポリシリコン膜に $2 \times 10^{15} \text{ cm}^{-2}$ 以上、 $1 \times 10^{16} \text{ cm}^{-2}$ 以下となる量で注入する工程である、半導体装置の製造方法。

【請求項13】

N型MOSFET形成領域およびP型MOSFET形成領域において、半導体基板上に、ゲート絶縁膜と、ポリシリコンから構成されるゲート電極とが積層されたゲート電極部を形成する工程を含む半導体装置の製造方法であって、

前記ゲート電極部を形成する前記工程は、

前記ゲート絶縁膜上に、第1ポリシリコン層と、ストッパ層と、第2ポリシリコン層と順に積層し積層膜を形成する工程と、

前記積層膜をエッチングすることにより、前記ゲート電極部を形成する工程と、

を含む、半導体装置の製造方法。

【請求項14】

請求項13に記載の半導体装置の製造方法であって、

前記ストッパ層が、酸化層、窒化層または炭化膜からなる、半導体装置の製造方法。

【請求項15】

請求項13または14に記載の半導体装置の製造方法であって、

前記第1ポリシリコン層の層厚が、10nm以上、50nm以下である、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート電極を構成するポリシリコンのグレインサイズを制御した半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

従来半導体装置として、例えば特許文献1に記載されたものがある。同文献に記載された半導体装置を図18に示す。半導体装置1は、半導体基板5上に、第1電界効果トランジスタ10と、第2電界効果トランジスタ12と、を備える。第1電界効果トランジスタ10は、第1ゲート絶縁膜24および第1ゲート電極26が順に積層されてなる第1ゲート電極部16を備え、第2電界効果トランジスタ12は、第2ゲート絶縁膜32および第2ゲート電極30が順に積層されてなる第2ゲート電極部20を備える。

【0003】

第1電界効果トランジスタ10と、第2電界効果トランジスタ12との間には、半導体基板5中に素子分離層14が形成されている。第1電界効果トランジスタ10および第2

10

20

30

40

50

電界効果トランジスタ12は、半導体基板5の表層に一对のソース/ドレイン層18, 22が各々形成されている。第1および第2ゲート電極の側壁には、各々サイドウォール28, 34が形成されている。

【0004】

第1ゲート電極26および第2ゲート電極30を構成する多結晶シリコンの平均結晶粒径は、第1ゲート絶縁膜24および第2ゲート絶縁膜32の電気的な実効膜厚に応じて電子素子毎に異なるように構成されている。

【特許文献1】特開2004-356520号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0005】

しかしながら、上記文献記載の半導体装置においては、第1電界効果トランジスタ10および第2電界効果トランジスタ12において、耐圧不良等の電気的特性が低下することがあった。以下、このような課題を図面を用いて説明する。

【0006】

図12は、ゲート長およびゲート幅と、耐圧不良率との関係を示すグラフであり、図13は、ゲート長0.05 μm 、ゲート幅1 μm であるゲート電極における、ゲート絶縁膜の膜厚と、耐圧不良発生率との関係を示すグラフである。つまり、図13においては、ゲート長およびゲート幅に依存しない範囲(ゲート長0.05 μm 、ゲート幅1 μm)における、耐圧不良発生率を示す。図13から明らかなように、ゲート絶縁膜の膜厚が1.6

20

nm以下であると、ゲート長およびゲート幅に依存することなく、耐圧不良発生率が増加する。従来は、このようなゲート絶縁膜の膜厚と、耐圧不良等の電気的特性との関係は明らかになっていなかった。

【0007】

本発明は、このような新規な課題においてなされたものであり、ゲート長およびゲート幅に関係なく耐圧不良等の電気的特性が低下する場合(ゲート絶縁膜の膜厚1.6nm以下)においても、電気的特性の安定したトランジスタを有する半導体装置および半導体装置の製造方法を提供するものである。

【課題を解決するための手段】

【0008】

30

本発明の半導体装置は、半導体基板上に、ゲート絶縁膜と、ポリシリコンからなるゲート電極と、を順に積層してなるゲート電極部を備える電界効果トランジスタを有し、前記ゲート絶縁膜の膜厚は1.6nm以下であり、前記ゲート絶縁膜近傍のポリシリコンの平均グレインサイズは10nm以上150nm以下である。

【0009】

本発明によれば、ゲート長およびゲート幅に関係なく耐圧不良等の電気的特性が低下する場合、つまりゲート絶縁膜の膜厚が1.6nm以下の場合において、前記ゲート絶縁膜近傍のポリシリコンの平均グレインサイズを上記の範囲としている。そのため、電界効果トランジスタの電気的特性を安定化させることができ、信頼性の高い半導体装置を実現することができる。さらに、ゲート長およびゲート幅に関係なく耐圧不良等の電気的特性を向上させることができるため、半導体装置の設計の自由度が向上する。

40

【0010】

本発明の半導体装置の製造方法は、N型MOSFET形成領域およびP型MOSFET形成領域において、半導体基板上に、ゲート絶縁膜と、ポリシリコンから構成されるゲート電極とが積層されたゲート電極部を形成する工程を含み、

前記ゲート電極部を形成する前記工程は、

前記ゲート絶縁膜上にポリシリコン膜を形成するとともに、P型MOSFET形成領域を覆うようにレジスト膜を形成する工程と、

前記レジスト膜をマスクとして、前記N型MOSFET形成領域の前記ポリシリコン膜

50

に不活性ガスを導入する工程と、

前記ポリシリコン膜および前記ゲート絶縁膜をエッチングすることにより、前記ゲート電極部を形成する工程と、
を含む。

【0011】

また、前記ゲート電極部を形成する前記工程は、

前記ゲート絶縁膜上に、第1ポリシリコン層と、ストッパ層と、第2ポリシリコン層と順に積層し積層膜を形成する工程と、

前記積層膜をエッチングすることにより、前記ゲート電極部を形成する工程と、
を含む。

10

【0012】

このようにゲート電極を作成することにより、ゲート絶縁膜近傍のポリシリコンの平均グレインサイズを小さくすることができ、電界効果トランジスタの電気的特性が安定化され、信頼性の高い半導体装置を提供することができる。

【0013】

なお、本発明において、不活性ガスには、希ガスと窒素含有ガスを含む。また、N型MOSFET領域とは、N型MOSFETが形成される予定領域およびN型MOSFETが形成された領域のいずれをも含むものである。一方、P型MOSFET領域とは、P型MOSFETが形成される予定領域およびP型MOSFETが形成された領域のいずれをも含むものである。

20

【発明の効果】

【0014】

本発明によれば、電界効果トランジスタの電気的特性を安定化することができ、信頼性が高く、さらに設計の自由度が向上した半導体装置および半導体装置の製造方法を提供することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0016】

30

(第1の実施形態)

図1に、本実施形態における半導体装置100の概略断面図を示す。

図1に示すように、半導体装置100は、半導体基板102上に、電界効果トランジスタ110を備える。電界効果トランジスタ110は、ゲート絶縁膜124およびゲート電極126が順に積層されてなるゲート電極部116を備える。ゲート絶縁膜124の膜厚は1.6nm以下である。下限値は特に限定されないが、製造可能な最小膜厚である1nm程度である。ゲート絶縁膜124としては、酸化膜、酸窒化膜、High-k膜等を用いることができる。

【0017】

電界効果トランジスタ110と、両脇の電界効果トランジスタとの間の半導体基板102には、素子分離層114が形成されている。電界効果トランジスタ110においては、半導体基板102の表層に一对のソース/ドレイン層18が形成されている。電界効果トランジスタ110の側壁には、サイドウォール128が形成されている。

40

【0018】

図2に、ゲート電極126部分の拡大断面図を示す。なお、サイドウォール128等の図示を省略する。

【0019】

図2に示すように、ゲート電極126は、ポリシリコン粒子125から構成されている。ポリシリコン粒子125の平均グレインサイズは、10nm以上150nm以下、好ましくは50nm以上100nm以下とすることができる。このようなグレインサイズであ

50

れば、十分なオン電流が得られるとともに、耐圧不良の発生を抑制することができるため、電気的特性の安定したトランジスタを有する半導体装置を提供することができる。特に、平均グレインサイズが好ましい範囲であれば、上記効果にさらに優れるとともに、容易に製造することができる。

【0020】

ポリシリコン粒子125の粒子径の測定は以下のようにして行う。まず、透過電子顕微鏡(TEM: Transmission electron microscopy)で、ゲート電極126の上面を観察し、所定個数(例えば20個)のポリシリコン粒子125の面積を算出する。算出された面積の平均値を求め、その平均値からポリシリコン粒子125を真円とした場合の粒子径を算出することにより行う。

10

【0021】

このようなゲート電極126は、不活性ガスを含有している。不活性ガスとしては、N₂含有ガス、Ar含有ガス、He含有ガスを挙げることができる。不活性ガス含有量は、単位体積あたりの不活性ガスを構成する元素の個数で表され、 $2 \times 10^{21} \text{ cm}^{-3}$ 以上、 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である。このような不活性ガス含有量は、2次イオン質量分析(Secondary ion mass spectrometry)法にて確認することができる。

【0022】

不活性ガス含有量が上記範囲であることにより、ポリシリコン粒子125の粒子成長を抑制することができ、耐圧不良の発生を抑制することができるため、電気的特性の安定したトランジスタを有する半導体装置を提供することができる。さらに、ゲート電極126の抵抗が上昇することがなく、トランジスタの電気的特性が安定する。

20

【0023】

以下に、本実施形態の半導体装置の製造方法を説明する。なお、N型MOSFET領域とP型MOSFET領域とを形成する例によって説明する。

【0024】

本実施形態の半導体装置の製造方法は、N型MOSFET形成領域およびP型MOSFET形成領域において、半導体基板102上に、ゲート絶縁膜124, 132と、ポリシリコンから構成されるゲート電極126, 130とが積層されたゲート電極部116, 120を形成する工程を含む。

【0025】

さらに、ゲート電極部116, 120を形成する前記工程は、以下の工程を含む。
 (i) ゲート絶縁膜104上にポリシリコン膜106を形成するとともに、P型MOSFET形成領域を覆うようにレジスト膜108を形成する工程(図3(a)~(c))
 (ii) レジスト膜108をマスクとして、N型MOSFET形成領域のポリシリコン膜106に不活性ガスを導入する工程(図3(c))
 (iii) ポリシリコン膜106およびゲート絶縁膜104をエッチングすることにより、ゲート電極部116, 120を形成する工程(図4)

30

【0026】

以下、各工程に沿って半導体装置の製造方法を説明する。

まず、素子分離層114が形成された半導体基板102上に、熱酸化法、熱処理法、スパッタリング法、ALD(Atomic Layer Deposition)などを適宜選択することにより所望のゲート絶縁膜104を形成する(図3(a))。なお、ゲート絶縁膜104の膜厚が、1.6nm以下となるように成膜する。

40

【0027】

次に、CVD法等により、ゲート絶縁膜104上にポリシリコン膜106を成膜する(図3(b))。そして、ポリシリコン膜106全体にレジスト膜を成膜した後、さらに通常のリソグラフィ工程によりP型MOSFET領域にのみレジスト膜108を形成する。

【0028】

次いで、レジスト膜108をマスクとして、N型MOSFET領域のポリシリコン膜106にN型不純物であるAs、Pなどの注入を行うとともに、不活性ガスの注入を行う(

50

図3(c))。N型不純物の注入量は、例えば $2 \times 10^{15} \text{ cm}^{-2}$ 以上、 $1 \times 10^{16} \text{ cm}^{-2}$ 以下程度とすることができる。不活性ガスの注入量は、例えば $2 \times 10^{15} \text{ cm}^{-2}$ 以上、 $1 \times 10^{16} \text{ cm}^{-2}$ 以下程度とすることができる。

【0029】

次いで、通常のリソグラフィ工程、エッチング工程により、N型MOSFET領域において、ゲート絶縁膜124およびゲート電極126が順に積層されてなるゲート電極部116が形成される。一方、P型MOSFET領域において、ゲート絶縁膜132およびゲート電極130が順に積層されてなるゲート電極部120が形成される(図4(a))。

【0030】

そして、ゲート電極部116、120の側壁に、各々サイドウォール128、134を形成する。さらに、通常の方法にしたがい、N型MOSFET領域において、ゲート電極126をマスクとして半導体基板102に、 N^+ 不純物を注入する。さらに熱処理を行うことにより活性化させ、半導体基板102の表層に、ソース/ドレイン層118を形成する。一方、P型MOSFET領域において、ゲート電極130をマスクとして半導体基板102に、 P^+ 不純物を注入する。さらに熱処理を行うことにより活性化させ、半導体基板102の表層には、ソース/ドレイン層122を形成する。(図4(b))。上記の熱処理は、瞬時熱アニール(RTA: Rapid Thermal Anneal)において、例えば1000以上1100以下程度で行うことができる。MOSFETを形成する工程で生じる熱処理において、本実施形態の半導体装置においては、N型MOSFET領域のゲート電極126を構成するポリシリコン粒子の粒径成長を抑制することができる。

【0031】

MOSFETを形成する工程で生じる熱処理により、P型MOSFET領域におけるゲート電極を構成するポリシリコン粒子は粒径成長し、一方、N型MOSFET領域におけるゲート電極を構成するポリシリコン粒子の粒径成長は抑制される。具体的には、N型MOSFET領域におけるゲート絶縁膜104近傍のポリシリコン粒子の平均グレインサイズは、10nm以上150nm以下となり、一方、P型MOSFET領域におけるゲート絶縁膜104近傍のポリシリコン粒子の平均グレインサイズは200nm~300nm程度となる。

【0032】

ポリシリコン粒子の粒径成長が抑制されるメカニズムは明らかではないものの、図5に示すようにポリシリコン粒子125aの粒子界面には、不活性ガスを構成する化合物の分子やその集合体が分散しており、この分子等により、ポリシリコン粒子125aの粒径成長が抑制されると考えられる。

【0033】

このように、N型MOSFET領域に形成されたゲート電極126を構成するポリシリコンの粒径は、P型MOSFET領域に形成されたゲート電極130を構成するポリシリコンの粒径よりも小さい。

【0034】

一般に、P、As等のN型不純物は、B等のP型不純物と比較して、質量、原子半径が大きいため、ゲート電極126を構成するポリシリコンを拡散し難く、またイオン注入時にチャネリングすることがある。そのため、P等のN型不純物を用いる場合は、ポリシリコン粒子を小さくして粒界を増やし、N型不純物をゲート電極126内に十分に拡散させること、またイオン注入時のチャネリングを抑制することができる。これにより、N型MOSFET領域およびP型MOSFET領域において、所望のトランジスタを形成することができる。

【0035】

上記の工程により、N型MOSFET領域にN型電界効果トランジスタ110が形成され、P型MOSFET領域にP型電界効果トランジスタ112が形成される。さらに、所定の工程を行うことによって、本実施形態の半導体装置を製造する。

【0036】

10

20

30

40

50

以下に、本実施形態の効果を説明する。

【0037】

本実施形態によれば、電界効果トランジスタの電気的特性を安定化することができ、信頼性が高く、さらに設計の自由度が向上した半導体装置を提供することができる。

【0038】

一方、特許文献1には、50nm～100nm程度の平均結晶粒径を有するポリシリコン粒子からなるゲート電極が記載されている。当該公報においては、平均結晶粒径に起因する電極の空乏化によりゲート絶縁膜の電気的な実効膜厚を制御するものである。つまり、特許文献1に記載の半導体装置は、電極の空乏化を利用して、トランジスタの絶縁膜に要求される電気的な実効膜厚を確保することを目的とするものである。

10

【0039】

これに対し、本発明者は、上述したようにゲート絶縁膜の膜厚を1.6nm以下とした場合において、ゲート長およびゲート幅に関係なく耐圧不良等の電気的特性が低下するという新規の課題を見出した。さらに、本発明者は、このような課題を解決するためには、ポリシリコン粒子が粒径成長する際のゲート絶縁膜へのストレスを低減する必要があることを見出し、本発明を完成させた。つまり、上記範囲の膜厚のゲート絶縁膜を有する半導体装置において、ゲート絶縁膜近傍のポリシリコンの平均グレインサイズを10nm以上150nm以下となるように制御することにより、ポリシリコン粒子が粒径成長する際のゲート絶縁膜へのストレスが低減される。これにより、電界効果トランジスタの電気的特性を安定化させることができ、信頼性の高い半導体装置を実現することができる。さらに、ゲート長およびゲート幅に関係なく耐圧不良等の電気的特性を向上させることができるため、半導体装置の設計の自由度が向上する。

20

【0040】

以上、図面を参照して第1の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

【0041】

たとえば、第1の実施形態においては、N型MOSFET領域とP型MOSFET領域とが離間している状態により示したが、これらの領域は隣接していてもよい。

【0042】

また、本実施形態においては、ゲート電極126を構成するポリシリコンへのN型不純物の注入は、ソース/ドレイン層を形成するためのN型不純物注入と同時に行ってもよい。さらに、基板全面に形成されたポリシリコン膜106への注入と、ソース/ドレイン層118を形成するためのN型不純物注入と同時注入との、2回の工程によりN型不純物を注入してもよい。なお、ゲート電極130を構成するポリシリコンへのP型不純物の注入も同様である。

30

【0043】

また、SRAM等の場合のように、ゲート電極126、130同士が一体となって構成され、隣接して設けられたN型MOSFET領域とP型MOSFET領域とに亘ってゲート電極が設けられていてもよい(図6)。N型MOSFET領域とP型MOSFET領域との離間距離aは、20nm以下程度である。N型MOSFET領域のゲート電極126には不活性ガスである窒素等が含有されているため、ゲート電極130中の不純物(特にB)が、ゲート電極126中への拡散が抑制される。そのため、B拡散によるゲート電極126の空乏化を抑制することができ、トランジスタの電気特性の劣化が低減される。

40

【0044】

(第2の実施形態)

図7に示すように、本実施形態の半導体装置100は、第1の実施形態の半導体装置と異なり、ゲート絶縁膜124上に、積層構造を有するゲート電極を備える。ゲート電極は、第1ポリシリコン層126a、ストッパ層127および第2ポリシリコン層126bが順に積層されている。

【0045】

50

第1ポリシリコン層126aの膜厚は、1.6nm以下である。下限値は特に限定されないが、製造可能な最小膜厚である1nm程度である。

【0046】

電界効果トランジスタ110と、両隣の電界効果トランジスタとの間の半導体基板102には、素子分離層114が形成されている。電界効果トランジスタ110においては、半導体基板102の表層に一对のソース/ドレイン層118が形成されている。電界効果トランジスタ110の側壁には、サイドウォール128が形成されている。

【0047】

図8に、ゲート電極部116部分の拡大断面図を示す。なお、サイドウォール128等の図示を省略する。

【0048】

図8に示すように、ゲート電極は、第1ポリシリコン層126a、ストッパ層127および第2ポリシリコン層126bが順に積層されて構成されている。第1ポリシリコン層126aは、ポリシリコン粒子136から構成され、第2ポリシリコン層126bは、ポリシリコン粒子138から構成されている。第1ポリシリコン層126aの平均グレインサイズは、10nm以上150nm以下、好ましくは50nm以上100nm以下とすることができる。このような平均グレインサイズであれば、十分なオン電流が得られるとともに、耐圧不良の発生を抑制することができるため、電気的特性の安定したトランジスタを有する半導体装置を提供することができる。特に、平均グレインサイズが、上記の好ましい範囲であれば、上記効果にさらに優れるとともに、容易に製造することができる。

【0049】

一方、第2ポリシリコン層126bの平均グレインサイズは、200nm~300nm程度である。ポリシリコン粒子136, 138の粒子径の測定は、第1の実施形態と同様にして行うことができる。

【0050】

さらに、第1ポリシリコン層126aの層厚bは、10nm以上、50nm以下とすることができる。このような層厚であることにより、ポリシリコン粒子の粒径成長を抑制することができる。

【0051】

またさらに、ストッパ層127の層厚は、0.5nm以上、2nm以下とすることができる。これにより、ポリシリコン粒子の粒径成長を抑制することができ、さらにストッパ層127を介してトンネル電流を流すことができる。

【0052】

以下に、本実施形態の半導体装置の製造方法を説明する。なお、N型MOSFET領域とP型MOSFET領域とを形成する例によって説明する。

【0053】

本実施形態の半導体装置の製造方法は、N型MOSFET形成領域およびP型MOSFET形成領域において、半導体基板102上に、ゲート絶縁膜124, 132と、ポリシリコンから構成されるゲート電極とが積層されたゲート電極部116, 120を形成する工程を含む。

【0054】

さらに、ゲート電極部116, 120を形成する前記工程は、以下の工程を含む。
(i)ゲート絶縁膜104上に、第1ポリシリコン層106aと、ストッパ層107と、第2ポリシリコン層106bと順に積層し積層膜を形成する工程(図9(a)~(b))
(ii)前記積層膜をエッチングすることにより、ゲート電極部116, 120を形成する工程(図9(c)~図10)

【0055】

以下、各工程に沿って説明する。

まず、素子分離層114が形成された半導体基板102上に、熱酸化法、熱処理法、スパッタリング法、ALD(Atomic Layer Deposition)などを適宜選択することにより

10

20

30

40

50

所望の絶縁膜 104 を形成する (図 9 (a)) 。なお、ゲート絶縁膜 104 の膜厚が、1.6 nm 以下となるように成膜する。

【 0056 】

次に、CVD 装置内において、ゲート絶縁膜 104 上に、層厚 b が 10 nm 以上 50 nm 以下となるように第 1 ポリシリコン層 126 a を成膜する。そして、第 1 ポリシリコン層 126 a 上に、層厚 0.5 nm 以上、2 nm 以下のストッパ層 127 を形成する。第 1 ポリシリコン層 126 a およびストッパ層 127 が所望の膜厚となるように、装置内の圧力、反応ガスの種類や導入量を適宜選択して成膜する。

【 0057 】

ストッパ層 127 としては、酸化膜、窒化膜、炭化膜等を用いることができる。これらの膜は、CVD 装置内に反応ガスとして酸素、 NH_3 、炭化水素等を導入することにより形成される。

【 0058 】

ストッパ層 127 を形成した後、反応ガスを切り替え、ストッパ層 127 上に第 2 ポリシリコン層 126 b を形成する (図 9 (b)) 。

【 0059 】

そして、第 2 ポリシリコン層 126 b 全体にレジスト膜を成膜した後、さらに通常のリソグラフィ工程により P 型 MOSFET 領域にのみレジスト膜を残す。次いで、レジスト膜をマスクとして、N 型 MOSFET 領域の第 1 ポリシリコン膜 106 a および第 2 ポリシリコン層 126 b に N 型不純物である As、P などの注入を行うとともに、不活性ガスの注入を行う。P 型不純物の注入量は、例えば $2 \times 10^{15} \text{ cm}^{-2}$ 以上、 $1 \times 10^{16} \text{ cm}^{-2}$ 以下程度とすることができる。不活性ガスの注入量は、例えば $2 \times 10^{15} \text{ cm}^{-2}$ 以上、 $1 \times 10^{16} \text{ cm}^{-2}$ 以下程度とすることができる。

【 0060 】

次いで、通常のリソグラフィ工程、エッチング工程により、N 型 MOSFET 領域において、ゲート絶縁膜 124、第 1 ポリシリコン層 126 a、ストッパ層 127 および第 2 ポリシリコン層 126 b が順に積層されてなるゲート電極部 116 が形成される。一方、P 型 MOSFET 領域において、ゲート絶縁膜 132、第 1 ポリシリコン層 130 a、ストッパ層 131 および第 2 ポリシリコン層 130 b が順に積層されてなるゲート電極部 120 が形成される (図 9 (c)) 。

【 0061 】

そして、ゲート電極部 116、120 の側壁に、各々サイドウォール 128、134 を形成する。さらに、通常の方法にしたがい、N 型 MOSFET 領域において、ゲート電極 126 をマスクとして半導体基板 102 に、 N^+ 不純物を注入する。さらに熱処理を行うことにより活性化させ、半導体基板 102 の表層にソース/ドレイン層 118 を形成する。一方、P 型 MOSFET 領域において、ゲート電極 130 および半導体基板 102 に、 P^+ 不純物を注入する。さらに、熱処理を行うことにより活性化させ、半導体基板 102 の表層にソース/ドレイン層 122 を形成する。(図 10)。上記の熱処理は、瞬時熱アニール (RTA : Rapid Thermal Anneal) において、例えば 1000 以上 1100 以下程度で行うことができる。MOSFET を形成する工程で生じる熱処理において、本実施形態の半導体装置においては、N 型 MOSFET 領域の第 1 ポリシリコン層 126 a を構成するポリシリコン粒子の粒径成長を抑制することができる。

【 0062 】

MOSFET を形成する工程で生じる熱処理により、N 型 MOSFET 領域における第 1 ポリシリコン層 126 a を構成するポリシリコン粒子の粒径成長は、ストッパ層 127 により抑制される。つまり、ストッパ層 127 は、ポリシリコン粒子の粒径成長抑制層として機能する。

【 0063 】

さらに、第 1 ポリシリコン層 126 a の層厚が上記の範囲にあるため、第 1 ポリシリコン層 126 a を構成するポリシリコン粒子の平均グレインサイズは、10 nm 以上 150

10

20

30

40

50

n m以下となる。一方、第2ポリシリコン層126bを構成するポリシリコン粒子の平均グレインサイズは200nm~300nm程度となる。P型MOSFET領域においても、N型MOSFET領域と同様である。

【0064】

上記の工程により、N型MOSFET領域にN型電界効果トランジスタ110が形成され、P型MOSFET領域にP型電界効果トランジスタ112が形成される。さらに、所定の工程を行うことによって、本実施形態の半導体装置を製造する。

【0065】

以下に、本実施形態の効果を説明する。

【0066】

本実施形態においても、第1の実施形態と同様の効果が得られ、さらに、N型MOSFETにおいても、ゲート絶縁膜へのストレスが低減されることにより、電界効果トランジスタの電気的特性を安定化させることができ、より信頼性の高い半導体装置を実現することができる。

【0067】

さらに、本実施形態においては、ゲート電極を構成するポリシリコンを形成する際に、酸化膜等のストッパ膜を形成するという簡便な方法により、電界効果トランジスタの電気的特性を安定化させることができ、より信頼性の高い半導体装置を得ることができる。

【0068】

以上、図面を参照して第2の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

【0069】

たとえば、第2の実施形態においては、N型MOSFET領域とP型MOSFET領域とが離間している状態により示したが、これらの領域は隣接していてもよい。

【0070】

また、本実施形態においては、ゲート電極を構成するポリシリコンへのN型不純物の注入は、ソース/ドレイン層を形成するためのN型不純物注入と同時に行ってもよい。さらに、基板全面に形成された第1ポリシリコン膜106aおよび第2ポリシリコン膜106bへの注入と、ソース/ドレイン層118を形成するためのN型不純物注入と同時注入との、2回の工程によりN型不純物を注入してもよい。なお、ゲート電極部120を構成するポリシリコンへのP型不純物の注入も同様である。

【0071】

また、SRAM等の場合のように、ゲート電極126, 130同士が一体となって構成され、隣接して設けられたN型MOSFET領域とP型MOSFET領域とに亘ってゲート電極が設けられていてもよい(図6)。この場合、第1の実施形態と同様に、N型MOSFET領域のゲート電極126には不活性ガスを導入することもできる。N型MOSFET領域とP型MOSFET領域との離間距離aは、20nm以下程度である。

【0072】

さらに、第1ポリシリコン層126aと第2ポリシリコン層126bとの間には、ストッパ層127が形成されているため、仮に第2ポリシリコン層126b中にP型不純物であるBが拡散しても、第1ポリシリコン層126aへの拡散が抑制される。そのため、B拡散によるゲート電極126の空乏化を抑制することができ、トランジスタの電気特性の劣化が低減される。

【0073】

またさらに、第1の実施形態と第2の実施形態とを組み合わせるにより、トランジスタの電気特性の劣化をさらに低減することができる。

[実施例]

[実施例1]

【0074】

第1の実施形態(図3~図4)と同様の方法により半導体装置を製造した。なお、製造

10

20

30

40

50

条件および半導体装置の構成等は以下の通りであった。

- ・ゲート絶縁膜 124、132：SiO₂膜、膜厚1.5nm（熱酸化法）
- ゲート電極 126：ポリシリコン粒子の平均グレインサイズ100nm、窒素含有量 $1 \times 10^{21} \text{ cm}^{-3}$ （ドーズ量： $1 \times 10^{15} \text{ cm}^{-2}$ 程度）
- ・ゲート電極 130：ポリシリコン粒子の平均グレインサイズ300nm
- ・N型不純物：P / P型不純物：B
- ・ソース/ドレイン層を形成する際の熱処理温度：1000

[実施例2]

【0075】

ゲート電極 126におけるポリシリコン粒子の平均グレインサイズを150nm、窒素含有量 $2 \times 10^{21} \text{ cm}^{-3}$ （ドーズ量： $2 \times 10^{15} \text{ cm}^{-2}$ 程度）とした以外は、実施例1と同様にして半導体装置を製造した。 10

[比較例1]

【0076】

ゲート電極 126におけるポリシリコン粒子の平均グレインサイズを2nm、窒素含有量 $2 \times 10^{22} \text{ cm}^{-3}$ （ドーズ量： $2 \times 10^{16} \text{ cm}^{-2}$ 程度）とした以外は、実施例1と同様にして半導体装置を製造した。

【0077】

実施例1、2、比較例1の半導体装置における、トランジスタのオン電流の測定結果を図14に示し、耐圧不良が発生しない良品の取得率（以下、良品率）を図15に示す。なお、図14においては、比較例1の結果を100とした相対比較により示す。 20

【0078】

図14に示すように、トランジスタのオン電流は、実施例1、2において相対比較で、117、118であり、十分なオン電流を確保することができた。また、平均粒径10nmにおいても、トランジスタのオン電流は相対比較で、107であり十分なオン電流を確保することができた。

【0079】

また、図15に示すように、良品率は、実施例1においては100%であり、実施例2においては30%であった。また、平均粒径160nm以上になると、良品率は10%以下になることを確認した。 30

【0080】

このような結果から、平均粒径は、10nm以上150nm以下の範囲において、十分なオン電流を確保できるとともに、耐圧不良が発生しない良品の取得率が好ましい範囲にあることが確認された。

[比較例2]

【0081】

ゲート電極 126における窒素含有量 $1 \times 10^{21} \text{ cm}^{-3}$ （ドーズ量： $1 \times 10^{15} \text{ cm}^{-2}$ 程度）とした以外は、実施例1と同様にして半導体装置を製造した。なお、ポリシリコン粒子の平均グレインサイズは170nmであった。

[比較例3]

【0082】

ゲート電極 126形成時に、不活性ガスとして窒素を注入しなかった以外は、実施例1と同様にして半導体装置を製造した。なお、ポリシリコン粒子の平均グレインサイズは300nmであった。

【0083】

実施例1、比較例2および3の半導体装置における、ゲートリーク電流と累積度数との関係を図16に示す。図16に示すように、比較例2（窒素含有量 $1 \times 10^{21} \text{ cm}^{-3}$ ）、比較例3（窒素注入なし）の場合は、ゲートリーク電流が増加し、ゲート絶縁膜の耐圧が低下することが確認された。

[実施例3]

【0084】

第2の実施形態(図9~図10)と同様の方法により半導体装置を製造した。なお、製造条件および半導体装置の構成等は以下の通りであった。

- ・ゲート絶縁膜124、132: SiO₂膜、膜厚1.5nm(熱酸化法)
- ・第1ポリシリコン層126a、130a: ポリシリコン粒子の平均グレインサイズ70nm、層厚b 30nm
- ・第2ポリシリコン層126b、130b: ポリシリコン粒子の平均グレインサイズ300nm
- ・ストップ膜127、131: SiO₂膜、膜厚1nm
- ・N型不純物: P/P型不純物: B
- ・ソース/ドレイン層を形成する際の熱処理温度: 1000

10

[比較例4]

【0085】

ストップ膜127、131を形成しなかった以外は、実施例3と同様にして半導体装置を製造した。

【0086】

実施例3、比較例4の半導体装置における、ゲートリーク電流と累積度数との関係を図17に示す。図17に示すように、比較例4(ストップ膜127、131なし)の場合は、ゲートリーク電流が増加し、ゲート絶縁膜の耐圧が低下することが確認された。

【0087】

また、ストップ層127、131の層厚が、2nmである半導体装置においては、実施例3と同様にトランジスタの電気的特性が安定していることが確認された。一方、ストップ層127、131の層厚が、3nmである半導体装置においては、トランジスタの電気的特性が低下することが確認された。

20

【0088】

さらに第1ポリシリコン層126a、130aの層厚bが、30nmである半導体装置においては、トランジスタの電気的特性が安定していることが確認された。一方、第1ポリシリコン層126a、130aの層厚bが、60nmである半導体装置においては、ゲート絶縁膜の耐圧が低下することが確認された。

【図面の簡単な説明】

30

【0089】

【図1】第1の実施形態に係る半導体装置を模式的に示した断面図である。

【図2】第1の実施形態に係るゲート電極の断面を拡大する図である。

【図3】第1の実施形態に係る半導体装置の製造方法を模式的に示した工程断面図である。

【図4】第1の実施形態に係る半導体装置の製造方法を模式的に示した工程断面図である。

【図5】第1の実施形態に係る半導体装置における、ポリシリコン粒子の粒径成長の抑制を説明する断面図である。

【図6】本実施形態に係る半導体装置の他の形態を模式的に示した上面図である。

40

【図7】第2の実施形態に係る半導体装置を模式的に示した断面図である。

【図8】第2の実施形態に係るゲート電極の断面を拡大する図である。

【図9】第2の実施形態に係る半導体装置の製造方法を模式的に示した工程断面図である。

【図10】第2の実施形態に係る半導体装置の製造方法を模式的に示した工程断面図である。

【図11】第2の実施形態に係る半導体装置における、ポリシリコン粒子の粒径成長の抑制を説明する断面図である。

【図12】本発明の課題を説明するグラフである。

【図13】本発明の課題を説明するグラフである。

50

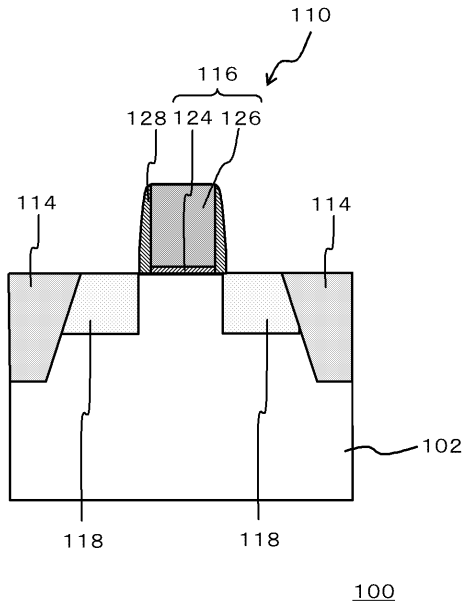
- 【図14】実施例における結果を示すグラフである。
 【図15】実施例における結果を示すグラフである。
 【図16】実施例における結果を示すグラフである。
 【図17】実施例における結果を示すグラフである。
 【図18】従来の半導体装置を模式的に示した断面図である。

【符号の説明】

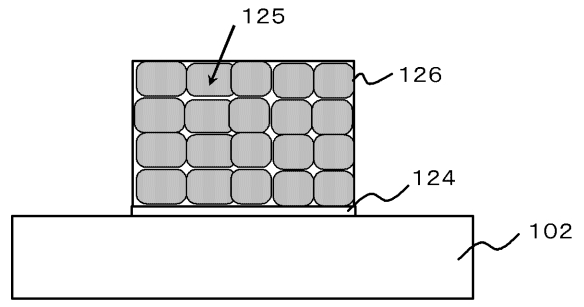
【0090】

| | | |
|----------|-----------------|----|
| 1 | 半導体装置 | |
| 5 | 半導体基板 | |
| 10 | 第1電界効果トランジスタ | 10 |
| 12 | 第2電界効果トランジスタ | |
| 14 | 素子分離層 | |
| 16 | 第1ゲート電極部 | |
| 18, 22 | ソース/ドレイン層 | |
| 20 | 第2ゲート電極部 | |
| 24 | 第1ゲート絶縁膜 | |
| 26 | 第1ゲート電極 | |
| 28, 34 | サイドウォール | |
| 30 | 第2ゲート電極 | |
| 32 | 第2ゲート絶縁膜 | 20 |
| 100 | 半導体装置 | |
| 102 | 半導体基板 | |
| 104 | ゲート絶縁膜 | |
| 106 | ポリシリコン膜 | |
| 106a | 第1ポリシリコン層 | |
| 106b | 第2ポリシリコン層 | |
| 107 | ストッパ層 | |
| 108 | レジスト膜 | |
| 110 | N型電界効果トランジスタ | |
| 112 | P型電界効果トランジスタ | 30 |
| 114 | 素子分離層 | |
| 116, 120 | ゲート電極部 | |
| 118, 122 | ソース/ドレイン層 | |
| 124, 132 | ゲート絶縁膜 | |
| 125a | ポリシリコン粒子(粒径成長前) | |
| 125 | ポリシリコン粒子 | |
| 126 | ゲート電極 | |
| 126, 130 | ゲート電極 | |
| 126a | 第1ポリシリコン層 | |
| 126b | 第2ポリシリコン層 | 40 |
| 127, 131 | ストッパ層 | |
| 128, 134 | サイドウォール | |
| 130a | 第1ポリシリコン層 | |
| 130b | 第2ポリシリコン層 | |
| 136, 138 | ポリシリコン粒子 | |
| a | 離間距離 | |
| b | 層厚 | |

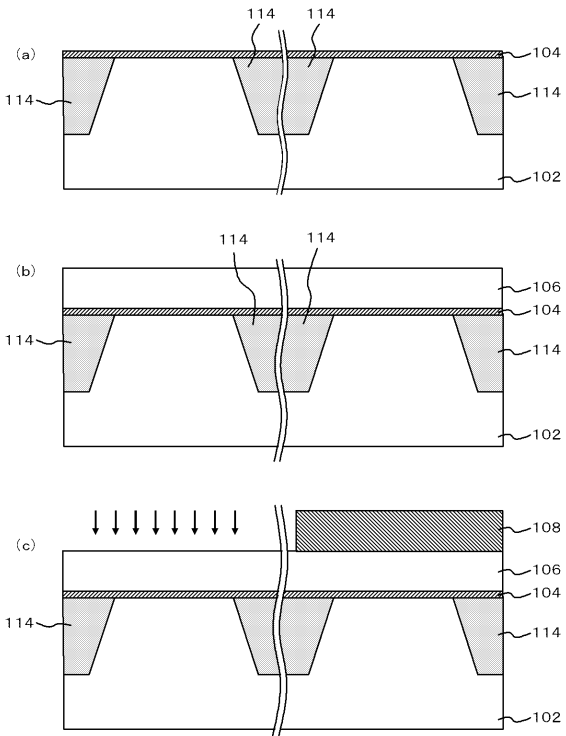
【 図 1 】



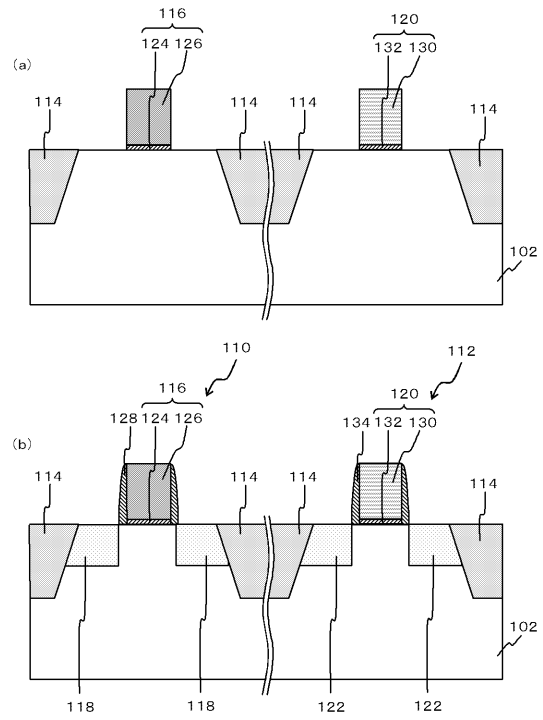
【 図 2 】



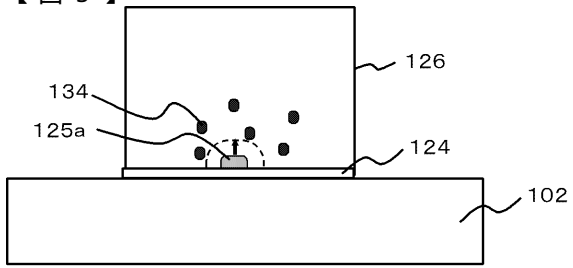
【 図 3 】



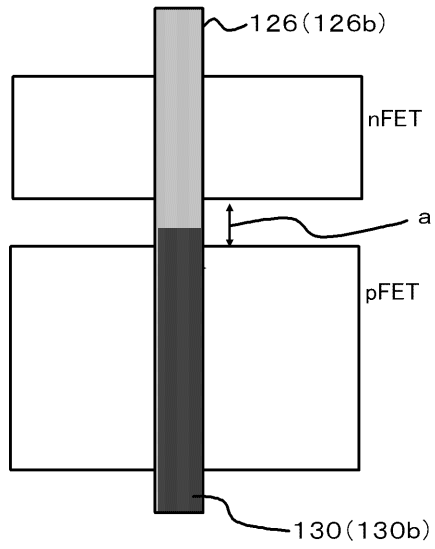
【 図 4 】



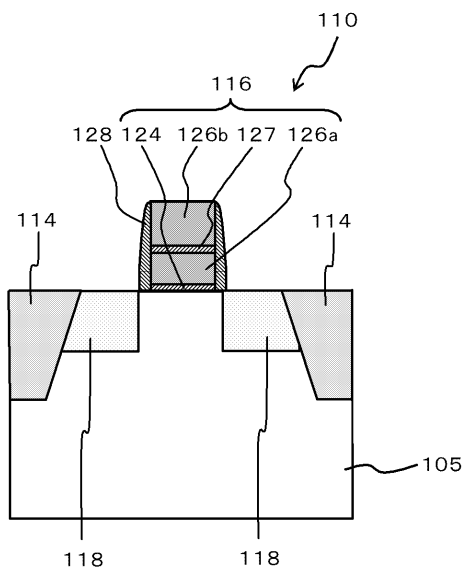
【 図 5 】



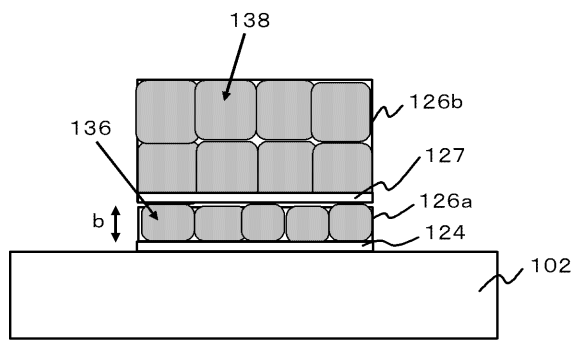
【 図 6 】



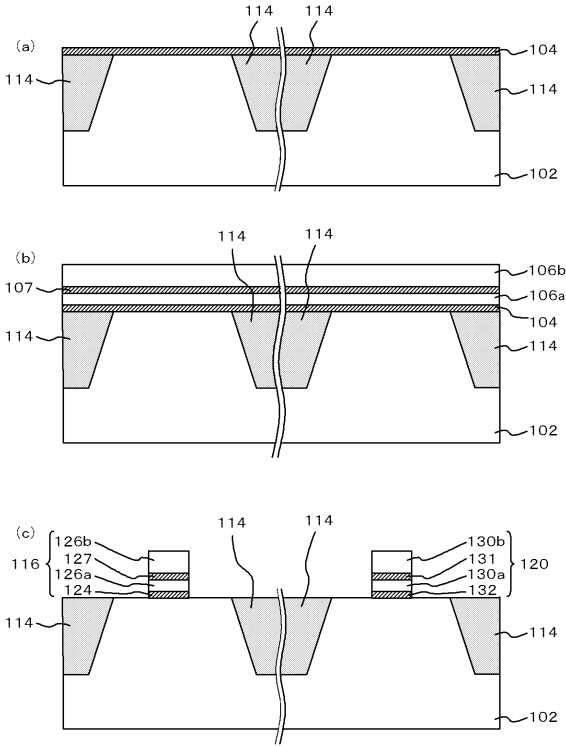
【 図 7 】



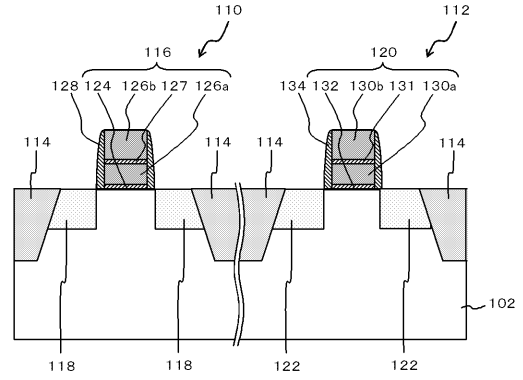
【 図 8 】



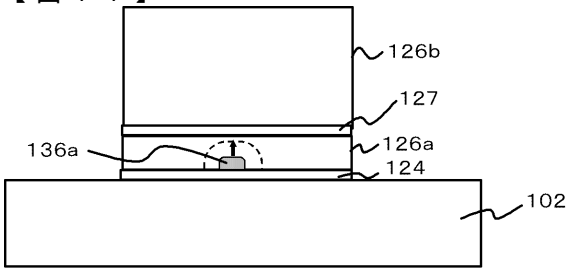
【図9】



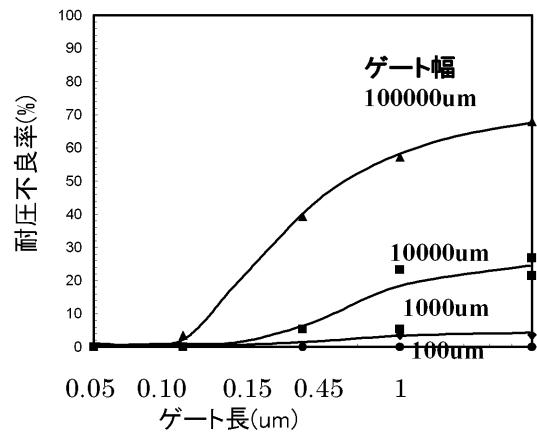
【図10】



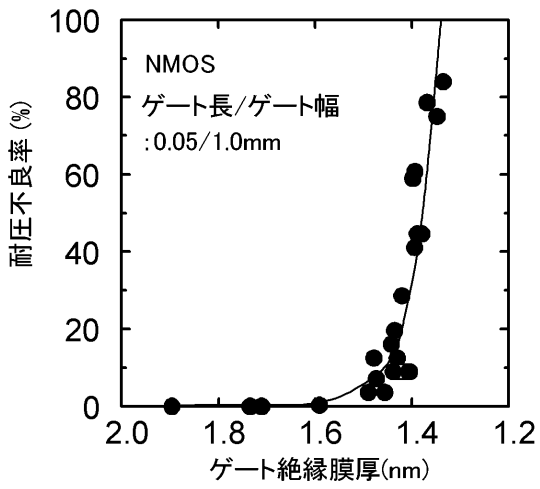
【図11】



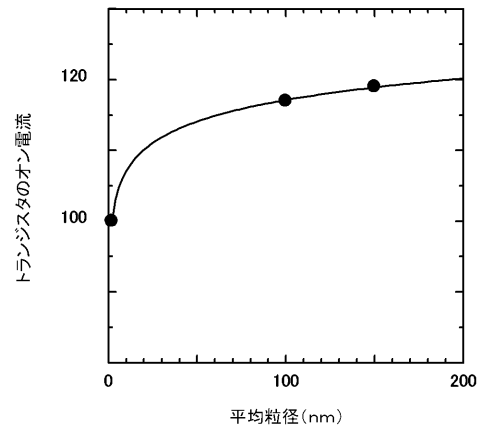
【図12】



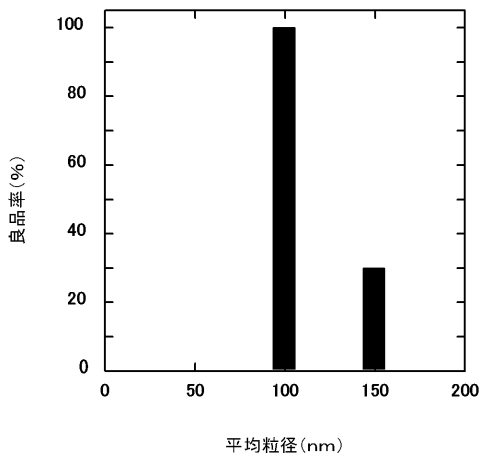
【 図 1 3 】



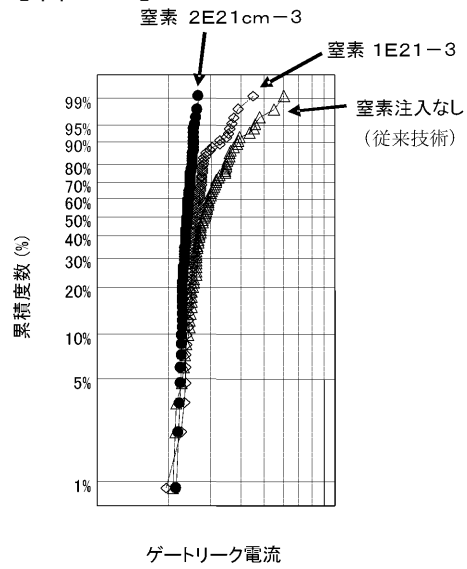
【 図 1 4 】



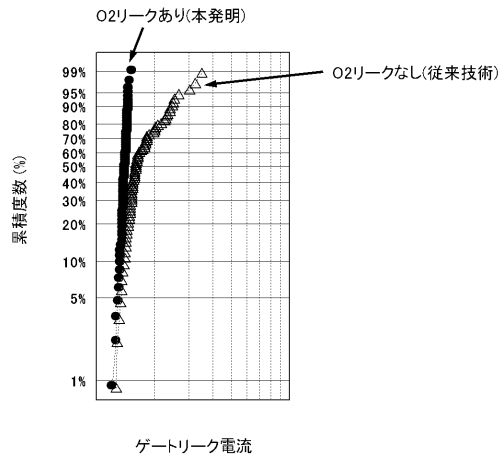
【 図 1 5 】



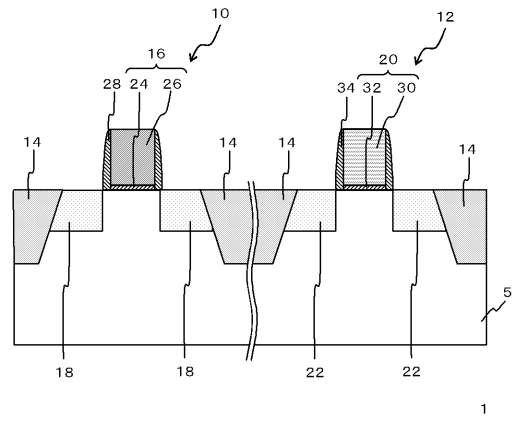
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H O 1 L 27/092 (2006.01)

H O 1 L 21/8244 (2006.01)

H O 1 L 27/11 (2006.01)

Fターム(参考) 5F048 AA00 AA07 BA01 BB00 BB03 BB04 BB06 BB07 BB10 BB11
BB13 BD02 BD10 BF19 DA23
5F083 BS00 GA06 JA32 PR12 PR21 PR22 PR34
5F140 AA00 AA25 AB03 AC32 BD04 BD09 BE07 BE09 BF01 BF04
BF13 BF21 BF24 BF33 BF35 BF38 BG08 BG28 BG32 BG37
BK13 BK21 CB04 CF07