

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年8月27日(27.08.2009)

PCT

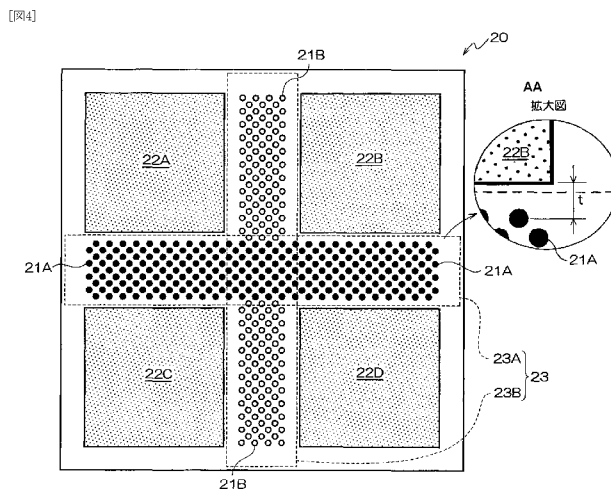
(10) 国際公開番号
WO 2009/104536 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) *H01L 25/07* (2006.01)
H01L 21/60 (2006.01) *H01L 25/18* (2006.01)
H01L 25/04 (2006.01) *H01L 27/04* (2006.01)
H01L 25/065 (2006.01)
- (21) 国際出願番号: PCT/JP2009/052493
- (22) 国際出願日: 2009年2月16日(16.02.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-037452 2008年2月19日(19.02.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社リキッド・デザイン・システムズ (Liquid Design Systems, Inc.) [JP/JP]; 〒2130012 神奈川県川崎市高津区坂戸3-2-1 KSP西421B Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 間淵 義宏 (MABUCHI, Yoshihiro) [JP/JP]; 〒2130012 神奈川県川崎市高津区坂戸3-2-1 KSP西421
- B 株式会社リキッド・デザイン・システムズ内 Kanagawa (JP).
- (74) 代理人: 中島 淳, 外 (NAKAJIMA, Jun et al.); 〒1600022 東京都新宿区新宿4丁目3番17号 HK新宿ビル7階 太陽国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

[続葉有]

(54) Title: SEMICONDUCTOR CHIP AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体チップ及び半導体装置



AA MAGNIFIED DRAWING

(57) Abstract: Provided is a semiconductor chip, which has a number of electrodes reduced as much as possible, eliminates a connection failure by maintaining parallelism with a mounting substrate at the time of mounting and suppresses even breakage of a semiconductor circuit. In the semiconductor chip, for instance, a cross-shaped connecting bump arrangement region (23) is formed between memory banks (22A-22D) facing each other with a prescribed space in between. In a region (23A) in the cross-shaped connecting bump arrangement region (23), a group of signal input/output connecting bumps (21A) (first electrodes) are arranged. In a region (23B) which orthogonally intersects with a region (23A) wherein the group of signal input/output connecting bumps (21A) are formed, a group of power/grounding connecting bumps (21B) are arranged. Thus, when a storage device chip (20) is mounted on a wiring chip (10), a tilt of the storage device chip (20) is supported by the power/grounding connecting bumps (21B) (through a solder), and parallelism is maintained by the minimum number of bumps. In such manner, for instance, a storage chip (20) is constituted.

(57) 要約:

[続葉有]



WO 2009/104536 A1



NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, 添付公開書類:
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, — 国際調査報告 (条約第 21 条(3))
TG).

電極数を極力低減すると共に、実装時に実装基板との平行度を保って接続不良の防止を図り、且つ半導体回路の破壊をも抑制した半導体チップを提供すること。例えば、所定の間隙を持って対向させた各メモリバンク 22 A ~ 22 D 間により形成された十字状の接続バンプ配置領域 23 が設けられている。そして、十字状の接続バンプ配置領域 23 における領域 23 A に、信号入出力用接続バンプ 21 A (第 1 の電極) が群をなして配設させている。一方で、当該信号入出力用接続バンプ 21 A が群をなす領域 23 A に直交する領域 23 B 内に電力・接地用接続バンプ 21 B の群を配設させることで、記憶装置チップ 20 を配線チップ 10 に実装した際、当該記憶装置チップ 20 が傾くのを当該電力・接地用接続バンプ 21 B が支持し (半田を介して支持し)、最小限のバンプ数で平行度が保たれる。このように、例えば記憶装置チップ 20 を構成する。

明 細 書

半導体チップ及び半導体装置

技術分野

[0001] 本発明は、半導体チップ(例えば、メモリチップ、論理回路チップ等)、及びそれを備える半導体装置に関するものである。

背景技術

[0002] 近年、LSIの大規模化、プロセスの複雑化に伴い、異種の半導体チップを1つのパッケージに収納することで、SIP(システム・イン・パッケージ)という手法が広まりつつある。この手法により、他社の半導体チップとの混載や、光・機械等の異種の半導体チップとの混載等の多機能化を進める事も可能となる。

[0003] このような半導体チップの実装には、例えばフリップ・チップ実装の如く、半導体チップの半導体回路主面上に、必要に応じて追加配線を施した後に、はんだ、金又は銅の bumps を生成して実装基板と半導体回路主面を対向させて圧着して、高密度な半導体チップの実装を可能とする手法がある。

[0004] ところで、半導体チップに対し、種々を目的として電極の位置や形状、実装構造を工夫する提案が従来からなされている(例えば、特許文献1~7)。

[0005] そして、例えば、処理速度の向上を目的として、半導体チップに形成する半導体回路(記憶回路や論理回路)の形成領域を分割することが行われている。また、分割した半導体回路形成領域間により形成される間隙領域の中央部付近に偏在(集約)させて、電極を配設することも行われている。これは、分割した半導体回路に対する信号入出力配線形成効率や電極のチップ占有面積を最小化するために行われている。

[0006] また、一般的に、半導体装置の処理速度を言い表すパラメータとして、バンド幅(転送レート)が知られている。このバンド幅は、半導体装置の動作周波数と半導体装置の入出力データ数(入出力ビット数)の積として規定される。例えば、汎用のDDR、DRAMを考えると、半導体装置の動作周波数を166MHz、半導体装置の入出力データ数を32個とした場合に相当し、そのバンド幅は0.66GB/sとなる。

特許文献1:特開平7-263449

特許文献2:特開2000-188381

特許文献3:特開2000-315776

特許文献4:特開2002-26037

特許文献5:特開2003-258154

特許文献6:特開2006-147629

特許文献7:特表2007-529930

発明の開示

発明が解決しようとする課題

[0007] しかしながら、電極を半導体チップの中央部付近に偏在させて配設すると、半導体チップを実装基板(配線チップも含む)にフリップ・チップ実装したとき、実装基板との平行度が保たれ難くなり(即ち、半導体チップが実装基板対して傾いて実装されやすくなり)、接続不良が生じることがある。

[0008] 一方で、半導体チップと実装基板との実装時の平行度を保つために、電極を半導体回路形成領域上にまで形成すると、実装する際の圧力により半導体回路が破壊されてしまう恐れがあり、信頼性が低減することもある。

[0009] そこで、本発明の課題は、電極数を極力低減すると共に、実装時に実装基板との平行度を保って接続不良の防止を図り、且つ半導体回路の破壊をも抑制した半導体チップ、及びそれを備える半導体装置を提供することである。

課題を解決するための手段

[0010] 上記課題は、以下の手段により解決される。即ち、

請求項1に係る発明は、

半導体回路がそれぞれ形成された矩形状の4つの第1～第4の半導体回路形成領域であつて、直交する2辺を所定間隙を持って互いに対向させて配設される第1～第4の半導体回路形成領域と、

互いの前記第1～第4の半導体回路形成領域間により形成される間隙からなり、且つ直交する2つの第1～第2の領域で構成される十字状の電極配置領域と、

前記十字状の電極配置領域のうち、前記第1の領域内の少なくとも一部に配設され

、前記半導体回路に接続され、前記半導体回路に電力又は信号を供給する第1の電極群と、

前記十字状の電極配置領域のうち、前記第2の領域内の少なくとも一部に配設され、前記半導体回路に接続され、前記半導体回路に電力又は信号を供給する第2の電極群と、

を備える半導体チップである。

[0011] 請求項2に係る発明は、

前記第1の電極群が信号入出力用の電極を含んで構成される電極群であると共に、前記第2の電極群が電力供給用の電極及び接地用の電極を含んで構成される電極群である請求項1に記載の半導体チップである。

[0012] 請求項3に係る発明は、

前記半導体回路が記憶回路であると共に、前記半導体チップが記憶装置チップである請求項1又は2に記載の半導体チップである。

[0013] 請求項4に係る発明は、

配線チップと、

前記配線チップの主面上に、電極群を対向させて実装された第1の半導体チップと、

前記第1の半導体チップとは異なる第2の半導体チップであって、前記配線チップの主面上に、電極群を対向させて実装された第2の半導体チップと、

を備え、

前記第2の半導体チップが、請求項1～3のいずれか1項に記載の半導体チップである半導体装置である。

[0014] 請求項5に係る発明は、

第1の半導体チップと、

前記第1の半導体チップとは異なる第2の半導体チップであって、前記第1の半導体チップの主面上に、電極群を対向させて実装された第2の半導体チップと、

を備え、

前記第2の半導体チップが、請求項1～3のいずれか1項に記載の半導体チップで

ある半導体装置である。

発明の効果

[0015] 本発明によれば、電極数を極力低減すると共に、実装時に実装基板との平行度を保って接続不良の防止を図り、且つ半導体回路の破壊をも抑制した半導体チップを提供することができる。

図面の簡単な説明

[0016] [図1]実施形態に係る半導体装置を示す平面図である。

[図2]図1のA-A断面図である。

[図3]図1のB-B断面図である。

[図4]実施形態に係る半導体装置における記憶装置チップを示す平面図である。

[図5]他の実施形態に係る半導体装置における記憶装置チップを示す平面図である

。

[図6]他の実施形態に係る半導体装置における記憶装置チップを示す平面図である

。

[図7]他の実施形態に係る半導体装置における記憶装置チップを示す平面図である

。

[図8]他の実施形態に係る半導体装置における記憶装置チップを示す平面図である

。

[図9]他の実施形態に係る半導体装置における記憶装置チップを示す平面図である

。

[図10]図9のC-C断面図である。

発明を実施するための最良の形態

[0017] 次に、本発明の適用可能な実施形態を説明する。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載及び図面は、適宜、省略及び簡略化がなされている。また、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能である。なお、各図において同一の符号を付されたものは同一の構成要素を示しており、適宜、説明を省略する。

- [0018] 図1は、実施形態に係る半導体装置を示す平面図である。図2は、図1のA-A断面図である。図3は、図1のB-B断面図である。図4は、実施形態に係る半導体装置における記憶装置チップを示す平面図である。
- [0019] 本実施形態に係る半導体装置100は、図1～図3に示すように、インターポーザ(実装基板)としての配線チップ10の同一主表面上に、2つの記憶装置チップ20(第2の半導体チップ)と、アプリケーション・スペシフィック・チップ(Application Specific Chip: 特定用途用理論回路チップ、以下、ASICと称する: 第1の半導体チップ)30とがフリップ実装されている。2つの記憶装置チップ20とASIC30とは、2つの記憶装置チップ20のそれぞれの一辺とASIC30の一辺とが対向するように配設されている。そして、配線チップ10と、記憶装置チップ20及びASIC30との間には、アンダーフィル樹脂42(封止材)が充填されている。このアンダーフィル樹脂42は、配線チップ10の同一主表面上に突出して配設されると共に、半導体チップ実装領域(記憶装置チップ20及びASIC30の実装領域)を取り囲んで配設されたダム部材42A(堰き止め部材)により堰き止められて充填されている。なお、このダム部材42Aは、半導体チップ実装領域外側に配設した形態を示しているが、当該半導体チップ実装領域内側に配設してもよい。但し、ダム部材42Aは、電極群形成領域よりも、外側に配設する必要がある。
- [0020] 配線チップ10は、シリコン基板に不図示の複数の金属配線(例えばアルミ線や銅線など)が配されて形成されている。そして、図1～図3に示すように、各々の金属配線の一端側及び他端側に、記憶装置チップ20実装用の接続パッド11Aと、ASIC30実装用の接続パッド11Bと、が各々接続され群を成している。これら接続パッド11A, 11Bは例えばアルミニウムなどの導電性材料で構成している。
- [0021] 配線チップ10の接続パッド11A, 11Bは、実装する記憶装置チップ20及びASIC30の接続パッドに対応して配列されている。無論、配線チップ10の接続パッド11A, 11Bは、その配設領域内で、実装する記憶装置チップ20及びASIC30の接続パッドに応じて、格子状、千鳥配列でもよいし、それ以外の配列であってもよい。
- [0022] これら配線チップ10の接続パッド11A, 11Bの配線ピッチは、実装するチップに応じて、適宜設定される。例えば、本実施形態では、2つの記憶装置チップ20として25

6Mビットのマルチ・メディア・メモリとASIC30のバンド幅に対応して、記憶装置チップ20の入出力ビット数が最低256ビット×2=512ビット必要とし、これを実装するためには接続パッド11A, 11Bの配列ピッチは20 μ m必要となる。これに限られず、例えば、20 μ m~60 μ mの範囲で適宜設定することができる。

なお、ここで、上述した2つの記憶装置チップ20として256Mビットのマルチ・メディア・メモリとASIC30のバンド幅について説明する。前述したように、このバンド幅は、半導体装置の動作周波数と半導体装置の入出力データ数(入出力ビット数)の積として規定される。

例えば、本実施形態での半導体装置の動作周波数を33MHz、半導体装置の入出力データ数を256×2=512個とした場合、そのバンド幅は2.1GB/sとなる。

[0023] 配線チップ10の接続パッド11A, 11Bの数も、実装するチップに応じて、適宜設定される。例えば、本実施形態では、2つの記憶装置チップ20として256Mビットのマルチ・メディア・メモリを2個とASIC30とを搭載するため、約2500個設ける。これに限られず、実装する半導体チップに応じて例えば2000個~5000個の範囲で適宜設定することができる。

[0024] 配線チップ10は、実装する記憶装置チップ20及びASIC30と同じシリコン基板から構成している。このため、熱や伸び縮み等に対する物理的な強度も高く、高信頼性を確保できる。

[0025] 記憶装置チップ20は、シリコン基板上に半導体プロセスにより形成されたものであり、本実施形態では、図示しないが、例えばその記憶容量が256Mビットのマルチ・メディア・メモリを搭載している。

[0026] また、記憶装置チップ20としては、これに限られず、汎用のダイナミック・ランダム・アクセス・メモリ(DRAM)を使うこともできる。同様に、記憶装置チップ20としては、汎用のスタティック・ランダム・アクセス・メモリ(SRAM)、不揮発性記憶装置等も使うこともできる。

[0027] そして、記憶装置チップは、図4に示すように、その主面側に、4つに分割された矩形形状のメモリバンク22A~22D(第1~第4の半導体回路形成領域)が設けられ、当該メモリバンク22A~22Dにメモリを構成する記憶回路(半導体回路:不図示)がそ

れぞれ形成されている。なお、図示しないが、メモリ回路には、例えば、複数のメモリセルと、複数のメモリセルにそれぞれ接続された複数のビット線及び複数のワード線を有し、アドレス信号に応じて前記複数のメモリセルから所定のメモリセルを選択するためのアクセス回路と、を含んで構成されている。

[0028] 具体的には、メモリバンク22Aの一边とメモリバンク22Bの一边とが所定の間隙を持って対向するように、メモリバンク22Aとメモリバンク22Bとが配置されている。また、メモリバンク22Aにおけるメモリバンク22Bに対向する一边に対して直交する他辺とメモリバンク22Cの一边とが所定の間隙を持って対向するように、メモリバンク22Aとメモリバンク22Cとが配置されている。また、メモリバンク22Bにおけるメモリバンク22Aに対向する一边に対して直交する他辺とメモリバンク22Dの一边とが所定の間隙を持って対向するように、メモリバンク22Bとメモリバンク22Cとが配置されている。そして、メモリバンク22Cにおけるメモリバンク22Aに対向する一边に対して直交する他辺とメモリバンク22Dにおけるメモリバンク22Bに対向する一边に対して直交する他辺とが所定の間隙を持って対向して、メモリバンク22Cとメモリバンク22Dとが配置されている。

[0029] 即ち、記憶装置チップ20の主面側において、直交する2辺を所定間隙を持って互いに対向させて、矩形状の4つのメモリバンク22A～22Dが配設され、メモリバンク22A～22D全体が当該主面の縁部に沿った形状(記憶装置チップ20の形状:矩形状)をなしている。そして、所定の間隙を持って対向させた各メモリバンク22A～22D間により形成された、記憶装置チップ20の主面上には十字状の間隙が設けられている。

[0030] この十字状の間隙は、接続バンプ(突起した電極)を配設する領域として利用される接続バンプ配置領域23(電極配置領域)として利用される。この十字状の接続バンプ配置領域23は、直交する2つの領域23A、23Bにより構成されている。

[0031] 具体的には、十字状の接続バンプ配置領域23において、領域23Aは、メモリバンク22A及び22Bとメモリバンク22C及び22Dとの間に設けられる間隙が、メモリバンク22A及び22Bの対向方向(メモリバンク22C及び22Dの対向方向)に記憶装置チップ20の主面の対向する両縁部まで延在した領域である。一方、領域23Bは、領域2

3Aは、メモリバンク22A及び22Cとメモリバンク22B及び22Dとの間に設けられる間隙が、メモリバンク22A及び22Cの対向方向(メモリバンク22B及び22Dの対向方向)に記憶装置チップ20の主面の対向する両縁部まで延在した領域である。

[0032] そして、領域23Aには、記憶装置チップ20(記憶回路)の信号又は当該チップへの信号を入出力するための信号入出力用接続バンプ21A(第1の電極)がメモリバンク22A及び22Bの対向方向(メモリバンク22C及び22Dの対向方向)群をなして連続的に配設している。この信号入出力用接続バンプ21Aの配列は、格子状でもよいし、千鳥状であってもよい。ここで、十字状の接続バンプ配置領域23における領域23Aと領域23Bとが交差して重なる領域には、信号入出力用接続バンプ21Aが設けられているが、これに限られず、電力・接地用接続バンプ21Bを設けた形態であってもよい。

[0033] 一方、領域23Bには、記憶装置チップ20(記憶回路)への電力供給及び接地のための電力・接地用接続バンプ21B(第2の電極)がメモリバンク22A及び22Cの対向方向(メモリバンク22B及び22Dの対向方向)に延在するように群をなして連続的に配設している。この電力・接地用接続バンプ21Bの配列は、格子状でもよいし、千鳥状であってもよい。

[0034] つまり、本実施形態では、信号入出力用接続バンプ21A及び電力・接地用接続バンプ21Bが十字状の接続バンプ配置領域23に配列され、十字状の接続バンプ群をなして配設されている。

[0035] なお、信号入出力用接続バンプ21A、及び電力・接地用接続バンプ21Bは、各領域内で所定幅となるように配列させて設けられている。そして、信号入出力用接続バンプ21Aの配列幅(バンプ数)は、電力・接地用接続バンプ21Bの配列幅(バンプ数)よりも多くなるように配設させることがよい。具体的には、例えば、領域23Aに設ける信号入出力用接続バンプ21A(総数)は、13(幅方向の数)×122(長手方向の数)で配列し、領域23Bに設ける電力・接地用接続バンプ21B(総数)は、8(幅方向の数)×103(長手方向の数)で配列させる。これにより、記憶装置チップ20(記憶回路)と配線チップ10とのフリップ実装が可能となる。また、バンプ数(ピン数)を増やすと、低電力化と共に、熱発生抑制効果も向上される。

- [0036] 記憶装置チップ20(記憶回路)の配置(レイアウト)仕様にもよるが、領域23Aに設ける、その幅方向に沿ったバンプ数(電極数)は、10~30個であることがよく、領域23Bに設ける、その幅方向に沿ったバンプ数(電極数)は、4~32個であることがよい。但し、各バンプ(信号入出力用接続バンプ21A、及び電力・接地用接続バンプ21B)は、メモリバンクの縁(バンプと対向する縁)から外側へ所定の間隔離間(例えば、当該縁から最短距離で150 μ m以上離間:最短距離は図3中、tで標記)させて設けることがよい。これにより、実装時や半導体装置外部から受ける衝撃により各バンプに圧力が掛かったとき、当該各バンプを介してメモリバンクに受ける圧力の影響が回避される。また、各バンプから生じる α 線に対する α 線耐量も確保され、 α 線により、メモリバンクに形成される記憶回路(メモリセル)に記憶される情報が反転されることも抑制される。
- [0037] ここで、図示しないが、信号入出力用接続バンプ21Aのその直下(チップ厚み方向直下)には、当該バンプが形成されるパッドが配設されると共に、当該パッドと電氣的に接続された入出力回路を含む単位セル領域が配設されている。信号入出力用接続バンプ21A共に、入出力回路を含む単位セル領域をアレイ状に配列されたI/Oアレイを構成している。
- [0038] 記憶装置チップ20は、その上記構成の接続バンプ(信号入出力用接続バンプ21A及び電力・接地用接続バンプ21B)が配線チップ10の接続パッド11Aと向き合うように配置されている。
- [0039] 記憶装置チップ20は、配線チップ10と互いの電極(バンプ、パッド)同士が向き合うように配置され、半田40で物理的に接続され、かつ、電氣的に接続されて、配線チップ10上にフィリップチップ実装されている。
- [0040] なお、本実施形態では、十字状の接続バンプ配置領域23のうち、領域23AがASIC30の記憶装置チップ20の対向辺と平行となるように、当該記憶装置チップ20は、配線チップ10上に実装されている。これにより、記憶装置チップ20と配線チップ10とを電氣的に接続するための、配線チップの配線構造が簡易化され、接続不良等が抑制される。
- [0041] また、各接続バンプは、十字状の接続バンプ配置領域23の中央部(領域23Aと領

域23Bとが重なる領域)を中心として、領域23A及び領域23Bの長手方向の両側に配置する必要があり、この好ましくは対象に配設する。

- [0042] ASIC30は、シリコン基板上に半導体プロセスにより形成されたものであり、例えば、汎用のCPUを含む論理回路が採用されている。本実施形態では、記憶装置チップ20として、その記憶容量が256Mビットのマルチ・メディア・メモリを2つ搭載しているため、ASIC30の入出力ビット数も、バンド幅が2.1GB/Sに対応して512ビットである。無論、記憶装置チップ20の性能(例えば、バンド幅)に応じてそれ以上であってもよい。
- [0043] また、ASIC30としては、これに限られず、例えば、アナログ信号をデジタル信号に変換するA/D変換器を含むような汎用のアナログ回路を使うこともできる。
- [0044] ASIC30には、その接続バンプ31が記憶装置チップ20との対向方向両縁部に、それぞれ当該縁部に沿って群をなして配置されている。この電力・接地用接続バンプ21Bの配列は、格子状でもよいし、千鳥状であってもよい。
- [0045] ASIC30は、その接続バンプ31が配線チップ10の接続パッド11Bと向き合うように配置されている。
- [0046] ASIC30は、配線チップ10と互いの電極(パッド、バンプ)同士が向き合うように配置され、半田40で物理的に接続され、かつ、電氣的に接続されて、配線チップ10上にフィリップチップ実装されている。
- [0047] 記憶装置チップ20とASIC30とは、配線チップ10の接続パッドに接続された金属配線(不図示)を介して電氣的且つ物理的に接続されている。なお、ASIC30は、記憶装置チップ20として、2個の256Mビットのマルチ・メディア・メモリと電氣的に接続されるので、512ビットずつパラレルで信号の入出力が行われる。
- [0048] このようにして、記憶装置チップ20の各接続バンプとASIC30の各接続バンプとを配線チップ10の接続パッドに接続された金属配線(不図示)を介して電氣的に接続することで、バス・ライン接続が図られる。
- [0049] なお、図示しないが、配線チップ10には、外部接続用の接続パッドが設けられており、その接続ワイヤを電氣的に接続して、当該接続ワイヤにより半導体装置100の外部との接続が図られている。

- [0050] 以上説明した本実施形態に係る半導体装置100では、記憶装置チップは、その主面側にメモリを構成する記憶回路(半導体回路:不図示)が形成される領域として、4つに分割され、直交する2辺を所定間隙を持って互いに対向させて、矩形状の4つのメモリバンク22A~22Dが配設させている。このため、所定の間隙を持って対向させた各メモリバンク22A~22D間により形成された十字状の接続バンプ配置領域23が設けられている。そして、十字状の接続バンプ配置領域23における領域23Aに、信号入出力用接続バンプ21A(第1の電極)が群をなして配設させている。即ち、信号入出力用接続バンプ21Aを偏在(集約)させ、分割した記憶回路に対する信号入出力配線形成効率や電極のチップ占有面積が最小化を実現している。
- [0051] 一方で、当該信号入出力用接続バンプ21Aが群をなす領域23Aに直交する領域23B内に電力・接地用接続バンプ21Bの群を配設させる。そして、記憶装置チップ20を配線チップ10に実装した際、当該記憶装置チップ20が、当該記憶装置チップ20の信号入出力用接続バンプ21Aの群の長手方向と交差する方向(特に長手方向と直交する方向)に傾くのを当該電力・接地用接続バンプ21Bが支持し(半田を介して支持し)、当該記憶装置チップ20の当該電力・接地用接続バンプ21Bの長手方向と交差する方向(特に長手方向と直交する方向)に傾くのを信号入出力用接続バンプ21Aが支持する(半田を介して支持する)。即ち、記憶装置チップ20は、配線チップ10と一定の間隙を持って配設される、つまり、記憶装置チップ20と配線チップ10との対向面が、平行関係となっている。なお、記憶装置チップ20と配線チップ10との間隙が $20\mu\text{m}$ から $30\mu\text{m}$ である場合、この一定の間隔とは、記憶装置チップ20と配線チップ10との対向面の間隔の誤差が、例えばチップの全対向領域において $\pm 3\mu\text{m}$ ~ $\pm 4\mu\text{m}$ 以内であることを意味する。
- [0052] その結果、最小限のバンプ数で、記憶装置チップ20と配線チップ10の実装時の平行度が保たれる。一方で、この平行度を保たせるための電力・接地用接続バンプ21Bを、メモリバンクの非形成領域に設けていることから、記憶装置チップ20を配線チップ10へ実装する際の圧力により記憶回路が破壊されてしまうことも防止される。平行度を保たせるためのバンプ(電極)として電力・接地用接続バンプを採用しているので、電氣的に電源・接地接続強化も図られる。

- [0053] また、本実施形態では、記憶装置チップ20と配線チップ10との間にアンダーフィル樹脂42が充填されているが、記憶装置チップ20のメモリバンクの形成領域には電極群が介在することなく、アンダーフィル樹脂42が直接充填されている。また、記憶装置チップ20のメモリバンクの形成領域には電極群がないことから、当該メモリバンクの形成領域において充填不良が生じることなく、アンダーフィル樹脂42が隙間なく充填されやすくなる。その結果、アンダーフィル樹脂42が、物理的衝撃を十分に対するクッション材としての機能が十分に果され、記憶装置チップ20のメモリバンクの衝撃による破損がより向上される。
- [0054] また、本実施形態では、当該信号入出力用接続バンプ21Aが群をなす領域23Aに直交する領域23B内に電力・接地用接続バンプ21Bの群を配設させる、即ち矩形状の4つのメモリバンク22A～22Dに形成される中央部の間隙に配設させることから、電力・接地用接続バンプ21Bの群が各メモリバンクに最も近い位置に配設されることとなり、各メモリバンクに形成される記憶回路(メモリセル)への電力供給・接地を均等に且つ最短配線で実現される。
- [0055] このため、本実施形態において、記憶装置チップ20は、電極(バンプ)数を極力低減すると共に、実装時に実装基板(配線チップ10)との平行度を保って接続不良の防止を図り、且つ半導体回路(記憶回路)の破壊をも抑制することができる。
- [0056] なお、本実施形態では、記憶装置チップは、十字状の接続バンプ配置領域23の領域23Bには、平行度を保つためのバンプ(電極)として、電力・接地用接続バンプ21Bの群を連続的に配列させた形態を説明したが、これに限られない。例えば、図5に示すように、十字状の接続バンプ配置領域23における領域23Bに電力・接地用接続バンプ21Bの群を断続的に配列した形態であってもよい。
- [0057] また、本実施形態では、記憶装置チップは、十字状の接続バンプ配置領域23の領域23Bには、平行度を保つためのバンプ(電極)として、電力・接地用接続バンプ21Bを適用した形態を説明したが、これに限られない。例えば、電力・接地用接続バンプ21Bの代わりに信号入出力用接続バンプやダミーバンプを適用してもよい。具体的には、例えば、図6に示すように、十字状の接続バンプ配置領域23における領域23Bにも、領域23A(領域23Bと重なる領域)に設けられた信号入出力用接続バン

プ21Aと連続して群をなすように信号入出力用接続バンプ21Aの群を配列する形態が挙げられる。この形態の場合、領域23Bに設けられる信号入出力用接続バンプ21Aは、チップ中央部から各メモリバンクの対向領域の中央部程度まで配設している。そして、電力・接地用接続バンプ21Bは、領域23Bの長手方向両端部(チップ両縁部)に群をなして設けられている。

[0058] また、本実施形態では、記憶装置チップ20は、分割した4つのメモリバンク22A～22Dをチップ縁部近くまで配設した形態を説明したが、これに限られず、例えば、各メモリバンク22をチップ縁部と所定間隙を設けた形態であってもよい。具体的に、例えば、図7に示すように、メモリバンク22A及び22Bを記憶装置チップ20の縁部(領域23Bの長手方向側の一方の縁部)とが間隙を有するように、同じくメモリバンク22C及び22と記憶装置チップ20の他の縁部(領域23Bの長手方向側他方の縁部)と間隙を有するように、各メモリバンクを配設し、そして、当該両間隙に当該各縁部に沿って電力・接地用接続バンプ21Bを設けた形態が挙げられる。当該両間隙に当該各縁部に沿って設けた電力・接地用接続バンプ21Bも、メモリバンクの縁(バンプと対向する縁)から外側へ所定の間隔離間(例えば、当該縁から最短距離で150 μ m以上離間:最短距離は図3中、tで標記)させて設けることがよい。なお、この形態は、これら以外は図6に示す形態と同様である。

[0059] また、本実施形態では、分割した4つのメモリバンク22A～22Dを形成した形態を説明したが、これに限られない。具体的には、例えば、図8に示すように、一つの記憶装置チップの主表面上に、4つのメモリバンク22A～22Dを一組(接続バンプが配設される十字状の接続バンプ配置領域23含む)として、これを2組配設した形態であってもよい。無論、2組以上であってもよい。

[0060] また、本実施形態では、記憶装置チップ20のみに、十字状の接続バンプ配置領域23に接続バンプを形成した形態を説明したが、これに限られず、同様に、論理回路(半導体回路)を4つに分割したASIC30に適用してもよい。さらにまた、本実施形態では、記憶装置チップ20とASIC30とをインターポーザ(実装基板)としての配線チップ10の同一主表面上にフリップ実装した形態を説明したが、配線チップ10の代わりにASICチップを用いて、いわゆるCOC(CHIP ON CHIP)実装して半導体装置

を構成してもよい。具体的には、例えば、図9及び図10に示すように、ASIC30の主面上に、記憶装置チップ20をフリップ実装した半導体装置101の形態が挙げられる。本形態の場合、ASIC30の電極群(接続バンプ)は、記憶装置チップ20の電極群(接続バンプ)と同様の配列で配設されることとなる。

符号の説明

- [0061] 10 配線チップ
- 11A, 11B 接続パッド
- 20 記憶装置チップ
- 21A 信号入出力用接続バンプ
- 21B 電力・接地用接続バンプ
- 22A、22B、22C、22D メモリバンク
- 23 接続バンプ配置領域
- 23A、23B 領域
- 31 接続バンプ
- 40 半田
- 42 アンダーフィル樹脂
- 42A ダム部材
- 100 半導体装置
- 101 半導体装置

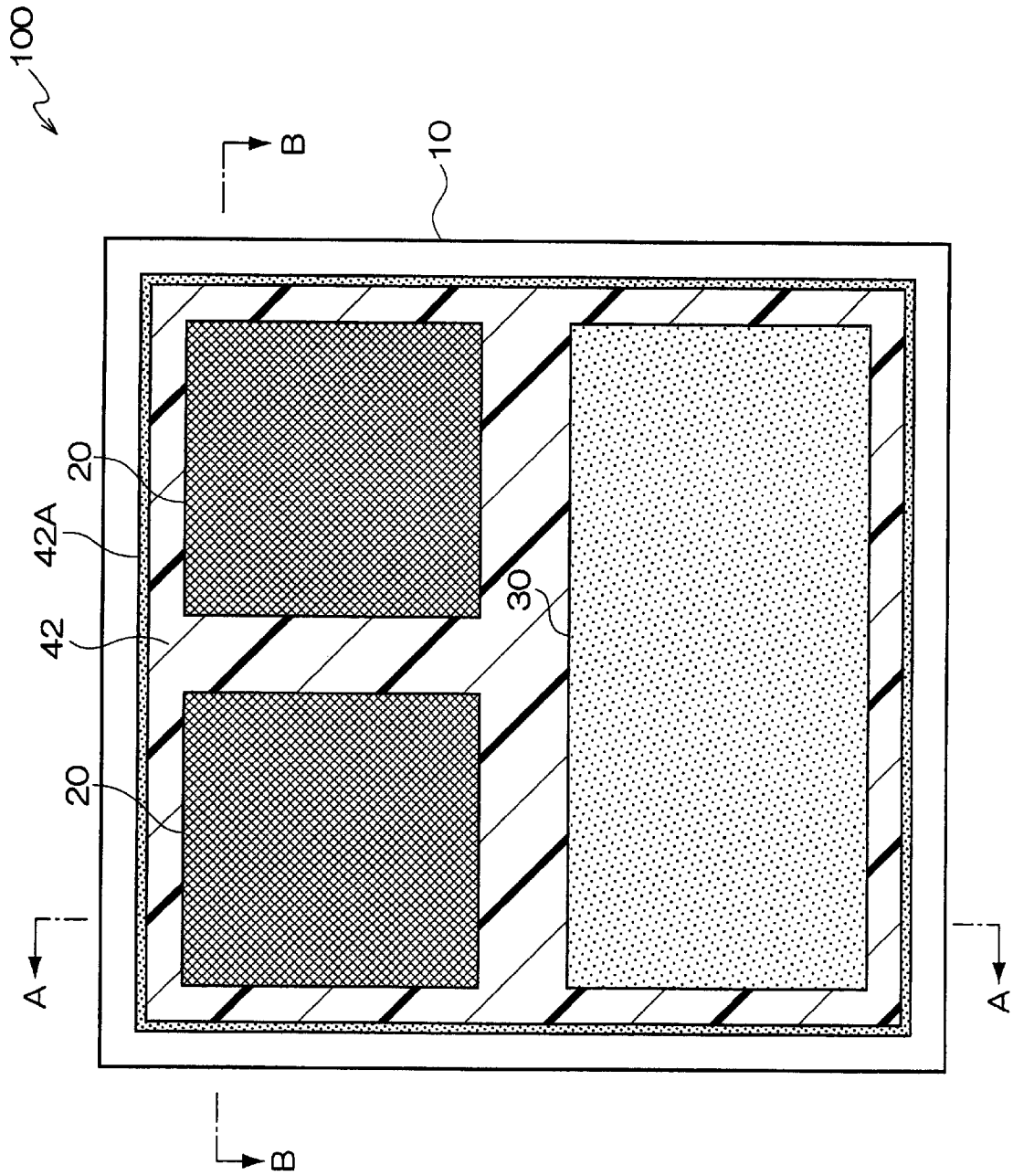
請求の範囲

- [1] 半導体回路がそれぞれ形成された矩形状の4つの第1～第4の半導体回路形成領域であって、直交する2辺を所定間隙を持って互いに対向させて配設される第1～第4の半導体回路形成領域と、
- 互いの前記第1～第4の半導体回路形成領域間により形成される間隙からなり、且つ直交する2つの第1～第2の領域で構成される十字状の電極配置領域と、
- 前記十字状の電極配置領域のうち、前記第1の領域内の少なくとも一部に配設され、前記半導体回路に接続され、前記半導体回路に電力又は信号を供給する第1の電極群と、
- 前記十字状の電極配置領域のうち、前記第2の領域内の少なくとも一部に配設され、前記半導体回路に接続され、前記半導体回路に電力又は信号を供給する第2の電極群と、
- を備える半導体チップ。
- [2] 前記第1の電極群が信号入出力用の電極を含んで構成される電極群であると共に、前記第2の電極群が電力供給用の電極及び接地用の電極を含んで構成される電極群である請求項1に記載の半導体チップ。
- [3] 前記半導体回路が記憶回路であると共に、前記半導体チップが記憶装置チップである請求項1又は2に記載の半導体チップ。
- [4] 配線チップと、
- 前記配線チップの主面上に、電極群を対向させて実装された第1の半導体チップと、
- 、
- 前記第1の半導体チップとは異なる第2の半導体チップであって、前記配線チップの主面上に、電極群を対向させて実装された第2の半導体チップと、
- を備え、
- 前記第2の半導体チップが、請求項1～3のいずれか1項に記載の半導体チップである半導体装置。
- [5] 第1の半導体チップと、
- 前記第1の半導体チップとは異なる第2の半導体チップであって、前記第1の半導

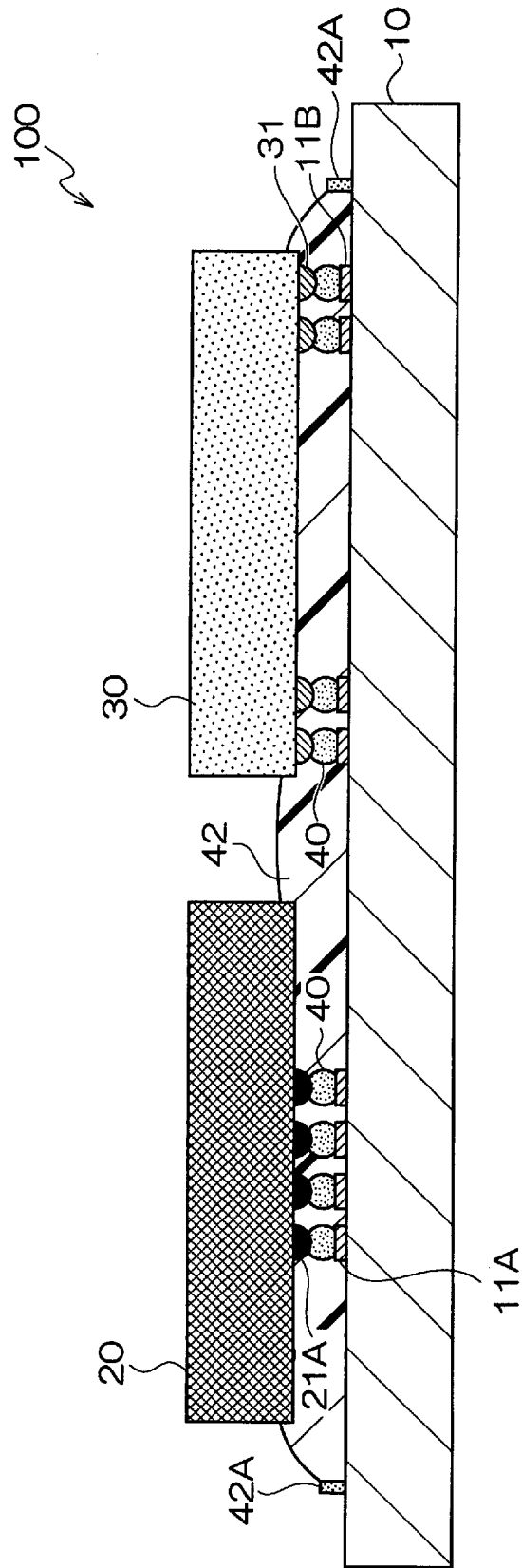
体チップの主面上に、電極群を対向させて実装された第2の半導体チップと、
を備え、

前記第2の半導体チップが、請求項1～3のいずれか1項に記載の半導体チップで
ある半導体装置。

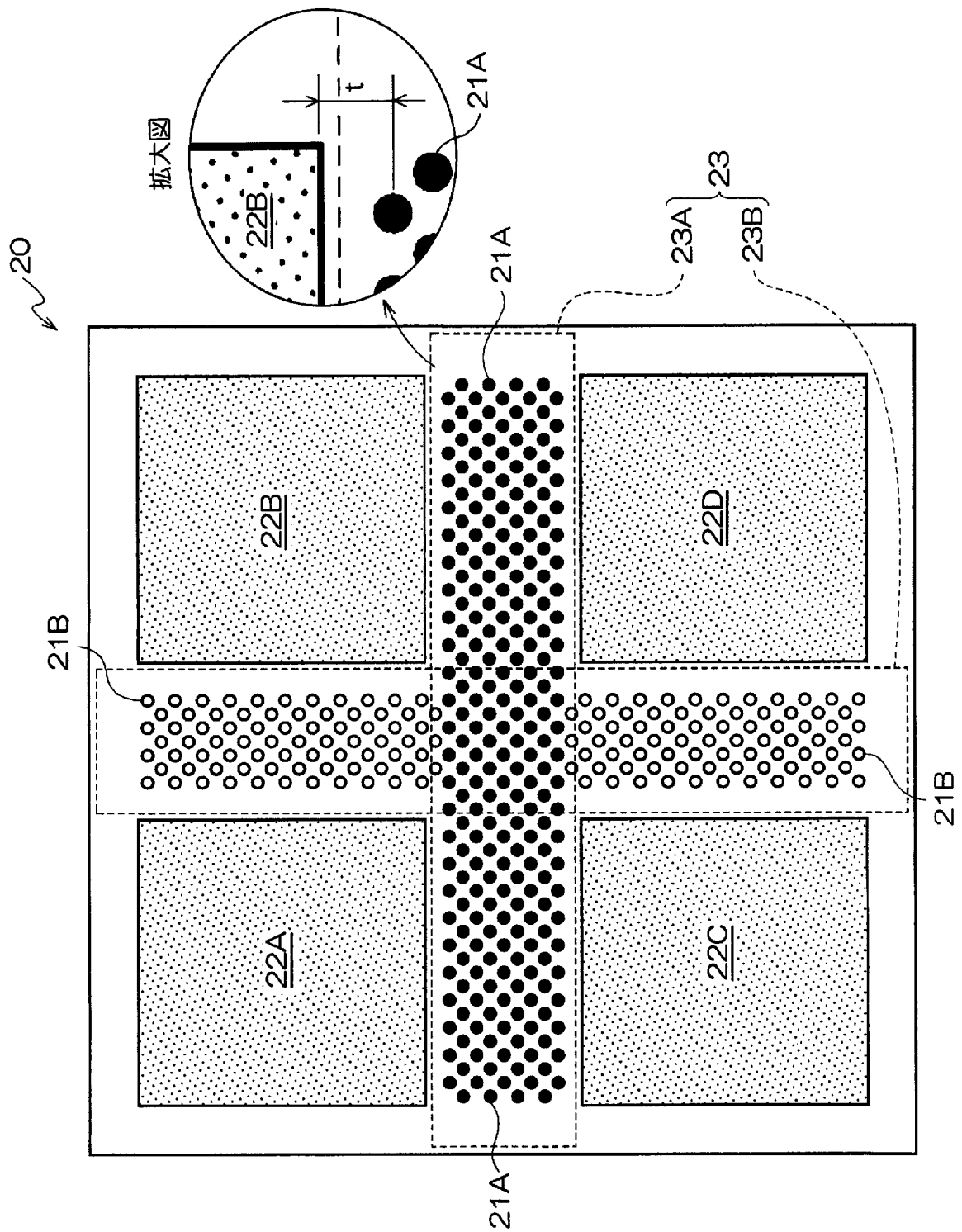
[図1]



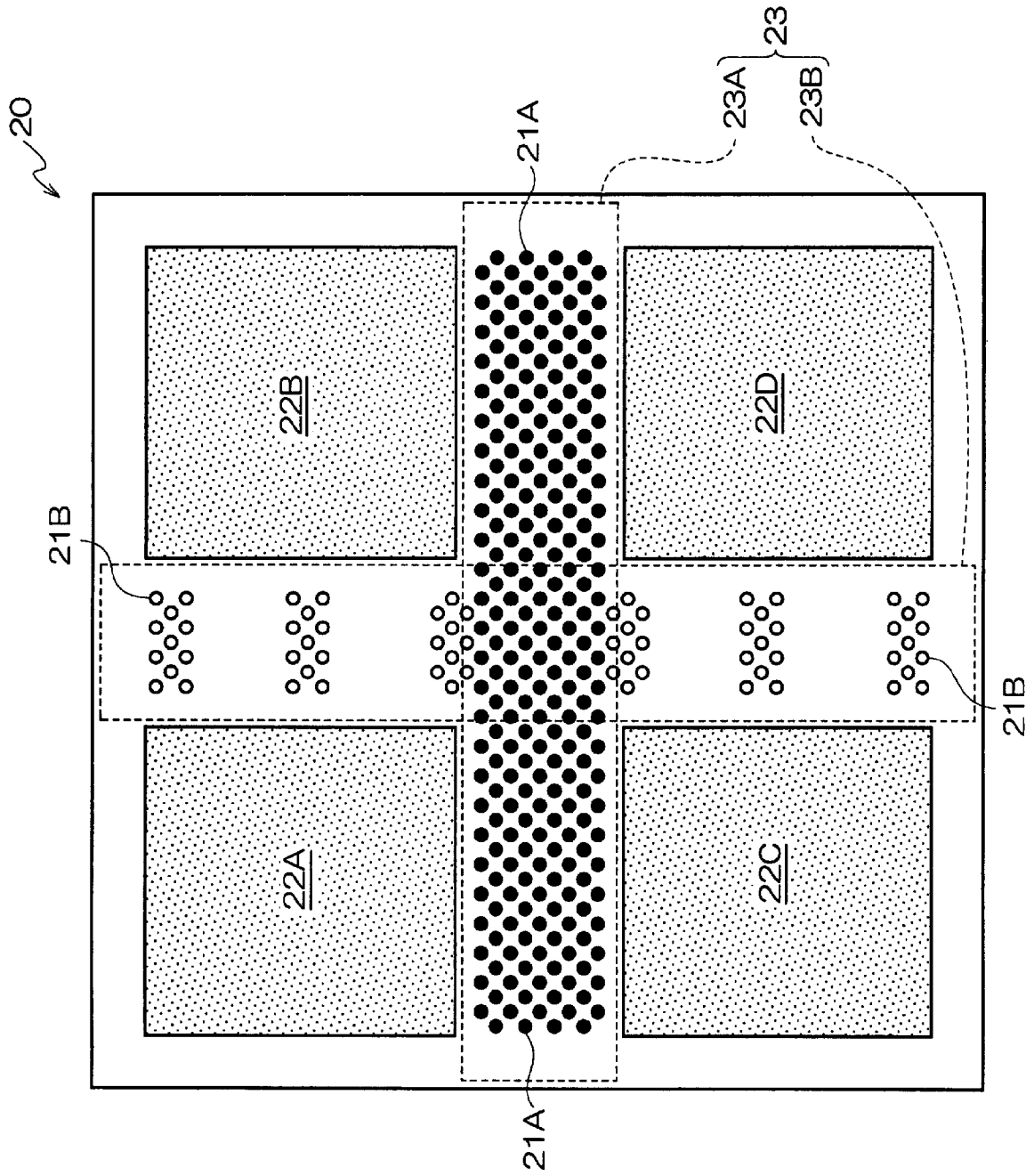
[図2]



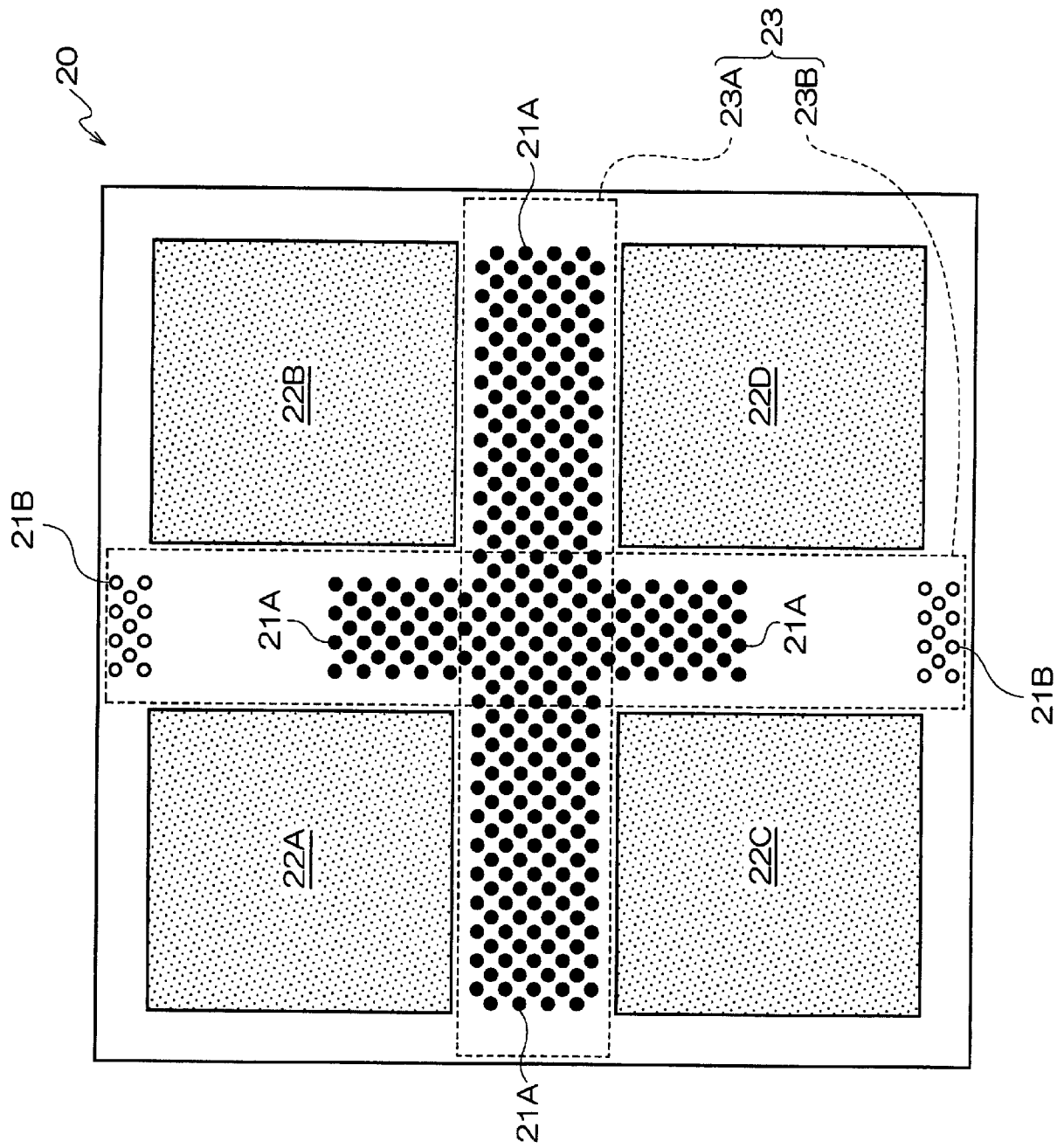
[図4]



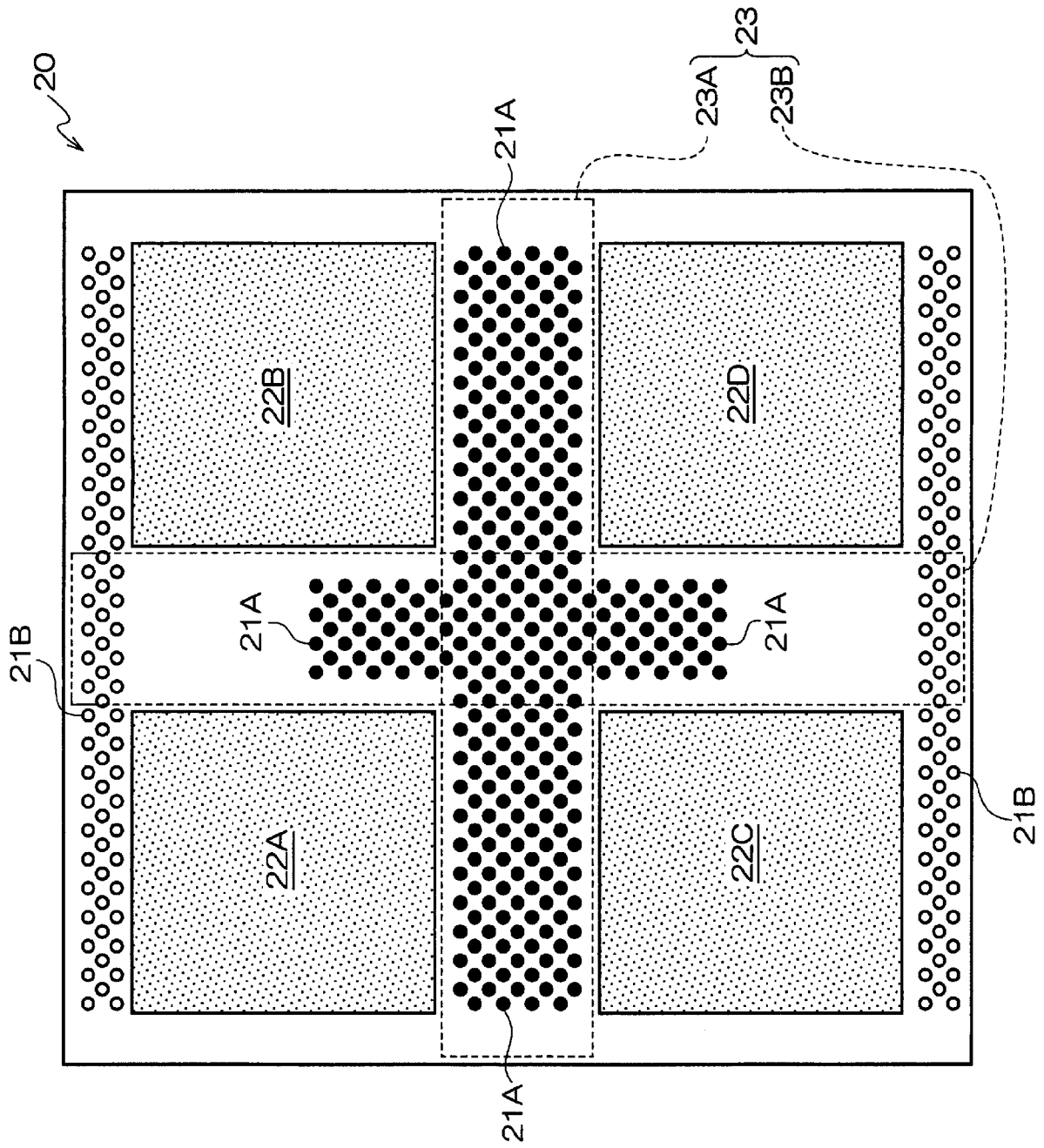
[図5]



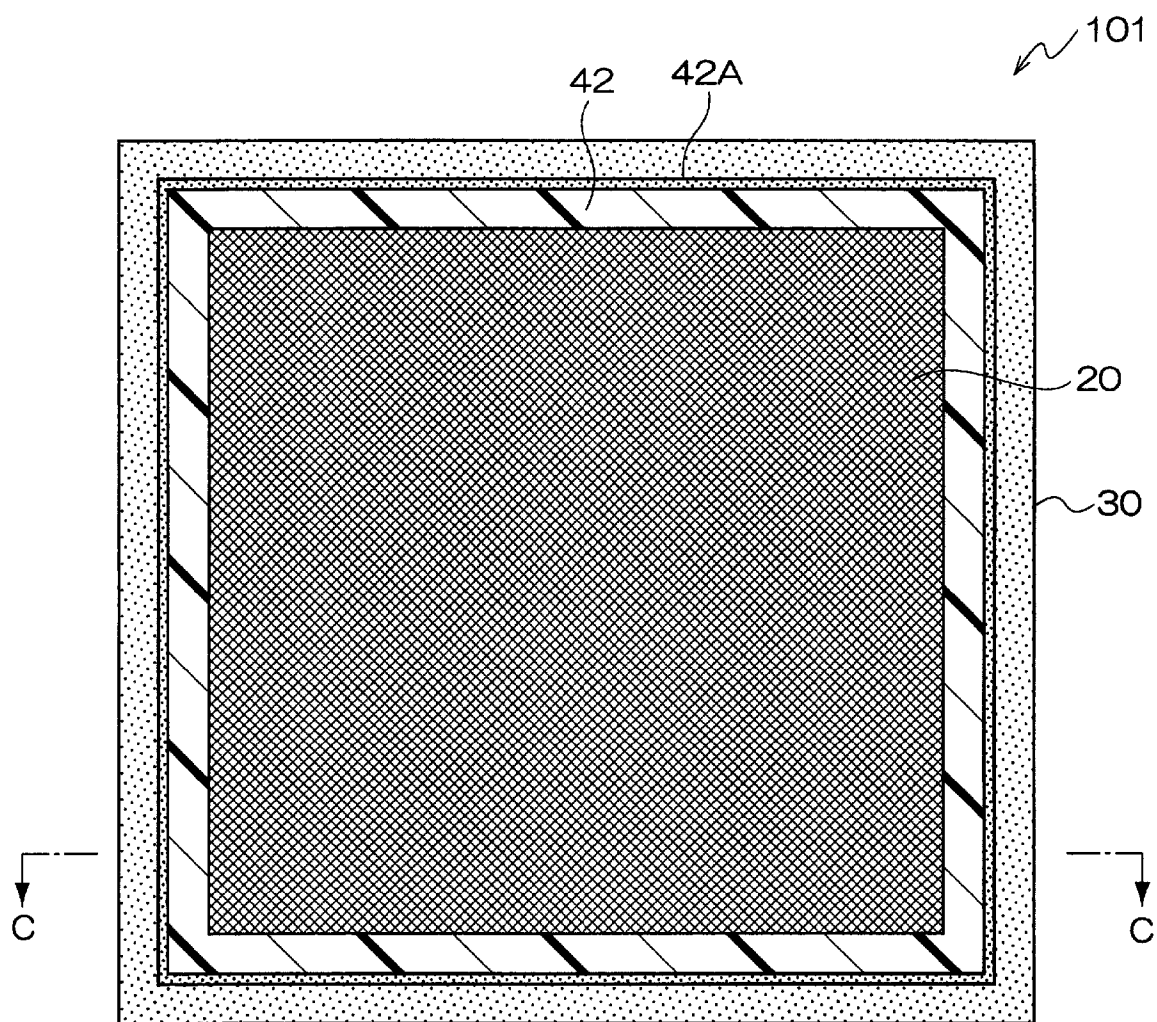
[図6]



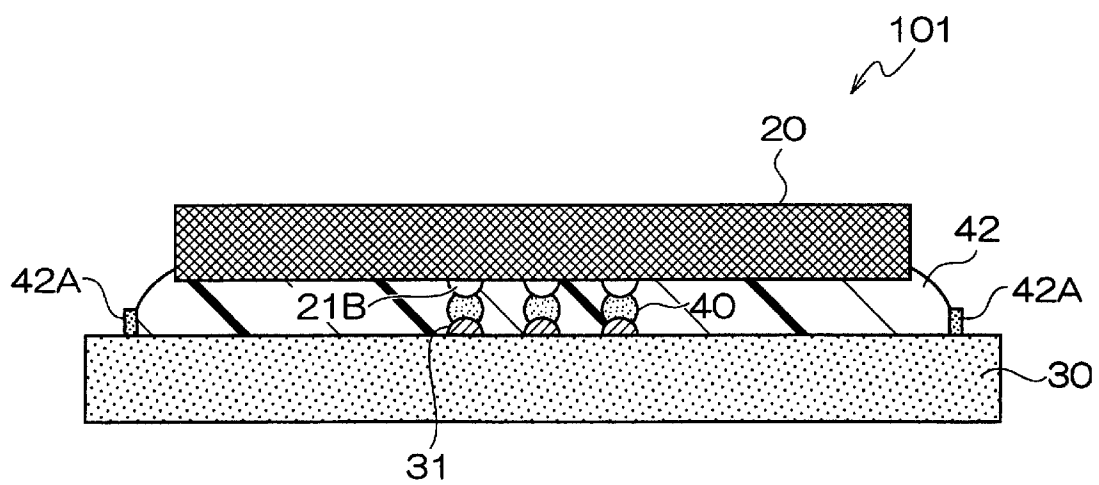
[図7]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/052493

A. CLASSIFICATION OF SUBJECT MATTER
 H01L21/822(2006.01) i, H01L21/60(2006.01) i, H01L25/04(2006.01) i,
 H01L25/065(2006.01) i, H01L25/07(2006.01) i, H01L25/18(2006.01) i, H01L27/04
 (2006.01) i
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H01L21/822, H01L21/60, H01L25/04, H01L25/065, H01L25/07, H01L25/18,
 H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009
 Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-265940 A (Sony Corp.), 24 September, 2004 (24.09.04), Fig. 2 & US 2006/0186403 A1 & EP 1608009 A1 & WO 2004/075280 A1 & TW 246132 B & KR 10-2005-0100663 A	1, 3 2, 4, 5
X Y	JP 2004-063753 A (NEC Kansai, Ltd.), 26 February, 2004 (26.02.04), Fig. 1 (Family: none)	1, 3, 4, 5 2, 4, 5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search 26 February, 2009 (26.02.09)	Date of mailing of the international search report 10 March, 2009 (10.03.09)
---	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, H01L21/60(2006.01)i, H01L25/04(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, H01L21/60, H01L25/04, H01L25/065, H01L25/07, H01L25/18, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2004-265940 A (ソニー株式会社) 2004.09.24, 図2 & US 2006/0186403 A1 & EP 1608009 A1 & WO 2004/075280 A1 & TW 246132 B & KR 10-2005-0100663 A	1, 3 2, 4, 5
X Y	JP 2004-063753 A (関西日本電気株式会社) 2004.02.26, 図1 (ファミリーなし)	1, 3, 4, 5 2, 4, 5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日
26.02.2009

国際調査報告の発送日
10.03.2009

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 池淵 立
 電話番号 03-3581-1101 内線 3462

4M 8831