(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0045396
(43) 공개일자 2019년05월02일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 27/12* (2006.01)
H01L 29/04 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2019-7011538(분할)
(22) 출원일자(국제) 2010년08월26일
심사청구일자 2019년04월22일
(62) 원출원 특허 10-2018-7035267
원출원일자(국제) 2010년08월26일
심사청구일자 2018년12월05일
(85) 번역문제출일자 2019년04월22일
(86) 국제출원번호 PCT/JP2010/064973
(87) 국제공개번호 WO 2011/033936
국제공개일자 2011년03월24일
(30) 우선권주장
JP-P-2009-215084 2009년09월16일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
사카쿠라 마사유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

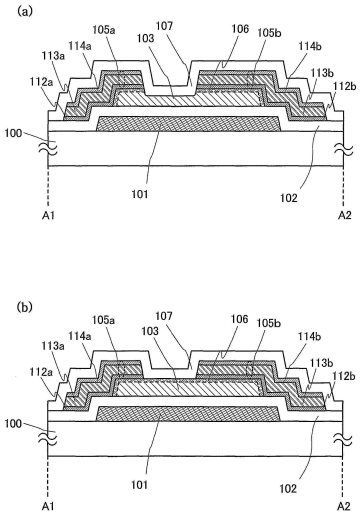
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **트랜지스터**

(57) 요 약

양호한 전기 특성 및 높은 신뢰성을 갖는 트랜지스터 및 그 트랜지스터를 포함하는 표시 장치를 제공한다. 트랜지스터는 채널 영역에 대해 산화물 반도체를 사용하여 형성된 보텀-게이트 트랜지스터이다. 가열 처리를 통해 탈수화 또는 탈수소화된 산화물 반도체층이 활성층으로서 사용된다. 활성층은 미결정화된 표층부의 제 1 영역 및 나머지 부분의 제 2 영역을 포함한다. 이러한 구조를 갖는 산화물 반도체층을 사용함으로써, 표층부에 대한 수분의 혼입 또는 표층부로부터의 산소의 탈리로 인한 n-형으로의 변화 및 기생 채널의 생성이 억제될 수 있다. 또한, 산화물 반도체층과 소스 및 드레인 전극들 사이의 접촉 저항이 감소될 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/04 (2013.01)
H01L 29/78618 (2013.01)
H01L 29/78693 (2013.01)
H01L 29/78696 (2013.01)
(72) 발명자
와타나베 료스케
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
사카타 준이치로
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
아키모토 켄고
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
미야나가 아키하루
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
히로하시 타쿠야
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
기시다 히데유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

게이트 전극층과,

채널이 형성되는 영역을 갖는 산화물 반도체층과,

소스 전극층 및 드레인 전극층을 갖고,

상기 산화물 반도체층은 인듐을 갖고,

상기 채널이 형성되는 영역은, 입자 사이즈가 1nm 이상 20nm 이하의 나노크리스탈을 전체에 갖는 트랜지스터.

청구항 2

게이트 전극층과,

채널이 형성되는 영역을 갖는 산화물 반도체층과,

소스 전극층 및 드레인 전극층을 갖고,

상기 산화물 반도체층은 인듐을 갖고,

상기 채널이 형성되는 영역은, 입자 사이즈가 1nm 이상 20nm 이하의 나노크리스탈로 형성되는 트랜지스터.

청구항 3

게이트 전극층과,

채널이 형성되는 영역을 갖는 산화물 반도체층과,

소스 전극층 및 드레인 전극층을 갖고,

상기 산화물 반도체층은 인듐을 갖고,

상기 채널이 형성되는 영역은, 입자 사이즈가 1nm 이상 20nm 이하의 나노크리스탈을 갖는 트랜지스터.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

게이트 절연층을 갖고,

상기 게이트 절연층은 산화 실리콘을 갖는 트랜지스터.

청구항 5

게이트 전극층과,

채널이 형성되는 영역을 갖는 산화물 반도체층과,

소스 전극층 및 드레인 전극층을 갖고,

상기 산화물 반도체층은 인듐을 갖고,

상기 채널이 형성되는 영역은, 입자 사이즈가 1nm 이상 20nm 이하의 나노크리스탈을 갖고,

상기 산화물 반도체층은 상기 산화물 반도체층 아래에 제공된 제 1 절연층과 접하는 영역을 갖는 트랜지스터.

청구항 6

게이트 전극층과,

채널이 형성되는 영역을 갖는 산화물 반도체층과,

소스 전극층 및 드레인 전극층을 갖고,

상기 산화물 반도체층은 인듐을 갖고,

상기 채널이 형성되는 영역은, 입자 사이즈가 1nm 이상 20nm 이하의 나노크리스탈을 갖고,

상기 산화물 반도체층은 상기 산화물 반도체층 아래에 제공된 제 1 절연층과 접하는 영역을 갖고,

상기 산화물 반도체층은 상기 산화물 반도체층 위에 제공된 제 2 절연층과 접하는 영역을 갖는 트랜지스터.

청구항 7

제 6 항에 있어서,

상기 제 2 절연층은 산화 실리콘을 갖는 트랜지스터.

청구항 8

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 절연층은 산화 실리콘을 갖는 트랜지스터.

청구항 9

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 상기 채널이 형성되는 영역보다도 저저항인 영역을 갖는 트랜지스터.

청구항 10

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은, 단부가 테이퍼 형상을 갖는 트랜지스터.

청구항 11

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 게이트 전극층은 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐으로부터 선택된 금속 재료를 갖는 트랜지스터.

청구항 12

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층은 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐으로부터 선택된 금속 재료를 갖는 트랜지스터.

청구항 13

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 5nm 이상 200nm 이하의 막두께를 갖는 트랜지스터.

청구항 14

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 수소 농도가 3×10^{20} atoms/cm^3 미만의 영역을 갖는 트랜지스터.

발명의 설명

기 술 분 야

[0001] 본 발명은 산화물 반도체를 사용하여 형성된 트랜지스터 및 그 트랜지스터를 포함하는 표시 장치에 관한 것이다.

배 경 기 술

[0002] 최근, 절연 표면을 갖는 기판 위에 형성된 (대략 수 nm 내지 수백 nm의 두께를 갖는) 반도체 박막을 사용하여 트랜지스터들을 형성하는 기술이 주목받고 있다. 트랜지스터들은 IC 및 전기 광학 장치들과 같은 전자 디바이스에 넓게 적용되고 특히, 화상 표시 장치의 스위칭 소자들로서 급속히 개발될 것으로 예상된다. 다양한 금속 산화물들이 다양한 애플리케이션들에 이용된다. 산화 인듐은 널리 알려진 재료이고, 액정 디스플레이 등에 필요한 투광성 전극 재료로서 사용된다.

[0003] 일부 금속 산화물들은 반도체 특성을 갖는다. 반도체 특성을 갖는 이러한 금속 산화물들의 예들은, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연을 포함한다. 반도체 특성을 갖는 이러한 금속 산화물을 사용하여 채널 형성 영역이 형성되는 트랜지스터들이 알려져 있다(특허문헌 1 및 특허문헌 2).

[0004] 산화물 반도체들이 적용되는 트랜지스터들은, 비정질 트랜지스터들 중에서 비교적 높은 전계 효과 이동도를 갖는다. 따라서, 표시 장치 등의 구동 회로가 트랜지스터들을 사용하여 또한 형성될 수 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개 특허공보 제 2007-123861 호

(특허문헌 0002) 일본 공개 특허공보 제 2007-096055 호

발명의 내용

해결하려는 과제

[0006] 표시 장치 등에서 하나의 기판 위에 화소부(화소 회로라 또한 칭함) 및 구동 회로부를 형성하는 경우에서, 화소부에 사용된 트랜지스터에 대해 높은 온-오프비(on-off ratio)와 같은 우수한 스위칭 특성이 요구되고, 구동 회로에 사용된 트랜지스터에 대해서는 높은 동작 속도가 요구된다.

[0007] 특히, 표시 장치의 화소 밀도가 증가될 때 표시 이미지의 기록 시간이 감소되기 때문에, 구동 회로에 사용된 트랜지스터는 고속으로 동작하는 것이 바람직하다.

[0008] 본 명세서에 개시되는 본 발명의 실시형태는 상기 목적을 달성하는 트랜지스터 및 표시 장치에 관한 것이다.

과제의 해결 수단

[0009] 본 명세서에 개시되는 본 발명의 실시형태는, 채널 영역을 형성하는 산화물 반도체층이 미결정층으로 형성된 결정 영역을 포함하는 표층부를 제외하고, 비정질이거나, 비정질 영역에 미결정이 점재된 비정질과 미결정들의 혼합물로 형성되거나, 미결정군으로 형성되는 트랜지스터이다. 또한, 본 명세서에 개시되는 본 발명의 실시형태는 이러한 트랜지스터로 구성되는 구동 회로부 및 화소부를 하나의 기판 위에 형성함으로써 획득된 표시 장치이다.

[0010] 본 명세서에 개시되는 본 발명의 실시형태는, 게이트 전극층, 게이트 전극층 위의 게이트 절연층, 게이트 절연층 위의 산화물 반도체층, 게이트 절연층 위에 산화물 반도체층의 일부와 겹치는 소스 전극층 및 드레인 전극층, 및 산화물 반도체층과 접하는 산화물 절연층을 포함하는 트랜지스터이다. 산화물 반도체층은 표층부의 제 1 영역과 나머지 부분의 제 2 영역을 포함한다.

[0011] 또한, 본 명세서에서 "제 1" 및 "제 2"와 같은 서수들은 편의상 사용되며, 단계들의 순서 및 층들의 적층 순서를 나타내지 않는다는 것에 유의한다. 또한, 본 명세서에서의 서수들은 본 발명을 특정하는 특정한 명칭들을 나타내지 않는다.

[0012] 본 명세서에 개시되는 본 발명의 실시형태는, 게이트 전극층, 게이트 전극층 위의 게이트 절연층, 게이트 절연

층 위의 소스 전극층 및 드레인 전극층, 게이트 절연층 위에 소스 전극층 및 드레인 전극층의 일부와 겹치는 산화물 반도체층, 및 산화물 반도체층과 접하는 산화물 절연층을 포함하는 트랜지스터이다. 산화물 반도체층은 표층부의 제 1 영역 및 나머지 부분의 제 2 영역을 포함한다.

[0013] 상기 산화물 반도체층의 제 1 영역은, 층의 표면에 대해 수직 방향으로 c-축 배향된 미결정으로 형성된다.

[0014] 산화물 반도체층의 제 2 영역은, 비정질이거나, 비정질 영역에 미결정이 점재된 비정질과 미결정의 혼합물로 형성되거나, 미결정으로 형성된다.

[0015] 산화물 반도체층으로서, RTA 법 등으로 고온에서 단시간 동안 탈수 또는 탈수소화가 실시된 것이 사용된다. 이러한 가열 단계를 통해, 산화물 반도체층의 표층부는 미결정으로 형성된 결정 영역을 포함하게 되고, 나머지 부분은 비정질이 되거나, 비정질 영역에 미결정이 점재된 비정질과 미결정의 혼합물로 형성되거나, 미결정군으로 형성된다.

[0016] 이러한 구성을 갖는 산화물 반도체층을 사용함으로써, 표층부에 대한 수분의 혼입 또는 표층부로부터의 산소의 탈리로 인한 n-형화에 의한 전기 특성의 열화가 방지될 수 있다. 또한, 산화물 반도체층의 표층부가 백 채널측 상에 있으며, 미결정을 포함하는 결정 영역을 갖기 때문에, 기생 채널의 발생이 억제될 수 있다. 또한, 채널 에칭 구조에서, 결정 영역의 존재로 인해 도전율이 증가된 표층부와 소스 전극 및 드레인 전극 사이의 접촉 저항이 감소될 수 있다.

[0017] 또한, 본 발명의 실시형태에 따른 트랜지스터를 사용하여 구동 회로부 및 화소부를 하나의 기판 위에 형성하고, 액정 소자, 발광 소자, 또는 전기 영동 소자 등을 사용함으로써, 표시 장치가 제작될 수 있다.

[0018] 본 명세서에 개시되는 본 발명의 실시형태는, 하나의 기판 위에 트랜지스터를 포함하는 화소부와 구동 회로부를 포함하는 표시 장치이다. 트랜지스터는 게이트 전극층, 게이트 전극층 위의 게이트 절연층, 게이트 절연층 위의 산화물 반도체층, 게이트 절연층 위에서 산화물 반도체층의 일부와 겹치는 소스 전극층 및 드레인 전극층, 및 산화물 반도체층과 접하는 산화물 절연층을 각각 포함한다. 산화물 반도체층은 표층부의 제 1 영역 및 나머지 부분의 제 2 영역을 포함한다.

[0019] 본 명세서에 개시되는 본 발명의 실시형태는, 하나의 기판 위에 트랜지스터를 포함하는 화소부와 구동 회로부를 포함하는 표시 장치이다. 트랜지스터는 게이트 전극층, 게이트 전극층 위의 게이트 절연층, 게이트 절연층 위의 소스 전극층 및 드레인 전극층, 게이트 절연층 위에서 소스 전극층 및 드레인 전극층의 일부와 겹치는 산화물 반도체층, 및 산화물 반도체층과 접하는 산화물 절연층을 각각 포함한다. 산화물 반도체층은 표층부의 제 1 영역 및 나머지 부분의 제 2 영역을 포함한다.

[0020] 산화물 반도체층의 제 1 영역은 층의 표면에 대해 수직 방향으로 c-축 배향된 미결정으로 형성된다. 제 2 영역은 비정질이거나, 비정질 영역에 미결정이 점재된 비정질과 미결정의 혼합물로 형성되거나, 미결정으로 형성된다.

발명의 효과

[0021] 산화물 반도체층을 포함하는 트랜지스터에서, 산화물 반도체층의 표층부는 결정 영역을 포함하고, 나머지 부분은 비정질이거나, 비정질과 미결정의 혼합물로 형성되거나, 미결정으로 형성됨으로써, 트랜지스터는 양호한 전기 특성 및 높은 신뢰성을 가질 수 있고, 양호한 전기 특성 및 높은 신뢰성을 갖는 표시 장치가 제작될 수 있다.

도면의 간단한 설명

[0022] 도 1a 및 도 1b는 트랜지스터를 각각 예시하는 단면도.

도 2a 내지 도 2c는 트랜지스터의 단면 공정도.

도 3a 내지 도 3c는 트랜지스터의 단면 공정도.

도 4a 및 도 4b는 트랜지스터를 예시하는 평면도.

도 5는 트랜지스터를 예시하는 평면도.

도 6은 트랜지스터를 예시하는 평면도.

도 7은 트랜지스터를 예시하는 평면도.

도 8a1, 도 8a2, 도 8b1, 및 도 8b2는 게이트 배선 단자부들의 평면도 및 단면도.

도 9는 트랜지스터를 예시하는 평면도.

도 10a 및 도 10b는 트랜지스터를 설명하는 단면도.

도 11a 및 도 11b는 표시 장치의 적용 예를 각각 예시하는 도면.

도 12는 표시 장치의 일례를 예시하는 외관도.

도 13은 표시 장치를 예시하는 단면도.

도 14a 및 도 14b는 표시 장치를 예시하는 블록도.

도 15a 및 도 15b는 신호선 구동 회로의 구성도 및 타이밍 차트.

도 16a 내지 도 16d는 시프트 레지스터의 구성을 각각 예시하는 회로도.

도 17a 및 도 17b는 각각 시프트 레지스터의 구성을 예시하는 회로도 및 시프트 레지스터의 동작을 예시하는 타이밍 차트.

도 18 은 표시 장치의 화소 등가 회로를 예시한 도면.

도 19a 내지 도 19c는 표시 장치를 각각 예시하는 단면도.

도 20a1, 도 20a2, 도 20b는 표시 장치를 예시하는 평면도 및 단면도.

도 21은 표시 장치를 예시하는 단면도.

도 22a 및 도 22b는 표시 장치를 각각 예시하는 평면도 및 단면도.

도 23a 및 도 23b는 텔레비전 장치 및 디지털 포토 프레임의 예들을 각각 예시하는 외관도.

도 24a 및 도 24b는 게임기들의 예들을 예시하는 외관도.

도 25a 및 도 25b는 휴대 전화기들 예들을 예시하는 외관도.

도 26a 및 도 26b는 산화물 반도체층의 단면의 TEM 사진.

도 27a 및 도 27b는 산화물 반도체층의 단면의 TEM 사진.

도 28a 및 도 28b는 산화물 반도체층의 단면의 TEM 사진.

도 29a 및 도 29b는 각각 산화물 반도체층의 단면의 TEM 사진 및 전자 회절 패턴.

도 30은 산화물 반도체층의 EDX 분석 스펙트럼.

도 31은 산화물 반도체층의 X선 회절 차트.

도 32a 내지 도 32c는 산화물 반도체층의 SIMS 분석 깊이 프로파일들.

도 33은 과학 계산을 간략하게 예시하는 도면.

도 34a 및 도 34b는 과학 계산을 간략하게 예시하는 도면들.

도 35a 및 도 35b는 과학 계산을 간략하게 예시하는 도면들.

도 36은 산화물 반도체의 결정 구조를 예시하는 도면.

도 37a 및 도 37b는 -BT 시험 전후의 트랜지스터의 I-V 특성을 도시한 도면.

도 38a 내지 도 38c는 산화물 반도체층의 SIMS 분석 깊이 프로파일들.

도 39a 내지 도 39c는 산화물 반도체층의 SIMS 분석 깊이 프로파일들.

발명을 실시하기 위한 구체적인 내용

[0023] 도면들을 참조하여 실시형태들 및 예들이 설명될 것이다. 본 발명이 이하의 설명에 한정되지 않고, 본 발명의

형태 및 상세가 본 발명의 취지 및 범위로부터 벗어나지 않고 다양한 방식으로 변경될 수 있다는 것이 당업자에 의해 용이하게 이해된다는 것에 유의한다. 따라서, 본 발명은 이하의 실시형태들 및 예들의 기재내용으로 한정되는 것으로 해석되는 것은 아니다. 또한, 이하에 설명된 본 발명의 구성에서, 동일 부분들 또는 유사한 기능들을 갖는 부분들은 상이한 도면들에서 동일한 참조 부호로 표기되어 그 설명이 생략된다.

[0024] (실시형태 1)

[0025] 본 실시형태에서, 트랜지스터들 구조들을 도 1a 및 도 1b를 참조하여 설명한다.

[0026] 도 1a는 채널 에칭 트랜지스터의 단면도이며, 도 4a가 그것의 평면도이다. 도 1a는 도 4a의 선 A1 - A2를 따라 취해진 단면도이다.

[0027] 도 1a 및 도 1b에 예시된 트랜지스터는 기판(100) 위에, 게이트 전극층(101), 게이트 절연층(102), 표층부에 결정 영역(106)을 포함하는 산화물 반도체층(103), 소스 전극층(105a) 및 드레인 전극층(105b)을 각각 포함한다. 표층부에 결정 영역(106)을 포함하는 산화물 반도체층(103), 소스 전극층(105a) 및 드레인 전극층(105b) 위에 산화물 절연층(107)이 제공된다.

[0028] 도 1a가 소스 전극층(105a)과 드레인 전극층(105b) 사이에 산화물 반도체층의 일부가 에칭되는 통상의 채널 에칭 트랜지스터의 구조를 예시하지만, 도 1b에 예시된 바와 같이 산화물 반도체층이 에칭되지 않아서 표층부에 결정 영역이 남아 있는 구조가 대안으로 이용될 수도 있다는 것에 유의한다.

[0029] 게이트 전극층(101)은, 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐과 같은 임의의 금속 재료, 임의의 이들 금속 재료를 주성분으로서 함유하는 합금 재료, 또는 임의의 이들 금속 재료를 함유하는 질화물을 사용하여 단층 구조 또는 적층 구조로 형성될 수 있다. 전극층에 알루미늄 또는 구리와 같은 저저항 금속 재료가 사용되는 경우에, 저저항 금속 재료는 낮은 내열성 또는 부식성과 같은 단점들을 갖기 때문에 내화성 금속 재료(refractory metal material)와 조합하여 사용되는 것이 바람직하다. 내화성 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등이 사용될 수 있다.

[0030] 또한, 화소부의 개구율을 증가시키기 위해, 산화 인듐, 산화 인듐 및 산화 주석의 합금, 산화 인듐 및 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄, 또는 산화 아연 갈륨 등의 투광성 산화물 도전층이 게이트 전극층(101)으로서 사용될 수도 있다.

[0031] 게이트 절연층(102)으로서, 임의의 산화 실리콘, 산질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 탄탈 등의 단층막 또는 적층막이 사용될 수 있다. 이러한 막은 CVD법, 스퍼터링법 등으로 형성될 수 있다.

[0032] 산화물 반도체막으로서, $InMO_3(ZnO)_m$ (m>0)으로 표기되는 박막이 사용될 수 있다. 여기서, M는, Ga, Al, Mn 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등일 수도 있다. $InMO_3(ZnO)_m$ (m>0)로 표기되는 산화물 반도체막 중에서, M으로서 Ga를 포함하는 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체로 칭하고, In-Ga-Zn-O계 산화물 반도체의 박막을 In-Ga-Zn-O계 막으로 또한 칭한다.

[0033] 산화물 반도체층(103)은 스퍼터링법을 이용해 10 nm 이상 300 nm 이하로, 바람직하게는 20 nm 이상 100 nm 이하로 형성된다. 산화물 반도체층(103)의 일부가 도 1a에 예시된 바와 같이 에칭되는 경우에서, 디바이스의 완성시에 산화물 반도체층(103)은 그 두께가 상기 두께보다 작은 영역을 갖는다는 것에 유의한다.

[0034] 산화물 반도체층(103)으로서, RTA법 등으로 고온에서 단시간 동안 탈수화 또는 탈수소화가 실시된 것이 사용된다. 탈수화 또는 탈수소화는, 고온의 가스(질소, 또는 희가스와 같은 불활성 가스) 또는 광을 이용해, 500℃ 이상 750℃ 이하(또는 유리 기판의 변형점 이하의 온도)에서 대략 1분 내지 10분, 바람직하게는 650℃에서 대략 3분 내지 6분 동안 RTA(Rapid Thermal Anneal) 처리를 통해 실시될 수 있다. RTA법을 이용하면, 탈수화 또는 탈수소화가 단시간에 실시될 수 있고, 따라서, 유리 기판의 변형점을 초과하는 온도에서도 처리가 실시될 수 있다.

[0035] 산화물 반도체층(103)은, 산화물 반도체층(103)이 형성되는 스테이지에서 많은 댕글링 본드(dangling bond)들을 갖는 비정질 층이다. 탈수화 또는 탈수소화를 위한 가열 단계를 통해, 단거리내의 댕글링 본드들이 서로 결합되어, 산화물 반도체층(103)은 질서화된 비정질 구조를 가질 수 있다. 질서화가 진행하면, 산화물 반도체층(103)은 비정질 영역에 미결정이 점재된 비정질과 미결정의 혼합물로 형성되거나, 미결정군으로 형성되게 된다. 여기

서, 미결정은 일반적으로 미결정으로 칭하는 미결정 입자의 입자 사이즈보다 작은 1 nm 이상 20 nm 이하의 입자 사이즈를 갖는 소위 나노크리스탈(nanocrystal)이다.

[0036] 결정 영역(106)인 산화물 반도체층(103)의 표층부에서, 층의 표면에 대해 수직 방향으로 c-축 배향된 미결정층이 형성되는 것이 바람직하다. 이 경우, 결정의 장축은 c-축 방향에 있고, 단축 방향에서의 결정은 1 nm 이상 20 nm 이하이다.

[0037] 이러한 구성을 갖는 산화물 반도체층의 표층부에서, 미결정을 포함하는 치밀한 결정 영역이 존재하고, 따라서, 표층부에 대한 수분의 혼입 또는 표층부로부터의 산소의 탈리로 의한 n-형화에 의한 전기 특성의 열화가 방지될 수 있다. 또한, 산화물 반도체층의 표층부가 백 채널측상에 있기 때문에, 산화물 반도체층이 n-형화되는 것을 방지하는 것은 기생 채널의 발생의 억제에 또한 유효하다. 또한, 결정 영역의 존재로 인해 도전율이 증가된 표층부와 소스 전극(105a) 또는 드레인 전극(105b) 사이의 접촉 저항이 감소될 수 있다.

[0038] 여기서, 성장하기 쉬운 In-Ga-Zn-O계 막의 결정 구조는 산화물 반도체의 성막을 위해 사용된 타겟에 의존한다. 예를 들어, 몰비가 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$이도록 In, Ga, 및 Zn를 포함하는 산화물 반도체의 성막을 위한 타겟을 사용하여 In-Ga-Zn-O계 막이 형성되고, 가열 단계를 통해 결정화가 실시되는 경우에서, In 산화물층들 사이에 Ga 및 Zn를 포함하는 하나의 산화물층 또는 2개의 산화물층들이 혼재하는 육방정계 층형상 화합물형 결정 구조가 형성되기 쉽다. 대안적으로, $In_2O_3 : Ga_2O_3 : ZnO$의 몰비가 1 : 1 : 2인 타겟이 사용되고, 결정화가 가열 단계를 통해 실시되는 경우에서, In 산화물층들 사이에 개재된 Ga 및 Zn를 포함하는 산화물층은 2층 구조를 갖기 쉽다. 2층 구조를 갖는 후자의 상기 Ga 및 Zn를 포함하는 산화물층의 결정 구조가 안정적이고, 따라서, 결정 성장이 발생하기 쉽기 때문에, $In_2O_3 : Ga_2O_3 : ZnO$의 몰비가 1:1:2인 타겟이 사용되고, 가열 단계를 통해 결정화가 실시되는 경우에서, 상기 Ga 및 Zn을 포함하는 산화물층의 외부층으로부터 게이트 절연막과 상기 Ga 및 Zn을 포함하는 산화물층 사이의 계면까지 연속하는 결정이 몇몇 경우들에서 형성된다. 몰비는 원자수비로서 칭할 수도 있다는 것에 유의한다.

[0039] 도 10a에 예시되어 있는 바와 같이, 단계의 순서에 의존하여 산화물 반도체층(103)의 측면부에 결정 영역이 형성되지 않고, 결정 영역(106)은 상층부에만 형성된다는 것에 유의한다. 측면부의 면적비율은 작고, 이 경우에 있어서도 상기 효과가 유지될 수 있다는 것에 유의한다.

[0040] 소스 전극층(105a)은 제 1 도전층(112a), 제 2 도전층(113a), 및 제 3 도전층(114a)의 3층 구조를 갖고, 드레인 전극층(105b)은 제 1 도전층(112b), 제 2 도전층(113b), 및 제 3 도전층(114b)의 3층 구조를 갖는다. 소스 및 드레인 전극층들(105a 및 105b)의 재료로서, 게이트 전극층(101)과 유사한 재료가 사용될 수 있다.

[0041] 또한, 게이트 전극층(101)과 유사한 방식으로 투광성 산화물 도전층이 소스 및 드레인 전극층들(105a 및 105b)에 사용되어서, 화소부의 투광성이 증가될 수 있고, 개구율이 또한 증가될 수 있다.

[0042] 또한, 소스 및 드레인 전극층들(105a 및 105b)이 되는 상기 금속막과 산화물 반도체층(103) 사이에 산화물 도전층이 형성될 수도 있어서, 접촉 저항이 감소될 수 있다.

[0043] 채널 보호층으로서 기능하는 산화물 절연층(107)이 산화물 반도체층(103), 소스 전극층(105a) 및 드레인 전극층(105b) 위에 제공된다. 산화물 절연층은 무기 절연막, 통상적으로, 산화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 또는 산질화 알루미늄막 등을 사용하는 스퍼터링법으로 형성된다.

[0044] 대안적으로, 도 10b에 예시된 보텀 콘택트형 트랜지스터가 각 부분에 대해 유사한 재료를 사용하여 형성될 수도 있다.

[0045] 도 10b에 예시된 트랜지스터는 기판(100) 위에, 게이트 전극층(101), 게이트 절연층(102), 소스 전극층(105a), 드레인 전극층(105b), 및 표층부에 결정 영역(106)을 포함하는 산화물 반도체층(103)을 포함한다. 또한, 게이트 절연층(102), 소스 전극층(105a), 드레인 전극층(105b), 및 산화물 반도체층(103) 위에 산화물 절연층(107)이 제공된다.

[0046] 이러한 구조에서도, 산화물 반도체층(103)은 미결정층으로 형성된 결정 영역(106)을 포함하는 표층부를 제외하고, 비정질이거나, 비정질 영역에 미결정이 점재된 비정질과 미결정의 혼합물로 형성되거나, 미결정군으로 형성된다. 이러한 구성을 갖는 산화물 반도체층이 사용될 때, 표층부에 대한 수분의 혼입 또는 표층부로부터의 산소의 탈리에 의한 n형화로 인한 전기 특성의 열화가 채널 에칭 구조와 유사한 방식으로 방지될 수 있다. 또한, 산화물 반도체층의 표층부는 백 채널측상에 있고, 미결정층으로 형성된 결정 영역을 갖기 때문에, 기생 채널의 발

생이 억제될 수 있다.

[0047] 이러한 구성으로, 트랜지스터는 높은 신뢰성 및 높은 전기 특성을 가질 수 있다.

[0048] 채널 에칭 트랜지스터의 예가 본 실시형태에 제공되지만, 채널 보호형의 트랜지스터를 사용할 수도 있다는 것에 유의한다. 대안적으로, 소스 전극층 및 드레인 전극층과 겹쳐지는 산화물 반도체층을 포함하는 보텀 콘택트형의 트랜지스터가 사용될 수도 있다.

[0049] 본 실시형태에 설명된 구성은 다른 실시형태에 설명된 임의의 구성과 적절하게 조합하여 사용될 수 있다는 것에 유의한다.

[0050] (실시형태 2)

[0051] 본 실시형태에서, 실시형태 1에 설명된 채널 에칭 트랜지스터를 포함하는 표시 장치의 제작 공정이 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a 및 도 4b, 도 5, 도 6, 도 7, 도 8a1, 도 8a2, 도 8b1, 도 8b2, 및 도 9를 참조하여 설명될 것이다. 도 2a 내지 도 2c 및 도 3a 내지 도 3c는 단면도들이고, 도 4a 및 도 4b, 도 5, 도 6, 및 도 7은 평면도들이며, 도 4a 및 도 4b, 도 5, 도 6, 및 도 7에서의 선 A1-A2 및 선 B1-B2는, 도 2a 내지 도 2c 및 도 3a 내지 도 3c의 단면도들 각각에서의 선 A1-A2 및 선 B1-B2에 대응한다.

[0052] 먼저, 기판(100)을 준비한다. 기판(100)으로서, 아래의 임의의 기판들: 퓨전법 또는 플로트법으로 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리, 알루미노실리케이트 유리 등으로 이루어진 무-알칼리 유리 기판들; 이러한 제작 공정의 공정 온도를 견디기에 충분한 내열성을 갖는 플라스틱 기판들 등이 사용될 수 있다. 대안적으로, 절연막이 제공된 표면을 갖는 스테인리스 강 합금과 같은 금속 기판이 사용될 수도 있다.

[0053] 상술한 유리 기판 대신에, 세라믹 기판, 석영 기판, 사파이어 기판과 같은 절연체를 사용하여 형성된 기판이 기판(100)으로서 사용될 수도 있다는 것에 유의한다.

[0054] 또한, 하지막(base film)으로서, 절연막이 기판(100) 위에 형성될 수도 있다. 하지막은 CVD법, 스퍼터링법 등으로 임의의 산화 실리콘막, 질화 실리콘막, 산질화 실리콘막, 또는 질화 산화 실리콘막을 사용하여 단층 구조 또는 적층 구조로 형성될 수 있다. 유리 기판과 같은 가동 이온들을 함유하는 기판이 기판(100)으로서 사용되는 경우에서, 질화 실리콘막 또는 질화 산화 실리콘막과 같은 질소를 함유하는 막이 하지막으로서 사용되어서, 가동 이온들이 반도체층에 혼입하는 것이 방지될 수 있다.

[0055] 다음으로, 게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108), 및 제 1 단자(121)인 도전막이 스퍼터링법 또는 진공 증착법으로 기판(100)의 전체 표면 위에 형성된다. 다음으로, 제 1 포토리소그래피 공정을 통해, 레지스트 마스크가 형성된다. 에칭함으로써 불필요한 부분을 제거하여 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108), 및 제 1 단자(121))을 형성한다. 이때, 게이트 전극층(101) 위에 형성된 막의 파손을 방지하기 위해, 게이트 전극층(101)의 단부가 테이퍼 형상이 되도록 에칭이 실시되는 것이 바람직하다. 이러한 스테이지에서의 단면도가 도 2a에 예시되어 있다. 도 4b가 이러한 스테이지에서의 평면도라는 것에 유의한다.

[0056] 게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108), 단자부에서의 제 1 단자(121)는, 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐과 같은 임의의 금속 재료; 임의의 이들의 금속 재료를 주성분으로서 함유하는 합금 재료; 또는 임의의 이들의 금속 재료를 함유하는 질화물을 사용하여 단층 구조 또는 적층 구조로 형성될 수 있다. 알루미늄 또는 구리와 같은 저저항 금속 재료가 전극층에 사용되는 경우에, 저저항 금속 재료는 낮은 내열성 또는 부식성과 같은 단점들을 갖기 때문에 내화성 금속 재료와 조합하여 사용하는 것이 바람직하다. 내화성 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등이 사용될 수 있다.

[0057] 예를 들어, 게이트 전극층(101)의 2층 구조로서, 아래의 구조들: 알루미늄층상에 몰리브덴층이 적층된 2층의 적층 구조, 구리층 위에 몰리브덴층이 적층된 2층 구조, 구리층 위에 질화 티타늄층 혹은 질화 탄탈층이 적층된 2층 구조, 및 질화 티타늄층과 몰리브덴층의 2층 구조가 바람직하다. 3층의 구조로서, 아래의 구조들: 중간층에 알루미늄, 알루미늄과 실리콘의 합금, 알루미늄과 티타늄의 합금 또는 알루미늄과 네오디뮴의 합금을 포함하고, 상부층과 바닥층에 텅스텐, 질화 텅스텐, 질화 티타늄 또는 티타늄을 포함하는 적층된 구조가 바람직하다.

[0058] 이때, 개구율을 증가시키기 위해 투광성 산화물 도전층이 전극층 및 배선층의 일부에 사용된다. 예를 들어, 산화 인듐, 산화 인듐 및 산화 주석의 합금, 산화 인듐 및 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산

질화 아연 알루미늄, 또는 산화 아연 갈륨 등이 산화물 도전층에 대해 사용될 수 있다.

[0059] 다음으로, 게이트 전극층(101) 위에 게이트 절연층(102)이 형성된다. 게이트 절연층(102)은 CVD법, 스퍼터링법 등으로 50 nm 이상 250 nm 이하의 두께로 형성된다.

[0060] 예를 들어, 게이트 절연층(102)에 대해, 100 nm의 두께를 갖는 산화 실리콘막이 스퍼터링법으로 형성된다. 물론, 게이트 절연층(102)은 이러한 산화 실리콘막으로 한정되지 않고, 산질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 탄탈막과 같은 임의의 절연막들을 사용하여 단층 구조 또는 적층 구조로 형성될 수도 있다.

[0061] 대안적으로, 게이트 절연층(102)은 유기 실란 가스를 사용한 CVD법으로 산화 실리콘층을 사용하여 형성될 수도 있다. 유기 실란 가스에 대해, 테트라에톡시실란(TEOS), 테트라메틸실란(TMS), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란(TRIES), 또는 트리(디메틸아미노)실란(TDMAS)과 같은 실리콘을 함유하는 화합물이 사용될 수 있다.

[0062] 대안적으로, 게이트 절연층(102)은 알루미늄, 이트륨, 또는 하프늄의 산화물, 질화물, 산질화물, 또는 질화 산화물; 또는 이들 중 적어도 2개 종류 이상을 포함하는 화합물을 사용하여 형성될 수도 있다.

[0063] 본 명세서에서, 용어 "산질화물"은, 산소 원자의 수가 질소 원자의 수보다 크도록 산소 원자 및 질소 원자를 함유하는 물질을 칭하고, 용어 "질화 산화물"은 질소 원자의 수가 산소 원자의 수보다 크도록 질소 원자 및 산소 원자를 함유하는 물질을 칭한다. 예를 들어, "산질화 실리콘막"은 산소 원자의 수가 질소 원자의 수보다 크도록 산소 원자 및 질소 원자를 함유하고, 러더퍼드 후방 산란법(RBS) 및 수소 전방 산란법(HFS)을 사용하여 측정이 실시되는 경우에, 각각 50원자% 이상 70원자% 이하, 0.5원자% 이상 15원자% 이하, 25원자% 이상 35원자% 이하, 및 0.1원자% 이상 10원자% 이하의 범위의 농도로 산소, 질소, 실리콘, 및 수소를 함유하는 막을 의미한다. 또한, "질화 산화 실리콘막"은, 질소 원자의 수가 산소 원자의 수보다 크도록 질소 원자 및 산소 원자를 포함하고, RBS 및 HFS를 사용하여 측정이 실시되는 경우에, 각각 5원자%이상 30원자%이하, 20원자%이상 55원자%이하, 25원자%이상 35 원자%이하, 및 10원자%이상 30원자%이하의 범위의 농도로 산소, 질소, 실리콘, 및 수소를 함유하는 막을 의미한다. 산질화 실리콘막 또는 질화 산화 실리콘막에 함유된 총 원자의 수를 100원자%로 정의할 때, 질소, 산소, 실리콘 및 수소의 비율은 상기 제공된 범위들내에 있다는 것에 유의한다.

[0064] 산화물 반도체층(103)을 형성하기 위한 산화물 반도체막이 형성되기 전에, 아르곤 가스가 도입되고 플라즈마가 발생되는 역스퍼터링을 실시함으로써 게이트 절연층의 표면상의 먼지가 제거되는 것이 바람직하다. 역스퍼터링은, 아르곤 분위기하에서 기판측에 전압의 인가를 위해 RF 전원이 사용되어 기판 주위에 플라즈마가 생성되어 표면을 개질하는 방법을 칭한다. 아르곤 분위기 대신에 질소 분위기, 헬륨 분위기 등이 사용될 수도 있다는 것에 유의한다. 대안적으로, 산소, N_2O 등이 첨가된 아르곤 분위기가 사용될 수도 있다. 대안적으로, Cl_2, CF_4 등이 첨가된 아르곤 분위기가 사용될 수도 있다. 역스퍼터링 후에, 대기에 노출하지 않고 산화물 반도체막이 형성됨으로써, 게이트 절연층(102)과 산화물 반도체층(103) 사이의 계면에 먼지 및 수분의 부착이 방지될 수 있다.

[0065] 다음으로, 산화물 반도체막은 게이트 절연층(102) 위에 5 nm이상 200 nm이하, 바람직하게는 10 nm이상 40 nm이하의 두께로 형성된다.

[0066] 산화물 반도체막으로서, In-Sn-Ga-Zn-O계 막과 같은 4원계 금속 산화물막; In-Ga-Zn-O계 막, In-Sn-Zn-O계 막, In-Al-Zn-O계 막, Sn-Ga-Zn-O계 막, Al-Ga-Zn-O계 막, 또는 Sn-Al-Zn-O계 막과 같은 3원계 금속 산화물막; In-Zn-O계 막, Sn-Zn-O계 막, Al-Zn-O계 막, Zn-Mg-O계 막, Sn-Mg-O계 막, 또는 In-Mg-O계 막과 같은 2원계 금속 산화물막; In-O계 막, Sn-O계 막, 또는 Zn-O계 막이 사용될 수 있다. 또한, 상기 산화물 반도체막은 SiO_2를 더 포함할 수도 있다.

[0067] 여기서, In, Ga, 및 Zn를 포함하는 산화물 반도체의 성막용 타겟(In_2O_3 : Ga_2O_3 : ZnO의 비율이 1 : 1 : 1 또는 1 : 1 : 2의 몰비)을 사용하여 기판과 타겟 사이의 거리가 100 mm이고, 압력이 0.6 Pa이고, 직류(DC) 전원이 0.5 kW이며, 분위기가 산소 분위기(산소 유량의 비율 100%)인 조건에서 형성된다. 펄스 직류(DC) 전원이 사용될 때, 먼지가 감소될 수 있고, 막두께가 균일하게 되기 쉽다는 것에 유의한다. 본 실시형태에서, 산화물 반도체막으로서, In-Ga-Zn-O계 산화물 반도체 성막용 타겟을 사용하여 스퍼터링법으로 30 nm 두께의 In-Ga-Zn-O계 막이 형성된다.

[0068] 스퍼터링법의 예들은, 스퍼터링 전원으로서 고주파 전원이 사용되는 RF 스퍼터링법, 직류 전원이 사용되는 DC 스퍼터링법, 및 바이어스가 펄스 방식으로 인가되는 펄스 DC 스퍼터링법을 포함한다. RF 스퍼터링법은 주로 절

연막이 형성되는 경우에 사용되고, DC 스퍼터링법은 주로 금속막과 같은 도전성 막이 형성되는 경우에 사용된다.

[0069] 또한, 상이한 재료의 복수의 타겟이 설정될 수 있는 멀티-소스 스퍼터링 장치가 또한 존재한다. 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들이 동일한 챔버에 적층되도록 형성될 수 있거나, 복수의 종류의 재료들의 막이 동일한 챔버에서 동시에 형성될 수 있다.

[0070] 또한, 챔버 내부에 자석 시스템이 제공된 마그네트론 스퍼터링법용의 스퍼터링 장치, 및 글로 방전을 사용하지 않고 마이크로파를 사용해 발생된 플라즈마가 사용되는 ECR 스퍼터링법을 위해 사용되는 스퍼터링 장치가 존재한다.

[0071] 또한, 스퍼터링법을 사용하는 증착 방법으로서 증착 동안 타겟 물질과 스퍼터링 가스 성분이 서로 화학 반응되어 화합물 박막을 형성하는 리액티브 스퍼터링법, 및 전압이 성막 동안 기판에 또한 인가되는 바이어스 스퍼터링법이 또한 존재한다.

[0072] 다음으로, 제 2 포토리소그래피 공정을 통해, 레지스트 마스크가 형성된다. 그 후, In-Ga-Zn-O계 막이 에칭된다. 에칭에서, 시트르산 또는 옥살산과 같은 유기산이 에천트로서 사용될 수 있다. 여기서, 불필요한 부분을 제거하기 위해 ITO-07N(Kanto Chemical Co., Inc. 제작)을 사용하여 웨트 에칭(wet etching)함으로써, In-Ga-Zn-O계 막이 에칭된다. 따라서, In-Ga-Zn-O계 막은 섬 형상을 갖는 것으로 처리되어, 산화물 반도체층(103)이 형성된다. 산화물 반도체층(103)의 단부가 테이퍼된 형상을 갖도록 에칭되어서, 단차 형상에 의한 배선의 파손이 방지될 수 있다. 여기서의 에칭은 웨트 에칭으로 한정되지 않고 드라이 에칭이 실시될 수도 있다.

[0073] 그 후, 산화물 반도체층에는 탈수화 또는 탈수소화가 실시된다. 탈수화 또는 탈수소화를 위한 제 1 가열 처리는, 고온의 가스(질소 또는 희가스와 같은 불활성 가스) 또는 광을 이용해 500℃ 이상 750℃ 이하(또는 유리 기판의 변형점 이하의 온도)에서 대략 1분 내지 10분, 바람직하게는 650℃에서 대략 3분 내지 6분 동안 고속 열 어닐링(RTA) 처리를 통해 실시될 수 있다. RTA법을 이용하면, 탈수화 또는 탈수소화가 단시간에 실시될 수 있고, 따라서, 유리 기판의 변형점보다 높은 온도에서도 처리가 실시될 수 있다. 이러한 스테이지의 단면도 및 이러한 스테이지의 평면도가 도 2b 및 도 5에 각각에 예시된다. 가열 처리의 타이밍은 이러한 타이밍에 한정되지 않고, 예를 들어, 포토리소그래피 공정 또는 증착 공정의 전후에 복수 횟수 실시될 수도 있다는 것에 유의한다.

[0074] 여기서, 산화물 반도체층(103)의 표층부는 제 1 가열 처리를 통해 결정화되고, 따라서, 미결정을 포함하는 결정 영역(106)을 갖게 된다. 산화물 반도체층(103)의 나머지 영역은, 비정질이 되거나, 비정질 영역에 미결정이 점재된 비정질과 미결정의 혼합물로 형성되거나, 미결정군으로 형성된다. 결정 영역(106)은 산화물 반도체층(103)의 일부이며, 후, "산화물 반도체층(103)"은 결정 영역(106)을 포함한다는 것에 유의한다.

[0075] 본 명세서에서, 질소 또는 희가스와 같은 불활성 가스의 분위기에서의 가열 처리를 탈수화 또는 탈수소화를 위한 가열 처리라고 칭하는 것에 유의한다. 본 명세서에서, "탈수소화"는 가열 처리에 의한 H_2의 제거만을 나타내는 것은 아니다. 편의상, H, OH 등의 제거를 또한 "탈수화 또는 탈수소화"로서 칭한다.

[0076] 탈수화 또는 탈수소화를 실시한 산화물 반도체층은 대기에 노출되지 않아야 해서, 산화물 반도체층으로의 물 또는 수소의 혼입이 방지될 수 있다는 것이 중요하다. 탈수화 또는 탈수소화를 실시함으로써 산화물 반도체층을 저저항 산화물 반도체층, 즉, n-형(예를 들어, $n^{--형}$ 또는 $n^{+-형}$) 산화물 반도체층으로 변경하고, 산화물 반도체층이 i-형 산화물 반도체층이 되도록 저저항 산화물 반도체층을 고저항 산화물 반도체층으로 변화시킴으로써 획득되는 산화물 반도체층을 사용하여 트랜지스터가 형성될 때, 트랜지스터의 임계 전압(V_{th})은 포지티브(positive)여서, 소위 노멀리-오프 특성이 실현된다. 표시 장치에 사용되는 트랜지스터는, 그 게이트 전압이 가능한 한 0 V에 근접한 포지티브 임계 전압인 것이 바람직하다. 액티브 매트릭스 표시 장치에서, 회로에 포함된 트랜지스터의 전기 특성이 중요하고, 표시 장치의 성능은 전기 특성에 의존한다. 특히, 트랜지스터의 임계 전압은 중요하다. 트랜지스터의 임계 전압이 네거티브(negative)이면, 트랜지스터는 소위 노멀리-온 특성을 갖고, 즉, 게이트 전압이 0 V일 때에도 전류가 소스 전극과 드레인 전극 사이에서 흘러서, 그 트랜지스터를 사용하여 형성된 회로를 제어하는 것이 어렵다. 임계 전압이 포지티브이지만 임계 전압의 절대값이 큰 트랜지스터의 경우에서, 구동 전압이 충분히 높지 않기 때문에 몇몇 경우들에서 트랜지스터는 스위칭 동작을 실시할 수 없다. n-채널 트랜지스터의 경우에서, 게이트 전압으로서 포지티브 전압이 인가된 후에 채널이 형성되고 드레인 전류가 흐르는 것이 바람직하다. 구동 전압이 상승되지 않으면 채널이 형성되지 않는 트랜지스터 및 네거티브 전압이 인가될 때에도

채널이 형성되고 드레인 전류가 흐르는 트랜지스터는 회로에 사용되는 트랜지스터로는 적합하지 않다.

[0077] 탈수화 또는 탈수소화가 실시된 온도로부터 냉각할 때, 분위기는 온도가 상승되거나 열 처리가 실시되는 분위기와는 상이한 분위기로 전환될 수도 있다. 예를 들어, 대기에 노출되지 않고 고순도 산소 가스, 고순도 N_2O 가스, 또는 초건조 공기(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하)로 노(furnance)가 채워지면서, 탈수화 또는 탈수소화가 실시되는 노에서 냉각이 실시될 수 있다.

[0078] 제 1 가열 처리에서, 분위기중에 물, 수소 등이 포함되지 않는 것이 바람직하다는 것에 유의한다. 대안적으로, 가열 처리 장치에 도입되는 불활성 가스의 순도는, 바람직하게는 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하)이다.

[0079] 불활성 가스 분위기하에서 가열 처리가 실시되는 경우에서, 산화물 반도체층은 가열 처리를 통해 산소 결핍형 산화물 반도체층으로 변화되어, 산화물 반도체층은 저저항 산화물 반도체층(즉, n-형(예를 들어, n^--형 또는 n^+-형 산화물 반도체층)이 된다. 그 후, 산화물 반도체층은 산화물 반도체층 상에 접촉하는 산화물 절연층의 형성에 의해 산소 과잉인 상태로 된다. 따라서, 산화물 반도체층은 i-형이 되고, 즉, 산화물 반도체층은 고저항 산화물 반도체층으로 변화된다. 따라서, 양호한 전기 특성을 갖는 매우 신뢰가능한 트랜지스터를 형성할 수 있다.

[0080] 제 1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라, 산화물 반도체층은 부분적으로 결정화될 수도 있다. 제 1 가열 처리 후에, 산소 결핍형이고 저저항을 갖는 산화물 반도체층(103)이 획득된다. 제 1 가열 처리 후에, 캐리어 농도는 성막 직후의 산화물 반도체막의 캐리어 농도보다 캐리어 농도가 높아서, 산화물 반도체층은 바람직하게는 $1\times10^{18}/cm^3$ 이상의 캐리어 농도를 갖는다.

[0081] 산화물 반도체층에 대한 제 1 가열 처리는, 산화물 반도체막이 섬 형상 산화물 반도체층으로 가공되기 전에 실시될 수도 있다. 이 경우에서, 제 1 가열 처리 후에 제 2 포토리소그래피 공정이 실시된다. 결정 영역은 섬 형상 산화물 반도체층(103)의 측면부에 형성되지 않고, 결정 영역(106)은 산화물 반도체층(103)의 상층부에만 형성된다(도 10a 참조).

[0082] 다음으로, 제 3 포토리소그래피 공정을 통해, 레지스트 마스크가 형성된다. 불필요한 부분이 에칭함으로써 제거되어 게이트 전극층(101)과 동일한 재료로 형성되는 배선 또는 전극층에 이르는 콘택트홀을 형성한다. 이러한 콘택트홀은 추후에 형성될 도전막과 상기 배선 등 사이의 접속을 위해 제공된다.

[0083] 다음으로, 산화물 반도체층(103) 및 게이트 절연층(102) 위에, 제 1 도전층(112), 제 2 도전층(113), 및 제 3 도전층(114)이 스퍼터링법 또는 진공 증착법을 이용하여 도전층으로서 형성된다. 도 2c가 이러한 스테이지에서의 단면도이다.

[0084] 제 1 도전층(112), 제 2 도전층(113), 및 제 3 도전층(114)은 각각 게이트 전극층(101)의 재료와 유사한 재료를 사용하여 형성될 수 있다.

[0085] 여기서, 제 1 도전층(112) 및 제 3 도전층(114)은 내열성 도전성 재료인 티타늄을 사용하여 형성되고, 제 2 도전층(113)은 네오디뮴을 포함하는 알루미늄 합금을 사용하여 형성된다. 이러한 구성은 알루미늄의 저저항 특성을 활용할 수 있고, 힐록(hillock)의 발생을 감소시킬 수 있다. 본 실시형태에서 도전층이 3층 구조를 갖지만, 본 발명의 실시형태는 이에 한정되지 않는다는 것에 유의한다. 단층 구조, 또는 2층 또는 4층 이상을 포함하는 적층 구조가 이용될 수도 있다. 예를 들어, 티타늄막의 단층 구조 또는 실리콘을 포함하는 알루미늄막과 티타늄막의 적층 구조가 이용될 수도 있다.

[0086] 다음으로, 제 4 포토리소그래피 공정을 통해, 레지스트 마스크(131)가 형성된다. 불필요한 부분들이 에칭함으로써 제거되어서, 소스 및 드레인 전극층(105a 및 105b), 산화물 반도체층(103) 및 접속 전극(120)이 형성된다. 이때의 에칭 방법으로 웨트 에칭 또는 드라이 에칭이 이용된다. 예를 들어, 제 1 도전층(112) 및 제 3 도전층(114)이 티타늄을 사용하여 형성되고, 제 2 도전층(113)이 네오디뮴을 포함하는 알루미늄 합금을 사용하여 형성될 때, 에천트로서 과산화수소 용액 또는 가열된 염산을 사용하여 웨트 에칭이 실시될 수 있다. 이러한 에칭 단계를 통해, 산화물 반도체층(103)은 부분적으로 에칭되어, 소스 전극층(105a)과 드레인 전극층(105b) 사이에 얇은 영역을 갖는다. 이러한 스테이지에서의 단면도 및 이러한 스테이지에서의 평면도가 도 3a 및 도 6에 각각 예시되어 있다.

[0087] 이때, 제 1 도전층(112) 및 제 3 도전층(114)에 대한 산화물 반도체층(103)의 선택비가 충분히 낮은 조건에서 에칭 처리가 실시되어서, 트랜지스터는 표층부의 결정 영역이 도 1b에 예시된 바와 같이 남아 있는 구조를 갖는

다.

[0088] 제 1 도전층(112), 제 2 도전층(113), 제 3 도전층(114), 및 산화물 반도체층(103)은, 과산화수소 용액 또는 가열된 염산을 사용하여 전체적으로 에칭될 수 있다. 따라서, 소스 전극층(105a), 드레인 전극층(105b) 또는 산화물 반도체층(103)의 단부에 단차 등이 형성되지 않는다. 또한, 웨트 에칭은 층들이 등방적으로 에칭되게 하여서, 소스 및 드레인 전극층(105a 및 105b)은 사이즈가 감소되어, 그들의 단부는 레지스트 마스크(131)의 내측상에 있다. 상기 단계들을 통해, 산화물 반도체층(103) 및 결정 영역(106)이 채널 형성 영역으로서 사용되는 트랜지스터(170)가 제작될 수 있다.

[0089] 여기서, 소스 전극층(105a) 및 드레인 전극층(105b)은 게이트 전극층(101)과 유사하게 투광성 산화물 도전층을 사용하여 형성되어서, 화소부의 투광성이 증가될 수 있고 개구율이 또한 증가될 수 있다.

[0090] 또한, 소스 전극층(105a) 및 드레인 전극층(105b)이 되는 금속막과 산화물 반도체층(103) 사이에 산화물 도전층이 형성되어, 접촉 저항이 감소될 수 있다.

[0091] 제 4 포토리소그래피 공정에서, 소스 전극층(105a) 및 드레인 전극층(105b)과 동일한 재료를 사용하여 형성된 제 2 단자(122)가 단자부에 또한 남는다. 제 2 단자(122)는 소스 배선(소스 및 드레인 전극층(105a 및 105b)을 포함하는 소스 배선)에 전기적으로 접속된다는 것에 유의한다.

[0092] 또한, 단자부에서, 접속 전극(120)은 게이트 절연층(102)에 형성된 콘택트홀을 통해 단자부의 제 1 단자(121)에 직접적으로 접속된다. 예시되지는 않았지만, 구동 회로의 트랜지스터의 소스 또는 드레인 배선 및 게이트 전극이 상기 단계들과 동일한 단계들을 통해 서로 직접적으로 접속된다는 것에 유의한다.

[0093] 또한, 다계조 마스크를 사용하여 형성되는 복수의 두께(통상적으로 2개의 상이한 두께)를 갖는 영역들을 갖는 레지스트 마스크를 사용함으로써, 레지스트 마스크의 수가 감소될 수 있어서, 간략한 공정 및 저비용이 발생할 수 있다.

[0094] 다음으로, 레지스트 마스크(131)가 제거되고, 트랜지스터(170)를 커버하도록 산화물 절연층(107)이 형성된다. 산화물 절연층(107)은 산화 실리콘막, 산질화 실리콘막, 산화 알루미늄막, 산화 탄탈막 등을 사용하여 형성될 수 있다.

[0095] 본 실시형태에서, 산화 실리콘막은 스퍼터링법을 이용하여 산화물 절연층에 대해 형성된다. 성막시의 기판 온도는, 실온 이상 300℃ 이하일 수도 있고, 본 실시형태에서는 100℃이다. 성막시에 물, 수소와 같은 불순물의 혼입을 방지하기 위해, 성막 전에 감압하에서 150℃ 이상 350℃ 이하의 온도로 2분 이상 10분 이하 동안 프리베이킹을 실시하여 대기에 노출되지 않고 산화물 절연층을 형성하는 것이 바람직하다. 산화 실리콘막은 스퍼터링법으로 희가스(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로, 아르곤) 및 산소를 포함하는 혼합 분위기에서 형성될 수 있다. 또한, 산화 실리콘 타겟 또는 실리콘 타겟이 타겟으로서 사용될 수 있다. 예를 들어, 실리콘 타겟을 사용하여, 산화 실리콘 막이 산소 및 희가스 분위기에서 스퍼터링법으로 형성될 수 있다. 저항이 감소된 영역에서 산화물 반도체층 상에 접촉하여 형성되는 산화물 절연층은, 수분, 수소 이온 및 OH^-와 같은 불순물을 포함하지 않고, 외부로부터 이러한 불순물들의 혼입을 차단하는 무기 절연막을 사용하여 형성된다.

[0096] 본 실시형태에서, 기판과 타겟 사이의 거리(T-S 거리)가 89 mm이고, 압력이 0.4Pa이며, 직류(DC) 전원이 6 kW이고, 분위기가 산소 분위기(산소 유량의 비율이 100%)인 조건하에서 6N의 순도를 갖고 기둥 모양 다결정 B(0.01Ω·cm의 저항)으로 도핑된 실리콘 타겟을 사용하여 펄스 DC 스퍼터링법으로 성막이 실시된다. 두께는 300 nm이다.

[0097] 다음으로, 제 2 가열 처리가 불활성 가스 분위기(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)에서 실시된다. 예를 들어, 제 2 가열 처리는 질소 분위기에서 250℃에서 1시간 동안 실시된다. 대안적으로, RTA 처리가 제 1 가열 처리에서와 같이 고온에서 단시간 동안 실시될 수도 있다. 제 2 가열 처리에서, 산화물 절연층(107)이 산화물 반도체층(103)의 일부와 접촉하여 가열되기 때문에, 제 1 가열 처리를 통해 n-형이 되고 더 낮은 저항을 갖는 산화물 반도체층(103)에 산화물 절연층(107)으로부터 산소가 공급되어, 산화물 반도체층(103)은 산소 과잉 상태가 된다. 따라서, 산화물 반도체층(103)은 (더 높은 저항을 갖는) i-형일 수 있다.

[0098] 본 실시형태에서, 제 2 가열 처리는 산화 실리콘막의 형성 후에 실시되지만, 가열 처리의 타이밍은 산화 실리콘막의 형성 후인 한은, 산화 실리콘막의 형성 직후의 타이밍으로 한정되지 않는다.

[0099] 소스 전극층(105a) 및 드레인 전극층(105b)이 내열성 재료를 사용하여 형성되는 경우에서, 제 1 가열 처리의 조건을 사용하는 단계가 제 2 가열 처리의 타이밍에서 실시될 수 있다. 이 경우에서, 가열 처리는 산화 실리콘막의 형성 후에 1회 실시될 수도 있다.

[0100] 그 후, 제 5 포토리소그래피 공정의 실시를 통해, 레지스트 마스크가 형성된다. 산화물 절연층(107)이 에칭되어, 드레인 전극층(105b)에 이르는 콘택트홀(125)이 형성된다. 또한, 접속 전극(120)에 이르는 콘택트홀(126) 및 제 2 단자(122)에 이르는 콘택트홀(127)이 이러한 에칭에 의해 또한 형성된다. 도 3b는 이러한 스테이지에서의 단면도이다.

[0101] 다음으로, 레지스트 마스크가 제거된 후, 투광성 도전막이 형성된다. 투광성 도전막은 산화 인듐(In_2O_3), 산화 인듐 및 산화 주석의 합금(In_2O_3-SnO_2, 이하 ITO로 약기함) 등을 사용하여 스퍼터링법, 진공 증착법 등으로 형성된다. 이러한 재료는 염산계 용액으로 에칭된다. ITO의 에칭시에 잔류물이 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해 산화 인듐 및 산화 아연 합금(In_2O_3-ZnO, 이하 IZO로 약기함)이 사용될 수도 있다.

[0102] 다음으로, 제 6 포토리소그래피 공정을 통해, 레지스트 마스크가 형성된다. 투광성 도전막의 불필요한 부분이 에칭에 의해 제거되어, 화소 전극층(110)이 형성된다. 여기서, 용량부에서 유전체로서 사용되는 게이트 절연층(102) 및 산화물 절연층(107), 용량 배선(108) 및 화소 전극층(110)으로 저장 용량이 형성된다.

[0103] 또한, 제 6 포토리소그래피 공정 및 에칭 공정에서, 제 1 단자(121) 및 제 2 단자(122) 각각의 상방에 투광성 도전층(128 및 129)이 형성된다. 투광성 도전층(128 및 129)은 각각 FPC에 접속된 전극 또는 배선으로서 기능한다. 제 1 단자(121)에 접속된 투광성 도전층(128)은 게이트 배선의 입력 단자로서 기능하는 접속 단자 전극이다. 제 2 단자(122) 위에 형성된 투광성 도전층(129)은 소스 배선의 입력 단자로서 기능하는 접속 단자 전극으로 기능한다.

[0104] 그 후, 레지스트 마스크가 제거된다. 이러한 스테이지에서의 단면도 및 이러한 스테이지에서의 평면도가 도 3c 및 도 7 각각에 예시되어 있다.

[0105] 도 8a1 및 도 8a2는 각각 이러한 스테이지에서의 게이트 배선 단자부의 단면도 및 그 평면도이다. 도 8a1은 도 8a2의 선 C1-C2을 따라 취해진 단면도이다. 도 8a1에서, 보호 절연막(154) 및 접속 전극(153) 위에 형성된 투광성 도전층(155)은 입력 단자로서 기능하는 접속 단자 전극이다. 또한, 도 8a1에서, 게이트 배선과 동일한 재료로 형성된 제 1 단자(151) 및 소스 배선과 동일한 재료로 형성된 접속 전극(153)은, 그 사이에 개재된 게이트 절연층(152)과 서로 겹치고, 부분적으로 서로 직접 접촉하고 전기적 접속한다. 또한, 접속 전극(153) 및 투광성 도전층(155)은 보호 절연막(154)에 형성된 콘택트홀을 통해 서로 직접 접속된다.

[0106] 도 8b1 및 도 8b2는 각각 소스 배선 단자부의 단면도 및 그 평면도이다. 도 8b1은 도 8b2의 선 D1-D2을 따라 취해진 단면도이다. 도 8b1에서, 보호 절연막(154) 및 접속 전극(150) 위에 형성되는 투광성 도전층(155)은 입력 단자로서 기능하는 접속 단자 전극이다. 또한, 도 8b1에서, 게이트 배선과 동일한 재료로 형성되는 제 2 단자(156)는, 그 사이에 게이트 절연층(152)을 개재하여 소스 배선에 전기적으로 접속되는 접속 전극(150)과 겹친다. 제 2 단자(156)는, 접속 전극(150)에 전기적으로 접속되지 않고, 제 2 단자(156)의 전위가 GND 또는 0 V와 같은 접속 전극(150)의 전위와 상이한 전위로 설정되거나, 제 2 단자(156)가 플로팅 상태로 설정될 때 잡음 또는 정전기를 방지하기 위한 용량이 형성될 수 있다. 접속 전극(150)은, 보호 절연막(154)에 형성된 콘택트홀을 통해 투광성 도전층(155)에 전기적으로 접속된다.

[0107] 복수의 게이트 배선, 소스 배선, 및 용량 배선이 화소 밀도에 따라 제공된다. 또한, 단자부에서, 게이트 배선과 동일한 전위의 복수의 제 1 단자, 소스 배선과 동일한 전위의 복수의 제 2 단자, 용량 배선과 동일한 전위의 복수의 제 3 단자 등이 배열된다. 단자들 각각의 수는 임의의 수일 수도 있고, 단자들의 수는 실시자에 의해 적절하게 결정될 수도 있다.

[0108] 따라서, 이들 6회의 포토리소그래피 공정을 통해, 채널 에칭 트랜지스터(170) 및 저장 용량부가 완성될 수 있다. 트랜지스터들 및 저장 용량들을 화소부에 매트릭스로 배치함으로써, 액티브 매트릭스 표시 장치를 제작하는 기판들 중 하나가 획득될 수 있다. 본 명세서에서, 이러한 기판을 편의상 액티브 매트릭스 기판으로 칭한다.

[0109] 액티브 매트릭스 액정 표시 장치를 제작하는 경우에서, 액티브 매트릭스 기판, 및 대향 전극이 제공된 대향 기판은 그 사이에 액정층이 개재되어 서로에 결합된다. 대향 기판상의 대향 전극에 전기적으로 접속된 공통 전극이 액티브 매트릭스 기판 위에 제공되고, 공통 전극에 전기적으로 접속되는 제 4 단자가 단자부에 제공된다는

것에 유의한다. 제 4 단자는, 공통 전극이 GND 또는 0 V와 같은 고정 전위로 설정되도록 제공된다.

[0110] 본 실시형태에서의 화소 구성은 도 7에서의 화소 구성으로 한정되지 않는다. 도 9는 다른 화소 구성의 예를 예시하는 평면도이다. 도 9는, 용량 배선이 제공되지 않고, 사이에 보호 절연막 및 게이트 절연층이 개재되어 서로 겹치는 화소 전극 및 인접하는 화소의 게이트 배선으로 저장 용량이 형성되는 예를 예시한다. 이러한 경우에서, 용량 배선 및 용량 배선에 접속되는 제 3 단자가 생략될 수 있다. 도 9에서, 도 7에서와 동일한 부분들이 동일한 참조 부호들로 표기된다는 것에 유의한다.

[0111] 액티브 매트릭스 액정 표시 장치에서, 표시 패턴이 매트릭스로 배열된 액정 소자를 구동함으로써 형성된다. 구체적으로는, 선택된 액정 소자에 포함되는 화소 전극과 대향 전극 사이에 전압을 인가함으로써, 액정층의 광학 변조가 실시되고, 이러한 광학 변조는 관찰자에 의해 표시 패턴으로서 인식된다.

[0112] 액정 표시 장치의 동화상을 표시하는 데 있어서, 액정 분자 자체의 긴 응답 시간이 잔상을 야기한다는 문제점이 존재한다. 이러한 잔상을 감소시키기 위해, 한 프레임 기간마다 전체 화면상에 블랙이 표시되는 블랙 삽입이라 칭하는 구동 방법이 이용된다.

[0113] 또한, 소위 배속 프레임 구동인 다른 구동 기술이 존재한다. 배속 프레임 구동에서, 수직 동기 주파수는 통상의 수직 동기 주파수의 1.5배 이상, 바람직하게는 2배 이상으로 높게 설정되어서, 응답 속도가 증가되고, 기록될 계조는 분할함으로써 획득되는 각 프레임의 복수의 필드마다 선택된다.

[0114] 또한, 백라이트로서 복수의 발광 다이오드(LED), 복수의 EL 광원 등을 사용하여 면광원이 형성되고, 면광원의 각 광원이 1 프레임 기간내에 간헐적인 점등 구동을 실시하기 위해 독립적으로 사용되는 기술이 존재한다. 예를 들어, LED를 사용하는 경우에서, 백색 컬러의 LED가 항상 사용되는 것은 아니고, 3 이상의 컬러의 LED가 사용될 수도 있다. 복수의 LED가 독립적으로 제어될 수 있기 때문에, 액정 층이 광학적으로 변조되는 타이밍에 동기하여 LED의 발광 타이밍이 동기될 수 있다. 이러한 구동 방법에 따르면, LED는 부분적으로 턴 오프될 수 있어서, 특히, 하나의 화면에 점유된 큰 블랙 표시 영역을 갖는 화상을 표시하는 경우에 전력 소모를 감소시키는 효과가 획득될 수 있다.

[0115] 이들의 구동 방법들을 조합함으로써, 동화상 특성과 같은 액정 표시 장치의 표시 특성이 종래의 액정 표시 장치에 비하여 개선될 수 있다.

[0116] 발광 표시 장치를 제작하는 경우에서, 발광 소자의 저전원 전위측상의 전극(캐소드라 또한 칭함)은, GND, 0 V 등으로 설정되어서, GND 또는 0V와 같은 저전원 전위로 캐소드를 설정하는 제 4 단자가 단자부에 제공된다. 또한, 발광 표시 장치의 제작에서, 소스 배선 및 게이트 배선에 부가하여 전력 공급선이 제공된다. 따라서, 단자부에는 전력 공급선에 전기적으로 접속되는 제 5 단자가 제공된다.

[0117] 본 실시형태에서, 예로서 채널 에칭 트랜지스터를 택하여 제작 방법이 설명되지만, 단계들의 순서를 변화시킴으로써, 보텀 콘택트형 트랜지스터가 제작될 수도 있다는 것에 유의한다.

[0118] 트랜지스터가 정전기 등에 의해 파괴되기 쉽기 때문에, 화소부에서 트랜지스터를 보호하는 보호 회로가 게이트선 또는 소스선이 형성되는 기판 위에 제공되는 것이 바람직하다. 보호 회로는 산화물 반도체층을 포함하는 비선형 소자를 사용하여 형성되는 것이 바람직하다.

[0119] 상기 단계들을 통해, 트랜지스터는 높은 신뢰성 및 높은 전기 특성을 가질 수 있고, 그 트랜지스터를 포함하는 표시 장치가 제공될 수 있다.

[0120] 본 실시형태에 설명한 구조는 다른 실시형태에 설명한 임의의 구조들과 적절하게 조합하여 사용될 수 있다는 것에 유의한다.

[0121] (실시형태 3)

[0122] 본 실시형태에서, 하나의 기판 위에 형성된 트랜지스터를 포함하는 구동 회로 중 일부 및 화소부가 구동되는 예가 후술될 것이다.

[0123] 본 실시형태에서, 화소부 및 구동 회로부는 실시형태 1에 따라 트랜지스터를 제작하는 방법을 사용하여 하나의 기판 위에 형성된다. 실시형태 1에 설명된 트랜지스터는 n-채널 트랜지스터이고, 따라서, 구동 회로부는 n-채널 트랜지스터로만 구성되는 회로의 일부로 한정된다.

[0124] 도 14a는 액티브 매트릭스 표시 장치의 블록도의 일례를 예시한다. 화소부(5301), 제 1 주사선 구동 회로

(5302), 제 2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)가 표시 장치의 기판(5300) 위에 제공된다. 화소부(5301)에서, 신호선 구동 회로(5304)로부터 연신된 복수의 신호선이 배치되고, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303)로부터 연신된 복수의 주사선이 배치된다. 주사선과 신호선이 서로 교차하는 각각의 영역들에, 표시 소자를 각각 포함하는 화소들이 매트릭스로 배열된다는 것에 유의한다. 표시 장치의 기판(5300)은 FPC(flexible printed circuit)와 같은 접속부를 통해 타이밍 제어 회로(5305)(제어기 또는 제어 IC라고 또한 칭함)에 접속된다.

[0125] 도 14a에서, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)는, 화소부(5301)가 형성되는 기판(5300) 위에 형성된다. 그 결과, 외부에 제공하는 구동 회로 등의 부품의 수가 감소되어서, 비용이 감소될 수 있다. 또한, 기판(5300)과 외부 구동 회로 사이의 접속부(예를 들어, FPC)의 수가 감소될 수 있고, 신뢰성 또는 수율이 증가될 수 있다.

[0126] 타이밍 제어 회로(5305)는 제 1 주사선 구동 회로(5302)에, 제 1 주사선 구동 회로 스타트 신호(GSP1)(스타트 신호를 또한 스타트 펄스로 칭함) 및 주사선 구동 회로 클록 신호(GCK1)를 공급한다는 것에 유의한다. 또한, 타이밍 제어 회로(5305)는 제 2 주사선 구동 회로(5303)에, 제 2 주사선 구동 회로 스타트 신호(GSP2), 주사선 구동 회로 클록 신호(GCK2) 등을 공급한다.

[0127] 또한, 타이밍 제어 회로(5305)는 신호선 구동 회로(5304)에, 신호선 구동 회로 스타트 신호(SSP), 신호선 구동 회로 클록 신호(SCK), 비디오 신호 데이터(DATA, 단순히 비디오 신호로 또한 칭함), 래치 신호(LAT) 등을 공급한다. 각 클록 신호는 시프트된 위상들을 갖는 복수의 클록 신호일 수도 있거나, 클록 신호를 반전함으로써 획득된 신호(CKB)와 함께 공급될 수도 있다. 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303) 중 하나를 생략할 수 있다는 것에 유의한다.

[0128] 도 14b는, 낮은 구동 주파수를 갖는 회로(예를 들어, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303))를 화소부(5301)가 형성되는 기판(5300) 위에 형성하고, 신호선 구동 회로(5304)를 화소부(5301)가 형성되는 기판(5300)과는 상이한 기판 위에 형성하는 구조를 예시한다. 이러한 구성으로, 전계 효과 이동도가 비교적 낮은 트랜지스터를 사용하는 경우에서도, 화소부(5301)가 형성되는 기판(5300) 위에 구동 회로의 일부가 형성될 수 있다. 따라서, 비용의 감소, 수율의 향상 등이 달성될 수 있다.

[0129] 다음으로, n-채널 트랜지스터에 의해 구성된 신호선 구동 회로의 구조 및 동작의 일례가 도 15a 및 도 15b를 참조하여 설명될 것이다.

[0130] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는, 스위칭 회로(5602_1 내지 5602_N)(N은 자연수)에 의해 구성된다. 스위칭 회로(5602_1 내지 5602_N)는 각각, 트랜지스터(5603_1 내지 5603_k)(k는 자연수)에 의해 구성된다. 여기서, 트랜지스터(5603_1 내지 5603_k)는 n-채널 트랜지스터이다.

[0131] 신호선 구동 회로의 접속 관계는 스위칭 회로(5602_1)를 예로서 설명된다. 트랜지스터(5603_1 내지 5603_k)의 제 1 단자는 각각, 배선(5604_1 내지 5604_k)에 접속된다. 트랜지스터(5603_1 내지 5603_k)의 제 2 단자는 각각, 신호선(S1 내지 Sk)에 접속된다. 트랜지스터(5603_1 내지 5603_k)의 게이트는, 배선(5605_1)에 접속된다.

[0132] 시프트 레지스터(5601)는, 배선(5605_1 내지 5605_N)에 H-레벨 신호(H 신호 또는 고전원 전위 레벨로 또한 칭함)를 순차적으로 출력함으로써 스위칭 회로(5602_1 내지 5602_N)를 순차적으로 선택하는 기능을 갖는다.

[0133] 스위칭 회로(5602_1)는, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk) 사이의 도통 상태(제 1 단자와 제 2 단자 사이의 도통)를 제어하는 기능, 즉, 배선(5604_1 내지 5604_k)의 전위가 신호선(S1 내지 Sk)에 공급되는지를 제어하는 기능을 갖는다. 이러한 방식으로, 스위칭 회로(5602_1)는 선택기로서 기능한다. 또한, 트랜지스터(5603_1 내지 5603_k)는 각각, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk) 사이의 도통 상태를 제어하는 기능, 즉, 배선(5604_1 내지 5604_k)의 전위가 신호선(S1 내지 Sk)에 공급되는지를 제어하는 기능을 갖는다. 이러한 방식으로, 트랜지스터(5603_1 내지 5603_k) 각각은 스위치로서 기능한다.

[0134] 배선(5604_1 내지 5604_k) 각각에는 비디오 신호 데이터(DATA)가 입력된다. 비디오 신호 데이터(DATA)는 종종 이미지 데이터 또는 이미지 신호에 대응하는 아날로그 신호이다.

[0135] 다음으로, 도 15a의 신호선 구동 회로의 동작이 도 15b의 타이밍 차트를 참조하여 설명될 것이다. 도 15b는 신호(Sout_1 내지 Sout_N) 및 신호(Vdata_1 내지 Vdata_k)의 예를 예시한다. 신호(Sout_1 내지 Sout_N)는 시프트 레지스터(5601)로부터의 출력 신호의 예들이다. 신호(Vdata_1 내지 Vdata_k)는 배선(5604_1 내지 5604_k)에 입

력된 신호들의 예들이다. 신호선 구동 회로의 1 동작 기간은 표시 장치에서의 1 게이트 선택 기간에 대응한다. 예를 들어, 1 게이트 선택 기간은 기간(T1 내지 TN)으로 분할된다. 기간(T1 내지 TN) 각각은 선택된 행에 속하는 화소에 비디오 신호 데이터(DATA)를 기록하는 기간이다.

[0136] 본 실시형태의 도면들에서, 신호 파형 왜곡 등은 몇몇 경우들에서 간략화를 위해 과장된다는 것에 유의한다. 따라서, 본 실시형태는 도면에 예시된 스케일에 반드시 한정되지 않는다.

[0137] 기간(T1 내지 TN)에서, 시프트 레지스터(5601)는, H-레벨의 신호를 배선(5605_1 내지 5605_N)으로 순차적으로 출력한다. 예를 들어, 기간(T1)에서, 시프트 레지스터(5601)는, 하이-레벨 신호를 배선(5605_1)으로 출력한다. 이때, 트랜지스터(5603_1 내지 5603_k)는 턴 온되어, 배선(5604_1 내지 5604_k) 및 신호선(S1 내지 Sk)이 도통된다. 그 후, 배선(5604_1 내지 5604_k)으로 Data(S1) 내지 Data(Sk)가 각각 입력된다. Data(S1) 내지 Data(Sk)는 각각, 트랜지스터(5603_1 내지 5603_k)를 통해 선택된 행에서 1번째 내지 k번째 열의 화소에 기록된다. 이러한 방식으로, 기간(T1 내지 TN)에서, 비디오 신호 데이터(DATA)가 선택된 행에서의 화소에 k열씩 순차적으로 기록된다.

[0138] 상술한 바와 같이, 비디오 신호 데이터(DATA)가 복수의 열씩 화소에 기록됨으로써, 비디오 신호 데이터(DATA)의 수 또는 배선의 수가 감소될 수 있다. 따라서, 외부 회로와의 접속의 수가 감소될 수 있다. 또한, 비디오 신호가 복수의 열씩 화소에 기록될 때, 기록하는 시간이 연장될 수 있어서, 비디오 신호의 불충분한 기록이 방지될 수 있다.

[0139] 시프트 레지스터(5601) 및 스위칭 회로(5602)에 대해, 실시형태 1 및 2에서의 트랜지스터들에 의해 구성된 임의의 회로가 사용될 수 있다. 이 경우에서, 시프트 레지스터(5601)는 유니폴라 트랜지스터들에 의해서만 구성될 수 있다.

[0140] 다음으로, 주사선 구동 회로의 구조가 설명될 것이다. 주사선 구동 회로는 시프트 레지스터를 포함한다. 추가로, 주사선 구동 회로는 몇몇 경우에서 레벨 시프터, 버퍼 등을 포함할 수도 있다. 주사선 구동 회로에서, 시프트 레지스터에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력되어서, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 버퍼링되고 증폭되고, 결과적인 신호가 대응하는 주사선에 공급된다. 1 라인의 화소의 트랜지스터의 게이트 전극이 주사선에 접속된다. 1 라인의 화소의 트랜지스터가 동시에 턴 온되어야 하기 때문에, 큰 전류를 공급할 수 있는 버퍼가 사용된다.

[0141] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부에 사용되는 시프트 레지스터의 일 실시형태가 도 16a 내지 도 16d 및 도 17a 및 도 17b를 참조하여 설명된다.

[0142] 시프트 레지스터는, 제 1 내지 제 N 펄스 출력 회로(10_1 내지 10_N)(N는 3 이상의 자연수)를 포함한다(도 16a 참조). 시프트 레지스터에서, 제 1 클록 신호(CK1), 제 2 클록 신호(CK2), 제 3 클록 신호(CK3), 및 제 4 클록 신호(CK4)가, 제 1 배선(11), 제 2 배선(12), 제 3 배선(13), 및 제 4 배선(14) 각각으로부터 제 1 내지 제 N 펄스 출력 회로(10_1 내지 10_N)로 공급된다.

[0143] 스타트 펄스(SP1)(제 1 스타트 펄스)가 제 5 배선(15)으로부터 제 1 펄스 출력 회로(10_1)에 입력된다. 제 2 스테이지 또는 이후의 제 n 펄스 출력 회로(10_n)(n은 2 이상 N 이하의 자연수)에는, 전의 스테이지의 펄스 출력 회로로부터의 신호(이러한 신호를 전 스테이지 신호(OUT(n-1))로 칭함)가 입력된다.

[0144] 제 1 펄스 출력 회로(10_1)에, 다음의 스테이지에 후속하는 스테이지의 제 3 펄스 출력 회로(10_3)로부터의 신호가 입력된다. 유사한 방식으로, 제 2 또는 그 후의 스테이지의 제 n 펄스 출력 회로(10_n)에, 다음의 스테이지에 후속하는 스테이지의 제 (n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(후속 스테이지 신호 (OUT(n+2))로 칭함)가 입력된다.

[0145] 따라서, 각각의 스테이지의 펄스 출력 회로는, 후속 스테이지의 펄스 출력 회로 및/또는 전 스테이지의 펄스 출력 회로에 입력될 제 1 출력 신호(OUT(1)(SR) 내지 OUT(N)(SR)) 및 다른 회로 등에 입력될 제 2 출력 신호(OUT(1) 내지 OUT(N))를 출력한다. 도 16a에 예시되어 있는 바와 같이, 후속 스테이지 신호(OUT(n+2))가 시프트 레지스터의 최종의 2개의 스테이지에 입력되지 않기 때문에, 예를 들어, 제 2 스타트 펄스(SP2) 및 제 3 스타트 펄스(SP3)는 최종 스테이지 전의 스테이지 및 최종 스테이지에 추가로 입력될 수도 있다는 것에 유의한다.

[0146] 클록 신호(CK)는, 일정한 간격으로 H-레벨과 L-레벨(L신호 또는 저전원 전위 레벨에서의 신호로 또한 칭함) 사이를 교호하는 신호라는 것에 유의한다. 여기서, 제 1 클록 신호(CK1) 내지 제 4 클록 신호(CK4)는, 1/4 주기만큼 순차적으로 지연된다. 본 실시형태에서, 제 1 내지 제 4 클록 신호((CK1) 내지 (CK4))를 이용하여 펄스 출

력 회로의 구동이 제어된다. 클록 신호는, 클록 신호가 입력되는 구동 회로에 따라 GCK 또는 SCK로 또한 칭하고, 클록 신호는 아래의 설명에서 CK로 칭한다는 것에 유의한다.

[0147] 제 1 입력 단자(21), 제 2 입력 단자(22) 및 제 3 입력 단자(23)는, 제 1 배선(11) 내지 제 4 배선(14) 중 어느 하나에 전기적으로 접속된다. 예를 들어, 도 16a에서의 제 1 펄스 출력 회로(10_1)에서, 제 1 입력 단자(21)는 제 1 배선(11)에 전기적으로 접속되고, 제 2 입력 단자(22)는 제 2 배선(12)에 전기적으로 접속되며, 제 3 입력 단자(23)는 제 3 배선(13)에 전기적으로 접속된다. 제 2 펄스 출력 회로(10_2)에서, 제 1 입력 단자(21)는 제 2 배선(12)에 전기적으로 접속되고, 제 2 입력 단자(22)는 제 3 배선(13)에 전기적으로 접속되며, 제 3 입력 단자(23)는 제 4 배선(14)에 전기적으로 접속된다.

[0148] 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N) 각각은, 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26) 및 제 2 출력 단자(27)를 포함하는 것으로 가정된다(도 16b 참조).

[0149] 제 1 펄스 출력 회로(10_1)에서, 제 1 입력 단자(21)에 제 1 클록 신호(CK1)가 입력되고, 제 2 입력 단자(22)에 제 2 클록 신호(CK2)가 입력되고, 제 3 입력 단자(23)에 제 3 클록 신호(CK3)가 입력되고, 제 4 입력 단자(24)에 스타트 펄스가 입력되고, 제 5 입력 단자(25)에 후속 스테이지 신호(OUT(3))가 입력되고, 제 1 출력 단자(26)로부터 제 1 출력 신호(OUT(1)(SR))가 출력되며, 제 2 출력 단자(27)로부터 제 2 출력 신호(OUT(1))가 출력된다.

[0150] 제 1 내지 제 N 펄스 출력 회로(10_1 내지 10_N)에서, 3 단자를 갖는 트랜지스터에 부가하여 4 단자를 갖는 트랜지스터(28)(도 16c 참조)가 사용될 수 있다. 본 명세서에서, 트랜지스터가 그 사이에 반도체층을 갖는 2개의 게이트 전극을 가질 때, 반도체층 아래의 게이트 전극을 하위 게이트 전극이라 부르고, 반도체층 위의 게이트 전극을 상위 게이트 전극이라고 부르는 것에 유의한다. 트랜지스터(28)는, 하위 게이트 전극에 입력되는 제 1 제어 신호(G1) 및 상위 게이트 전극에 입력되는 제 2 제어 신호(G2)로 IN 단자와 OUT 단자 사이에서 전기 제어를 실시할 수 있는 소자이다.

[0151] 산화물 반도체가 트랜지스터의 채널 형성 영역을 포함하는 반도체층에 사용되는 경우, 임계 전압은 때때로 제작 공정에 의존하여 포지티브 또는 네거티브 방향으로 시프트한다. 이러한 이유로, 채널 형성 영역을 포함하는 반도체층에 산화물 반도체가 사용되는 트랜지스터는 바람직하게는, 임계 전압이 제어될 수 있는 구조를 갖는다. 게이트 전극들이 도 16c에서의 트랜지스터(28)의 채널 형성 영역의 상하에 제공되고, 그 사이에 게이트 절연층을 갖는다. 상위 게이트 전극 및/또는 하위 게이트 전극의 전위를 제어함으로써, 임계 전압이 원하는 값으로 제어될 수 있다.

[0152] 다음으로, 펄스 출력 회로의 구체적인 회로 구성의 일례가 도 16d를 참조하여 설명될 것이다.

[0153] 도 16d에 예시된 펄스 출력 회로는, 제 1 내지 제 13 트랜지스터(31 내지 43)를 포함한다. 제 1 내지 제 13 트랜지스터(31 내지 43)는 제 1 내지 제 5 입력 단자(21 내지 25), 제 1 출력 단자(26), 제 2 출력 단자(27), 제 1 고전원 전위(VDD)가 공급되는 전원선(51), 제 2 고전원 전위(VCC)가 공급되는 전원선(52), 및 저전원 전위(VSS)가 공급되는 전원선(53)에 접속된다. 신호 또는 전원 전위는, 제 1 내지 제 5 입력 단자(21 내지 25), 제 1 출력 단자(26), 및 제 2 출력 단자(27)에 부가하여, 제 1 고전원 전위(VDD)가 공급되는 전원선(51), 제 2 고전원 전위(VCC)가 공급되는 전원선(52), 및 저전원 전위(VSS)가 공급되는 전원선(53)으로부터 제 1 내지 제 13 트랜지스터(31 내지 43)에 공급된다.

[0154] 도 16d의 각 전원선들의 전원 전위들 관계는 아래와 같다: 제 1 전원 전위(VDD)는 제 2 전원 전위(VCC) 이상이고, 제 2 전원 전위(VCC)는 제 3 전원 전위(VSS)보다 높다. 제 1 내지 제 4 클록 신호((CK1) 내지 (CK4))는, 일정한 간격으로 H-레벨과 L-레벨 사이에서 각각 교호하고, 예를 들어, H-레벨에서의 클록 신호는 VDD이고, L-레벨에서의 클록 신호는 VSS라는 것에 유의한다.

[0155] 전원선(51)의 전위(VDD)를 전원선(52)의 전위(VCC)보다 높게 함으로써, 트랜지스터의 동작에 악영향을 주지 않고, 트랜지스터의 게이트 전극에 인가된 전위가 낮아질 수 있고, 트랜지스터의 임계값에서의 시프트가 감소될 수 있으며, 트랜지스터의 열화가 억제될 수 있다.

[0156] 도 16d에 예시된 바와 같이, 도 16c에서의 4 단자를 갖는 트랜지스터(28)가 제 1 내지 제 13 트랜지스터(31 내지 43) 중에서 제 1 트랜지스터(31) 및 제 6 내지 제 9 트랜지스터(36 내지 39) 각각으로서 사용되는 것이 바람직하다.

[0157] 제 1 트랜지스터(31) 및 제 6 내지 제 9 트랜지스터(36 내지 39) 각각의 소스 또는 드레인으로서 작용하는 하나의 전극이 접속되는 노드의 전위는 제 1 트랜지스터(31) 및 제 6 내지 제 9 트랜지스터(36 내지 39) 각각의 게이트 전극의 제어 신호로 스위칭될 필요가 있다. 또한, 제 1 트랜지스터(31) 및 제 6 내지 제 9 트랜지스터(36 내지 39) 각각은 바람직하게는, 게이트 전극에 입력되는 제어 신호에 대한 응답이 빠르기(온-상태 전류의 상승이 급격) 때문에, 펄스 출력 회로의 오동작을 감소시킬 수 있다. 따라서, 4 단자를 갖는 트랜지스터를 사용함으로써, 임계 전압이 제어될 수 있고, 오동작이 보다 감소될 수 있다. 도 16d에서, 제 1 제어 신호(G1) 및 제 2 제어 신호(G2)가 동일한 제어 신호이지만, 상이한 제어 신호가 입력될 수도 있다는 것에 유의한다.

[0158] 도 16d에서, 제 1 트랜지스터(31)의 제 1 단자는 전원선(51)에 전기적으로 접속되고, 제 1 트랜지스터(31)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되며, 제 1 트랜지스터(31)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)은 제 4 입력 단자(24)에 전기적으로 접속된다.

[0159] 제 2 트랜지스터(32)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 2 트랜지스터(32)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되며, 제 2 트랜지스터(32)의 게이트 전극은 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다.

[0160] 제 3 트랜지스터(33)의 제 1 단자는 제 1 입력 단자(21)에 전기적으로 접속되며, 제 3 트랜지스터(33)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속된다.

[0161] 제 4 트랜지스터(34)의 제 1 단자는 전원선(53)에 전기적으로 접속되며, 제 4 트랜지스터(34)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속된다.

[0162] 제 5 트랜지스터(35)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 5 트랜지스터(35)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 제 5 트랜지스터(35)의 게이트 전극은 제 4 입력 단자(24)에 전기적으로 접속된다.

[0163] 제 6 트랜지스터(36)의 제 1 단자는 전원선(52)에 전기적으로 접속되고, 제 6 트랜지스터(36)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 제 6 트랜지스터(36)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)은 제 5 입력 단자(25)에 전기적으로 접속된다.

[0164] 제 7 트랜지스터(37)의 제 1 단자는 전원선(52)에 전기적으로 접속되고, 제 7 트랜지스터(37)의 제 2 단자는 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되며, 제 7 트랜지스터(37)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)은 제 3 입력 단자(23)에 전기적으로 접속된다.

[0165] 제 8 트랜지스터(38)의 제 1 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 제 8 트랜지스터(38)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)은 제 2 입력 단자(22)에 전기적으로 접속된다.

[0166] 제 9 트랜지스터(39)의 제 1 단자는 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자에 전기적으로 접속되고, 제 9 트랜지스터(39)의 제 2 단자는 제 3 트랜지스터(33)의 게이트 전극 및 제 10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되며, 제 9 트랜지스터(39)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)은 전원선(52)에 전기적으로 접속된다.

[0167] 제 10 트랜지스터(40)의 제 1 단자는 제 1 입력 단자(21)에 전기적으로 접속되고, 제 10 트랜지스터(40)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되며, 제 10 트랜지스터(40)의 게이트 전극은 제 9 트랜지스터(39)의 제 2 단자에 전기적으로 접속된다.

[0168] 제 11 트랜지스터(41)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 11 트랜지스터(41)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되며, 제 11 트랜지스터(41)의 게이트 전극은 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다.

[0169] 제 12 트랜지스터(42)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 12 트랜지스터(42)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되며, 제 12 트랜지스터(42)의 게이트 전극은 제 7 트랜지스터(37)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)에 전기적으로 접속된다.

[0170] 제 13 트랜지스터(43)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 13 트랜지스터(43)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속되며, 제 13 트랜지스터(43)의 게이트 전극은 제 7 트랜지스터(37)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)에 전기적으로 접속된다.

[0171] 도 16d에서, 제 3 트랜지스터(33)의 게이트 전극, 제 10 트랜지스터(40)의 게이트 전극, 및 제 9 트랜지스터(39)의 제 2 단자가 접속되는 부분을 노드 A로서 칭한다. 또한, 제 2 트랜지스터(32)의 게이트 전극, 제 4 트랜지스터(34)의 게이트 전극, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 및 제 11 트랜지스터(41)의 게이트 전극이 접속되는 부분을 노드 B로서 칭한다(도 17a 참조).

[0172] 도 17a는, 도 16d에 예시된 펄스 출력 회로가 제 1 펄스 출력 회로(10_1)에 적용되는 경우에, 제 1 내지 제 5 입력 단자(21 내지 25), 및 제 1 및 제 2 출력 단자(26 및 27)에 입력 또는 출력되는 신호를 예시한다.

[0173] 구체적으로는, 제 1 입력 단자(21)에 제 1 클록 신호(CK1)가 입력되고, 제 2 입력 단자(22)에 제 2 클록 신호(CK2)가 입력되고, 제 3 입력 단자(23)에 제 3 클록 신호(CK3)가 입력되고, 제 4 입력 단자(24)에 스타트 펄스(SP1)가 입력되고, 제 5 입력 단자(25)에 후속 스테이지 신호(OUT(3))가 입력되고, 제 1 출력 단자(26)로부터 제 1 출력 신호(OUT(1)(SR))가 출력되고, 제 2 출력 단자(27)로부터 제 2 출력 신호(OUT(1))가 출력된다.

[0174] 트랜지스터는, 게이트, 드레인 및 소스의 적어도 3개의 단자를 갖는 소자이며, 여기서, 드레인 영역과 소스 영역의 사이에 채널 영역이 형성되고, 드레인 영역, 채널 영역, 및 소스 영역을 통해 전류가 흐를 수 있다는 것에 유의한다. 여기서, 트랜지스터의 소스와 드레인이 트랜지스터의 구조, 동작 조건 등에 의존하여 변화할 수도 있기 때문에, 어느 것이 소스 또는 드레인인지를 규정하는 것이 곤란하다. 따라서, 소스 또는 드레인으로서 기능하는 영역을 몇몇 경우에서는, 소스 또는 드레인이라고 부르지 않는다. 그 경우에서, 예를 들어, 이러한 영역을 제 1 단자 및 제 2 단자로 칭할 수도 있다.

[0175] 도 17a에서, 노드 A를 플로팅 상태로 함으로써 부트스트랩(bootstrap) 동작을 실시하는 용량이 추가로 제공될 수도 있다는 것에 유의한다. 또한, 노드 B에 전기적으로 접속된 하나의 전극을 갖는 용량이 노드 B의 전위를 유지하기 위해 추가로 제공될 수도 있다.

[0176] 도 17b는 도 17a에 예시된 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 타이밍 차트를 예시한다. 시프트 레지스터가 주사선 구동 회로 중 하나인 경우, 도 17b의 기간(61)은 수직 귀선 기간에 대응하며, 기간(62)은 게이트 선택 기간에 대응한다는 것에 유의한다.

[0177] 도 17a에 예시된 바와 같이 게이트 전극에 제 2 전원 전위(VCC)가 인가되는 제 9 트랜지스터(39)의 배치는 부트스트랩 동작의 전후에서, 이하와 같은 이점을 갖는다는 것에 유의한다.

[0178] 게이트 전극에 제 2 전원 전위(VCC)가 인가되는 제 9 트랜지스터(39)가 없는 경우, 노드 A의 전위가 부트스트랩 동작에 의해 상승되면, 제 1 트랜지스터(31)의 제 2 단자인 소스의 전위가 제 1 전원 전위(VDD)보다 높은 값으로 상승한다. 그 후, 제 1 트랜지스터(31)의 소스가 제 1 단자, 즉, 전원선(51)측상의 단자로 전환된다. 그 결과, 제 1 트랜지스터(31)에서, 게이트와 소스 사이, 및 게이트와 드레인 사이에, 높은 바이어스 전압이 인가되어서 상당한 스트레스가 인가되고, 이것은 트랜지스터의 열화를 초래할 수도 있다.

[0179] 한편, 게이트 전극에 제 2 전원 전위(VCC)가 인가되는 제 9 트랜지스터(39)로, 부트스트랩 동작에 의해 노드 A의 전위는 상승되지만, 제 1 트랜지스터(31)의 제 2 단자의 전위의 상승이 방지될 수 있다. 다시 말해, 제 9 트랜지스터(39)의 배치는, 제 1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네거티브 바이어스 전압의 레벨을 낮출 수 있다. 따라서, 본 실시형태에서의 회로 구성은 제 1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네거티브 바이어스 전압을 감소시킬 수 있어서, 스트레스로 의한 제 1 트랜지스터(31)의 열화가 억제될 수 있다.

[0180] 제 9 트랜지스터(39)는, 제 1 트랜지스터(31)의 제 2 단자와 제 3 트랜지스터(33)의 게이트 사이에 제 9 트랜지스터(39)의 제 1 단자와 제 2 단자가 접속되도록 제공될 수도 있다는 것에 유의한다. 본 실시형태에서의 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 경우, 주사선 구동 회로보다 다수의 스테이지를 갖는 신호선 구동 회로에서, 제 9 트랜지스터(39)가 생략될 수 있고, 이것은 트랜지스터의 수가 감소된다는 점에서 바람직하다.

[0181] 산화물 반도체층은 제 1 내지 제 13 트랜지스터(31 내지 43) 각각의 반도체층에 대해 사용되어서, 트랜지스터의 오프-상태 전류가 감소될 수 있고, 온-상태 전류 및 전계 효과 이동도가 증가될 수 있다는 것에 유의한다. 따라서, 트랜지스터의 열화의 정도가 감소될 수 있고, 따라서, 회로의 오동작이 감소된다. 또한, 산화물 반도체를 사용하는 트랜지스터의 열화의 정도는 게이트 전극에 고전위의 인가에 의해, 비정질 실리콘을 사용하는 트랜지스터보다 작다. 그 결과, 제 2 전원 전위(VCC)가 공급되는 전원선에, 제 1 전원 전위(VDD)가 공급될 때에도, 유

사한 동작이 획득될 수 있고, 회로들 사이에 배치된 전원선들의 수가 감소될 수 있어서, 회로의 사이즈가 감소될 수 있다.

[0182] 제 7 트랜지스터(37)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)에 제 3 입력 단자(23)로부터 공급되는 클록 신호, 및 제 8 트랜지스터(38)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)에 제 2 입력 단자(22)로부터 공급되는 클록 신호가, 제 2 입력 단자(22) 및 제 3 입력 단자(23) 각각으로부터 공급되도록 접속 관계가 변화될 때에도 유사한 기능이 획득된다는 것에 유의한다.

[0183] 도 17a에 예시된 시프트 레지스터에서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)의 상태가 변화되어, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38) 양자가 온이고, 그 후, 제 7 트랜지스터(37)가 오프이며 제 8 트랜지스터(38)는 온이며, 그 후, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)는 오프여서, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위의 저하로 인한 노드 B의 전위의 저하는, 제 7 트랜지스터(37)의 게이트 전극의 전위의 저하 및 제 8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의해 2회 발생된다.

[0184] 한편, 도 17a에 예시된 시프트 레지스터에서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 변화되어, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38) 양자가 온이고, 그 후, 제 7 트랜지스터(37)가 온이며, 제 8 트랜지스터(38)가 오프이며, 그 후, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 오프일 때, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위의 저하로 인한 노드 B의 전위의 저하는 단지 1회 발생하고, 이것은 제 8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의해 발생된다.

[0185] 그 결과, 제 7 트랜지스터(37)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)에 제 3 입력 단자(23)로부터 클록 신호(CK3)가 공급되고, 제 8 트랜지스터(38)의 게이트 전극(하위 게이트 전극 및 상위 게이트 전극)에 제 2 입력 단자(22)로부터 클록 신호(CK2)가 공급되는 접속 관계가 바람직하다. 이것은, 노드 B의 전위에서의 변화의 횟수가 감소될 수 있어서 잡음이 감소될 수 있기 때문이다.

[0186] 이러한 방식으로, 제 1 출력 단자(26) 및 제 2 출력 단자(27)의 전위가 L 레벨에서 유지되는 기간에서, H-레벨 신호가 노드 B에 정기적으로 공급되고, 따라서, 펄스 출력 회로의 오동작이 억제될 수 있다.

[0187] 본 실시형태에 설명한 구조가 다른 실시형태에 설명한 임의의 구조들과 적절하게 조합하여 사용될 수 있다는 것에 유의한다.

[0188] (실시형태 4)

[0189] 본 실시형태에서, 실시형태 1 및 2에 설명된 트랜지스터를 화소부 및 구동 회로에 사용하여 형성되는 표시 기능을 갖는 표시 장치가 설명될 것이다.

[0190] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(액정 표시 소자라고도 칭함) 또는 발광 소자(발광 표시 소자라고도 칭함)가 사용될 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(electroluminescent) 소자, 유기 EL 소자 등을 그 범주에 포함한다. 또한, 전자 잉크와 같은 전기적 작용에 의해 콘트라스트가 변화되는 표시 매체가 사용될 수 있다.

[0191] 본 명세서에서의 표시 장치는 화상 표시 디바이스, 표시 디바이스, 또는 (조명 장치를 포함하는) 광원을 칭한다는 것에 유의한다. 또한, 표시 장치는 아래의 모듈들: FPC(flexible printed circuit), TAB(tape automated bonding) 테이프와 같은 커넥터를 포함하는 모듈; TAB 테이프의 단부에 인쇄 배선 보드가 제공되는 모듈; 및 COG(chip on glass) 방법으로 표시 소자에 직접 실장된 집적 회로(IC)를 갖는 모듈을 그 범주에 포함한다.

[0192] 본 실시형태에서, 표시 장치의 일 실시형태인 액정 표시 패널의 외관 및 단면이 도 20a1, 도 20a2, 및 도 20b를 참조하여 설명될 것이다. 도 20a1 및 도 20a2는 액정 표시 패널의 평면도들이다. 도 20b는 도 20a1 및 도 20a2에서의 M-N을 따른 단면도이다. 액정 표시 패널은 산화물 반도체층을 각각 포함하는 트랜지스터(4010 및 4011)가 제공된 제 1 기판(4001)과 제 2 기판(4006) 사이에 액정 소자(4013)가 씰재(4005)로 밀봉되는 구조를 갖는다.

[0193] 제 1 기판(4001) 위에 제공되는 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 씰재(4005)가 제공된다. 제 2 기판(4006)이 화소부(4002) 및 주사선 구동 회로(4004) 위에 제공된다. 그 결과, 화소부(4002) 및 주사선 구동 회로(4004)란, 제 1 기판(4001), 씰재(4005), 및 제 2 기판(4006)에 의해 액정층(4008)과 함께 밀봉된다. 단결정 반도체 또는 다결정 반도체를 사용하여 형성된 신호선 구동 회로(4003)가 제 1 기판(4001) 위의 씰재(4005)에 의해 둘러싸인 영역과는 상이한 영역에 실장된다.

[0194] 개별적으로 형성되는 구동 회로의 접속 방법에 대한 특정한 제한은 없고, COG법, 와이어 본딩법, TAB법 등이 사용될 수 있다는 것에 유의한다. 도 20a1은, COG 방법에 의해 신호선 구동 회로(4003)가 실장되는 예를 예시한다. 도 20a2는, TAB법에 의해 신호선 구동 회로(4003)가 실장되는 예를 예시한다.

[0195] 제 1 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004)는 복수의 트랜지스터를 포함한다. 도 20b는 화소부(4002)에 포함되는 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시한다. 트랜지스터(4010) 위에 절연층(4020 및 4021)이 제공되고, 트랜지스터(4011) 위에 절연층(4020)이 제공된다.

[0196] 실시형태 1 및 2에서 설명된 산화물 반도체층을 포함하는 임의의 매우 신뢰할 수 있는 트랜지스터가 트랜지스터(4010 및 4011)로서 사용될 수 있다. 본 실시형태에서, 트랜지스터(4010 및 4011)는 n-채널 트랜지스터이다.

[0197] 절연층(4044)의 일부 위에, 구동 회로용의 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 겹치는 도전층(4040)이 제공된다. 도전층(4040)이 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 제공됨으로써, BT 시험 전후에 있어서의 트랜지스터(4011)의 임계 전압의 변화량이 감소될 수 있다. 도전층(4040)의 전위가 트랜지스터(4011)의 게이트 전극층의 전위와 동일함으로써, 도전층(4040)은 제 2 게이트 전극층으로서 기능할 수 있다. 대안적으로, 도전층(4040)에는 트랜지스터(4011)의 게이트 전극층의 전위와 다른 전위가 제공될 수도 있다. 대안적으로, 도전층(4040)의 전위는 GND 또는 0 V일 수도 있거나, 플로팅 상태일 수도 있다.

[0198] 액정 소자(4013)에 포함된 화소 전극층(4030)은 트랜지스터(4010)에 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제 2 기판(4006) 상에 형성된다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)이 서로 겹치는 부분이 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)에는 각각 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 제공된다. 예시되지는 않았지만, 컬러 필터가 제 1 기판(4001)측 또는 제 2 기판(4006)측 어느 측에 제공될 수도 있다는 것에 유의한다.

[0199] 제 1 기판(4001) 및 제 2 기판(4006)으로서, 유리, 세라믹스, 또는 플라스틱이 사용될 수 있다는 것에 유의한다. 플라스틱으로서, FRP(fiberglass-reinforced plastics)판, PVF(폴리 비닐 플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름이 사용될 수 있다. 대안적으로, 알루미늄 호일이 PVF 필름, 폴리에스테르 필름 등 사이에 샌드위치되는 구조를 갖는 시트가 사용될 수도 있다.

[0200] 기둥형 스페이서(4035)가 액정층(4008)의 두께(셀 갭)를 제어하기 위해 제공된다. 기둥형 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 획득된다. 대안적으로, 구형의 스페이서가 사용될 수도 있다.

[0201] 대향 전극층(4031)은 트랜지스터(4010)가 형성되는 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 대향 전극층(4031) 및 공통 전위선은 공통 접속부를 사용하여 1쌍의 기판 사이에 배열된 도전성 입자를 통해 서로에 전기적으로 접속될 수 있다. 도전성 입자는 씰재(4005)에 포함된다는 것에 유의한다.

[0202] 대안적으로, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정이 사용될 수도 있다. 블루상은 콜레스테릭(cholesteric) 액정의 온도가 증가되는 동안, 콜레스테릭 상이 등방성 상(isotropic phase)으로 변화하기 직전에 생성되는, 액정상의 하나이다. 블루상은 좁은 온도 범위내에서만 생성되기 때문에, 온도 범위를 개선하기 위해 5 중량% 이상의 키랄제(chiral agent)를 함유하는 액정 조성물이 액정층(4008)에 사용된다. 블루상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은, 10 μsec 이상 100 μsec 이하의 짧은 응답 시간을 갖고, 광학적으로 등방성이고, 따라서, 배향 처리가 불필요하고, 시야각 의존성이 작다. 블루상이 사용되는 경우에, 본 발명의 실시형태는 도 20a1, 도 20a2, 및 도 20b의 구조에 한정되지 않고, 대향 전극층(4031)에 대응하는 전극층이 화소 전극층(4030)이 형성되는 기판측 위에 형성되는 소위 횡전계 모드의 구조가 사용될 수도 있다는 것에 유의한다.

[0203] 본 실시형태는 투과형 액정 표시 장치의 예이고, 반사형 액정 표시 장치 및 반투과형 액정 표시 장치에 또한 적용될 수 있다는 것에 유의한다.

[0204] 본 실시형태에 따른 액정 표시 장치의 예에서, 편광판이 기판의 외측(시인측)에 제공되고, 착색층 및 표시 소자에 사용된 전극층이 기판의 내측상에 순차적으로 제공되고, 대안적으로, 편광판은 기판의 내측상에 제공될 수도 있다. 편광판 및 착색층의 적층 구조가 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료 또는 제작 공정의 조건에 의존하여 적절히 설정될 수도 있다. 또한, 블랙 매트릭스로서 기능하는 차광막이 제공될 수도 있다.

[0205] 본 실시형태에서, 트랜지스터로 인한 표면 요철을 감소시키고, 신뢰성을 향상시키기 위해, 트랜지스터는 보호막 및 평탄화 절연막으로서 기능하는 절연층(절연층(4020 및 4021))으로 커버된다. 보호막은, 대기중에 존재하는

유기 물질, 금속, 수증기와 같은 오염 불순물의 혼입을 방지하기 위해 제공되고, 치밀한 막이 바람직하다는 것에 유의한다. 보호막은 임의의 산화 실리콘막, 질화 실리콘막, 산질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산질화 알루미늄막, 및 질화 산화 알루미늄막을 사용하여 단층 구조 또는 적층 구조로 형성될 수도 있다. 본 실시형태는 보호막이 스퍼터링법으로 형성되는 예를 설명하지만, 임의의 다른 방법이 사용될 수도 있다.

[0206] 본 실시형태에서, 적층 구조를 갖는 절연층(4020)이 보호막으로서 형성된다. 여기서, 산화 실리콘막이 절연층(4020)의 제 1 층으로서 스퍼터링법으로 형성된다. 보호막으로서 산화 실리콘막의 사용은 소스 및 드레인 전극층들로서 사용되는 알루미늄막의 힐록을 방지하는 효과를 갖는다.

[0207] 또한, 보호막의 제 2 층으로서, 질화 실리콘막이 스퍼터링법으로 형성된다. 보호막으로서 질화 실리콘막의 사용은 나트륨 등의 가동 이온이 반도체 영역에 혼입하는 것을 방지할 수 있어서, 트랜지스터의 전기 특성의 변동이 억제될 수 있다.

[0208] 보호막이 형성된 후에, 산화물 반도체층의 어닐링(300℃ 이상 400℃ 이하)이 실시될 수도 있다.

[0209] 평탄화 절연막으로서 절연층(4021)이 형성된다. 절연층(4021)은 아크릴 수지, 폴리이미드, 벤조사이클로부텐계 수지, 폴리아미드, 또는 에폭시 수지와 같은 내열성을 갖는 유기 재료를 사용하여 형성될 수 있다. 이러한 유기 재료 이외에, 저유전 상수 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용하는 것이 또한 가능하다. 절연층(4021)은 임의의 이들 재료를 사용하여 형성된 복수의 절연막을 적층함으로써 형성될 수도 있다는 것에 유의한다.

[0210] 실록산계 수지는 실록산계 재료를 출발 재료로서 사용하여 형성된 Si-O-Si 결합을 포함하는 수지이다. 실록산계 수지는 치환기로서 유기기(예를 들어, 알킬기 또는 아릴기) 또는 플루오르기를 포함할 수도 있다. 또한, 유기기는 플루오르기를 포함할 수도 있다.

[0211] 절연층(4021)을 형성하는 방법에 특정한 제한이 없고, 재료에 의존하여 아래의 방법: 스퍼터링법, SOG법, 스핀 코팅법, 딥핑법, 스프레이 코팅법, 액적 토출법(예를 들어, 잉크젯법, 스크린 인쇄, 오프셋 인쇄)와 같은 방법, 또는 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터와 같은 툴이 이용될 수도 있다. 액체 재료를 사용하여 절연층(4021)을 형성하는 경우에서, 산화물 반도체층의 어닐링(300℃ 이상 400℃ 이하)이 베이킹 단계와 동시에 실시될 수도 있다. 절연층(4021)의 베이킹 단계는 또한 산화물 반도체층의 어닐링으로서 작용하여, 단계들이 감소될 수 있다.

[0212] 화소 전극층(4030) 및 대향 전극층(4031)은 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성 도전성 재료를 사용하여 형성될 수 있다.

[0213] 대안적으로, 도전성 고분자(도전성 폴리머로 또한 칭함)를 포함하는 도전성 조성물이 화소 전극층(4030) 및 대향 전극층(4031)에 사용될 수 있다. 도전성 조성물을 사용하여 형성된 화소 전극은, 10000 Ω/□ 이하의 시트 저항 및 550 nm의 파장에서 70% 이상의 투광율을 갖는 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1 Ω·cm 이하인 것이 바람직하다.

[0214] 도전성 고분자로서, 소위 π-전자 공액계 도전성 고분자가 사용될 수 있다. 그 예들은, 폴리아닐린 및 그 유도체, 폴리피롤 및 그 유도체, 폴리티오펜 및 그 유도체, 또는 이들 재료들 중 2개 이상의 종류의 공중합체가 있다.

[0215] 또한, 다양한 신호들 및 전위들이 개별적으로 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 FPC(4018)를 통해 공급된다.

[0216] 본 실시형태에서, 접속 단자 전극(4015)이 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막을 사용하여 형성된다. 단자 전극(4016)은 트랜지스터(4010) 및 트랜지스터(4011)의 소스 및 드레인 전극층과 동일한 도전막을 사용하여 형성된다.

[0217] 접속 단자 전극(4015)은 FPC(4018)에 포함된 단자에 이방성 도전막(4019)을 통해 전기적으로 접속된다.

[0218] 도 20a1, 도 20a2, 및 도 20b는, 신호선 구동 회로(4003)가 제 1 기판(4001)상에 실장되는 예를 예시하지만, 본 실시형태는 이러한 구성에 한정되지 않는다는 것에 유의한다. 주사선 구동 회로의 일부 및 신호선 구동 회로의

일부 및 주사선 구동 회로의 일부만이 실장될 수도 있다.

[0219] 도 21은 실시형태 1 및 2에 설명된 트랜지스터가 형성되는 기판(2600)을 사용하여 형성되는 액정 표시 모듈의 예를 예시한다.

[0220] 도 21은 액정 표시 모듈의 일례를 예시하며, 여기서, 기판(2600) 및 대향 기판(2601)이 씰재(2602)로 서로에 고정되고, 트랜지스터 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 및 착색층(2605)이 기판들 사이에 형성되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 실시하는데 필요하다. RGB 방식에서, 적색, 녹색, 및 청색의 컬러에 대응하는 착색층이 화소들에 대해 제공된다. 기판(2600) 및 대향 기판(2601)의 외측에는 편광판들(2606 및 2607) 및 확산판(2613)이 제공된다. 광원은 냉음극관(2610) 및 반사판(2611)을 포함한다. 회로 기판(2612)이 플렉시블 배선 기판(2609)에 의해 기판(2600)의 배선 회로부(2608)에 접속되고, 제어 회로 또는 전원 회로와 같은 외부 회로를 포함한다. 편광판 및 액정층은 그 사이의 위상차판과 함께 적층될 수도 있다.

[0221] 액정 표시 모듈에 대해, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiFerroelectric liquid crystal) 모드 등이 사용될 수 있다.

[0222] 상기 단계들을 통해, 높은 신뢰성의 액정 표시 패널이 형성될 수 있다.

[0223] 본 실시형태에 설명된 구성은 다른 실시형태에 설명된 임의의 구성과 적절하게 조합하여 사용될 수 있다는 것에 유의한다.

[0224] (실시형태 5)

[0225] 본 실시형태에서, 실시형태 1 및 2에 설명된 트랜지스터가 적용된 표시 장치로서 전자 페이퍼의 예가 설명될 것이다.

[0226] 도 13은 표시 장치의 예로서 액티브 매트릭스 전자 페이퍼를 예시한다. 표시 장치에 사용되는 트랜지스터(581)로서, 실시형태 1 및 2에 설명된 트랜지스터가 설명될 수 있다.

[0227] 도 13의 전자 페이퍼는 트위스트 볼(twisting ball) 표시 시스템을 사용하는 표시 장치의 예이다. 트위스트 볼 표시 시스템은, 흑색과 백색으로 각각 채색된 구형 입자들이 제 1 전극층과 제 2 전극층 사이에 배치되고, 구형 입자들의 배향을 제어하기 위해 제 1 전극층과 제 2 전극층의 사이에 전위차가 생성되어, 표시가 실시되는 방법을 칭한다.

[0228] 트랜지스터(581)는 보텀 게이트 트랜지스터이고, 트랜지스터(581)의 소스 전극층 또는 드레인 전극층이 절연층들(585, 584, 및 583)에 형성된 개구를 통해 제 1 전극층(587)에 전기적으로 접속된다. 제 1 전극층(587)과 제 2 전극층(588) 사이에 구형 입자들(589)이 제공된다. 구형 입자들(589) 각각은 흑색 영역(590a), 백색 영역(590b), 및 그 흑색 영역(590a)과 백색 영역(590b) 주위에 액체로 채워진 캐비티(594)를 포함한다. 구형 입자(589)의 주위는 수지와 같은 충전재(595)로 충전된다(도 13 참조). 본 실시형태에서, 제 1 전극층(587)이 화소 전극에 대응하고, 제 2 전극층(588)은 공통 전극에 대응한다. 제 2 전극층(588) 트랜지스터가 형성되는 기판 위에 제공된 공통 전위선에 전기적으로 접속된다.

[0229] 대안적으로, 트위스트 볼 대신에, 전기영동 소자를 사용하는 것이 가능하다. 투명한 액체, 양으로(positively) 대전된 백색 미립자 및 음으로(negatively) 대전된 흑색 미립자가 봉입된 대략 10㎛ 이상 200㎛ 이하의 직경을 갖는 마이크로캡슐이 사용된다. 제 1 전극층과 제 2 전극층 사이에 제공된 마이크로캡슐에서, 제 1 전극층과 제 2 전극층에 의해 전계가 인가될 때, 백색 미립자와 흑색 미립자가 반대로 방향으로 이동하여, 백색 또는 흑색이 표시될 수 있다. 이 원리를 사용한 표시 소자가 전기영동 표시 소자이며, 전기영동 표시 소자를 포함하는 디바이스를 일반적으로 전자 페이퍼라고 칭한다. 전기영동 표시 소자는, 액정 표시 소자보다 높은 반사율을 가져서, 보조 라이트가 불필요하고, 전력 소비가 낮고, 어슴푸레한 장소에서 표시부가 인식될 수 있다. 또한, 표시부에 전력이 공급되지 않을 때에도, 한 번 표시된 이미지가 유지될 수 있다. 그 결과, 표시 기능을 갖는 표시 장치(반도체 장치 또는 표시 장치를 구비하는 반도체 장치라고도 칭함)가 전파 소스로부터 멀리 떨어져 있어도, 표시된 이미지가 저장될 수 있다.

[0230] 본 실시형태에 설명된 구성은, 다른 실시형태에 설명된 임의의 구성과 적절하게 조합하여 사용될 수 있다는 것

에 유의한다.

[0231] (실시형태 6)

[0232] 본 실시형태에서, 실시형태 1 및 2에 설명된 트랜지스터를 포함하는 표시 장치로서 발광 표시 장치의 예가 설명될 것이다. 표시 장치에 포함된 표시 소자로서, 일렉트로루미네선스를 활용하는 발광 소자가 여기에 설명된다. 일렉트로루미네선스를 활용하는 발광 소자는 발광재료가 유기 화합물 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자를 유기 EL 소자로 칭하고, 후자를 무기 EL 소자로 칭한다.

[0233] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 1 쌍의 전극으로부터 전자 및 정공이 발광 유기 화합물을 포함하는 층으로 개별적으로 주입되어 전류가 흐른다. 캐리어(전자 및 정공)가 재결합되어서, 발광 유기 화합물이 여기된다. 발광 유기 화합물은 여기 상태로부터 기저 상태로 복귀함으로써 발광한다. 이러한 메커니즘으로 인해, 이러한 발광 소자를 전류 여기 발광 소자로 칭한다.

[0234] 무기 EL 소자는, 소자 구조에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자들이 바인더에서 분산되는 발광층을 가지며, 발광 메커니즘은 도너(donor) 준위와 억셉터(acceptor) 준위를 활용하는 도너-억셉터-재결합형 발광이다. 박막형 무기 EL 소자는, 발광층이 전극들 사이에 또한 샌드위치되는 유전체층들 사이에 샌드위치된 구조를 갖고, 그것의 발광 메커니즘은 금속 이온의 내각 전자 천이를 활용하는 국재형 발광이다.

[0235] 발광 소자로서 유기 EL 소자의 예가 여기에 설명된다는 것에 유의한다. 도 18은 디지털 시간 계조 구동이 적용될 수 있는 화소 구성의 일례를 예시한다.

[0236] 디지털 시간 계조 구동이 적용될 수 있는 화소의 구성 및 화소의 동작이 설명된다. 여기서, 실시형태 1 및 2에 각각 설명되고, 산화물 반도체층을 채널 형성 영역에 포함하는 2개의 n 채널 트랜지스터들을 하나의 화소가 포함하는 예가 설명된다.

[0237] 화소(6400)는 스위칭 트랜지스터(6401), 구동 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 포함한다. 스위칭 트랜지스터(6401)의 게이트가 주사선(6406)에 접속되고, 스위칭 트랜지스터(6401)의 제 1 전극(소스 전극 및 드레인 전극 중 하나)이 신호선(6405)에 접속되고, 스위칭 트랜지스터(6401)의 제 2 전극(소스 전극 및 드레인 전극 중 하나)이 구동 트랜지스터(6402)의 게이트에 접속된다. 구동 트랜지스터(6402)의 게이트가 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 구동 트랜지스터(6402)의 제 1 전극이 전원선(6407)에 접속되며, 구동 트랜지스터(6402)의 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은 동일 기판 위에 제공된 공통 전위선에 전기적으로 접속된다.

[0238] 발광 소자(6404)의 제 2 전극(공통 전극(6408))은 저전원 전위로 설정된다. 저전원 전위는 전원선(6407)으로 설정되는 고전원 전위보다 낮은 전위라는 것에 유의한다. 저전원 전위로서, 예를 들어 GND, 0 V등이 이용될 수도 있다. 고전원 전위와 저전원 전위와의 전위차가 발광 소자(6404)에 인가되어, 발광 소자(6404)에 전류가 공급되어서, 발광 소자(6404)가 발광한다. 여기서, 발광 소자(6404)가 발광하게 하기 위해, 고전원 전위와 저전원 전위와의 전위차가 발광 소자(6404)의 발광에 필요한 전압 이상이도록 각각의 전위가 설정된다.

[0239] 구동 트랜지스터(6402)의 게이트 용량이 용량 소자(6403) 대용으로 사용될 수도 있어서, 용량 소자(6403)는 생략될 수 있다는 것에 유의한다. 구동 트랜지스터(6402)의 게이트 용량은 채널 형성 영역과 게이트 전극 사이에 형성될 수도 있다.

[0240] 전압 입력 전압 구동 방법의 경우에서, 구동 트랜지스터(6402)가 충분하게 턴 온 또는 턴 오프되는 2개의 상태들 중 어느 하나에 있도록 비디오 신호가 구동 트랜지스터(6402)의 게이트에 입력된다. 즉, 구동 트랜지스터(6402)는 선형 영역에서 동작한다. 구동 트랜지스터(6402)가 선형 영역에서 동작하기 때문에, 전원선(6407)의 전압보다 높은 전압이 구동 트랜지스터(6402)의 게이트에 인가된다. (전원선 전압 + 구동 트랜지스터(6402)의 Vth) 이상의 전압이 신호선(6405)에 인가된다.

[0241] 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 실시하는 경우에서, 신호 입력을 변화시킴으로써 도 18과 동일한 화소 구성이 사용될 수 있다.

[0242] 아날로그 계조 구동을 실시하는 경우에서, (발광 소자(6404)의 순방향 전압 + 구동 트랜지스터(6402)의 Vth) 이상의 전압이 구동 트랜지스터(6402)의 게이트에 인가된다. 발광 소자(6404)의 순방향 전압은, 원하는 휘도가 획득되는 전압을 나타내고 적어도 순방향 임계 전압을 포함한다. 구동 트랜지스터(6402)가 포화 영역에서 동작하

는 비디오 신호가 입력되어, 발광 소자(6404)에 전류가 공급될 수 있다. 구동 트랜지스터(6402)를 포화 영역에서 동작시키기 위해, 전원선(6407)의 전위는 구동 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 신호가 사용될 때, 비디오 신호에 따라 발광 소자(6404)에 전류를 공급하고 아날로그 계조 구동을 실시하는 것이 가능하다.

[0243] 도 18에 예시된 화소 구성은 이에 한정되지 않는다는 것에 유의한다. 예를 들어, 스위치, 저항 소자, 용량, 트랜지스터, 또는 논리 회로 등이 도 18에 예시된 화소에 추가될 수도 있다.

[0244] 다음으로, 발광 소자의 구조들이 도 19a 내지 도 19c를 참조하여 설명될 것이다. 여기서, 구동 트랜지스터가 n 채널 트랜지스터인 경우가 예시되고, 화소의 단면 구조가 설명된다. 도 19a 내지 도 19c에 예시된 표시 장치들에 대해 사용된 트랜지스터들(7001, 7011, 및 7021) 각각으로서, 실시형태 1 및 2에 설명된 트랜지스터가 사용될 수 있다.

[0245] 발광 소자로부터 방출된 광을 추출하기 위해, 애노드 및 캐소드들 중 적어도 하나가 광을 투과하도록 요구된다. 예를 들어, 발광 소자는, 기판측에 대향하는 측상의 표면을 통해 발광이 추출되는 상면 사출 구조, 기판측상의 표면을 통해 발광이 추출되는 하면 사출 구조, 또는 기판측에 대향하는 측상의 표면 및 기판측상의 표면을 통해 발광이 추출되는 양면 사출 구조를 가질 수 있다. 본 발명의 실시형태에 따른 화소 구성은 이들 사출 구조들 중 어느 것을 갖는 발광 소자에 적용될 수 있다.

[0246] 다음으로, 하면 사출 구조를 갖는 발광 소자가 도 19a를 참조하여 설명될 것이다.

[0247] 도 19a는 트랜지스터(7011)가 n 채널 트랜지스터이고, 발광 소자(7012)에서 생성된 광이 제 1 전극(7013)을 통과하도록 사출되는 경우에서 화소의 단면도이다. 도 19a에서, 발광 소자(7012)의 제 1 전극(7013)이 트랜지스터(7011)의 드레인 층에 전기적으로 접속된 투광성 도전층(7017) 위에 형성되고, 제 1 전극(7013) 위에 EL 층(7014) 및 제 2 전극(7015)이 순서대로 적층된다.

[0248] 투광성 도전층(7017)으로서, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성 도전막이 사용될 수 있다.

[0249] 발광 소자의 제 1 전극(7013)에 대해 임의의 다양한 재료가 사용될 수 있다. 예를 들어, 제 1 전극(7013)은 알칼리 금속(Li 또는 Cs), 알칼리 토금속(Mg, Ca, 또는 Sr 등), 임의의 알칼리 금속 및 알칼리 토금속을 포함하는 합금(Mg : Ag 또는 Al : Li), 또는 희토류 금속(Yb 또는 Er 등)과 같은 상대적으로 낮은 일함수를 갖는 재료를 사용하여 형성되는 것이 바람직하다. 도 19a에서, 제 1 전극(7013)은 광을 투과하기에 충분한 두께(바람직하게는, 5 nm 내지 30 nm 정도)를 갖도록 형성된다. 예를 들어, 20 nm의 막 두께를 갖는 알루미늄막이 제 1 전극(7013)으로서 사용된다.

[0250] 대안적으로, 투광성 도전막 및 알루미늄막이 적층될 수도 있고, 그 후, 선택적으로 에칭되어 투광성 도전층(7017) 및 제 1 전극(7013)을 형성할 수도 있다. 이러한 경우에서, 에칭은 동일한 레지스트 마스크를 사용하여 실시될 수 있다.

[0251] 제 1 전극(7013)의 주연부는 격벽(7019)으로 커버된다. 격벽(7019)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 사용하여 형성될 수 있다. 격벽(7019)에 대해 감광성 수지 재료가 사용되는 경우에서, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.

[0252] 제 1 전극(7013) 및 격벽(7019) 위에 형성되는 EL 층(7014)은, 적어도 발광층을 포함할 수도 있고, 단층 또는 적층된 복수의 층을 사용하여 형성될 수도 있다. EL 층(7014)이 복수의 층을 사용하여 형성될 때, 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 및 정공 주입층이 캐소드로서 기능하는 제 1 전극(7013) 위에 순서대로 적층된다. 발광층을 제외하고 이들 층 모두가 제공될 필요는 없다는 것에 유의한다.

[0253] 적층 순서는 상기 적층 순서에 한정되지 않고, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층이 애노드로서 기능하는 제 1 전극(7013) 위에 순서대로 적층될 수도 있다. 그러나, 상기 경우에 비교하여, 제 1 전극(7013)이 캐소드로서 기능하고, 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 및 정공 주입층이 제 1 전극(7013) 위에 순서대로 적층되는 경우에서, 구동 회로부에서의 전압 상승이 억제될 수 있고 전력 소비가 감소될 수 있다.

[0254] EL 층(7014) 위에 형성된 제 2 전극(7015)으로서, 다양한 재료가 사용될 수 있다. 예를 들어, 제 2 전극(7015)이 애노드로서 사용될 때, ZrN, Ti, W, Ni, Pt, Cr과 같은 비교적 높은 일함수를 갖는 재료 또는 ITO, IZO,

ZnO의 투명 도전성 재료를 사용하는 것이 바람직하다. 또한, 차광막(7016)으로서, 차광하는 금속, 광을 반사하는 금속 등이 제 2 전극(7015) 위에 제공된다. 본 실시형태에서, 제 2 전극(7015)으로서 ITO막이 사용되고, 차광막(7016)으로서 Ti 막이 사용된다.

[0255] 제 1 전극(7013), EL 층(7014), 및 제 2 전극(7015)이 적층되는 영역에 발광 소자(7012)가 대응한다. 도 19a에 예시된 소자 구조의 경우에서, 광은 화살표로 표시된 바와 같이 발광 소자(7012)로부터 제 1 전극(7013) 측으로 사출된다.

[0256] 도 19a에서, 발광 소자(7012)로부터 사출된 광은, 컬러 필터층(7033), 절연층(7032), 산화물 절연층(7031), 게이트 절연층(7030), 및 기판(7010)을 통과하여 사출된다는 것에 유의한다.

[0257] 컬러 필터층(7033)은, 잉크젯 법과 같은 액적 토출법, 인쇄법, 포토리소그래피 기술을 사용한 에칭 방법으로 형성될 수 있다.

[0258] 컬러 필터층(7033)은, 오버코트 층(7034) 및 보호 절연층(7035)으로 커버된다. 도 19a에서, 오버코트 층(7034)이 작은 두께를 갖도록 예시되지만, 오버코트 층(7034)은 컬러 필터층(7033)에 의해 야기된 요철을 감소시키는 기능을 또한 갖는다는 것에 유의한다. 오버코트층(7034)은 아크릴 수지와 같은 수지 재료를 사용하여 형성될 수 있다는 것에 유의한다.

[0259] 산화물 절연층(7031), 절연층(7032), 컬러 필터층(7033), 오버코트 층(7034), 및 보호 절연층(7035)에 형성되고, 드레인 전극층에 이르는 콘택트홀이 격벽(7019)과 겹치는 부분에 형성된다.

[0260] 다음으로, 양면 사출 구조를 갖는 발광 소자가 도 19b를 참조하여 설명될 것이다.

[0261] 도 19b에서, 발광 소자(7022)에 포함되는 제 1 전극(7023), EL 층(7024), 및 제 2 전극(7025)이 트랜지스터(7021)의 드레인 전극층에 전기적으로 접속된 투광성 도전층(7027) 위에 순서대로 적층된다.

[0262] 투광성 도전층(7027)으로서, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물의 막과 같은 투광성 도전막이 사용될 수 있다.

[0263] 임의의 다양한 재료가 제 1 전극(7023)에 대해 사용될 수 있다. 예를 들어, 제 1 전극(7023)이 캐소드로서 기능하는 경우에, 제 1 전극은 알칼리 금속(Li 또는 Cs 등), 알칼리 토금속(Mg, Ca, 또는 Sr 등), 임의의 알칼리 금속 및 알칼리 토금속을 포함하는 합금(예를 들어, Mg : Ag 또는 Al : Li), 또는 희토류 금속(예를 들어, Yb 또는 Er 등)과 같은 비교적 낮은 일함수를 갖는 금속을 사용하여 형성되는 것이 바람직하다. 본 실시형태에서, 제 1 전극(7023)은 캐소드로서 기능하고, 제 1 전극(7023)의 두께는 광을 투과하는데 충분한 두께(바람직하게는, 대략 5 nm 내지 30 nm)로 형성된다. 예를 들어, 20 nm의 두께를 갖는 알루미늄막이 제 1 전극(7023)에 대해 사용된다.

[0264] 대안적으로, 투광성 도전막과 알루미늄막이 적층될 수도 있고, 그 후, 선택적으로 에칭되어 투광성 도전층(7027) 및 제 1 전극(7023)을 형성한다. 이러한 경우에서, 에칭은 동일한 레지스트 마스크를 사용하여 실시될 수 있다.

[0265] 제 1 전극(7023)의 주연부는 격벽(7029)으로 커버된다. 격벽(7029)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 사용하여 형성될 수 있다. 격벽(7029)에 대해 감광성의 수지 재료가 사용되는 경우에서, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.

[0266] 제 1 전극(7023) 및 격벽(7029) 위에 형성되는 EL 층(7024)은, 적어도 발광층을 포함할 수도 있고, 단층 또는 적층된 복수의 층을 사용하여 형성될 수도 있다. EL 층(7024)이 복수의 층을 사용하여 형성될 때, 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 및 정공 주입층이 캐소드로서 기능하는 제 1 전극(7023) 위에 순서대로 적층된다. 발광층을 제외하고 이들 층 중 모두가 제공될 필요는 없다는 것에 유의한다.

[0267] 적층 순서는 상기로 한정되지 않고, 제 1 전극(7023)이 애노드로서 사용되고, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층이 제 1 전극(7023) 위에 순서대로 적층될 수도 있다. 그러나, 상기 경우와 비교하여, 제 1 전극(7023) 캐소드로서 기능하고, 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 및 정공 주입층이 제 1 전극(7023) 위에 순서대로 적층되는 경우에서, 구동 회로부에서의 전압 상승이 억제될 수 있고, 전력 소비가 감소될 수 있다.

[0268] EL 층(7024) 위에 형성된 제 2 전극(7025)으로서, 다양한 재료가 사용될 수 있다. 예를 들어, 제 2 전극(7025)

이 애노드로서 사용될 때, ITO, IZO, 또는 ZnO의 투명 도전성 재료와 같은 비교적 높은 일함수를 갖는 재료를 사용하는 것이 바람직하다. 본 실시형태에서, 제 2 전극(7025)은 애노드로서 사용되고, 산화 실리콘을 포함하는 ITO 막이 형성된다.

[0269] 발광 소자(7022)는 제 1 전극(7023), EL 층(7024), 및 제 2 전극(7025)이 적층되는 영역에 대응한다. 도 19b에 예시된 소자 구조의 경우에서, 발광 소자(7022)로부터 사출된 광, 화살표로 표시된 바와 같이 제 2 전극(7025) 측 및 제 1 전극(7023) 측 양자로부터 사출된다.

[0270] 도 19b에서, 발광 소자(7022)로부터 제 1 전극(7023) 측으로 사출된 광은, 컬러 필터층(7043), 절연층(7042), 산화물 절연층(7041), 제 1 게이트 절연층(7040), 및 기판(7020)을 통과해 사출된다.

[0271] 컬러 필터층(7043)은, 잉크젯 법과 같은 액적 토출법, 인쇄법, 포토리소그래피 기술을 사용한 에칭 방법 등으로 형성될 수 있다.

[0272] 컬러 필터층(7043)은, 오버코트 층(7044) 및 보호 절연층(7045)으로 커버된다.

[0273] 산화물 절연층(7041), 절연층(7042), 컬러 필터층(7043), 오버코트 층(7044), 및 보호 절연층(7045)에 형성되고 드레인 전극층에 이르는 콘택트홀은 격벽(7029)과 겹치는 부분에 형성된다.

[0274] 양면 사출 구조를 갖는 발광 소자가 사용되고 표시면들 양자상에 풀 컬러 표시가 실시되는 경우에서, 제 2 전극(7025) 측으로부터의 광은 컬러 필터층(7043)을 통과하지 않고, 따라서, 다른 컬러 필터층이 제공된 밀봉 기판이 제 2 전극(7025)상에 제공되는 것이 바람직하다는 것에 유의한다.

[0275] 다음으로, 상면 사출 구조를 갖는 발광 소자가 도 19c를 참조하여 설명될 것이다.

[0276] 도 19c에서, 발광 소자(7002)의 제 1 전극(7003)이 트랜지스터(7001)의 드레인 전극층과 전기적으로 접속되도록 형성되고, EL 층(7004) 및 제 2 전극(7005)이 제 1 전극(7003) 위에 순서대로 적층된다.

[0277] 제 1 전극(7003)은 임의의 다양한 재료를 사용하여 형성될 수 있다. 예를 들어, 제 1 전극(7003)이 캐소드로서 사용될 때, 제 1 전극(7003)은 알칼리 금속(Li 또는 Cs 등), 알칼리 토금속(Mg, Ca, 또는 Sr 등), 임의의 알칼리 금속 및 알칼리 토금속을 포함하는 합금(예를 들어, Mg : Ag 또는 Al : Li), 또는 희토류 금속(Yb 또는 Er 등)과 같은 상대적으로 낮은 일함수를 갖는 재료를 사용하여 형성되는 것이 바람직하다.

[0278] 제 1 전극(7003)의 주연부는, 격벽(7009)으로 커버된다. 격벽(7009)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 사용하여 형성된다. 격벽(7009)에 대해 감광성 수지 재료가 사용되는 경우에서, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.

[0279] 제 1 전극(7003) 및 격벽(7009) 위에 형성되는 EL 층(7004)은 적어도 발광층을 포함할 수도 있고, 단층 또는 적층된 복수의 층을 사용하여 형성될 수도 있다. EL 층(7004)이 복수의 층을 사용하여 형성될 때, EL 층(7004)은 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 및 정공 주입층을 제 1 전극(7003) 위에 순서대로 적층함으로써 형성된다. 발광층을 제외하고 이들 층 중 모두가 제공될 필요가 없다는 것에 유의한다.

[0280] 적층 순서는 상기 적층 순서에 한정되지 않고, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층이 제 1 전극(7003) 위에 순서대로 적층될 수도 있다.

[0281] 본 실시형태에서, 티타늄막, 알루미늄막, 티타늄막이 순서대로 적층되는 적층막 위에, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층이 순서대로 적층되고, 따라서, Mg : Ag 합금 박막과 ITO의 적층이 형성된다.

[0282] 트랜지스터(7001)가 n 채널 트랜지스터일 때, 구동 회로에서의 전압 상승이 억제될 수 있고 전력 소비가 감소될 수 있기 때문에, 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 및 정공 주입층이 제 1 전극(7003) 위에 순서대로 적층되는 것이 바람직하다.

[0283] 제 2 전극(7005)은 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 및 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성 도전성 재료로 이루어진다.

[0284] 발광 소자(7002)는 제 1 전극(7003), EL 층(7004), 및 제 2 전극(7005)이 적층되는 영역에 대응한다. 도 19c에 예시된 화소의 경우에서, 광은 화살표로 표시된 바와 같이 발광 소자(7002)로부터 제 2 전극(7005)으로 사출된다.

[0285] 트랜지스터(7001)의 드레인 전극층은, 산화물 절연층(7051), 보호 절연층(7052) 및 절연층(7055)에 형성된 콘택트홀을 통해 제 1 전극(7003)에 전기적으로 접속된다.

[0286] 평탄화 절연층(7053)이, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시와 같은 수지 재료를 사용하여 형성될 수 있다. 이러한 수지 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용하는 것이 또한 가능하다. 이들의 재료로 형성되는 복수의 절연막을 적층함으로써 평탄화 절연층(7053)이 형성될 수도 있다. 평탄화 절연층(7053)을 형성하는 방법에 대해 특별한 제한은 없고, 평탄화 절연층(7053)은 그 재료에 의존하여, 스퍼터링법, SOG법, 스핀 코팅, 딥핑, 스프레이 코팅, 액적 토출법(예를 들어, 잉크젯 법, 스크린 인쇄, 또는 오프셋 인쇄(offset printing)등)과 같은 방법, 또는 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터와 같은 툴(장비)로 형성될 수 있다.

[0287] 제 1 전극(7003)과 이웃하는 화소의 제 1 전극을 절연하기 위해서 격벽(7009)이 제공된다. 격벽(7009)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 사용하여 형성될 수 있다. 격벽(7009)에 대해 감광성 수지 재료가 사용되는 경우에서, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.

[0288] 도 19c에 예시된 구조에서, 풀 컬러 표시를 실시하기 위해, 예를 들어, 발광 소자(7002), 발광 소자(7002)에 이웃하는 발광 소자들 중 하나, 및 발광 소자들 중 다른 하나는 각각 녹색 발광 소자, 적색 발광 소자, 및 청색 발광 소자이다. 대안적으로, 3개 종류의 발광 소자들에 추가하여 백색 발광 소자를 포함하는 4개 종류의 발광 소자들을 사용하여 풀 컬러 표시를 할 수 있는 발광 표시 장치가 제작될 수도 있다.

[0289] 대안적으로, 풀 컬러 표시를 할 수 있는 발광 표시 장치는, 배치되는 복수의 발광 소자 모두가 백색 발광 소자이고, 컬러 필터 등을 갖는 밀봉 기판이 발광 소자(7002)상에 배열되는 방식으로 제작될 수도 있다. 백색과 같은 단색을 나타내는 재료가 형성되고, 컬러 필터 또는 컬러 변환층과 조합되어, 풀 컬러 표시가 실시될 수 있다.

[0290] 물론, 단색 광의 표시가 또한 실시될 수 있다. 예를 들어, 백색 발광을 사용하여 조명 시스템이 형성될 수도 있거나, 단색 발광을 사용하여 에어리어 컬러(area-color) 발광 장치가 형성될 수도 있다.

[0291] 필요하면, 원형 편광판을 포함하는 편광 필름과 같은 광학 필름이 제공될 수도 있다.

[0292] 여기서 발광 소자들로서 유기 EL 소자들이 설명되지만, 발광 소자로서 무기 EL 소자가 또한 제공될 수 있다는 것에 유의한다.

[0293] 발광 소자의 구동을 제어하는 트랜지스터가 발광 소자에 전기적으로 접속되는 예가 설명되지만, 전류 제어용 트랜지스터가 그 트랜지스터와 발광 소자 사이에 접속되는 구조가 이용될 수도 있다는 것에 유의한다.

[0294] 본 실시형태에 설명된 표시 장치의 구조는 도 19a 내지 도 19c에 예시된 바에 한정되지 않고, 본 발명의 기술들의 사상에 기초하여 다양한 방식으로 변형될 수 있다.

[0295] 다음으로, 실시형태 1 및 2에 설명된 트랜지스터가 적용되는 표시 장치의 하나의 실시형태에 대응하는 발광 표시 패널(발광 패널이라고 또한 칭함)의 외관 및 단면이 도 22a 및 도 22b를 참조하여 설명된다. 도 22a는, 트랜지스터 및 발광 소자가 제 1 기판과 제 2 기판 사이에 씰재로 밀봉되는 패널의 평면도이다. 도 22b는 도 22a의 선 H-I를 따라 취해진 단면도이다.

[0296] 씰재(4505)는, 제 1 기판(4501) 위에 제공된 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)을 둘러싸도록 제공된다. 또한, 제 2 기판(4506)은 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b) 위에 제공된다. 따라서, 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)은, 제 1 기판(4501), 씰재(4505), 및 제 2 기판(4506)에 의해 충전재(4507)와 함께 밀봉된다. 이러한 방식으로, 패널이 외부 공기에 노출되지 않도록, 패널은 높은 기밀성 및 적은 탈기성(degasification)을 갖는 보호 필름(부착 필름 또는 자외선 경화 수지 필름 등) 또는 커버 재료로 패키징(봉입)되는 것이 바람직하다.

[0297] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)은 각각 복수의 트랜지스터를 포함하고, 화소부(4502)에 포함된 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함된 트랜지스터(4509)가 도 22b에 예로서 예시된다.

[0298] 트랜지스터들(4509 및 4510) 각각에 대해, 실시형태 1 및 2에 설명된 바와 같은 산화물 반도체층으로서 In-Ga-Zn-O계 막을 포함하는 높은 신뢰성의 트랜지스터가 적용될 수 있다. 본 실시형태에서, 트랜지스터들(4509 및 4510)은 n 채널 트랜지스터들이다.

[0299] 절연층(4544) 위에, 구동 회로에 대해 사용된 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 도전층(4540)이 제공된다. 산화물 반도체층의 채널 형성 영역과 겹치도록 도전층(4540)을 제공함으로써, BT시험 전후 사이의 트랜지스터(4509)의 임계 전압의 변화량이 감소될 수 있다. 도전층(4540)의 전위는 트랜지스터(4509)의 게이트 전극층의 전위와 동일하여서, 도전층(4540)은 제 2 게이트 전극층으로서 기능할 수 있다. 대안적으로, 도전층(4540)에 트랜지스터(4509)의 게이트 전극층과 다른 전위가 제공될 수도 있다. 대안적으로, 도전층(4540)의 전위는 GND 또는 0 V일 수도 있거나, 도전층(4540)은 플로팅 상태일 수도 있다.

[0300] 또한, 참조 번호 4511은 발광 소자를 나타낸다. 발광 소자(4511)에 포함된 화소 전극인 제 1 전극층(4517)은 트랜지스터(4510)의 소스 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)의 구성은, 제 1 전극층(4517), 전계 발광층(4512), 및 제 2 전극층(4513)의 적층 구조이지만, 이 구조에 대한 특별한 한정은 없다. 발광 소자(4511)의 구성은 광이 발광 소자(4511)로부터 추출되는 방향 등에 의존하여 적절하게 변경될 수 있다.

[0301] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성된다. 격벽(4520)은 감광성의 재료를 사용하여 형성되고, 개구부의 측벽이 곡률을 갖는 경사면으로서 형성되도록 개구부가 제 1 전극층(4517) 위에 형성되는 것이 바람직하다.

[0302] 전계 발광층(4512)은 단층 또는 적층된 복수의 층으로 형성될 수도 있다.

[0303] 발광 소자(4511)로의 산소, 수소, 수분, 이산화탄소 등의 혼입을 방지하기 위해, 제 2 전극층(4513) 및 격벽(4520) 위에 보호막이 형성될 수도 있다. 보호막으로서, 질화 실리콘막, 질화 산화 실리콘막, DLC 막 등이 형성될 수 있다.

[0304] 또한, 신호선 구동 회로들(4503a 및 4503b), 주사선 구동 회로들(4504a 및 4504b), 또는 화소부(4502)에 다양한 신호들 및 전위가 FPC들(4518a 및 4518b)로부터 공급된다.

[0305] 본 실시형태에서, 접속 단자 전극(4515)이 발광 소자(4511)에 포함된 제 1 전극층(4517)에 대해 사용된 동일한 도전막을 사용하여 형성된다. 단자 전극(4516)은 트랜지스터들(4509 및 4510)에 포함된 소스 및 드레인 전극층에 대해 사용된 동일한 도전막을 사용하여 형성된다.

[0306] 접속 단자 전극(4515)은 FPC(4518a)에 포함된 단자에 이방성 도전막(4519)을 통해 전기적으로 접속된다.

[0307] 발광 소자(4511)로부터 광이 추출되는 방향에 위치된 기판은 투광성을 가져야 한다. 이 경우에서, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성 재료가 기판에 대해 사용된다.

[0308] 충전재(4507)로서, 질소 또는 아르곤과 같은 불활성 기체에 추가하여, 자외선 경화 수지 또는 열 경화 수지가 사용될 수 있다. 예를 들어, PVC(polyvinyl chloride), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral) 또는 EVA(ethylene vinyl acetate)가 사용될 수 있다. 본 실시형태에서, 질소가 사용된다.

[0309] 또한, 필요하면, 발광 소자의 사출 면에 편광판, 또는 원형 편광판(타원 편광판을 포함함), 위상차판(λ/4판 또는 λ/2판), 또는 컬러 필터와 같은 광학 필름이 발광 소자의 발광면상에 적절하게 제공될 수도 있다. 또한, 편광판 또는 원형 편광판에는 반사 방지막이 제공될 수도 있다. 예를 들어, 표면상의 요철에 의해 반사광이 확산되어 글레어(glare)를 감소시키는 안티-글레어 처리가 실시될 수 있다.

[0310] 단결정 반도체 또는 다결정 반도체를 사용하여 개별적으로 형성된 구동 회로들이 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)로서 실장될 수도 있다. 또한, 신호선 구동 회로들 또는 그 일부만, 주사선 구동 회로들 또는 그 일부만이 개별적으로 형성되고 실장될 수도 있다. 본 실시형태는 도 22a 및 도 22b에 예시된 구성에 한정되지 않는다.

[0311] 상기 공정을 통해, 높은 신뢰성의 발광 표시 장치(표시 패널)가 제작될 수 있다.

[0312] 본 실시형태에 설명된 구성이 다른 실시형태에 설명된 임의의 구성들과 적절하게 조합하여 사용될 수 있다는 것에 유의한다.

[0313] (실시형태 7)

[0314] 실시형태 1 및 2 중 어느 하나에 설명된 트랜지스터가 적용된 표시 장치는 전자 페이퍼로서 사용될 수 있다. 전자 페이퍼는, 정보를 표시할 수 있는 한 다양한 분야의 전자 기기에 사용될 수 있다. 예를 들어, 전자 페이퍼가 전자서적(e-book reader)(전자 책), 포스터, 기차와 같은 차내 광고, 또는 크레디트 카드와 같은 다양한 카드들의 표시들에 적용될 수 있다. 전자 기기들의 예들이 도 11a 및 도 11b 및 도 12에 예시된다.

[0315] 도 11a는 전자 페이퍼를 사용한 포스터(2631)를 예시한다. 광고 매체가 인쇄된 종이인 경우에서, 광고는 손으로 교환되지만, 전자 페이퍼를 사용함으로써, 광고 표시가 단시간에 변경될 수 있다. 포스터(2631)가 데이터를 무선으로 송수신할 수 있는 구성을 가질 수도 있다.

[0316] 도 11b는 기차와 같은 차내 광고(2632)를 예시한다. 광고 매체가 종이인 경우에서, 광고는 손으로 교환되지만, 전자 페이퍼인 경우에서, 많은 일손이 필요하지 않고, 광고 표시가 단시간에 변경될 수 있다. 또한 표시 결함없이 안정적인 화상들이 획득될 수 있다. 차내 광고는 무선으로 데이터를 송수신할 수 있는 구성을 가질 수 있다는 것에 유의한다.

[0317] 도 12는 전자서적의 일례를 예시한다. 예를 들어, 전자서적(2700)은 2개의 하우징들(하우징(2701) 및 하우징(2703))을 포함한다. 하우징(2701) 및 하우징(2703)은 힌지(2711)로 결합되어, 전자서적(2700)은 축으로서 힌지(2711)로 개폐될 수 있다. 이러한 구조에 의해, 종이 서적을 열람하는 것 같이 독자는 전자서적(2700)를 동작시킬 수 있다.

[0318] 표시부(2705) 및 표시부(2707)가 하우징(2701) 및 하우징(2703)에 각각 내장된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 다른 화상들을 표시할 수도 있다. 상이한 화상이 상이한 표시부들에서 표시되는 구조에서, 예를 들어, 우측 표시부(도 12에서 표시부(2705))는 텍스트를 표시할 수 있고, 좌측 표시부(도 12에서 표시부(2707))는 화상을 표시할 수 있다.

[0319] 도 12에 예시된 예에서, 하우징(2701)에는 조작부 등이 제공된다. 예를 들어, 하우징(2701)에는, 전원(2721), 조작 키(2723), 스피커(2725) 등이 제공된다. 조작 키(2723)로, 페이지가 넘겨질 수 있다. 키보드, 포인팅 장치 등이 하우징의 표시부와 동일면에 제공될 수도 있다. 또한, 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블과 같은 다양한 케이블에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 하우징의 이면 또는 측면에 제공될 수도 있다. 또한, 전자서적(2700)은 전자 사전의 기능을 가질 수도 있다.

[0320] 전자서적(2700)은 무선으로 정보를 송수신할 수 있는 구성을 가질 수도 있다. 무선 통신을 통해, 원하는 서적 데이터 등이 전자 서적 서버로부터 구매되고 다운로딩될 수 있다.

[0321] 본 실시형태에 설명된 구성이 다른 실시형태들에 설명된 임의의 구성들과 적절하게 조합될 수 있다는 것에 유의한다.

[0322] (실시형태 8)

[0323] 실시형태 1 및 2 중 어느 하나에 설명된 트랜지스터를 사용하는 표시 장치가 다양한 전자 기기(게임 머신을 포함)에 적용될 수 있다. 전자 기기들의 예들은, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 칭함), 컴퓨터 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화 핸드셋 또는 휴대 전화 장치로 또한 칭함), 휴대형 게임 콘솔, 휴대 정보 단말기, 오디오 재생 장치, 파친코 머신과 같은 대형 게임기 등이다.

[0324] 도 23a는 텔레비전 장치의 일례를 예시한다. 텔레비전 장치(9600)에서, 표시부(9603)가 하우징(9601)에 내장된다. 표시부(9603)는 화상들을 표시할 수 있다. 여기서, 하우징(9601)이 스탠드(9605)에 의해 지지된다.

[0325] 텔레비전 장치(9600)는 하우징(9601)의 조작 스위치 또는 별개의 원격 제어기(9610)에 의해 조작될 수 있다. 원격 제어기(9610)의 조작 키(9609)에 의해 채널들 및 음량이 스위치되고 제어될 수 있어서 표시부(9603)상에 표시되는 화상이 제어될 수 있다. 또한, 원격 제어기(9610)에는, 원격 제어기(9610)로부터 출력된 정보를 표시하는 표시부(9607)가 제공될 수도 있다.

[0326] 텔레비전 장치(9600)에는, 수신기, 모뎀 등이 제공된다. 수신기를 사용하여, 일반의 텔레비전 방송이 수신될 수 있다. 또한, 표시 장치가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속될 때, 일방향(송신자로부터 수신자로) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자들 사이)의 정보 통신이 실시될 수 있다.

[0327] 도 23b는 디지털 포토 프레임의 일례를 예시한다. 예를 들어, 디지털 포토 프레임(9700)에서, 표시부(9703)가 하우징(9701)에 내장된다. 표시부(9703)는 다양한 화상을 표시할 수 있다. 예를 들어, 표시부(9703)는 디지털

카메라 등으로 촬영한 화상 데이터를 표시할 수 있고, 통상적인 포토 프레임으로서 기능할 수 있다.

[0328] 디지털 포토 프레임(9700)에는, 조작부, 외부 접속 단자(USB 단자, USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 제공된다는 것에 유의한다. 이들 구성이 표시부가 제공되는 면에 제공될 수도 있지만, 디지털 포토 프레임(9700)의 디자인성을 위해 측면 또는 이면상에 이들을 제공하는 것이 바람직하다. 예를 들어, 디지털 카메라로 촬영된 화상의 데이터를 저장하는 메모리가 디지털 포토 프레임의 기록 매체 삽입부에 삽입되어, 화상 데이터가 전송될 수 있고, 그 후, 표시부(9703)상에 표시될 수 있다.

[0329] 디지털 포토 프레임(9700)은 무선으로 정보를 송수신하도록 구성될 수도 있다. 원하는 화상 데이터가 표시되도록 무선으로 전송되는 구성이 이용될 수도 있다.

[0330] 도 24a는 휴대용 게임기이며, 휴대용 게임기가 개폐될 수 있도록 연결부(9893)로 연결되는 하우징(9881) 및 하우징(9891)의 2개의 하우징에 의해 구성된다. 표시부(9882) 및 표시부(9883)가 하우징(9881) 및 하우징(9891)에 각각 내장된다. 또한, 도 24a에 예시된 휴대용 게임기에는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 향기, 또는 적외선을 측정하는 기능을 가짐), 및 마이크로폰(9889)) 등이 제공된다. 물론, 휴대용 게임기의 구성은 상기에 한정되지 않고, 적어도 본 발명의 표시 장치가 제공된 다른 구성들이 이용될 수도 있다. 휴대용 게임기는 다른 부속설비를 적절하게 포함할 수도 있다. 도 24a에 예시된 휴대용 게임기는, 기록 매체에 저장된 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능, 및 다른 휴대용 게임기와 무선 통신에 의해 정보를 공유하는 기능을 갖는다. 도 24a에 예시된 휴대용 게임기의 기능은 상기에 한정되지 않고, 휴대용 게임기는 다양한 기능들을 가질 수 있다.

[0331] 도 24b는 대형 게임기인 슬롯 머신의 일례를 예시한다. 슬롯 머신(9900)에서, 표시부(9903)가 하우징(9901)에 내장된다. 또한, 슬롯 머신(9900)은 스타트 레버 또는 스톱 스위치와 같은 조작 수단, 코인 슬롯, 스피커 등을 포함한다. 물론, 슬롯 머신(9900)의 구성은 상기에 한정되지 않고, 적어도 본 발명의 표시 장치가 제공된 다른 구성이 이용될 수도 있다. 슬롯 머신(9900)은 다른 부속설비를 적절하게 포함할 수도 있다.

[0332] 도 25a는 휴대 전화의 일례를 예시한다. 휴대 전화(1000)는 하우징(1001)에 내장된 표시부(1002), 조작 버튼(1003), 외부 접속 포토(1004), 스피커(1005), 마이크로폰(1006) 등을 포함한다.

[0333] 도 25a에 예시된 표시부(1002)가 손가락 등으로 터치될 때, 데이터가 휴대 전화(1000)로 입력될 수 있다. 또한, 통화 및 메일의 송수신과 같은 조작은 표시부(1002)를 손가락 등으로 터치함으로써 실시될 수 있다.

[0334] 주로, 표시부(1002)의 3개의 화면 모드가 있다. 제 1 모드는 화상들을 주로 표시하는 표시 모드이다. 제 2 모드는 텍스트와 같은 데이터를 주로 입력하는 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 조합된 표시 + 입력 모드이다.

[0335] 예를 들어, 전화를 걸거나 메일을 작성하는 경우에서, 텍스트를 주로 입력하는 텍스트 입력 모드가 표시부(1002)에 대해 선택되어, 화면상에 표시된 텍스트가 입력될 수 있다.

[0336] 자이로스코프 또는 가속도 센서와 같은 기울기를 검출하는 센서를 포함하는 검출 장치가 휴대 전화(1000) 내부에 제공될 때, 표시부(1002)의 화면에서의 표시가 휴대 전화(1000)의 설치 방향(휴대 전화(1000)가 가로 모드 또는 세로 모드에 대해 수평적으로 또는 수직적으로 배치되는지)을 결정함으로써 자동으로 전환될 수 있다.

[0337] 화면 모드들은 표시부(1002)를 터치하거나 하우징(1001)의 조작 버튼(1003)을 조작함으로써 전환된다. 대안적으로, 화면 모드들은 표시부(1002)상에 표시된 화상의 종류에 의존하여 전환될 수도 있다. 예를 들어, 표시부상에 표시된 화상의 신호가 동화상 데이터의 신호일 때, 화면 모드는 표시 모드로 전환된다. 신호가 텍스트 데이터의 신호일 때, 화면 모드는 입력 모드로 전환된다.

[0338] 또한, 입력 모드에서, 표시부(1002)의 광 센서에 의해 검출된 신호가 검출되는 동안, 표시부(1002)의 터치에 의한 입력이 일정 기간 동안 실시되지 않을 때, 화면 모드는 입력 모드로부터 표시 모드로 전환되도록 제어될 수도 있다.

[0339] 표시부(1002)는 이미지 센서로서 기능할 수도 있다. 예를 들어, 표시부(1002)가 손바닥 또는 손가락으로 터치될 때, 장문, 지문 등이 촬상됨으로써, 개인 식별이 실시될 수 있다. 또한, 표시부에서 근적외광을 발광하는 백라이트 또는 감지 광원을 제공함으로써, 손가락 정맥, 손바닥 정맥 등이 촬상될 수 있다.

[0340] 도 25b는 또한 휴대 전화의 일례를 예시한다. 도 25b의 휴대 전화는 표시부(9412) 및 조작 버튼(9413)이 하우징(9411)에 포함되는 표시 장치(9410) 및 조작 버튼(9402), 외부 입력 단자(9403), 마이크로폰(9404), 스피커(9405), 및 착신시에 발광하는 발광부(9406)가 하우징(9401)에 포함되는 통신 장치(9400)를 포함한다. 표시 기능을 갖는 표시 장치(9410)는 전화 기능을 갖는 통신 장치(9400)에 화살표에 의해 표시된 바와 같이 2 방향으로 탈부착될 수 있다. 따라서, 표시 장치(9410)의 단축은 통신 장치(9400)의 단축에 부착되고, 표시 장치(9410)의 장축은 통신 장치(9400)의 장축에 부착될 수 있다. 또한, 표시 기능만이 필요할 때, 표시 장치(9410)는 통신 장치(9400)로부터 탈착되고 단독으로 사용된다. 화상들 또는 입력 정보는, 각각 재충전가능한 배터리를 갖는 통신 장치(9400)와 표시 장치(9410) 사이에서 무선 또는 유선으로 송신 또는 수신될 수 있다.

[0341] 본 실시형태에 설명된 구조는 다른 실시형태들에 설명된 임의의 구조들과 적절하게 조합하여 사용될 수 있다는 것에 유의한다.

[0342] (실시형태 9)

[0343] 산화물 반도체층이 금속층 또는 산화물 절연층과 접촉할 때 산소가 이동하는 현상이 발생한다. 본 실시형태에서, 비정질 산화물 반도체층과 결정 산화물 반도체층 사이의 차이들이 상기 현상에 대한 과학적 계산을 사용하여 설명된다.

[0344] 도 33은 본 발명의 일 실시형태인 트랜지스터의 구조에서 소스 전극 및 드레인 전극으로서 기능하는 금속층 및 산화물 절연층과 산화물 반도체층이 접촉하는 상태의 개략도이다. 화살표의 방향들은 서로 접촉하고 있는 상태 또는 가열되는 상태에서 산소의 이동의 방향을 나타낸다.

[0345] 산소 결손이 발생할 때, i-형 산화물 반도체층은 n-형 도전성을 갖는 반면에, 산소가 과잉공급될 때, 산소 결손에 의해 야기된 n-형 산화물 반도체층은 i-형 산화물 반도체층이 된다. 이러한 효과는 실제 디바이스 프로세스에서 활용되고, 소스 전극 및 드레인 전극으로서 기능하는 금속층과 접촉하는 산화물 반도체층에서, 산소가 금속 측으로 끌려가서, 금속층과 접촉하는 영역의 일부(작은 두께의 경우에서, 막 두께 방향의 전체)에서 산소 결손이 발생함으로써, 산화물 반도체층은 n-형 산화물 반도체층이 되고, 금속층과 양호한 접촉이 획득될 수 있다. 또한, 산화물 절연층과 접하는 산화물 반도체층에는 산화물 절연층으로부터 산소가 공급되고, 산화물 절연층과 접촉하는 산화물 반도체층의 영역의 일부(작은 두께의 경우에서, 막 두께 방향의 전체)가 과잉 산소를 포함하여 i-형 영역이 됨으로써, 산화물 반도체층은 i-형 산화물 반도체층이 되고, 트랜지스터의 채널 형성 영역으로서 기능한다.

[0346] 본 발명의 일 실시형태에서, 산화물 반도체층이 소스 전극 및 드레인 전극으로서 기능하는 금속층 및 산화물 절연층과 접촉하는 영역에서, 산화물 반도체의 결정 영역이 형성된다. 따라서, 산소 이동 상태에서의 차이는, 산화물 반도체층이 산화물 절연층 또는 금속층과 접촉하는 영역이 결정 영역을 포함하는 경우와 산화물 반도체층이 산화물 절연체 또는 금속층과 접촉하는 영역이 비정질인 경우 사이에서 과학적 계산에 의해 확인되었다.

[0347] 과학적 계산에 대해 사용된 모델들은, In-Ga-Zn-O계 비정질 구조 및 결정 구조를 갖는다. 모델들 각각에서, 직육면체의 길이 방향에서 영역들 중 하나가 다른 영역에 비교하여 10% 만큼 산소가 결손되었다(도 34a 및 도 34b 참조). 계산은, 650℃의 가속 조건하에서 10 nsec 후의 In-Ga-Zn-O개 비정질 구조와 In-Ga-Zn-O계 결정 구조에서의 산소의 분포를 비교하는 것이다. 각각의 조건들이 표 1 및 표 2에 나타난다.

[0348] [표 1]

[0349]

	구조 조건
원자의 수	317원자 (산소 :192 원자)
격자 상수	$a = b = 1.3196$ nm, $c = 2.6101$ nm, $\alpha = \beta = 90°, \gamma = 120°$
밀도	6.23 g/cm^3

[0350] [표 2]

	계산 내용
앙상블	NTV (원자수 , 온도 , 체적)
온도	923 K
시간 간격	0.2 fs
총 계산 시간	10 ns
포텐셜	Metal-Oxygen & Oxygen-Oxygen 에 Born-Mayer-Huggins 형이 적용됨
전하	In: +3, Ga: +3, Zn: +2, O: -2

[0351]

[0352] 계산 결과로서, 비정질 산화물 반도체층을 사용한 경우에서의 산소의 분포가 도 35a에 도시되어 있고, 결정 산화물 반도체층을 사용한 경우에서의 산소의 분포가 도 35b에 도시되어 있다. 점선은 초기 상태(Initial)를 나타내고, 실선은 결과(10 nsec 후)를 나타낸다. 비정질 산화물 반도체층 또는 결정 산화물 반도체층이 사용되는지에 관계없이 산소가 이동한다는 것이 발견되었다.

[0353] 산소 결손을 갖는 영역에서의 계산 전후 사이의 산소 원자의 증가율은, 비정질 산화물 반도체층의 경우에서는 15.9%이었고, 결정 산화물 반도체층의 경우에서는 11.3%이었다. 즉, 비정질 산화물 반도체층에서의 산소가 결정 산화물 반도체층에서의 산소보다 더 이동하기 쉽고, 이것은 산소 결손을 용이하게 보상하는 것을 발생시킨다. 다시 말해, 결정 산화물 반도체층에서의 산소는 비정질 산화물 반도체층에서의 산소보다 비교적 덜 이동한다.

[0354] 따라서, 비정질 산화물 반도체층의 경우에서와 유사한 방식으로, 결정 구조를 갖는 본 발명의 실시형태에서의 산화물 반도체층에서 산소가 이동한다는 것이 또한 발견되었다. 또한, 산소가 비정질 산화물 반도체층보다 결정 산화물 반도체층에서 비교적 덜 이동하기 때문에, 산화물 반도체층으로부터의 산소의 탈리가 억제되는 효과를 결정 영역이 갖는다는 것이 확인되었다.

[0355] 본 실시형태에 설명된 구성은 다른 실시형태들에 설명된 구성과 적절하게 조합하여 사용될 수 있다는 것에 유의한다.

[0356] (실시예 1)

[0357] 이러한 실시예에서, RTA법으로 단시간에 고온에서 탈수화 또는 탈수소화된 산화물 반도체막 상태가 TEM 분석법, TEM-EDX 분석법, X선 회절법, 및 SIMS 분석법으로 분석되어 그 결과들이 설명된다.

[0358] 분석에 사용된 시료들은, In_2O_3 : Ga_2O_3 : ZnO의 몰비가 1 : 1 : 1인 산화물 반도체 성막용 타겟을 사용하여 실시형태 2에 따라 각각 형성된 In-Ga-Zn-O계 막이다. 비교예들인 3개 종류의 시료들: 시료 A, 시료 B 및 시료 C가 있다. 시료 A는 RTA 장치를 사용하여 질소 가스 분위기중에서 650℃에서 6분간의 가열 단계가 실시된 방식으로 형성된다. 시료 B는 전기로를 사용하여 질소 가스 분위기중에서 450℃ 1시간의 가열 단계가 실시된 방식으로 형성되고, 시료 C(as-depo)는 비가열 상태이다.

[0359] 먼저, 각 시료의 결정 상태의 단면을 조사하기 위해, 고분해능 투과 전자현미경(Hitachi, Ltd에 의해 제작된 "H9000-NAR" : TEM)을 사용하여 각 시료의 결정의 단면을 300kV의 가속 전압에서 관찰하였다. 시료 A, 시료 B, 및 시료 C의 단면 사진을 도 26a 및 도 26b, 도 27a 및 도 27b, 및 도 28a 및 도 28b에 각각 예시하였다. 도 26a, 도 27a, 및 도 28a는 저배율 사진들(200만 배율)이고, 도 26b, 도 27b, 및 도 28b는 고배율 사진들(400만 배율)이다.

[0360] 도 26a 및 도 26b에서의 RTA법으로 650℃에서 6분간의 가열된 시료 A의 단면의 표층부에서 연속 격자 이미지를 관찰하였다. 특히 도 26b의 고배율 사진에서, 백색 프레임으로 둘러싸인 영역에서 명료한 격자 이미지가 관찰되었고, 결정축들이 정렬되는 미결정의 존재가 표시된다. 따라서, RTA법으로 650℃에서 대략 6분의 단시간의 가열을 실시함으로써 In-Ga-Zn-O계 막의 표층부가 결정화되고, 결정 영역이 제공된다는 것을 발견하였다. 표층부를 제외한 영역에서, 명료한 연속 격자 이미지는 관찰되지 않았고, 비정질 영역의 곳곳에 미결정 입자가 존재하는 상태가 발견되었다. 미결정들은 2 nm 이상 4 nm 이하의 입자 크기를 각각 갖는 소위 나노결정들이었다.

[0361] 한편, 도 27a 및 도 27b(시료 B) 및 도 28a 및 도 28b(시료 C)의 단면 사진들로부터 두께 방향에서의 어떠한 영역에서도 명료한 격자 이미지는 관찰되지 않아서, 시료 B 및 시료 C가 비정질인 것이 발견되었다.

[0362] RTA법으로 650℃에서 6분간의 가열된 시료 A의 표층부의 확대 사진 및 결정 영역의 전자선 회절 패턴이 도 29a 및 도 29b에 각각 도시되어 있다. 격자 이미지들이 정렬되는 방향들을 나타내는 방향성 화살표 1 내지 5가 표층부의 확대 사진(도 29a))에 예시되어 있고, 결정들은 막의 표면에 대해 수직 방향으로 성장된다. 도 29b에 도시된 전자선 회절 패턴은 화살표 3의 위치에서 관찰되고, c-축 배향이 발견된다. 이러한 전자선 회절 패턴과 알려진 격자 상수의 비교의 결과로서, 결정 구조가 $In_2Ga_2ZnO_7$라는 것이 명백하게 되었다(도 36 참조).

[0363] 도 30은, 시료 A의 표층부의 단면의 TEM-EDX(에너지 분산형 X선 분광법)을 사용한 분석 결과를 나타낸다. In_2O_3 : Ga_2O_3 : ZnO의 몰비가 1 : 1 : 1인 재료 타겟이 사용되었고, 표층부의 조성비는, In 또는 Ga가 1인 반면에 Zn이 0.3 이상 0.4 이하여서, Zn이 약간 결손된다는 것을 발견하였다.

[0364] 다음으로, X선 회절법을 사용한 3 종류의 동일한 시료들의 결정 상태들의 분석의 결과들이 도 31에 도시되어 있다. 시료들의 차트에서, 2Θ가 30 내지 36도일 때 보여지는 피크가 In-Ga-Zn-O계 재료로부터 유래하는 데이터이며, 브로드이고, 따라서, 비정질 상태가 반영된다. 그러나, RTA법으로 650℃에서 6분간의 가열된 시료 A의 피크 위치는 시료B 및 시료 C보다 낮은 각 측에 있고, 이것은, In-Ga-Zn-O계 결정 재료들에서 가장 강한 회절 강도를 나타내는 (009) 면 또는 (101) 면으로부터 획득된 회절 피크의 존재를 나타낸다. 따라서, 시료 A가 결정 영역을 갖는다는 것이 X선 회절법으로 또한 확인되었다.

[0365] 다음으로, 2차 이온 질량 분석(SIMS)을 사용한 시료 A 및 시료 C의 막에서의 수소 농도, 탄소 농도, 및 질소 농도의 분석의 결과들이 도 32a 내지 도 32c에 도시되어 있다. 수평축은 시료들의 표면으로부터의 깊이를 나타내고, 깊이가 0nm인 좌단은 시료들의 최외각 표면(산화물 반도체층들의 최외각 표면들)에 대응하고, 분석은 표면 측으로부터 실시된다.

[0366] 도 32a는 수소 농도 프로파일을 예시한다. 시료 A의 프로파일의 수소 농도가 시료 C의 프로파일의 수소 농도에 비해 1 자릿수 이상 감소한다는 것이 판명되었고, RTA법으로 650℃에서 6분간의 탈수화 또는 탈수소화가 효과적으로 실시되었다는 것이 확인되었다. 시료 A의 프로파일 및 시료 C의 프로파일은, 시료들과 유사한 In-Ga-Zn-O계 산화물 반도체층을 사용하여 형성된 표준 시료를 사용하여 정량화되었다는 것에 유의한다.

[0367] 원칙적으로 SIMS 분석을 사용하여 시료의 표면 근방에서 또는 상이한 재료를 사용하여 형성된 적층막들 사이의 계면 근방에서 데이터를 정확하게 획득하는 것은 어렵다는 것이 알려져 있다. 이러한 분석에서, 대략 40 nm의 두께에서 깊이 15 nm 이상 35 nm 이하의 프로파일이 막에서 정확한 데이터를 획득하기 위해 평가의 대상이었다.

[0368] 시료 C의 프로파일로부터, 탈수소화가 실시되지 않은 산화물 반도체층에, 수소가 대략 3×10^{20} atoms/cm^3 이상 대략 5×10^{20} atoms/cm^3 이하, 및 대략 4×10^{20} atoms/cm^3 의 평균 수소 농도로 포함된다는 것을 발견하였다. 시료 A의 프로파일로부터, 산화물 반도체층의 평균 수소 농도가 탈수소화에 의해 대략 2×10^{19} atoms/cm^3로 감소될 수 있다는 것을 발견하였다.

[0369] 탄소 농도 프로파일이 도 32b에 도시되어 있고, 질소 농도 프로파일이 도 32c에 도시되어 있다. 수소 농도 프로파일과 다르게, 탄소 농도 프로파일 또는 질소 농도 프로파일 어느 쪽도 시료 A와 시료 C 사이에 명확한 차이를 갖지 않고, RTA법으로 650℃에서 6분간의 가열로 인해 탄소 성분 및 질소 성분의 탈리 또는 혼입이 없다는 것을 확인하였다. "H"+"O"의 2차 이온 강도에서의 검출 결과가 도 38a 내지 도 38c에 도시되어 있고, "H_2"+"O"의 2차 이온 강도에서의 검출 결과가 도 39a 내지 도 39c에 도시되어 있다. 더 높은 온도에서 처리된 시료들이 "H"+"O" 및 "H_2"+"O" 양자에서 더 낮은 강도를 갖고, RTA법으로 650℃에서 6분간의 가열을 실시함으로써 수분 또는 OH의 탈리가 효율적으로 실시된다는 것을 발견하였다.

[0370] 분석의 결과들로부터, RTA법으로 650℃에서 6분간의 단시간에 가열된 시료의 표층부가 결정 영역을 갖는다는 것을 발견하였다. 또한, 산화물 반도체층의 수소 농도가 1/10 이하로 감소될 수 있다는 것을 발견하였다.

[0371] (실시예 2)

[0372] 이러한 실시예에서, 실시형태 1에서 형성된 트랜지스터에 대해 -BT 시험을 실시함으로써 획득된 결과를 설명한다.

[0373] 트랜지스터의 신뢰성을 조사하는 방법들 중 하나가 바이어스-열 스트레스 시험(이하, BT 시험이라 칭함)이다. BT 시험은 가속 시험의 일 종류이며, 장기간의 사용에 의해 일어나는 트랜지스터의 특성의 변화를 단시간에 평가할 수 있다. 특히, BT 시험 전후 사이의 트랜지스터의 임계 전압의 변화량은 신뢰성을 조사하기 위한 중요한

지표이다. BT시험 전후 사이의 임계 전압의 차이가 작으면, 트랜지스터는 높은 신뢰성을 갖는다.

[0374] 구체적으로는, 트랜지스터가 형성되는 기판의 온도(기판 온도)가 고정 온도로 설정되고, 트랜지스터의 소스 및 드레인이 동전위로 설정되며, 게이트에 소스 및 드레인과는 상이한 전위가 일정 기간 동안 공급된다. 기판 온도는 시험의 목적에 따라 적절하게 설정될 수도 있다. 게이트에 인가되는 전위가 소스 및 드레인의 전위보다 높은 경우의 시험을 +BT 시험으로서 칭하고, 게이트에 인가되는 전위가 소스 및 드레인의 전위보다 낮은 경우의 시험을 -BT 시험으로 칭한다.

[0375] BT 시험에 대한 스트레스 조건들은, 기판 온도, 게이트 절연막에 인가되는 전계 강도, 전계의 인가 기간을 설정함으로써 결정될 수 있다. 게이트 절연막에 인가된 전계 강도는, 게이트 전위와 소스 및 드레인 전위 사이의 전위차를 게이트 절연막의 두께로 나눔으로써 결정된다. 예를 들어, 100 nm 두께 게이트 절연막에 인가된 전계 강도가 2 MV/cm로 설정되는 경우에서, 전위차는 20 V로 설정될 수도 있다.

[0376] "전압"은 2개의 포인트들 사이의 차이를 일반적으로 나타내고, "전위"는 전계에서 소정의 포인트에서의 단위 전하의 정전 에너지(전기적 위치 에너지)를 나타낸다는 것에 유의한다. 일반적으로, 1 포인트의 전위와 기준 전위(접지 전위) 사이의 차이를 단순히 전위 또는 전압으로 칭하고, 전위 및 전압은 다수의 경우에서 동의어로서 사용된다. 따라서, 본 명세서에서, 다르게 특정되지 않으면 전위를 전압으로 바꾸어 말할 수도 있고, 전압을 전위로 바꾸어 말할 수 있다.

[0377] -BT 시험은, 기판 온도가 150℃이고, 게이트 절연막에 인가된 전계 강도가 2 MV/cm이며, 인가 시간이 1시간인 이러한 조건하에서 실시되었다.

[0378] 먼저, -BT 시험 대상이 되는 트랜지스터의 초기 특성을 측정하기 위해, 기판 온도가 40℃로 설정되고, 소스와 드레인 사이의 전압(이하, 드레인 전압 또는 Vd)이 1 V로 설정되며, 소스와 게이트 사이의 전압(이하, 게이트 전압 또는 Vg)이 -20 V 내지 +20 V의 범위에서 변화되는 조건하에서 소스-드레인 전류(이하, 드레인 전류 또는 Id)의 특성에서의 변화를 측정하였다. 즉, Vd가 1 V일 때의 Vg-Id 특성을 측정하였다. 여기서, 시료들의 표면들 상에 흡습에 대한 대책으로서, 기판 온도를 40℃로 설정하였다. 그러나, 특별한 문제가 없으면, 실온(25℃) 이하에서 측정이 실시될 수도 있다.

[0379] 다음으로, Vd가 10 V로 설정될 때 유사한 측정을 실시하였고, Vd가 10 V일 때의 Vg-Id 특성을 측정하였다.

[0380] 다음으로, 기판 온도를 150℃까지 상승시킨 후, 트랜지스터의 소스 및 드레인의 전위를 0 V로 설정하였다. 그 후, 게이트 절연막에 인가되는 전계 강도가 2 MV/cm이도록 게이트에 전압을 인가하였다. 트랜지스터의 게이트 절연막의 두께가 100 nm이었기 때문에, 게이트에 -20 V가 인가되었고, 이러한 전압을 1시간 동안 유지하였다. 여기서, 전압 인가를 위한 기간이 1시간이었지만, 이 기간은 목적에 따라 적절히 변경될 수도 있다.

[0381] 다음으로, 게이트와 소스와 드레인 사이에 전압이 인가되면서, 기판 온도를 40℃까지 감소시켰다. 기판 온도가 40℃까지 완전하게 감소되기 전에 전압의 인가가 중지되면, -BT 시험 동안 손상된 트랜지스터가 잔류 열의 영향에 의해 수리된다. 따라서, 전압이 인가되면서 기판 온도가 감소되어야 한다. 기판 온도가 40℃로 감소된 후에, 전압의 인가를 종료하였다. 엄밀하게는, 온도를 내리는 시간은 전압 인가의 시간에 추가되어야 하지만, 실제로는 수 분에 40℃까지 온도를 감소시킬 수 있기 때문에, 이것은 오차 범위인 것으로 고려되고, 온도를 감소시키는 시간을 인가 시간에 추가하지 않았다.

[0382] 그 후, 초기 특성의 측정을 위한 조건과 동일한 조건하에서, Vd가 1 V 및 10 V일 때의 Vg-Id특성을 측정하여, -BT 시험이 실시된 후의 Vg-Id 특성을 획득하였다.

[0383] 도 37a는, -BT시험 전후의 트랜지스터의 Vg-Id 특성을 예시한다. 도 37a에서, 수평축은 로그 스케일로 도시되는 게이트 전압(Vg)을 나타내고, 수직축은 로그 스케일로 도시되는 드레인 전류(Id)를 나타낸다.

[0384] 도 37b는 도 37a에 도시된 부분(900)의 확대도이다. 초기 특성(901)은 Vd가 1 V인 경우에서 -BT 시험 전의 트랜지스터의 Vg-Id 특성을 나타내며, 초기 특성(911)은 Vd가 10 V인 경우에서 -BT 시험 전의 트랜지스터의 Vg-Id 특성을 나타낸다. 또한, -BT(902)는 -BT 시험 후의, Vd가 1 V인 경우에서 트랜지스터의 Vg-Id 특성을 나타내고, -BT(912)는 -BT 시험 후의, Vd가 10 V인 경우에서 트랜지스터의 Vg-Id 특성을 나타낸다.

[0385] 도 37a 및 도 37b로부터, 초기 특성(901) 및 초기 특성(911)에 비해, 전체 -BT(902) 및 전체 -BT(912)는 포지티브 방향으로 약간 시프트한다는 것을 발견하였다. 그러나, 시프트양은 0.5 V 이하 만큼 작고, 실시형태 1에서 형성된 트랜지스터가 -BT 시험에서 높은 신뢰성을 갖는다는 것을 발견하였다.

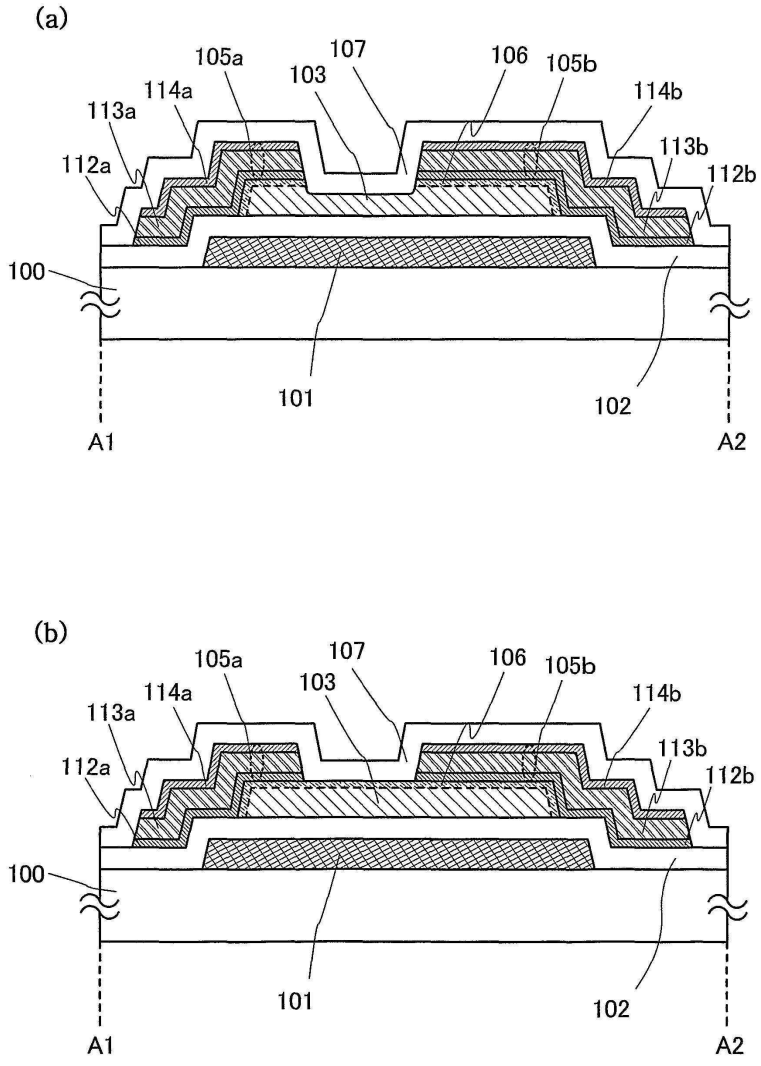
[0386] 본 출원은, 그 전체 내용이 참조로 여기에 포함되는 2009년 9월 16일 출원된 일본 특허 출원 제 2009-215084 호에 기초한다.

부호의 설명

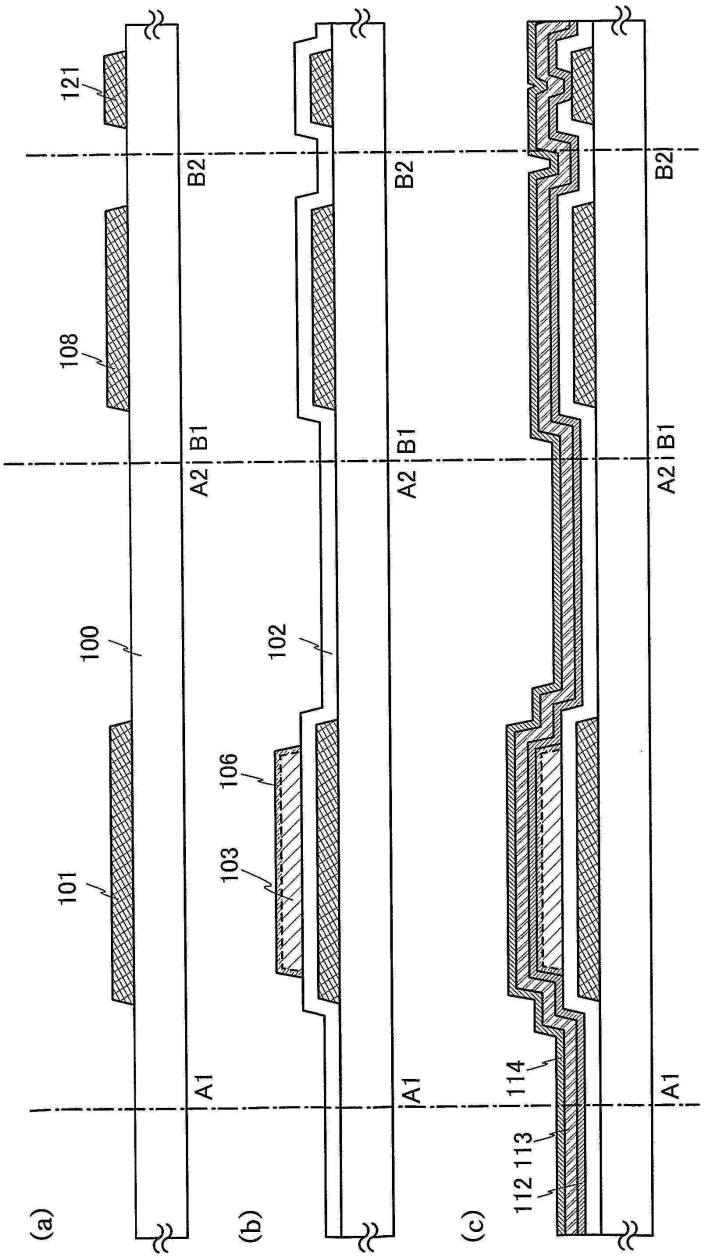
[0387] 11 : 배선, 12 : 배선, 13 : 배선, 14 : 배선, 15 : 배선, 21 : 입력 단자, 22 : 입력 단자, 23 : 입력 단자, 24 : 입력 단자, 25 : 입력 단자, 26 : 출력 단자, 27 : 출력 단자, 28 : 트랜지스터, 31 : 트랜지스터, 32 : 트랜지스터, 33 : 트랜지스터, 34 : 트랜지스터, 35 : 트랜지스터, 36 : 트랜지스터, 37 : 트랜지스터, 38 : 트랜지스터, 39 : 트랜지스터, 40 : 트랜지스터, 41 : 트랜지스터, 42 : 트랜지스터, 43 : 트랜지스터, 51 : 전원선, 52 : 전원선, 53 : 전원선, 61 : 기간, 62 : 기간, 100 : 기판, 101 : 게이트 전극층, 102 : 게이트 절연층, 103 : 산화물 반도체층, 106 : 결정 영역, 107 : 산화물 절연층, 108 : 용량 배선, 110 : 화소 전극층, 112 : 도전층, 113 : 도전층, 114 : 도전층, 120 : 접속 전극, 121 : 단자, 122 : 단자, 125 : 콘택트홀, 126 : 콘택트홀, 127 : 콘택트홀, 128 : 투광성 도전층, 129 : 투광성 도전층, 131: 레지스트 마스크, 150 : 접속 전극, 151 : 단자, 152 : 게이트 절연층, 153 : 접속 전극, 154 : 보호 절연막, 155 : 투광성 도전층, 156 : 단자, 170 : 트랜지스터, 581 : 트랜지스터, 585 : 절연층, 587 : 전극층, 588 : 전극층, 589 : 구형 입자, 594 : 캐비티, 595 : 충전재, 900 : 부분, 901 : 초기 특성, 902 : -BT, 911 : 초기 특성, 912 : -BT, 1000 : 휴대 전화, 1001 : 하우징, 1002 : 표시부, 1003 : 조작 버튼, 1004 : 외부 접속 포트, 1005 : 스피커, 1006 : 마이크로폰, 105a : 소스 전극층, 105b : 드레인 전극층, 112a : 도전층, 113a : 도전층, 114a : 도전층, 2600 : 기판, 2601 : 대향 기판, 2602 : 씰재, 2603 : 화소부, 2604 : 표시 소자, 2605 : 착색층, 2606 : 편광판, 2607 : 편광판, 2608 : 배선 회로부, 2609 : 플렉시블 배선 기판, 2610 : 냉음극관, 2611 : 반사판, 2612 : 회로 기판, 2613 : 확산판, 2631 : 포스터, 2632 : 차내 광고, 2700 : 전자서적, 2701 : 하우징, 2703 : 하우징, 2705 : 표시부, 2707 : 표시부, 2711 : 힌지, 2721 : 전원, 2723 : 조작 키, 2725 : 스피커, 4001 : 기판, 4002 : 화소부, 4003 : 신호선 구동 회로, 4004 : 주사선 구동 회로, 4005 : 씰재, 4006 : 기판, 4008 : 액정층, 4010 : 트랜지스터, 4011 : 트랜지스터, 4013 : 액정 소자, 4015 : 접속 단자 전극, 4016 : 단자 전극, 4018 : FPC, 4019 : 이방성 도전막, 4020 : 절연층, 4021 : 절연층, 4030 : 화소 전극층, 4031 : 대향 전극층, 4032 : 절연층, 4040 : 도전층, 4044 : 절연층, 4501 : 기판, 4502 : 화소부, 4505 : 씰재, 4506 : 기판, 4507 : 충전재, 4509 : 트랜지스터, 4510 : 트랜지스터, 4511 : 발광 소자, 4512 : 전계 발광층, 4513 : 전극층, 4515 : 접속 단자 전극, 4516 : 단자 전극, 4517 : 전극층, 4519 : 이방성 도전막, 4520 : 격벽, 4540 : 도전층, 4544 : 절연층, 5300 : 기판, 5301 : 화소부, 5302 : 주사선 구동 회로, 5303 : 주사선 구동 회로, 5304 : 신호선 구동 회로, 5305 : 타이밍 제어 회로, 5601 : 시프트 레지스터, 5602 : 스위칭 회로, 5603 : 트랜지스터, 5604 : 배선, 5605 : 배선, 590a : 흑색 영역, 590b : 백색 영역, 6400 : 화소, 6401 : 스위칭 트랜지스터, 6402 : 구동 트랜지스터, 6403 : 용량 소자, 6404 : 발광 소자, 6405 : 신호선, 6406 : 주사선, 6407 : 전원선, 6408 : 공통 전극, 7001 : 트랜지스터, 7002 : 발광 소자, 7003 : 전극, 7004 : EL 층, 7005 : 전극, 7009 : 격벽, 7010 : 기판, 7011 : 트랜지스터, 7012 : 발광 소자, 7013 : 전극, 7014 : EL 층, 7015 : 전극, 7016 : 차광막, 7017 : 투광성 도전층, 7019 : 격벽, 7020 : 기판, 7021 : 트랜지스터, 7022 : 발광 소자, 7023 : 전극, 7024 : EL 층, 7025 : 전극, 7026 : 전극, 7027 : 투광성 도전층, 7029 : 격벽, 7030 : 게이트 절연층, 7031 : 산화물 절연층, 7032 : 절연층, 7033 : 컬러 필터층, 7034 : 오버코트층, 7035 : 보호 절연층, 7040 : 게이트 절연층, 7041 : 산화물 절연층, 7042 : 절연층, 7043 : 컬러 필터층, 7044 : 오버코트층, 7045 : 보호 절연층, 7051 : 산화물 절연층, 7052 : 보호 절연층, 7053 : 평탄화 절연층, 7055 : 절연층, 9400 : 통신 장치, 9401 : 하우징, 9402 : 조작 버튼, 9403 : 외부 입력 단자, 9404 : 마이크로폰, 9405 : 스피커, 9406 : 발광부, 9410 : 표시 장치, 9411 : 하우징, 9412 : 표시부, 9413 : 조작 버튼. 9600 : 텔레비젼 장치, 9601 : 하우징, 9603 : 표시부, 9605 : 스탠드, 9607 : 표시부, 9609 : 조작 키, 9610 : 원격 제어기, 9700 : 디지털 포토 프레임, 9701 : 하우징, 9703 : 표시부, 9881 : 하우징, 9882 : 표시부, 9883 : 표시부, 9884 : 스피커부, 9885 : 조작 키, 9886 : 기록 매체 삽입부, 9887 : 접속 단자, 9888 : 센서, 9889 : 마이크로폰, 9890 : LED 램프, 9891 : 하우징, 9893 : 연결부, 9900 : 슬롯 머신, 9901 : 하우징, 9903 : 표시부, 4503a : 신호선 구동 회로, 4503b : 신호선 구동 회로, 4504a : 주사선 구동 회로, 4504b : 주사선 구동 회로, 4518a : FPC, 4518b : FPC

도면

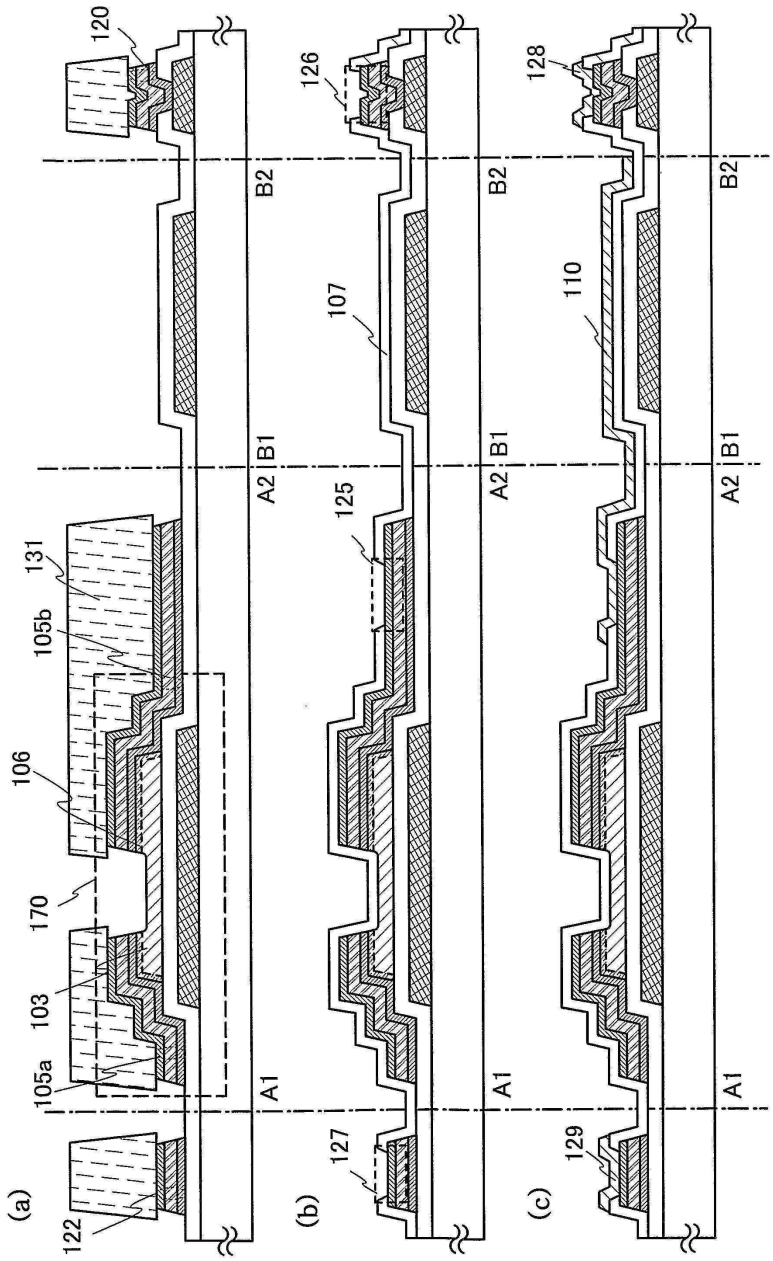
도면1


(a)
105a
107
106
105b
103
114a
114b
113a
113b
112a
112b
100
101
102
A1
A2
(b)
105a
107
106
105b
103
114a
114b
113a
113b
112a
112b
100
101
102
A1
A2

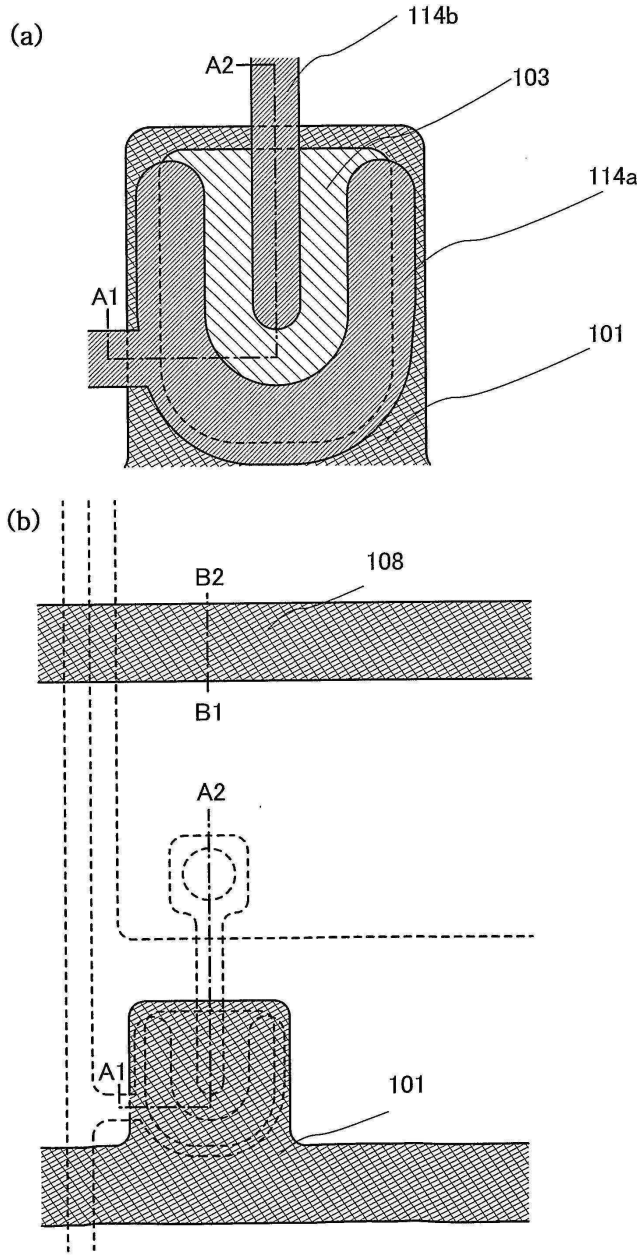
도면2



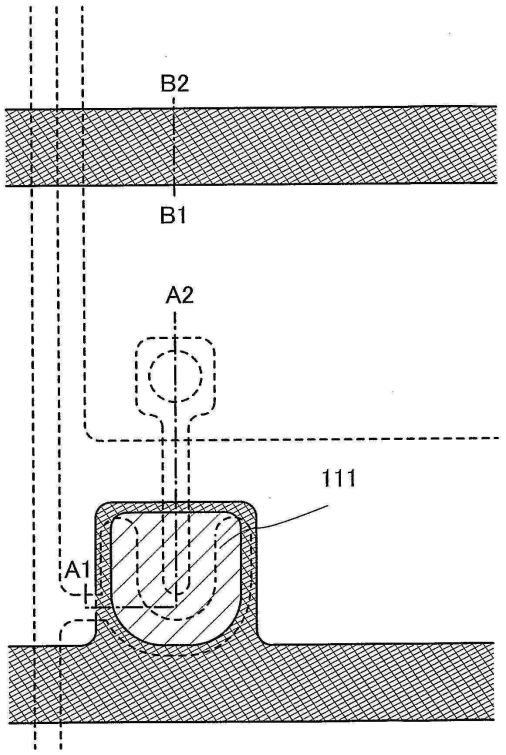
도면3


(a)
(b)
(c)
120
122
131
105b
106
170
103
105a
126
125
127
128
110
129
107
A1
A2
B1
B2

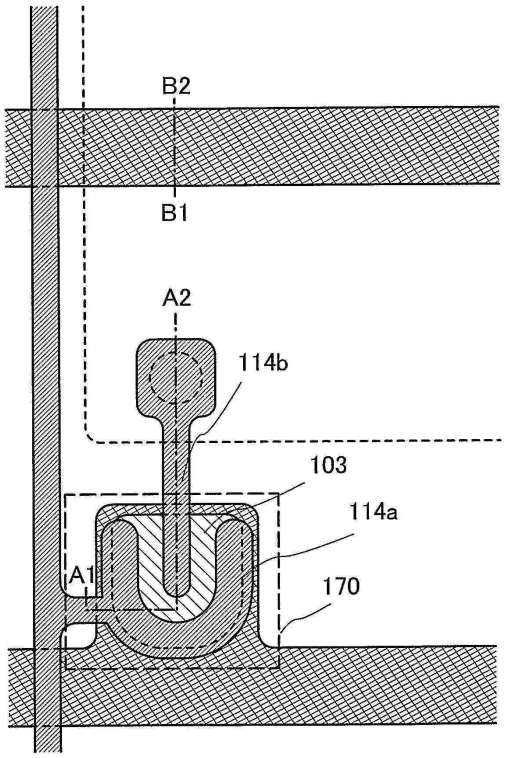
도면4



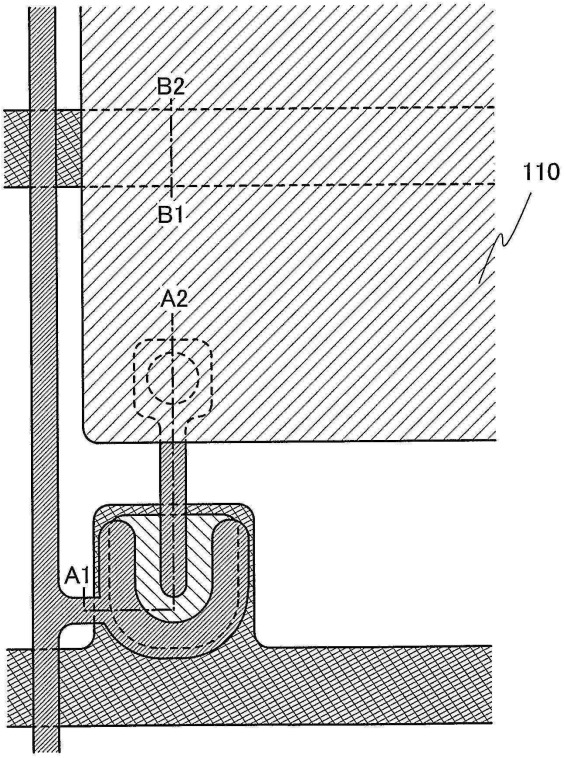
도면5



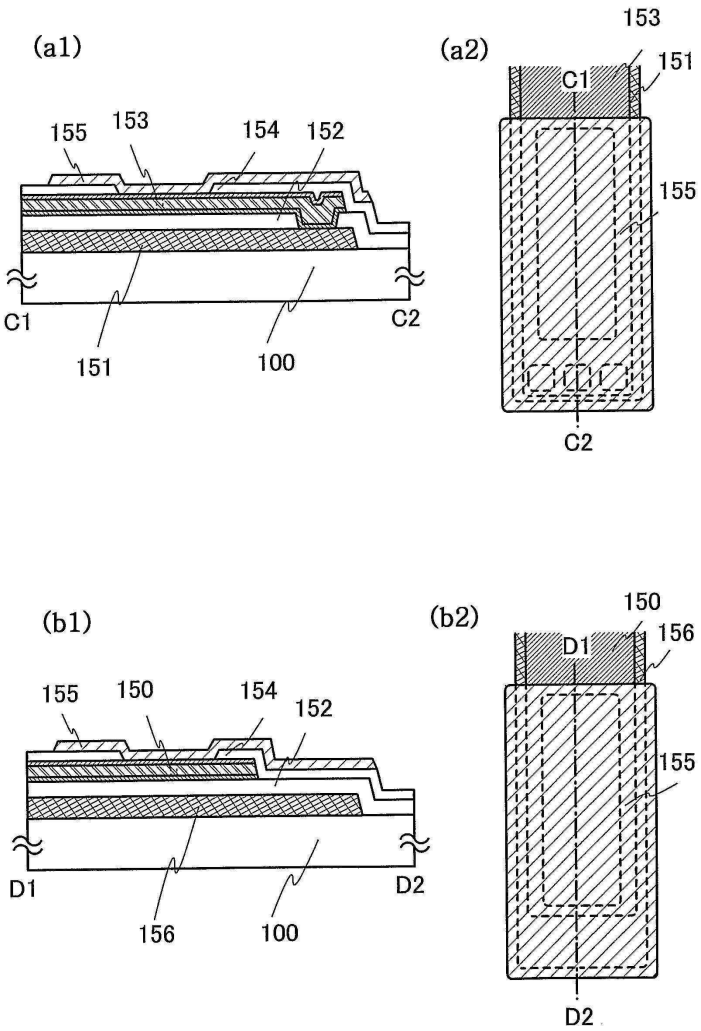
도면6



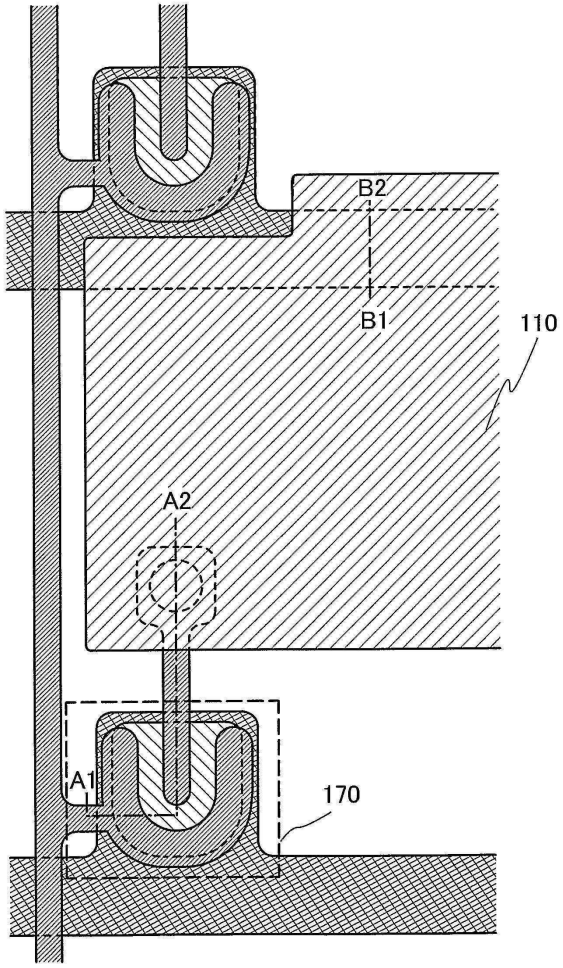
도면7



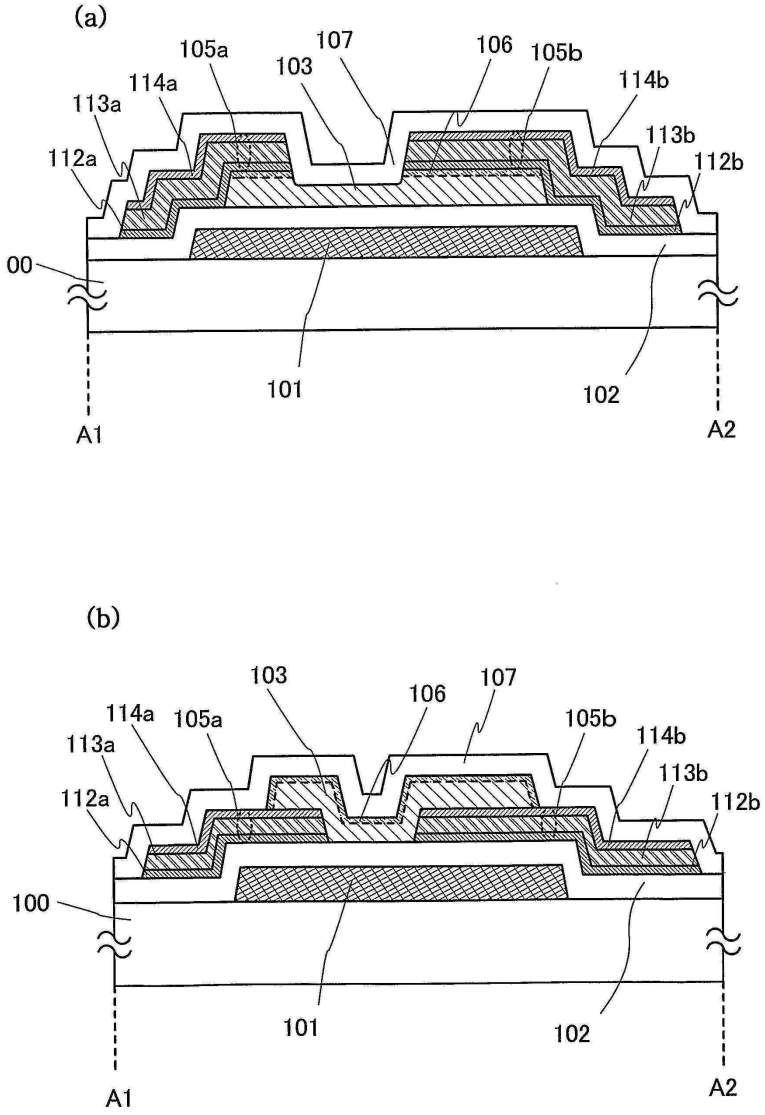
도면8


(a1)
155
153
154
152
C1
C2
151
100
(a2)
153
151
C1
155
C2
(b1)
155
150
154
152
D1
D2
156
100
(b2)
150
156
D1
155
D2

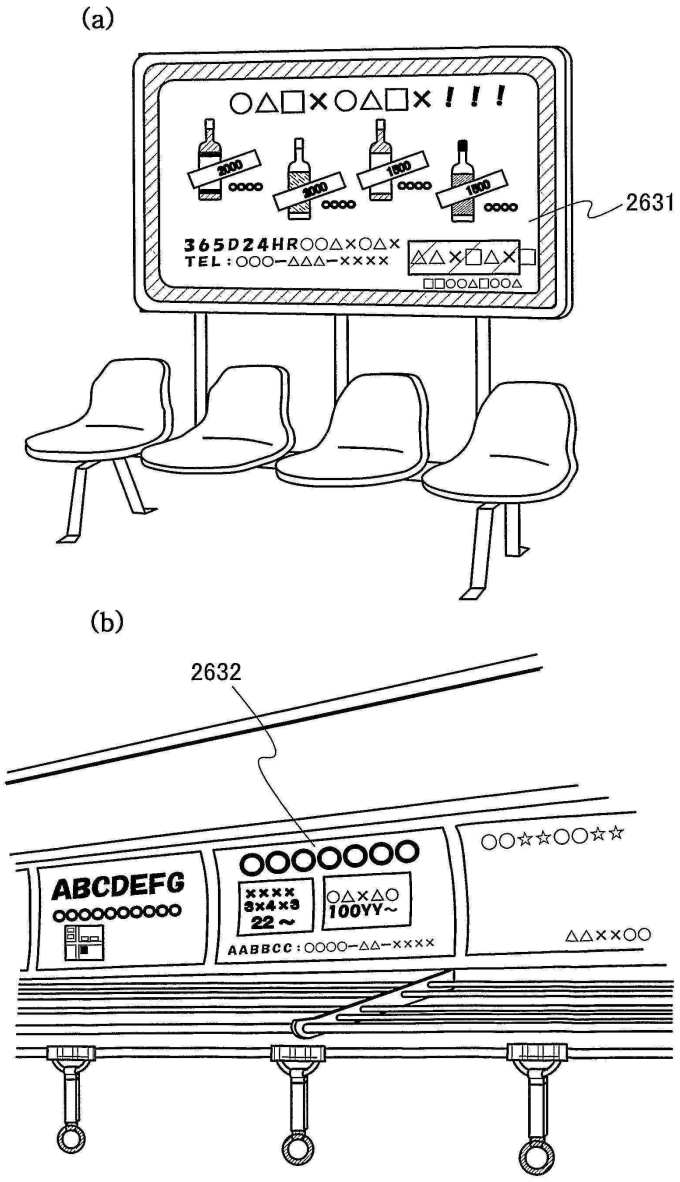
도면9



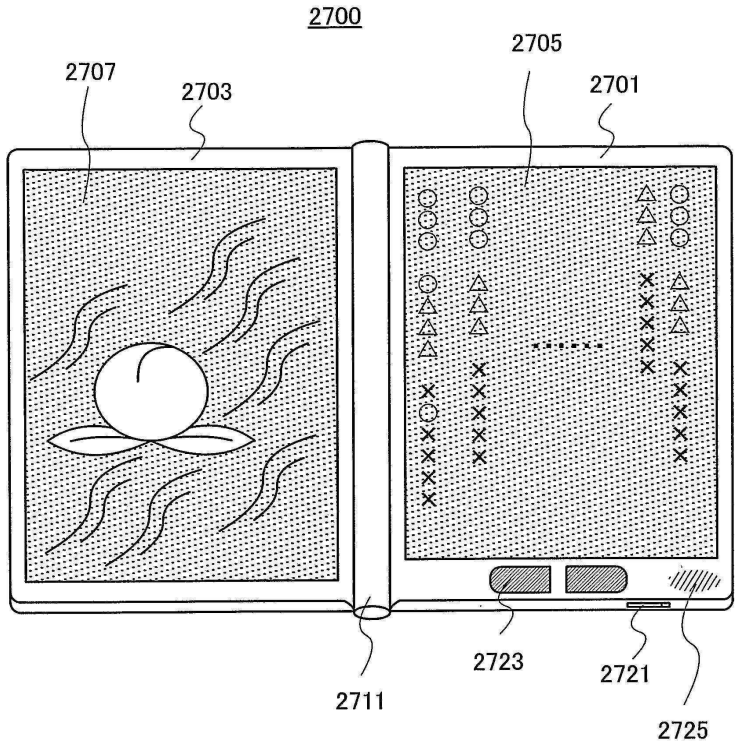
도면10


(a)
105a
107
106
105b
103
114a
114b
113a
113b
112a
112b
00
101
102
A1
A2
(b)
103
106
107
114a
105a
105b
114b
113a
113b
112a
112b
100
101
102
A1
A2

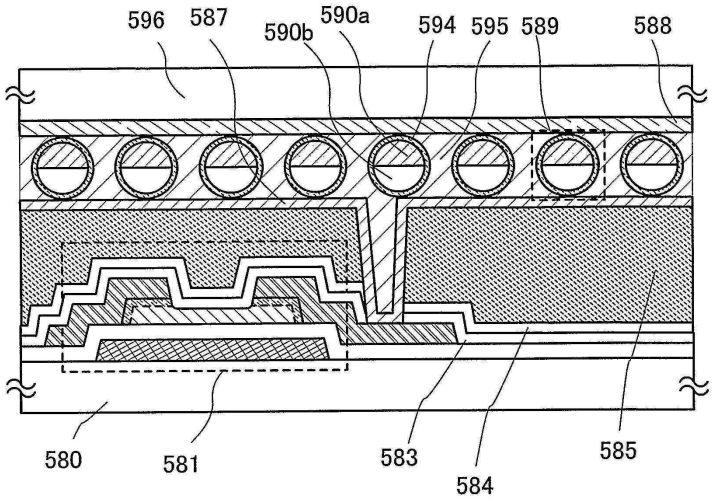
도면11



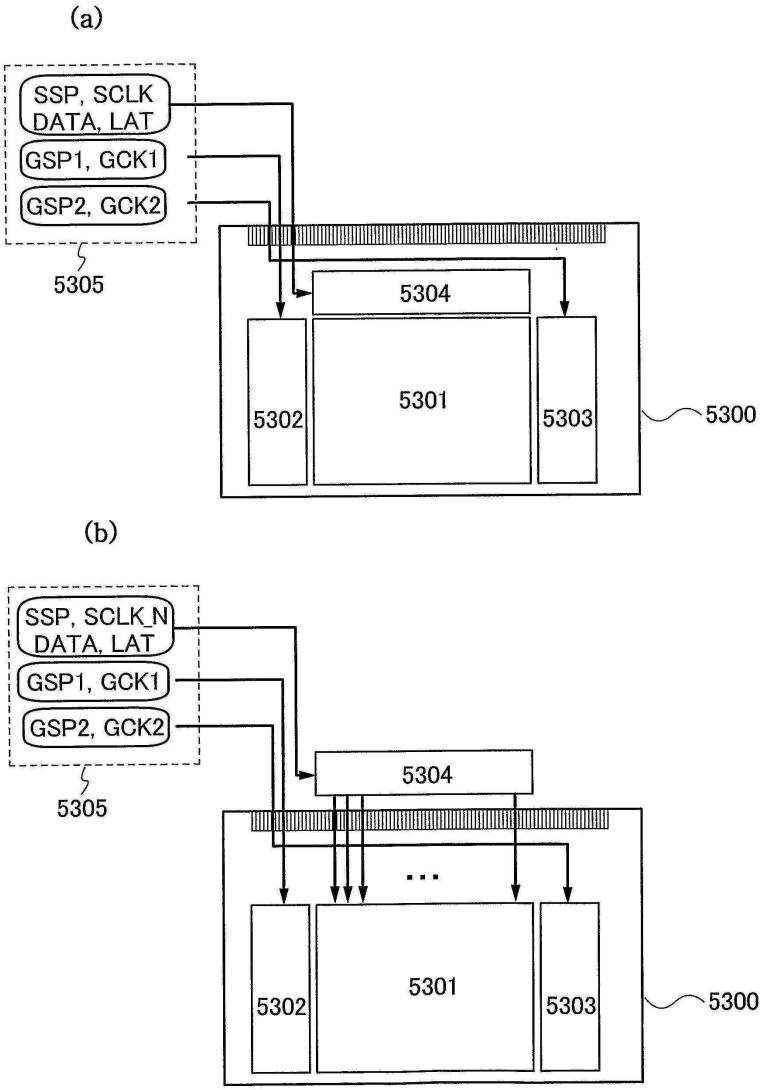
도면12


2700
2707
2703
2705
2701
2711
2723
2721
2725

도면13

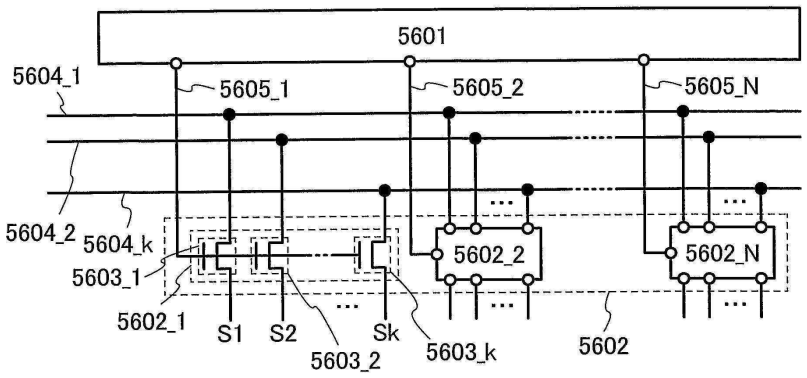

596
587
590b
590a
594
595
589
588
580
581
583
584
585

도면14

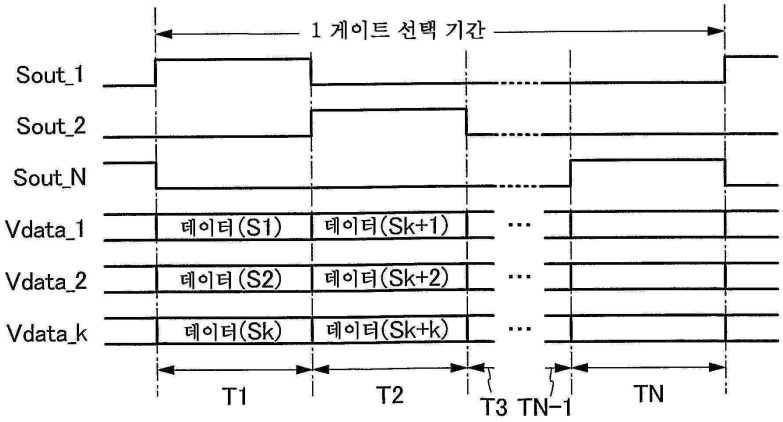

(a)
SSP, SCLK
DATA, LAT
GSP1, GCK1
GSP2, GCK2
5305
5304
5302
5301
5303
5300
(b)
SSP, SCLK_N
DATA, LAT
GSP1, GCK1
GSP2, GCK2
5305
5304
...
5302
5301
5303
5300

도면15

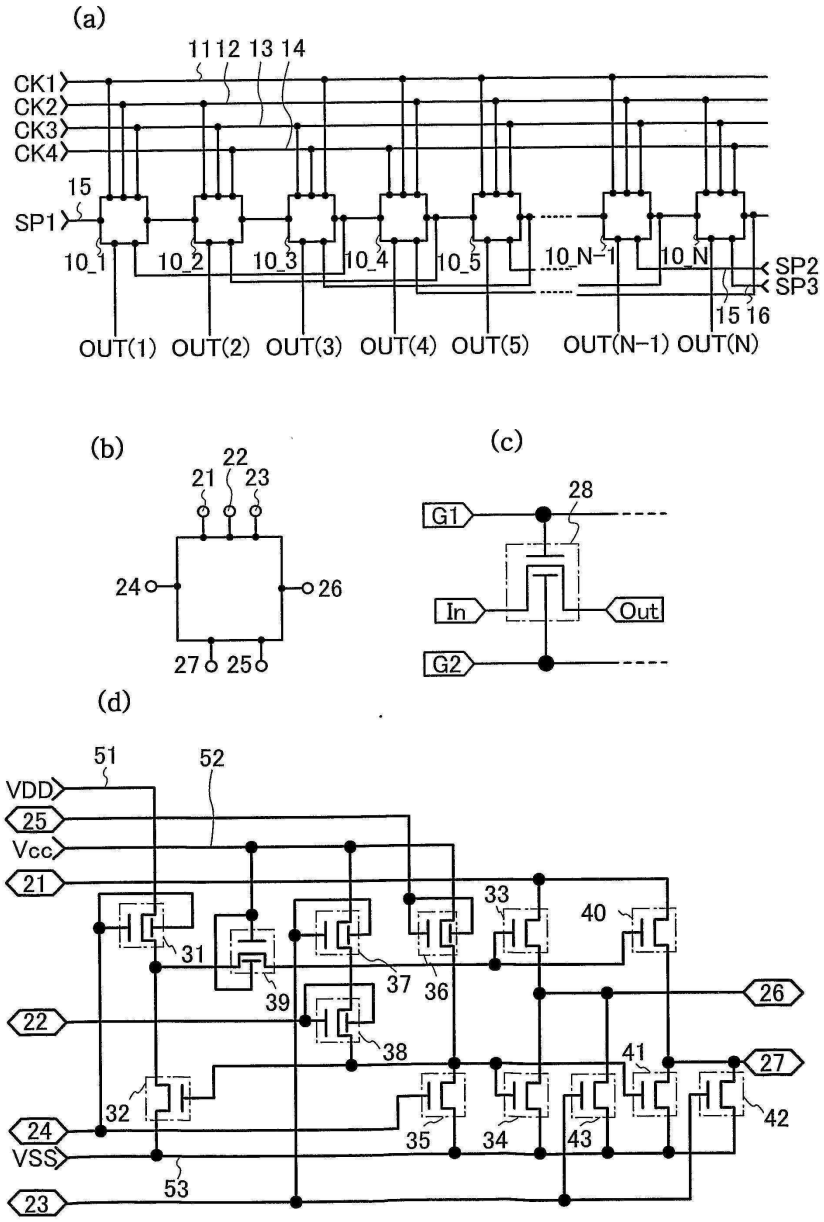
(a)


5601
5604_1
5605_1
5605_2
5605_N
5604_2
5604_k
5603_1
5602_1
S1
S2
Sk
5603_2
5603_k
5602_2
5602_N
5602

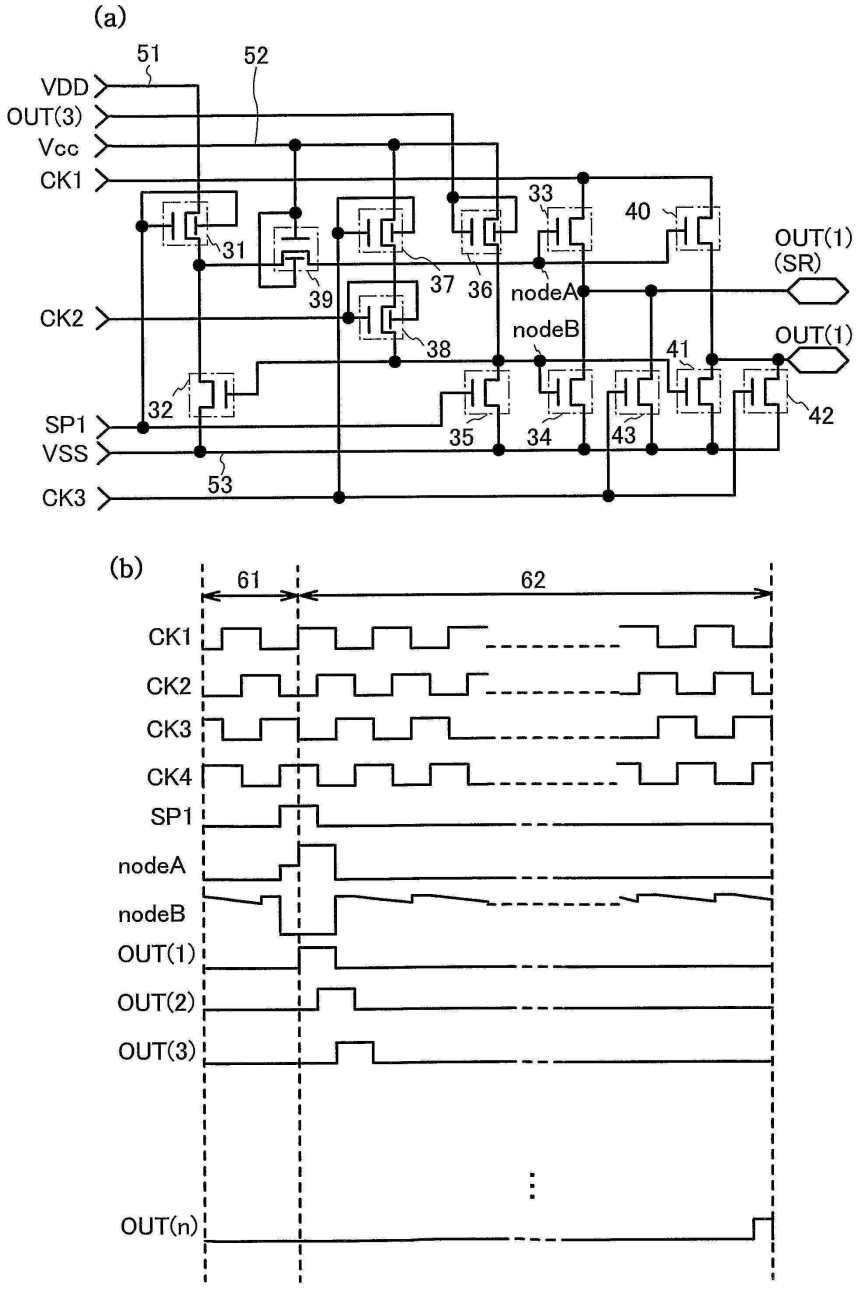
(b)


1 게이트 선택 기간
Sout_1
Sout_2
Sout_N
Vdata_1
Vdata_2
Vdata_k
데이터(S1)
데이터(Sk+1)
데이터(S2)
데이터(Sk+2)
데이터(Sk)
데이터(Sk+k)
T1
T2
T3
TN-1
TN

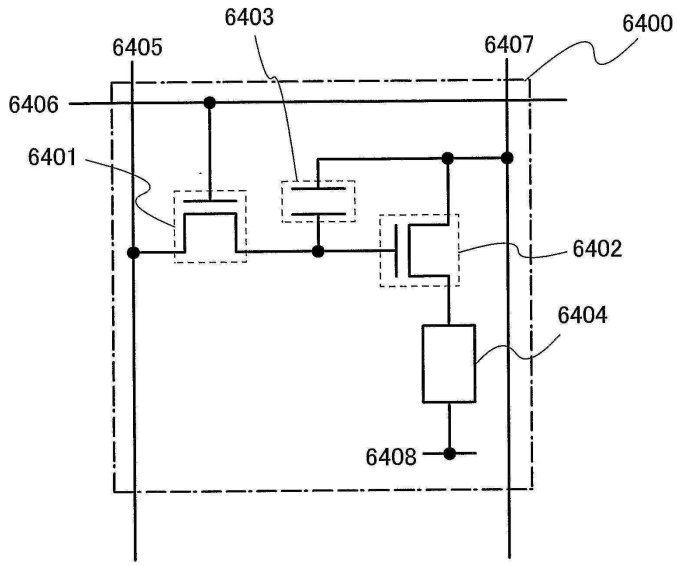
도면16


(a)
11 12 13 14
CK1
CK2
CK3
CK4
15
SP1
10_1
10_2
10_3
10_4
10_5
10_N-1
10_N
SP2
SP3
15 16
OUT(1) OUT(2) OUT(3) OUT(4) OUT(5) OUT(N-1) OUT(N)
(b)
22
21 23
24
26
27 25
(c)
28
G1
In
Out
G2
(d)
51
52
VDD
25
Vcc
21
22
24
VSS
23
31
39
37
36
33
40
38
41
27
32
35
34
43
42
53

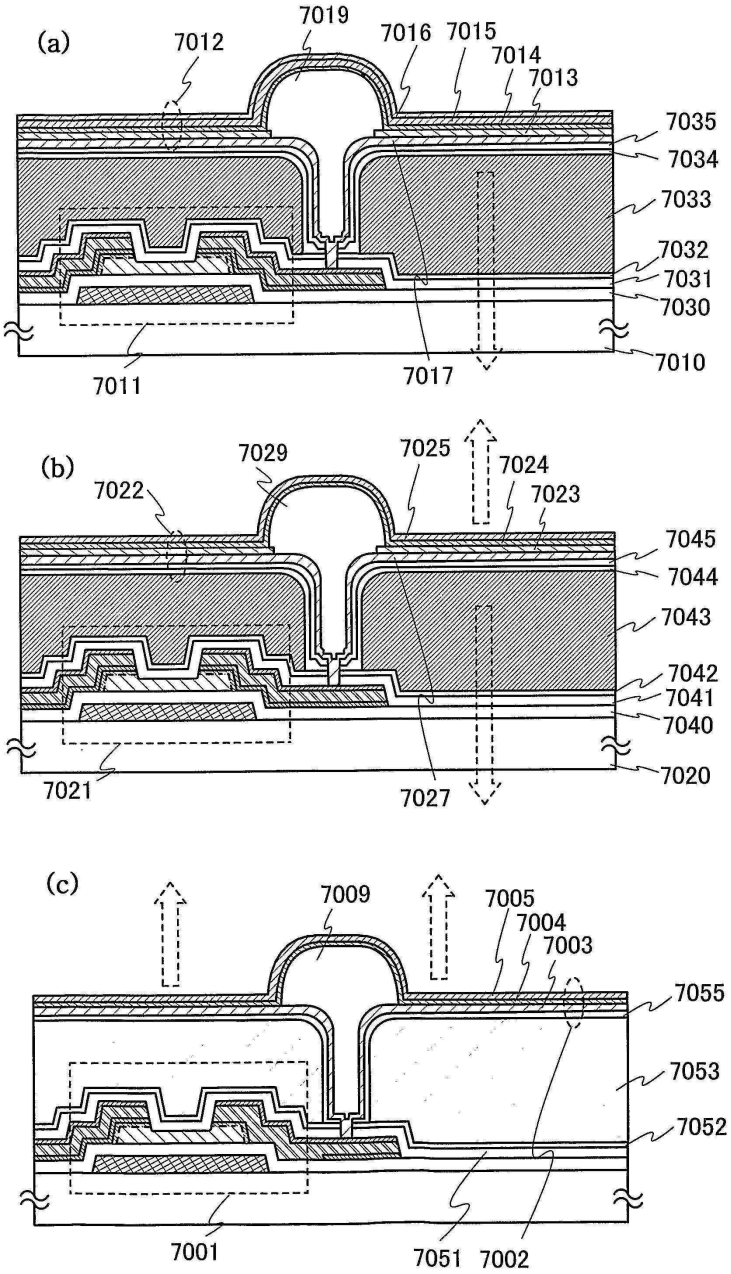
도면17


(a)
51
52
VDD
OUT(3)
Vcc
CK1
CK2
SP1
VSS
CK3
31
32
33
34
35
36
37
38
39
40
41
42
43
53
nodeA
nodeB
OUT(1)
(SR)
OUT(1)
(b)
61
62
CK1
CK2
CK3
CK4
SP1
nodeA
nodeB
OUT(1)
OUT(2)
OUT(3)
OUT(n)

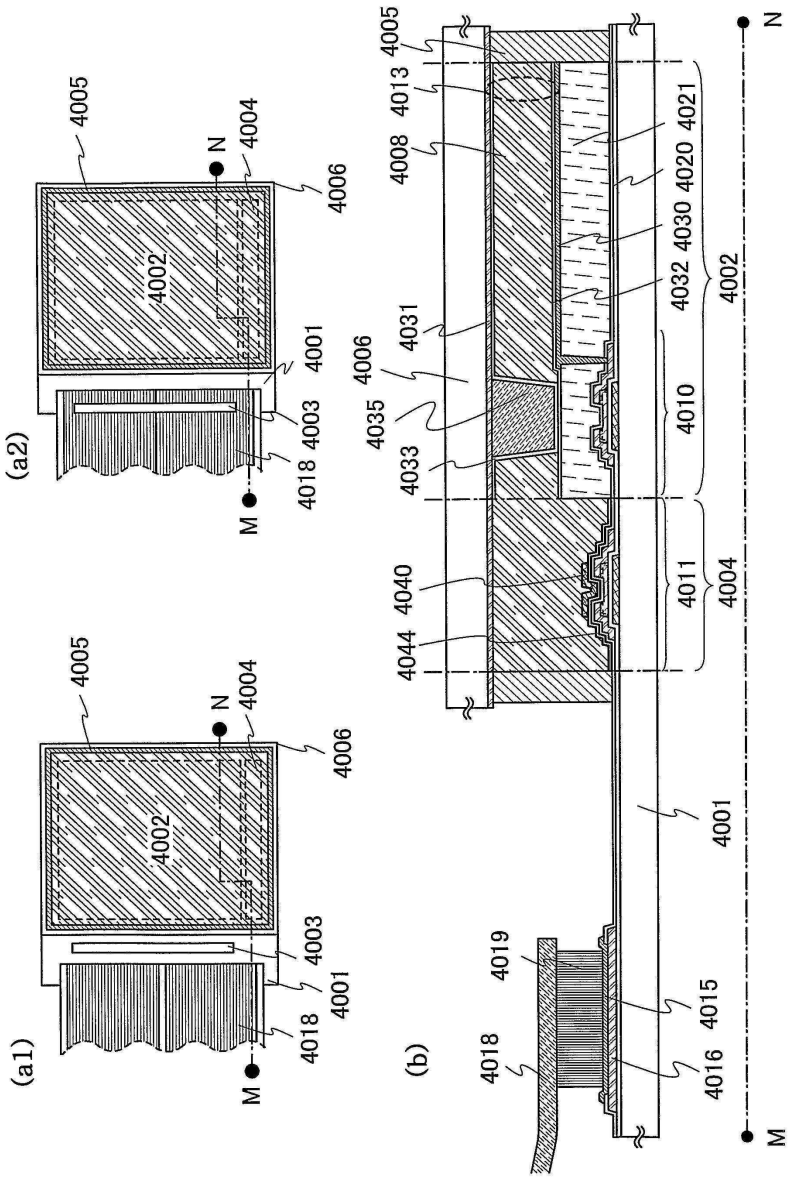
도면18



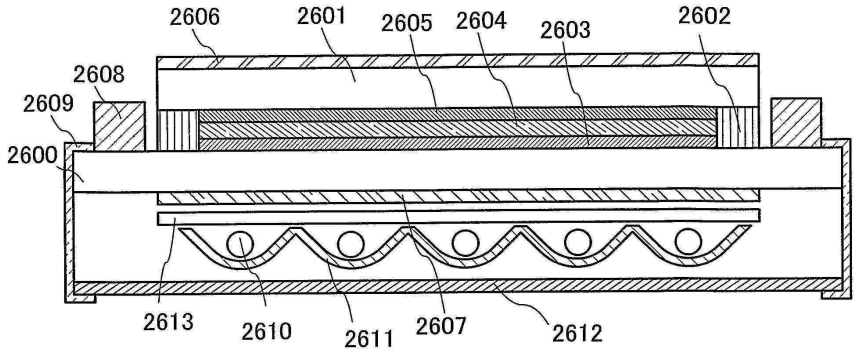
도면19


(a)
7012
7019
7016
7015
7014
7013
7035
7034
7033
7032
7031
7030
7010
7011
7017
(b)
7022
7029
7025
7024
7023
7045
7044
7043
7042
7041
7040
7020
7021
7027
(c)
7009
7005
7004
7003
7055
7053
7052
7001
7051
7002

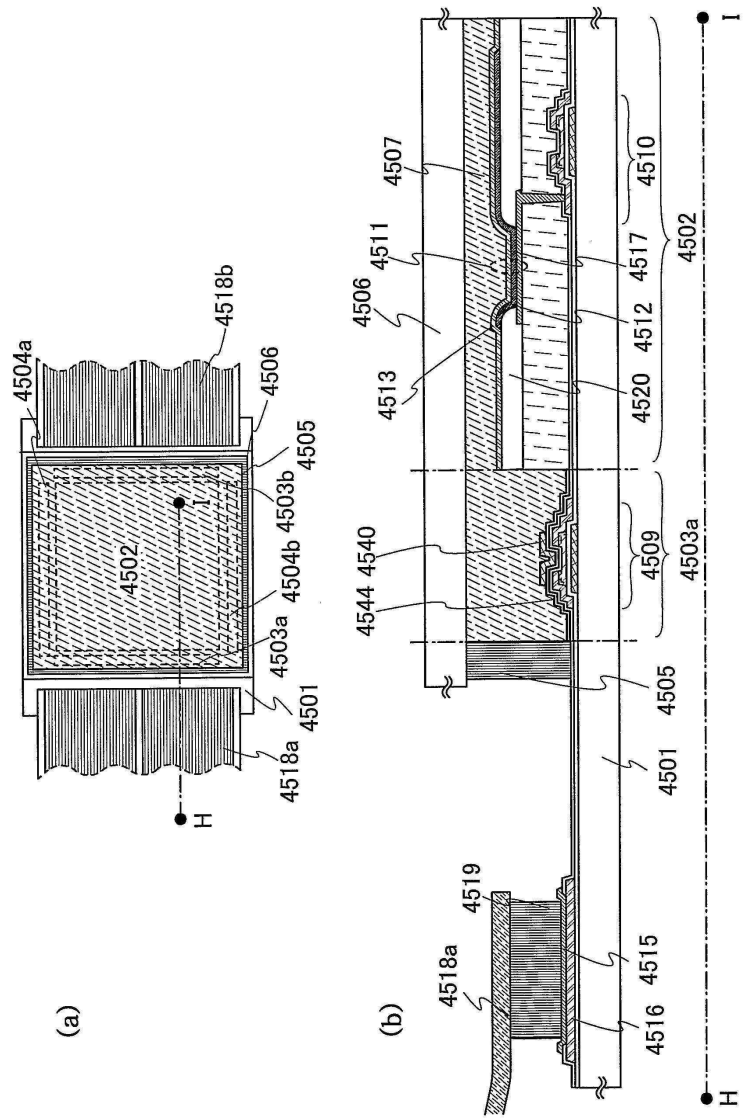
도면20


(a2)
(a1)
(b)
N
M
4005
4004
4006
4002
4001
4003
4018
4013
4008
4021
4020
4030
4032
4031
4035
4033
4010
4011
4040
4044
4019
4015
4016

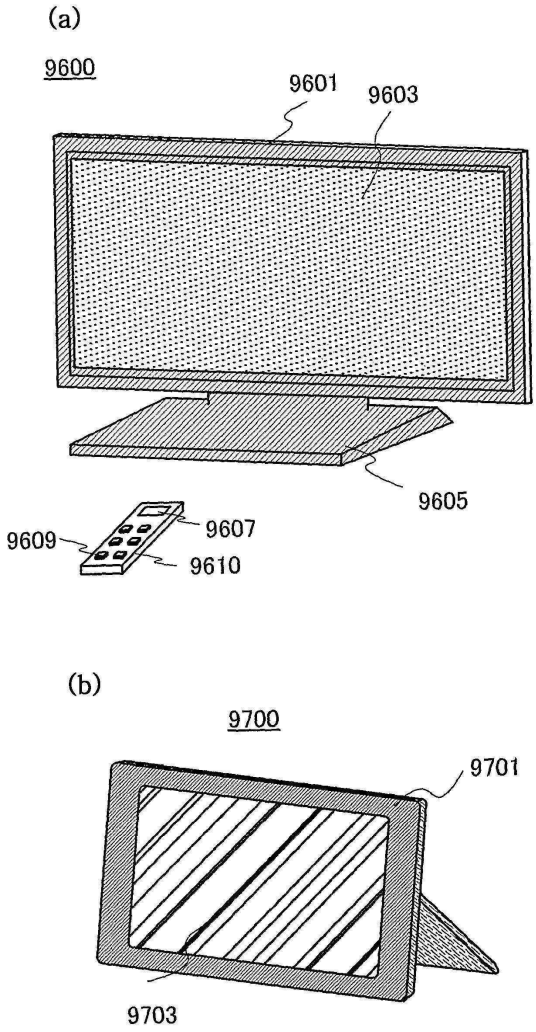
도면21


2606
2601
2605
2604
2603
2602
2608
2609
2600
2613
2610
2611
2607
2612

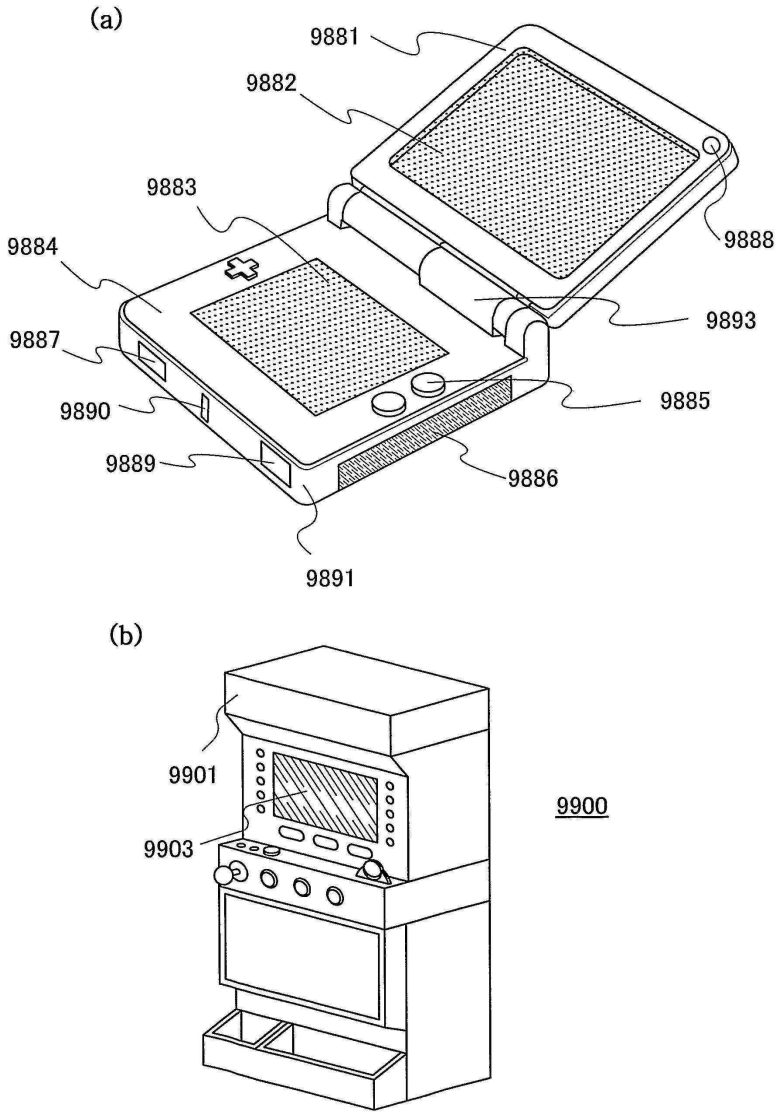
도면22


(a)
4504a
4518b
4506
4505
4503b
4504b
4502
4503a
4501
4518a
H
(b)
4507
4511
4506
4513
4540
4544
4519
4518a
4516
4515
4501
4505
4503a
4509
4520
4512
4517
4510
4502
I
H

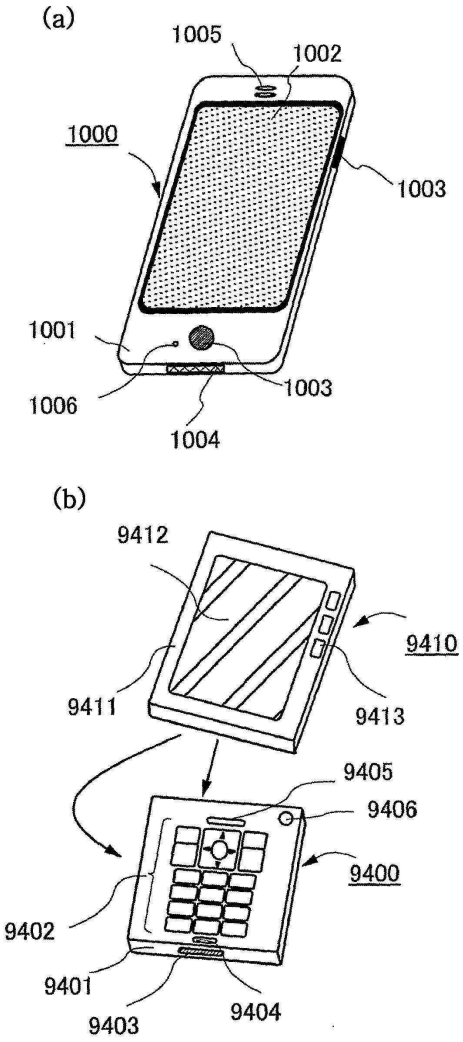
도면23



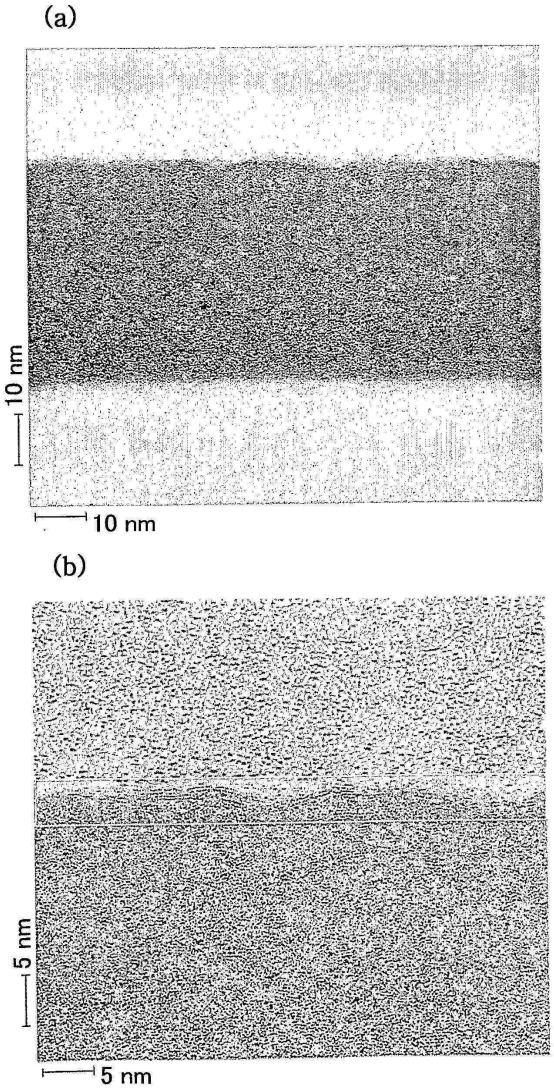
도면24


(a)
9881
9882
9883
9884
9887
9890
9889
9891
9888
9893
9885
9886
(b)
9901
9903
9900

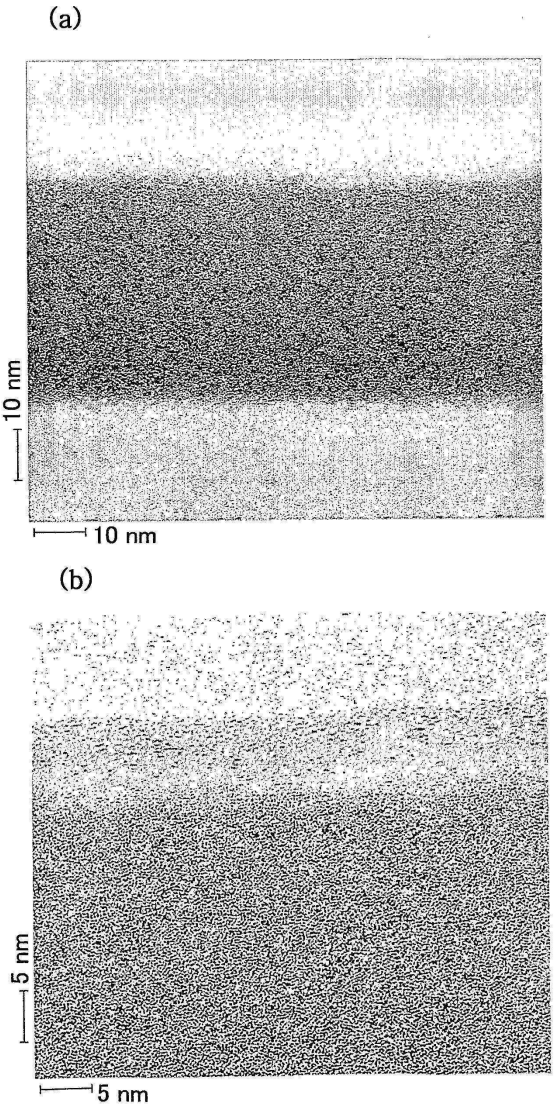
도면25


(a)
1005
1002
1000
1003
1001
1003
1006
1004
(b)
9412
9410
9411
9413
9405
9406
9400
9402
9401
9403
9404

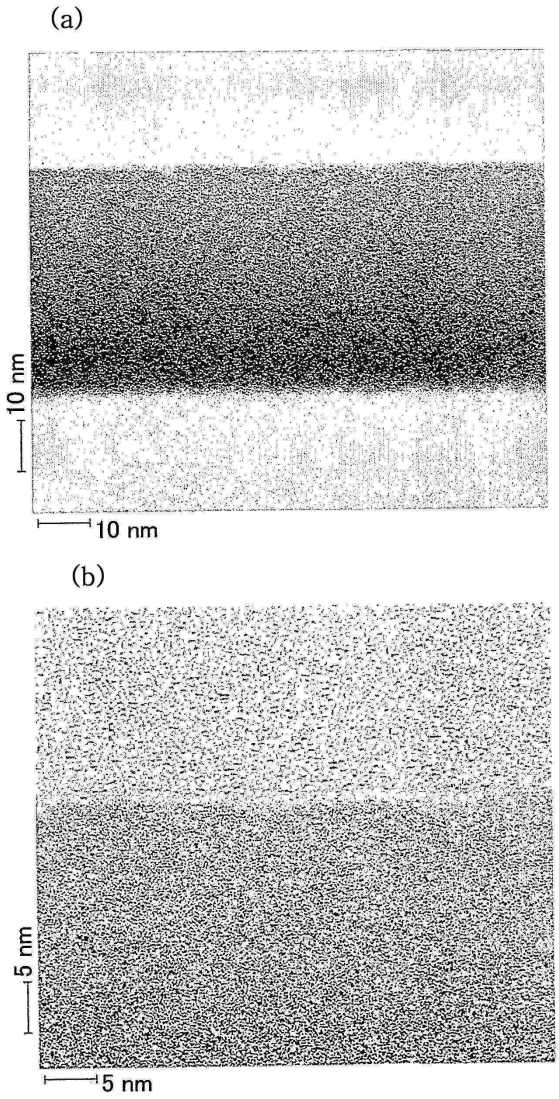
도면26



도면27

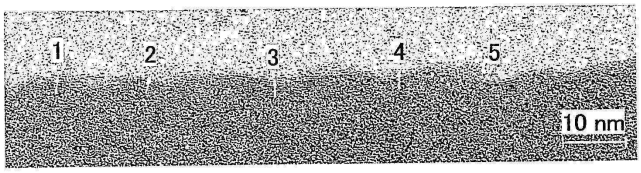


도면28

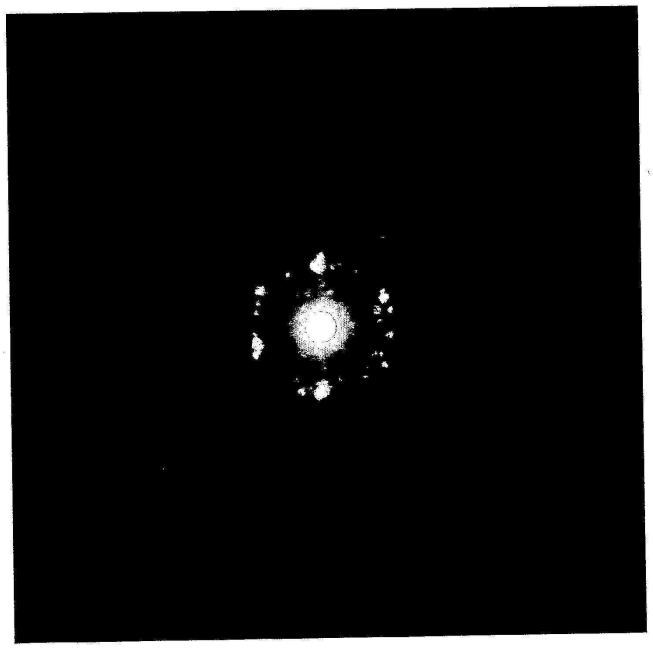


도면29

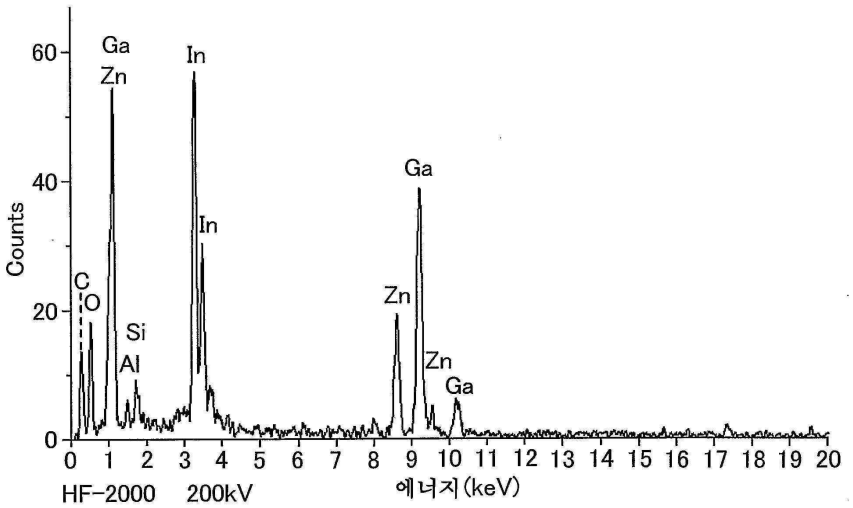
(a)



(b)

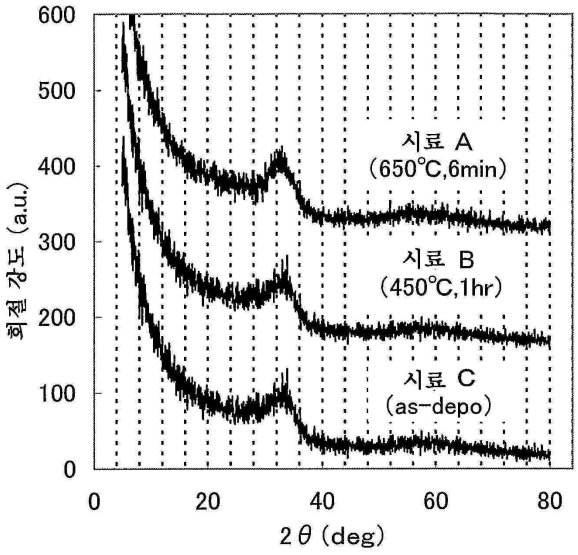


도면30

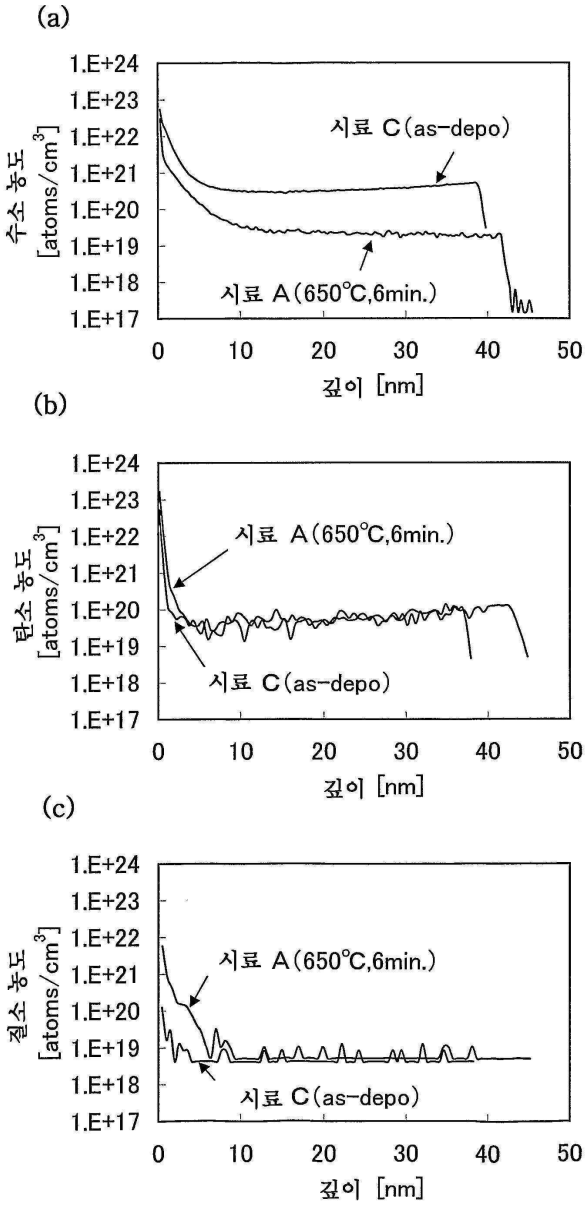


Element	Counts	K-Rel x, Si	K-Std x, Si	Wt %	Atom %
In-L	1085	1.718	----	47.88	21.51
Ga-K	731	1.425	----	26.76	19.80
Zn-K	283	1.303	----	9.47	7.47
O -K	154	4.018	4.239	15.89	51.23
Total				100.00	100.00

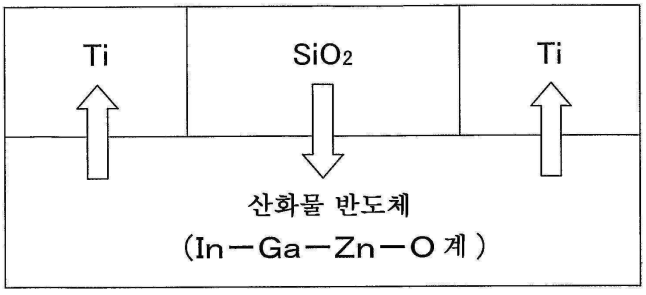
도면31



도면32

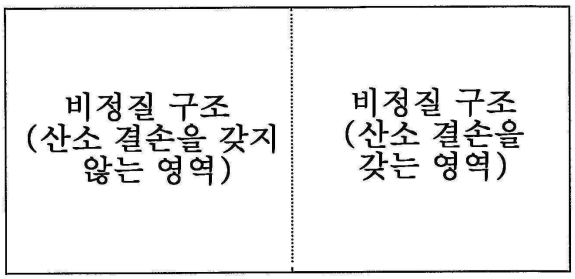

(a)
1.E+24
1.E+23
1.E+22
1.E+21
1.E+20
1.E+19
1.E+18
1.E+17
수소 농도 [atoms/cm3]
시료 C(as-depo)
시료 A(650℃,6min.)
0
10
20
30
40
50
깊이 [nm]
(b)
탄소 농도 [atoms/cm3]
시료 A(650℃,6min.)
시료 C(as-depo)
깊이 [nm]
(c)
질소 농도 [atoms/cm3]
시료 A(650℃,6min.)
시료 C(as-depo)
깊이 [nm]

도면33

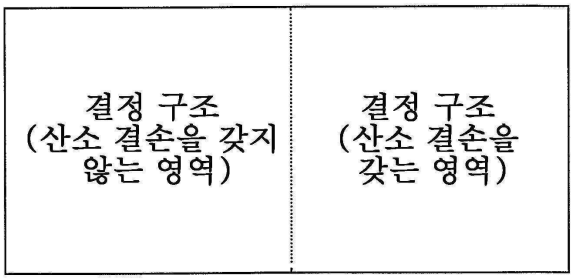

Ti
SiO2
Ti
산화물 반도체
(In－Ga－Zn－O 계)

도면34

(a)

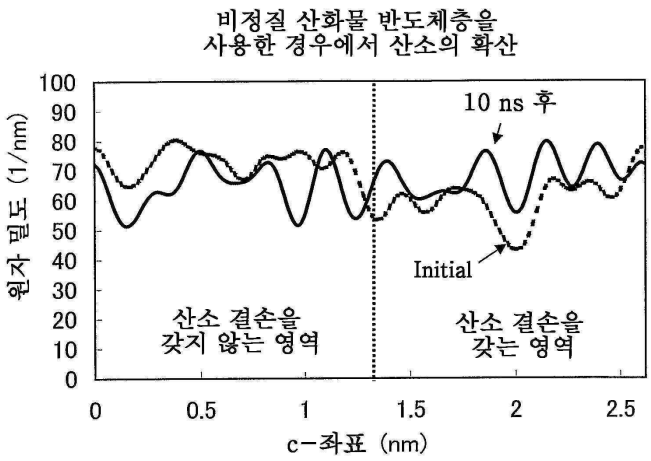

비정질 구조
(산소 결손을 갖지
않는 영역)
비정질 구조
(산소 결손을
갖는 영역)

(b)

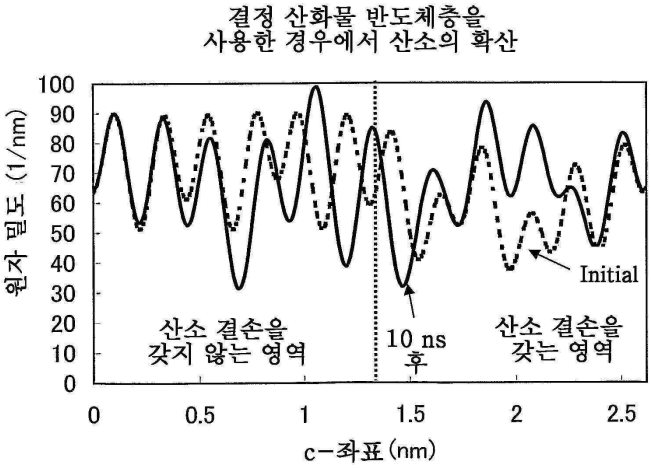

결정 구조
(산소 결손을 갖지
않는 영역)
결정 구조
(산소 결손을
갖는 영역)

도면35

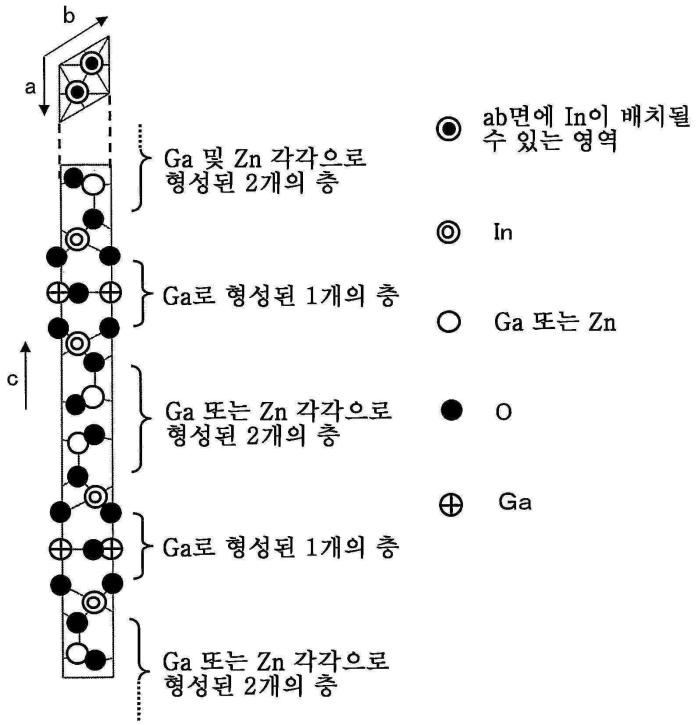
(a)


비정질 산화물 반도체층을
사용한 경우에서 산소의 확산
원자 밀도 (1/nm)
100
90
80
70
60
50
40
30
20
10
0
10 ns 후
Initial
산소 결손을
갖지 않는 영역
산소 결손을
갖는 영역
0
0.5
1
1.5
2
2.5
c-좌표 (nm)

(b)


결정 산화물 반도체층을
사용한 경우에서 산소의 확산
원자 밀도 (1/nm)
100
90
80
70
60
50
40
30
20
10
0
Initial
산소 결손을
갖지 않는 영역
10 ns
후
산소 결손을
갖는 영역
0
0.5
1
1.5
2
2.5
c-좌표 (nm)

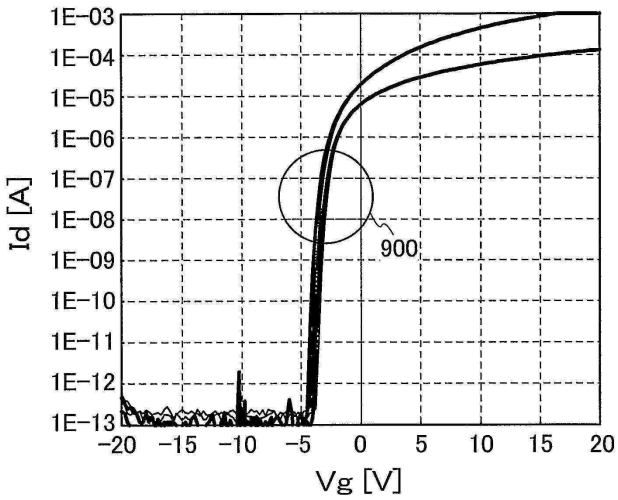
도면36



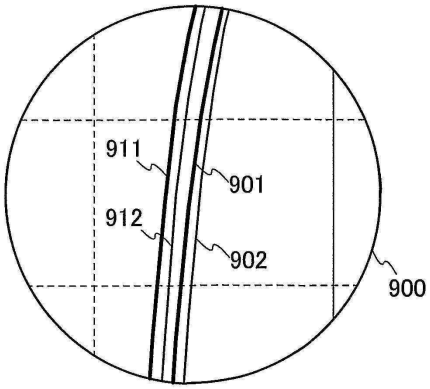
$In_2Ga_2ZnO_7$의 결정 구조

도면37

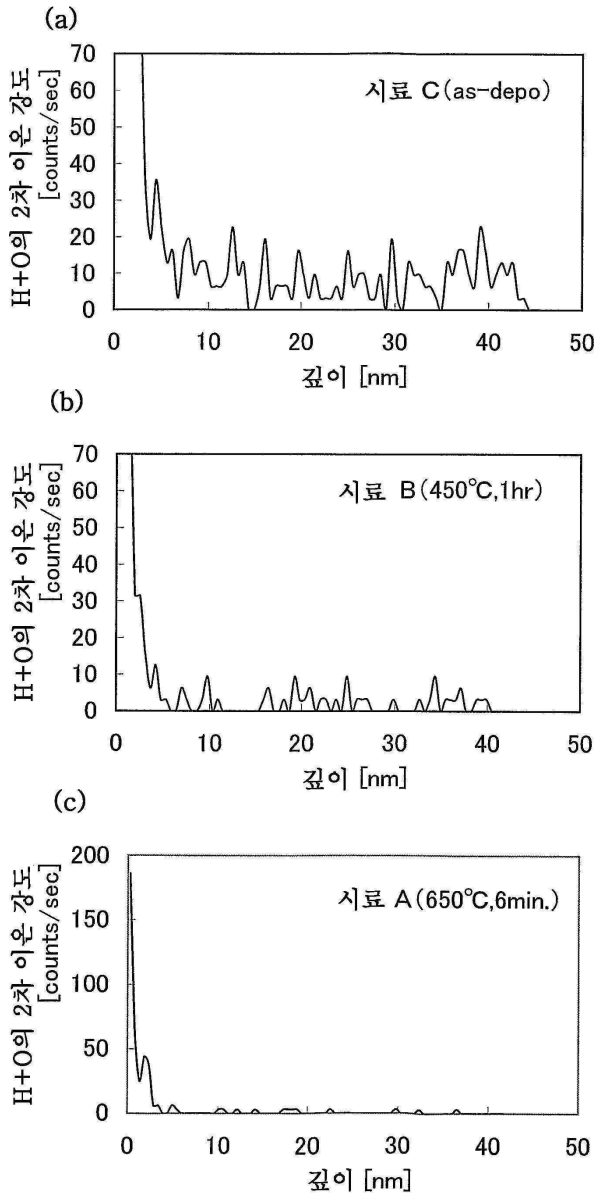
(a)


1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
-20
-15
-10
-5
0
5
10
15
20
Vg [V]
900

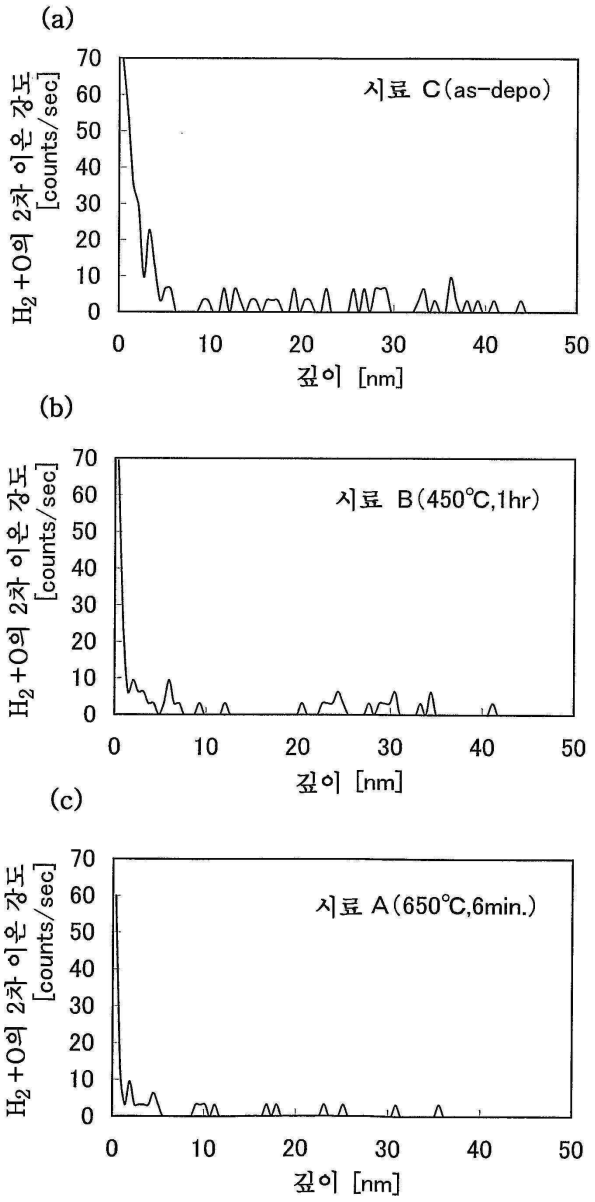
(b)


911
901
912
902
900

도면38


(a)
H+O의 2차 이온 강도 [counts/sec]
시료 C(as-depo)
깊이 [nm]
(b)
H+O의 2차 이온 강도 [counts/sec]
시료 B(450℃,1hr)
깊이 [nm]
(c)
H+O의 2차 이온 강도 [counts/sec]
시료 A(650℃,6min.)
깊이 [nm]

도면39


(a)
시료 C(as-depo)
H_2+O의 2차 이온 강도 [counts/sec]
깊이 [nm]
(b)
시료 B(450℃,1hr)
H_2+O의 2차 이온 강도 [counts/sec]
깊이 [nm]
(c)
시료 A(650℃,6min.)
H_2+O의 2차 이온 강도 [counts/sec]
깊이 [nm]