

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4641710号
(P4641710)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int.Cl.	F 1		
G09G 3/30	(2006.01)	G09G 3/30	J
G09F 9/30	(2006.01)	G09F 9/30	338
H01L 27/32	(2006.01)	G09F 9/30	365Z
G09G 3/20	(2006.01)	G09G 3/20	624B
H01L 29/786	(2006.01)	G09G 3/20	641D

請求項の数 11 (全 28 頁) 最終頁に続く

(21) 出願番号	特願2003-278484 (P2003-278484)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成15年7月23日(2003.7.23)	(72) 発明者	納 光明 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2005-31598 (P2005-31598A)	(72) 発明者	安西 彩 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成17年2月3日(2005.2.3)	(72) 発明者	山崎 優 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査請求日	平成18年7月18日(2006.7.18)	(72) 発明者	福本 良太 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2003-174147 (P2003-174147)		
(32) 優先日	平成15年6月18日(2003.6.18)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】表示装置

(57) 【特許請求の範囲】

【請求項 1】

アノード線と、カソード線と、信号線と、走査線と、画素と、アナログスイッチと、逆電圧印加用トランジスタと、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第1の電極が前記信号線に接続される第1のトランジスタと、

ゲート電極が前記第1のトランジスタの第2の電極に接続され、第1の電極が前記アノード線に接続される第2のトランジスタと、

第1の電極が前記第2のトランジスタの第2の電極に接続される第3のトランジスタと

、
第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が前記カソード線に接続される発光素子と、を有し、

前記アナログスイッチは、

ゲート電極が前記アノード線に接続される第4のトランジスタと、

ゲート電極が前記カソード線に接続される第5のトランジスタと、を有し、

前記第4のトランジスタの第1の電極と前記第5のトランジスタの第1の電極とは接続されて前記アナログスイッチの入力となり、

前記第4のトランジスタの第2の電極と前記第5のトランジスタの第2の電極とは接続されて前記アナログスイッチの出力となり、

10

20

前記逆電圧印加用トランジスタのゲート電極は前記カソード線に接続され、第1の電極は前記アノード線に接続され、第2の電極は前記アナログスイッチの出力と前記走査線に接続され、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記アナログスイッチがオフとされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項2】

アノード線と、カソード線と、信号線と、走査線と、画素と、クロックドインバータと、逆電圧印加用トランジスタと、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第1の電極が前記信号線に接続される第1のトランジスタと、

ゲート電極が前記第1のトランジスタの第2の電極に接続され、第1の電極が前記アノード線に接続される第2のトランジスタと、

第1の電極が前記第2のトランジスタの第2の電極に接続される第3のトランジスタと、

第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が前記カソード線に接続される発光素子と、を有し、

前記クロックドインバータは、

第1の電極が高電位電源線に接続される第4のトランジスタと、

ゲート電極が前記アノード線に接続され、第1の電極が低電位電源線に接続される第5のトランジスタと、

第1の電極が前記第5のトランジスタの第2の電極に接続される第6のトランジスタと、を有し、

前記第4のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは接続されて前記クロックドインバータの入力となり、

前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極とは接続されて前記クロックドインバータの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線に接続され、

第1の電極は前記アノード線に接続され、第2の電極は前記クロックドインバータの出力と前記走査線に接続され、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記クロックドインバータがハイインピーダンス状態とされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項3】

アノード線と、カソード線と、信号線と、走査線と、画素と、アナログスイッチと、逆電圧印加用トランジスタと、制御用回路と、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第1の電極が前記信号線に接続される第1のトランジスタと、

ゲート電極が前記第1のトランジスタの第2の電極に接続され、第1の電極が前記アノード線に接続される第2のトランジスタと、

ゲート電極が電源線に接続され、第1の電極が前記第2のトランジスタの第2の電極に接続される第3のトランジスタと、

第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が前記カソード線に接続される発光素子と、を有し、

前記アナログスイッチは、

ゲート電極が前記アノード線に接続される第4のトランジスタと、

ゲート電極が前記カソード線に接続される第5のトランジスタと、を有し、

前記第4のトランジスタの第1の電極と前記第5のトランジスタの第1の電極とは接続され、

10

20

30

40

50

されて前記アナログスイッチの入力となり、

前記第4のトランジスタの第2の電極と前記第5のトランジスタの第2の電極とは接続されて前記アナログスイッチの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線に接続され、第1の電極は前記アノード線に接続され、第2の電極は前記アナログスイッチの出力と前記走査線に接続され、

前記制御用回路は、

ゲート電極が前記アノード線に接続され、第1の電極が前記電源線に接続される第6のトランジスタと、

第1の電極が前記アノード線に接続され、第2の電極が前記電源線に接続される第7のトランジスタと、を有し、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記アナログスイッチがオフとされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項4】

アノード線と、カソード線と、信号線と、走査線と、画素と、クロックドインバータと、逆電圧印加用トランジスタと、制御用回路と、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第1の電極が前記信号線に接続される第1のトランジスタと、

ゲート電極が前記第1のトランジスタの第2の電極に接続され、第1の電極が前記アノード線に接続される第2のトランジスタと、

ゲート電極が電源線に接続され、第1の電極が前記第2のトランジスタの第2の電極に接続される第3のトランジスタと、

第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が前記カソード線に接続される発光素子と、を有し、

前記クロックドインバータは、

第1の電極が高電位電源線に接続される第4のトランジスタと、

ゲート電極が前記アノード線に接続され、第1の電極が低電位電源線に接続される第5のトランジスタと、

第1の電極が前記第5のトランジスタの第2の電極に接続される第6のトランジスタと、を有し、

前記第4のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは接続されて前記クロックドインバータの入力となり、

前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極とは接続されて前記クロックドインバータの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線に接続され、第1の電極は前記アノード線に接続され、第2の電極は前記クロックドインバータの出力と前記走査線に接続され、

前記制御用回路は、

ゲート電極が前記アノード線に接続され、第1の電極が前記電源線に接続される第7のトランジスタと、

第1の電極が前記アノード線に接続され、第2の電極が前記電源線に接続される第8のトランジスタと、を有し、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記クロックドインバータがハイインピーダンス状態とされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項5】

請求項1又は3において、

前記第4のトランジスタと前記第5のトランジスタの極性は異なることを特徴とする表

10

20

30

40

50

示装置。

【請求項 6】

請求項 1 又は 2 において、

前記第 3 のトランジスタのゲート電極は一定の電位に保たれていることを特徴とする表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、

前記第 1 のトランジスタは線形領域で動作させることを特徴とする表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、

前記第 2 のトランジスタは線形領域で動作させることを特徴とする表示装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、

前記第 3 のトランジスタは線形領域又は飽和領域で動作させることを特徴とする表示装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一において、

前記画素は、

前記第 2 のトランジスタのゲート電極に接続される容量素子と、

前記容量素子と並列に接続される消去用トランジスタと、を有することを特徴とする表示装置。

【請求項 11】

請求項 10 において、前記消去用トランジスタは線形領域で動作させることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子を備えた表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、発光素子（自発光素子）を用いた表示装置の研究開発が進められている。このような表示装置は、高画質、薄型、軽量などの利点を生かして、携帯電話の表示画面やパソコンのモニターとして幅広く利用されている。特に、このような表示装置は動画表示に適した速い応答速度、低電圧、低消費電力駆動などの特徴を有しているため、新世代の携帯電話や携帯情報端末（PDA）をはじめ、幅広い用途が見込まれている。

【0003】

発光素子は、経時変化によりその輝度が劣化してしまう。例えば、ある電圧 V_0 を印加すると電流 I_0 で所定の発光輝度が得られていたにもかかわらず、発光素子の経時変化により、電圧 V_0 を印加しても電流 I_0 ' しか発光素子へ流れないため、所定の輝度が得られなくなってしまった。また例えば、ある電流を流した場合であっても、発光素子の経時劣化により同一輝度が得られなくなってしまう。

【0004】

これは電圧や電流を流すことによって発光素子が発熱し、発光素子の膜質の界面や電極の界面での性質に変化が生じるためであると考えられる。さらに発光素子の劣化状態は、各発光素子で異なるためやきつきが生じてしまう。

【0005】

発光素子の劣化を抑制し、信頼性を向上させるため、発光素子の発光時に印加される電圧とは逆方向の電圧を印加する方法がある（特許文献 1 参照）。

【0006】

【特許文献 1】特開 2001 - 117534 号公報

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0007】

発光素子を有する画素回路は、多様な構成を取り得る。そこで本発明は、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため、発光素子へ逆方向の電圧（以下、逆電圧と表記する）を印加する回路構成、及びその方法を提供することを課題とする。

【課題を解決するための手段】

【0008】

上記課題を鑑み本発明は、信号線に接続されるスイッチング用のトランジスタ（スイッチング用トランジスタと表記する）、発光素子に接続される駆動用のトランジスタ（駆動用トランジスタと表記する）、駆動用トランジスタに直列に接続される電流制御用のトランジスタ（電流制御用トランジスタと表記する）を少なくとも有する新たな画素回路において、発光素子へ逆電圧を印加する。

【0009】

好ましくは、駆動用トランジスタのゲート電位を固定電位とすることにより、寄生容量や配線容量によるゲート・ソース間の電圧 V_{g-s} が変化しないように動作させることができ。その結果、駆動用トランジスタのゲート・ソース間電圧 V_{g-s} のばらつきに起因する、表示ムラを抑えることができる。

【0010】

また本発明は、信号線に接続される電流制御用トランジスタをオフとする、例えば、電流制御用トランジスタに接続された容量素子の電荷を放電する消去用のトランジスタ（消去用トランジスタと表記する）を加えた画素回路において、発光素子へ逆電圧を印加する。

【0011】

駆動用トランジスタは、飽和領域及び線形領域で動作させることができ、スイッチング用トランジスタ、電流制御用トランジスタ、及び消去用トランジスタは、線形領域で動作させる。線形領域で動作させる場合、駆動用電圧を低くできるため、表示装置の低消費電力化を達成することができる。

【0012】

逆電圧（逆バイアスともいう）を印加する方法は、発光素子が有する陽極と、陰極に印加する電圧の大小関係が逆となるように電圧を印加する。つまり、陽極に導通しているアノード線と、陰極に導通しているカソード線との電位が反転する電圧を印加する。なお、アノード線、及びカソード線には、電源線が接続され、電源線により反転する電位が印加されてもよい。

【0013】

逆電圧を印加するための回路（以下、逆電圧印加用回路と表記する）は、アナログスイッチ、又はクロックドインバータ等の半導体回路と、逆電圧印加時にオンとなるトランジスタ（逆電圧印加用トランジスタとも表記する）とを有する。

【0014】

アナログスイッチは、少なくとも極性の異なる第1のトランジスタ、及び第2のトランジスタを有する。クロックドインバータは、少なくとも極性の異なる第1のトランジスタ、及び第2のトランジスタと、第3のトランジスタを有する。さらに第3のトランジスタと極性の異なる第4のトランジスタを有してもよい。

【0015】

トランジスタは、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

【発明の効果】

10

20

30

40

50

【0016】

本発明により、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。さらに、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。その結果、表示装置を有する電子機器の長寿命化が達成できる。

【0017】

以上により新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。

【発明を実施するための最良の形態】

10

【0018】

以下に、本発明の実施の形態を図面に基づいて説明する。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0019】

また以下の実施の形態において、トランジスタはゲート、ソース、ドレインの3端子を有するが、ソース電極、ドレイン電極に関しては、トランジスタの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース電極、ドレイン電極のうち一方を第1の電極、他方を第2の電極と表記する。

(実施の形態1)

20

【0020】

本実施の形態では、少なくともスイッチング用トランジスタ、消去用トランジスタ、駆動用トランジスタ及び電流制御用トランジスタを有する画素回路に対し、アナログスイッチを有する逆電圧印加用回路を用いる具体例について説明する。

【0021】

図1(A)には、順電圧(発光素子が発光する方向の電圧)を印加し、発光素子が発光している状態を示す。図1(A)に示す逆電圧印加用回路116は、nチャネル型トランジスタ20、pチャネル型トランジスタ21を有するアナログスイッチ28を有する。nチャネル型トランジスタ20のゲート電極は、アノード線18に接続され、本実施の形態ではアノード線18は、5Vに保持されている。pチャネル型トランジスタ21のゲート電極は、一定の電位に保持された電源線、又はカソード線に接続され、本実施の形態では-2Vに固定された第1の電源線19に接続されている。アナログスイッチ28の出力配線(出力端子)は、逆電圧印加用トランジスタ17の第1の電極と、走査線58、又は消去用トランジスタのゲート電極に接続されるリセット線59と、に接続される。本実施の形態ではアナログスイッチ28の出力配線は、逆電圧印加用トランジスタ17の第1の電極と、走査線58と、に接続されている。

30

【0022】

逆電圧印加用トランジスタ17は、一定の電位に保たれた電源線、又はカソード線にゲート電極が接続され、アノード線に第1の電極が接続され、アナログスイッチ28の出力配線に第2の電極が接続される。本実施の形態では逆電圧印加用トランジスタ17のゲート電極は-2Vの電位に保持されている。さらに、逆電圧印加用トランジスタ17の第1の電極は、スイッチング用トランジスタのゲート電極に接続された走査線58に接続されている。また逆電圧印加用トランジスタの第1の電極は、消去用トランジスタのゲート電極に接続されたリセット線59に接続してもよい。

40

【0023】

このような回路構成において、走査線駆動回路が有するバッファ回路から、例えば5V、-2Vの電圧のパルス信号が出力され、アナログスイッチ28へ入力される。すると、nチャネル型トランジスタ20、及びpチャネル型トランジスタ21のどちらかがオンとなり、逆電圧印加用トランジスタ17はオフとなる。具体的には、Lowの信号が入力される場合、pチャネル型トランジスタ21がオンとなり、Highの信号が入力される場合

50

、nチャネル型トランジスタ20がオンとなる。そして、走査線58にはバッファ回路から出力された信号が入力される。

【0024】

このような信号がアナログスイッチ28に入力されるとき、画素101ではスイッチング用トランジスタ51がオンとなり、信号線57からビデオ信号が入力される。本実施の形態では、スイッチング用トランジスタ51はnチャネル型のトランジスタを用い、ビデオ信号は電圧値として入力する。スイッチング用トランジスタ51は、pチャネル型のトランジスタを用いてもよい。

【0025】

すると、駆動用トランジスタ53、電流制御用トランジスタ54がオンとなり、発光素子55が発光する。発光素子55の陰極は、-10Vに保持されたカソード線69に接続され、陽極は、5Vに保持されたアノード線18に接続されている。

【0026】

本実施の形態において、駆動用トランジスタ53、電流制御用トランジスタ54はpチャネル型のトランジスタを用いるが、nチャネル型のトランジスタを用いてもよい。なお、駆動用トランジスタ53と、電流制御用トランジスタ54は同一極性を用いる方が好ましい。

【0027】

このとき必要に応じて、消去用トランジスタ52を動作させて、リセット線59を選択し消去期間を設ける。本実施の形態において、消去用トランジスタ52はnチャネル型のトランジスタを用いる。消去用トランジスタ52はpチャネル型のトランジスタを用いてもよいことは言うまでもない。消去用トランジスタやその動作は、特開2001-343933号公報を参照すればよく、それらと組み合わせて用いることができる。

【0028】

また消去用トランジスタ52、及び電流制御用トランジスタ54の第1の電極が接続されるアノード線18及び駆動用トランジスタのゲート電極が接続される第2の電源線60は、制御用回路118が接続されている。なお駆動用トランジスタのゲート電極を固定電位とすると、寄生容量や配線容量によるゲート・ソース間の電圧Vgsが変化しないように動作させることができる。そのため、少なくとも順電圧印加時では、第2の電源線60の電位を固定電位とすると好ましい。

【0029】

制御用回路118は二つのnチャネル型トランジスタを有し、第1のnチャネル型トランジスタ61の第1の電極と、第2のnチャネル型トランジスタ62のゲート電極とが、アノード線18に接続されている。第1のnチャネル型トランジスタ61の第2の電極と、第2のnチャネル型トランジスタ62の第1の電極とが、第2の電源線60に接続されている。第1のnチャネル型トランジスタ61のゲート電極は、-2Vに固定され、第2のnチャネル型トランジスタ62の第2の電極は、0Vに固定されている。

【0030】

このような制御用回路118は、順電圧印加時では、第1のnチャネル型トランジスタ61はオフとなり、第2のnチャネル型トランジスタ62はオンとなっている。その結果、駆動用トランジスタ53のゲート電極の電位は0Vとなっている。

【0031】

以上のような状態のとき、駆動用トランジスタ53はオンとなり、カソード線69が-10V、アノード線18が5Vであるため、発光素子へは順電圧が印加され、発光する。

【0032】

図1(B)には、逆電圧を印加している状態を示す。本実施の形態では、アノード線18を-10V、第1の電源線19を-2Vとする。すると、アナログスイッチ28が有するnチャネル型トランジスタ20、及びpチャネル型トランジスタ21は、両方ともオフとなり、逆電圧印加用トランジスタ17はオンとなり、走査線58は-10Vとなる。それに伴い、画素101ではスイッチング用トランジスタ51がオフとなる。

10

20

30

40

50

【0033】

このときカソード線69の電圧を5Vとし、逆電圧を印加する。そして、駆動用トランジスタ53と、電流制御用トランジスタ54とをオンとし、逆電圧を効率よく印加する。特に、駆動用トランジスタ53は、飽和領域で動作させるため、L/Wが大きくなるように設計されている場合、抵抗値が高いことが懸念される。そのため、制御用回路118では、第1のnチャネル型トランジスタ61をオンとし、第2のnチャネル型トランジスタ62をオフとし、駆動用トランジスタ53のゲート電極に接続される第2の電源線60の電圧を-10Vとする。その結果、駆動用トランジスタ53のゲート電極へ印加されるゲート電圧を大きくできより効率高く逆電圧を印加することができる。その結果、駆動用トランジスタ53の抵抗による逆電圧印加時の問題を低減することができる。 10

【0034】

なお駆動用トランジスタ53は、線形領域で動作させてもよい。駆動用トランジスタ53を線形領域で動作させる場合、駆動電圧を低くすることができる。そのため、表示装置の低消費電力化が期待できる。

【0035】

以上のような状態のとき、駆動用トランジスタ53、電流制御用トランジスタ54はオンとなり、カソード線69が5V、アノード線18が-10Vであるため、発光素子へは逆電圧が印加される。

【0036】

また、駆動用トランジスタ53や電流制御用トランジスタ54の抵抗を解消するために、発光素子の第1の電極（本実施の形態では陽極）と、アノード線18との間にダイオードを設けてもよい。なお本実施の形態では、発光素子の第1の電極は陽極とするが、第1の電極が陰極となる画素構成を用いてもよい。 20

【0037】

本実施の形態により、新たな画素回路を有する表示装置に対して、発光素子の劣化を低減し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。

【0038】

さらに本実施の形態により、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。 30

【0039】

なお、本実施の形態で示した電圧の値は一例であり、これに限定されるものではない。
(実施の形態2)

【0040】

本実施の形態では、クロックドインバータを有する逆電圧印加用回路に用いる具体例について説明する。

【0041】

図2(A)には、順電圧を印加している状態を示す。図2(A)に示す逆電圧印加用回路116は、直列に接続されたpチャネル型トランジスタ12と、nチャネル型トランジスタ13、14を有するクロックドインバータ29を有する。なお、さらに加えてpチャネル型トランジスタを有するクロックドインバータを用いてもよい。pチャネル型トランジスタ12のゲート電極と、nチャネル型トランジスタ13のゲート電極は同電位であって、つまり接続されている。pチャネル型トランジスタ12の第1の電極は、一定の電位に保持された電源線、例えば5Vに保持されたVDD（高電位電源線）に接続されている。nチャネル型トランジスタ14の第1の電極は、一定の電位に保持された電源線、例えば-2Vに保持されたVSS（低電位電源線）に接続されている。またゲート電極は、一定の電位に保持された電源線、又はカソード線に接続され、本実施の形態では5Vに保持された第1の電源線19に接続されている。クロックドインバータ29の出力配線は、逆電圧印加用トランジスタ17の第1の電極と、走査線58又はリセット線59とに接続されている。本実施の形態では、クロックドインバータ29の出力配線は、逆電圧印加用ト 40

ランジスタ 17 の第 1 の電極と、走査線 58 とに接続されている。

【0042】

逆電圧印加用トランジスタ 17 は、一定の電位に保たれた電源線、又はカソード線にゲート電極が接続され、アノード線に第 1 の電極の電極が接続され、クロックドインバータ 29 の出力配線とに第 2 の電極が接続される。本実施の形態では逆電圧印加用トランジスタ 17 のゲート電極は -2V の電位に保たれている。また逆電圧印加用トランジスタの第 1 の電極はクロックドインバータの出力配線と接続され、第 2 の電極は第 1 の電源線 19 に接続されている。さらに本実施の形態では、逆電圧印加用トランジスタ 17 の第 1 の電極は、スイッチング用トランジスタのゲート電極に接続された走査線に接続される。また逆電圧印加用トランジスタの第 1 の電極は、消去用トランジスタのゲート電極に接続されたりセット線 59 に接続してもよい。

【0043】

走査線駆動回路が有するバッファ回路から、例えば 5V、-2V のパルス信号が出力され、クロックドインバータ 29 へ入力される。すると、n チャネル型トランジスタ 14 がオンとなり、逆電圧印加用トランジスタ 17 はオフとなる。

【0044】

その結果、走査線 58 にはバッファ回路から出力された信号が入力される。本実施の形態では、スイッチング用トランジスタ 51 は n チャネル型トランジスタを用い、ビデオ信号は電圧値として入力する。すると実施の形態 1 と同様に、駆動用トランジスタ 53、電流制御用トランジスタ 54 がオンとなり、発光素子 55 が発光する。

【0045】

その他の画素構成、動作、制御用回路 118 は図 1 (A) と同様であるため、説明を省略する。なお駆動用トランジスタのゲート電極を固定電位とすると、寄生容量や配線容量によるゲート・ソース間の電圧 V_{gs} が変化しないように動作させることができる。そのため実施の形態 1 と同様に、少なくとも順電圧印加時では、第 2 の電源線 60 の電位を固定電位とすると好ましい。

【0046】

このとき必要に応じて、消去用トランジスタ 52 を動作させて、リセット線 59 を選択し消去期間を設け、高階調表示を行なう。本実施の形態において、消去用トランジスタ 52 は n チャネル型トランジスタを用いる。消去用トランジスタやその動作の詳細は、特開 2001-343933 号公報を参照すればよい。

【0047】

以上のような状態のとき、駆動用トランジスタ 53 はオンとなり、カソード線 59 が -10V、アノード線 18 が 5V であるため、発光素子へは順電圧が印加され、発光する。

【0048】

図 2 (B) には、逆電圧を印加している状態を示し、第 1 の電源線 19 は -10V に保持される。すると、クロックドインバータ 29 が有する n チャネル型トランジスタ 14 は、ハイインピーダンス状態、つまりオフとなり、逆電圧印加用トランジスタ 17 はオンとなり、走査線 58 は -10V となる。それに伴い、画素 101 ではスイッチング用トランジスタ 51 がオフとなる。

【0049】

逆電圧を効率よく印加するため、駆動用トランジスタ 53 と、電流制御用トランジスタ 54 とをオンとする。このとき実施の形態 1 と同様な制御用回路 118 を用い、第 1 の n チャネル型トランジスタ 61 をオンとし、第 2 の n チャネル型トランジスタ 62 をオフとし、駆動用トランジスタ 53 のゲート電極に接続される第 2 の電源線 60 の電圧を -10V とする。

【0050】

以上のような状態のとき、駆動用トランジスタ 53 はオンとなり、カソード線 59 が 5V、アノード線 18 が -10V となるため、発光素子へは逆電圧が印加される。

【0051】

10

20

30

40

50

また、駆動用トランジスタ 53 や電流制御用トランジスタ 54 の抵抗問題を解消するために、発光素子の第 1 の電極と、アノード線 18 との間にダイオードを設けてよい。

【0052】

本実施の形態により、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。

【0053】

さらに本実施の形態により、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。

【0054】

なお、本実施の形態で示した電圧の値は一例であり、これに限定されるものではない。
(実施の形態 3)

【0055】

本実施の形態では、逆電圧印加用回路を有する走査線駆動回路、信号線駆動回路、及びそれらを有する表示装置について説明する。

【0056】

図 5 (A) には、走査線駆動回路の構成を示し、シフトレジスタ 114、バッファ 115、逆電圧印加用回路 116 を有する逆電圧印加用回路部 150 を有する。

【0057】

逆電圧印加用回路部 150 は、走査線、又はリセット線にそれぞれ接続される複数の逆電圧印加用回路 116 と逆電圧印加用トランジスタ 17 を有する。逆電圧印加用回路 116 は、アナログスイッチ 28、又はクロックドインバータ 29 を有する。

【0058】

走査線駆動回路に逆電圧印加用回路部 150 を設ける場合、アノード線と、一定の電位に保たれた電源線、又はカソード線の電位を反転し、発光素子に逆電圧を印加すると同時に、アナログスイッチ 28、又はクロックドインバータ 29 をオフとし、逆電圧印加用トランジスタ 17 をオンとするように駆動する。そして、逆電圧印加回路 116 に接続される画素が有するスイッチング用トランジスタ 51、又は消去用トランジスタ 52 がオフとなる電位とする。その結果、アノード線 18 と信号線 57、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。

【0059】

逆電圧印加用回路 116 を、信号線駆動回路に設けることもできる。図 5 (B) には、信号線駆動回路の構成を示し、シフトレジスタ 111、第 1 のラッチ回路 112、第 2 のラッチ回路 113、複数の逆電圧印加用回路 116 を有する逆電圧印加回路部 151 を有する。

【0060】

信号線駆動回路に設けられた逆電圧印加用回路は、アナログスイッチ 28、又はクロックドインバータ 29 を有し、逆電圧印加用トランジスタ 17 は不要となる。アナログスイッチ、又はクロックドインバータの出力配線が、画素部の複数の信号線 (S1 ~ Sx) とそれぞれ接続されている。

【0061】

さらに、信号線駆動回路が有する電源線とアノード線のショートを防止するため、スイッチを有する。スイッチは、アノード線と一定の電位に保たれた電源線、又はカソード線の電位差を利用して、オン、又はオフとなる。

【0062】

信号線駆動回路に逆電圧印加用回路部 150 を設ける表示装置において、アノード線と一定の電位に保たれた電源線、又はカソード線の電位を反転し、発光素子に逆電圧を印加すると同時に、アナログスイッチ、又はクロックドインバータをオフとする。すると、アノード線と信号線との間に配置されたトランジスタをオフとすることができます。その結果、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショート

10

20

30

40

50

することなく逆電圧を印加することができる。

【0063】

また逆電圧を印加するとき、駆動用トランジスタのゲート電極が接続される電源線と、アノード線の電圧について説明する。逆電圧を印加する場合、駆動用トランジスタ、電流制御用トランジスタを介して発光素子へ逆電圧が印加される。そのため、駆動用トランジスタ、電流制御用トランジスタの抵抗は、より低くなると好ましい。しかし、特に駆動用トランジスタの場合、飽和領域で動作させる場合、チャネル形成領域のL/W比が大きくなり、抵抗が高くなることが懸念される。

【0064】

そこで、駆動用トランジスタ、電流制御用トランジスタを確実にオンとし、より高い電圧を印加するように、駆動用トランジスタのゲート電極が接続される電源線の電圧を制御する制御用回路118を有する。

【0065】

制御用回路は、アノード線にゲート電極が接続され、第1の電極が電源線に接続された第6のトランジスタと、ゲート電極が固定電位に保持され、第1の電極がアノード線に接続され、第2の電極が電源線に接続された第7のトランジスタとを有する。

【0066】

駆動用トランジスタに着目すると、順電圧を印加する場合、第6のトランジスタはオン、第7のトランジスタはオフとし、逆電圧を印加する場合、第6のトランジスタはオフ、第7のトランジスタはオンとする。そして逆電圧を印加する場合、電源線の電圧の絶対値を大きくし、駆動用トランジスタへ印加する電圧を大きくすることができる。

【0067】

図12(A)は上述のような信号線駆動回路、及び走査線駆動回路を有する表示装置の上面図を示し、第1の基板1210上に信号線側駆動回路103、走査線側駆動回路104、105、画素部1202が示されている。

【0068】

図12(B)は発光素子を有する表示装置のA-A'の断面図を示し、第1の基板1210上に、nチャネル型TFT1223とpチャネル型TFT1224とを有するCMOS回路を備えた信号線駆動回路1201が示されている。また、信号線駆動回路や走査線駆動回路を形成するTFTは、CMOS回路、PMOS回路又はNMOS回路で形成しても良い。また本実施の形態では、基板上に信号線駆動回路及び走査線駆動回路を形成したドライバ一体型を示すが、走査線駆動回路と信号線駆動回路はICにより形成し、SOG法やTAB法により信号線、又は走査線等と接続してもよい。

【0069】

また、スイッチング用トランジスタ1221及び駆動用トランジスタ1212を有し、スイッチング用トランジスタ及び駆動用トランジスタを覆い、所定の位置に開口部を有する絶縁膜1214と、駆動用トランジスタ1212の一方の配線と接続された発光素子の第1の電極1213と、第1の電極上に設けられた有機発光層1215と、対向して設けられた発光素子の第2の電極1216を有する発光素子1218と、水分や酸素等による発光素子の劣化を防止するために設けられた保護膜1217を有する画素部1220が示されている。

【0070】

本実施の形態では保護膜1217にスパッタ法(DC方式やRF方式)により得られる窒化珪素または窒化酸化珪素を主成分とする絶縁膜、または水素を含むDLC膜(Diamond Like Carbon)を使用する。

【0071】

発光素子の第1の電極1213が駆動用トランジスタ1212の第1の電極と接している構成となっているため、発光素子の第1の電極1213の少なくとも下面は、半導体膜のドレイン領域とオーミックコンタクトのとれる材料とし、有機発光層と接する表面に仕事関数の大きい材料を用いて形成することが望ましい。また、発光素子の第1の電極12

10

20

30

40

50

13は、窒化チタン膜の単層としてもよいし、3層以上の積層を用いてもよい。また更に、発光素子の第1の電極1213として透明導電膜を用いれば両面発光型の発光素子を有する表示装置を作製することができる。

【0072】

絶縁物1214は有機樹脂膜又は珪素を含む絶縁膜で形成すればよい。ここでは、絶縁物1214として、ポジ型の感光性アクリル樹脂膜を用いて形成する。

【0073】

なお、後に形成する電極や有機発光層の段差被覆性を良好なものとするため、絶縁物1214の上端部又は下端部に曲率を有する曲面が形成されるようにすると好ましい。例えば、絶縁物1214の材料としてポジ型の感光性アクリルを用いた場合、絶縁物1214の上端部のみに曲率半径(0.2μm~3μm)を有する曲面を持たせるとよい。また、絶縁物1214として、感光性の光によってエッチャントに不溶解性となるネガ型、又は光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0074】

第1の電極1213上には、蒸着マスクを用いた蒸着法、又はインクジェット法によってRGBの発光が得られる有機発光層1215を選択的に形成する。そして有機発光層1215上には、第2の電極1216が形成される。

【0075】

また発光素子1218を白色発光とする場合、着色層とBM(ブラックマトリクス)からなるカラーフィルタを設ける必要がある。

【0076】

そして、第2の電極1216は、接続領域の絶縁膜1214に設けられた開口部(コンタクト)を介して接続配線1208と接続され、接続配線1208は異方性導電樹脂(ACF)によりフレキシブルプリント基板(FPC)1209に接続されている。そして、外部入力端子となるFPC1209からビデオ信号やクロック信号を受け取る。ここではFPCしか図示されていないが、このFPCにはプリント配線基板(PWB)が取り付けられていてもよい。

【0077】

また加圧や加熱によりACFを接着するときに、フィルム基板のフレキシブル性や加熱による軟化のため、クラックが生じないように注意する。例えば、接着領域に硬性の高い基板を補助として配置したりすればよい。

【0078】

また第1のフィルム基板の周縁部にはシール材1205が設けられ、第2の基板1204と張り合わせられ、封止されている。シール材1205はエポキシ系樹脂を用いるのが好ましい。

【0079】

第2の基板1204で封止すると、保護膜1217との間に空間が形成される。空間には、不活性ガス、例えば窒素ガスを充填したり、吸水性の高い材料を形成して、水分や酸素の侵入を防止する。本実施の形態では、透光性を有し、吸水性の高い樹脂1230を形成する。樹脂1230は透光性を有するため、発光素子からの光が第2の基板側へ出射される場合であっても、透過率を低減することなく形成することができる。

【0080】

本実施の形態により、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。さらに、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。その結果、表示装置の長寿命化が達成できる。

(実施の形態4)

【0081】

本発明の表示装置をデジタル駆動する場合には、多階調の画像を表現するために時間階

10

20

30

40

50

調方式を用いる。本実施の形態では、逆電圧を印加するタイミングについて図3を用いて説明する。図3(A)は、縦軸は走査線、横軸は時間のときのタイミングチャートを示し、図3(B)はj行目の走査線Gjのタイミングチャートを示す。

【0082】

表示装置は、そのフレーム周波数を通常60Hz程度とする。つまり、1秒間に60回程度の画面の描画が行われ、画面の描画を1回行なう期間を1フレーム期間(単位フレーム期間)と呼ぶ。時間階調方式では、1フレーム期間を複数のサブフレーム期間(m(mは2以上の自然数)個のサブフレーム期間SF1、SF2、…、SFm)に分割する。このときの分割数は、階調ビット数に等しい場合が多く、ここでは簡単のために、分割数が階調ビット数に等しい場合を示す。つまり本実施の形態では5ビット階調を例示しているので、5つのサブフレーム期間SF1～SF5に分割した例を示す。

10

【0083】

各サブフレーム期間は、画素にビデオ信号を書き込む書き込み期間Ta1、Ta2、…、Ta mと、発光素子が発光又は非発光する保持期間Ts1、Ts2、…、Ts mを有する。保持期間Ts1～Ts5は、その長さの比をTs1：…：Ts5 = 16：8：4：2：1とする。つまり、nビット階調を表現する場合、n個の保持期間は、その長さの比を2^(n-1)：2^(n-2)：…：2^1：2^0とする。

【0084】

図3において、サブフレーム期間SF5は消去期間Te5を有する例を示す。消去期間Te5では、画素に書き込まれたビデオ信号をリセットする。消去期間は必要に応じて設ければよい。

20

【0085】

一フレーム期間に逆電圧印加期間Trを設ける。この逆電圧印加期間Trでは、全ての画素で同時に逆電圧が印加される。本実施の形態では、消去期間Te5の終了後、逆電圧印加期間Trを設ける場合を説明する。なお、逆電圧印加期間Trを長く設け、発光素子へ逆電圧を印加する時間を長くすると好ましい。

【0086】

図3(C)は図3(B)に対応する走査線Gj、アノード線、及びカソード線の電圧値を示す。図3(C)をみると、走査線GjにはHighとLowのパルス信号が印加され、例えば実施の形態1又は2で示したように5V、-2Vの電圧の信号が印加される。書き込み期間Ta1～Ta5では、走査線GjにはHighの信号が印加され、逆電圧印加期間TrではLowの信号が印加される。

30

【0087】

アノード線へ5V、カソード線へ-2Vの電圧が印加され、逆電圧印加期間Trでは、アノード線へ-2V、カソード線へ-5Vの電圧、つまり逆電圧が印加される。

【0088】

なお、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせばよい。また、サブフレーム期間の順序は、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいてもよい。さらにフレーム期間毎に、その順序が変化してもよい。また、あるサブフレーム期間をさらに分割していくよい。

40

【0089】

また画素毎に、逆電圧を印加するか否かを決定してもよい。この場合、画素毎にスイッチを設け、逆電圧を印加しないときはオフとなるように制御する。

【0090】

また、画素毎に発光素子の劣化状態が異なる場合が考えられる。メモリ回路及びカウンタ回路とにより、ビデオ信号をカウント、記録し、その情報に基づきに発光素子の劣化状態に応じて印加すべき逆電圧の値を求めることができる。そして、印加する逆電圧の値に応じて、アノード線と、一定の電位に保持された電源線、又はカソード線の電位を設定してもよい。例えば、アノード線は発光素子毎に設けられるため、アノード線の電位を画素

50

毎に設定する。

【0091】

本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

(実施の形態5)

【0092】

本実施の形態では、画素回路、及びその動作について説明する。

【0093】

図4(A)に示す画素回路は、発光素子39と、ビデオ信号が入力される信号線30、ビデオ信号の画素への入力を制御するスイッチング用トランジスタ35、発光素子39へ流れる電流値を制御する駆動用トランジスタ36、発光素子39への電流の供給を制御する電流制御用トランジスタ37、書き込まれたビデオ信号の電位を消去する消去用トランジスタ40、ビデオ信号の電位を保持するための容量素子38を有する。

【0094】

本実施の形態では、スイッチング用トランジスタ35、消去用トランジスタ40をnチャネル型トランジスタとし、駆動用トランジスタ36、電流制御用トランジスタ37をpチャネル型トランジスタとする。また駆動用トランジスタ36を飽和領域で、電流制御用トランジスタ37を線形領域で動作させる。そのため、駆動用トランジスタ36のチャネル形成領域のLをWより長くし、好ましくは、駆動用トランジスタ36のWに対するLの比が5以上にするとよい。また各トランジスタの特性はエンハンスメント型トランジスタを用いてもよいし、ディブリーション型トランジスタを用いてもよい。

【0095】

なお駆動用トランジスタ36は、線形領域で動作させてもよい。駆動用トランジスタ36を線形領域で動作させる場合、駆動電圧を低くすることができる。そのため、表示装置の低消費電力化が期待できる。

【0096】

スイッチング用トランジスタ35のゲート電極は、走査線31に接続されている。スイッチング用トランジスタ35の第1の電極が信号線30に、第2の電極が電流制御用トランジスタ37のゲートに接続されている。駆動用トランジスタ36のゲートは第2の電源線33に接続されている。そして駆動用トランジスタ36及び電流制御用トランジスタ37は、第1の電源線32から供給される電流が、駆動用トランジスタ36及び電流制御用トランジスタ37のドレイン電流として発光素子39へ供給するように、第1の電源線32、発光素子39と接続されている。

【0097】

容量素子38が有する2つの電極の一方は、第1の電源線32に接続されており、他方は電流制御用トランジスタ37のゲートに接続されている。容量素子38はスイッチング用トランジスタ35が非選択状態(オフ状態)にある時、容量素子38の電極間の電位差を保持するために設けられている。スイッチング用トランジスタ35、駆動用トランジスタ36、又は電流制御用トランジスタ37のゲート容量が大きく、各トランジスタからのリード電流が許容範囲である場合、容量素子38は設ける必要はない。

【0098】

消去用トランジスタ40ゲート電極は、リセット線41に接続され、第1の電極は第1の電源線32に、第2の電極は電流制御用トランジスタ37のゲートに接続されている。つまり、容量素子38の両端に消去用トランジスタの第1の電極と、第2の電極が接続されている。

【0099】

次に、図4(A)に示す画素の動作について、書き込み期間、発光期間、消去期間とに分けて説明する。まず書き込み期間において走査線31が選択されると、走査線31に接続されているスイッチング用トランジスタ35がオンとなる。そして、信号線30に入力されたビデオ信号が、スイッチング用トランジスタ35を介して電流制御用トランジスタ37のゲートに入力される。なお、駆動用トランジスタ36はゲートが第2の電源線33

に接続されているため、電流制御用トランジスタ37と別に制御することができる。

【0100】

ビデオ信号によって電流制御用トランジスタ37がオンとなる場合は、第1の電源線32を介して電流が発光素子39に供給される。このとき電流制御用トランジスタ37は線形領域で動作しているため、発光素子39に流れる電流は、飽和領域で動作する駆動用トランジスタ36と発光素子39の電圧電流特性によって決まる。そして発光素子39は、供給される電流に見合った輝度で発光する。

【0101】

またビデオ信号によって電流制御用トランジスタ37がオフとなる場合、発光素子39への電流の供給は行なわれない。

10

【0102】

保持期間では、走査線31の電位を制御することでスイッチング用トランジスタ35をオフとし、書き込み期間において書き込まれたビデオ信号の電位を保持している。書き込み期間において電流制御用トランジスタ37をオンとする場合、ビデオ信号の電位は容量素子38によって保持されているので、発光素子39への電流の供給は維持され、発光している。逆に、書き込み期間において電流制御用トランジスタ37をオフとする場合、ビデオ信号の電位は容量素子38によって保持されているので、発光素子39への電流の供給は行なわれず、非発光となっている。

【0103】

消去期間では、第2走査線41が選択されて消去用トランジスタ40がオンとなり、電源線32の電位が消去用トランジスタ40を介して電流制御用トランジスタ37のゲートに与えられる。よって、電流制御用トランジスタ37がオフとなるため、発光素子39に強制的に電流が供給されない状態を作り出すことができる。

20

【0104】

また逆電圧印加期間では、図1(B)、図2(B)で示したように駆動用トランジスタ36、電流制御用トランジスタ37をオンとし、発光素子へ逆電圧が印加される。

【0105】

書き込み期間、保持期間、消去期間、及び逆電圧印加期間のタイミングチャートは実施の形態4を参照すればよい。

【0106】

30

図4(B)に示す画素回路は、ダイオード45が発光素子39と、第1の電源線32との間に設けられている構成が、図4(A)に示す画素回路と異なる。

【0107】

駆動用トランジスタ36や電流制御用トランジスタ37がオンとなる状態よりも低抵抗であるダイオード45を経由して逆電圧を印加することができる。その結果、効率よく逆電圧を印加することができる。そして印加時間を短時間とすることができる、書き込み期間や保持期間を長く設けることができる。

【0108】

図4(C)に示す画素回路は、駆動用トランジスタ36のゲート電極が走査線30に平行して設けられた第3の走査線45に接続されている構成が、図4(A)に示す画素回路と異なる。そのため、第3の走査線45に印加されるパルス信号により制御される。

40

【0109】

その他の構成は図4(A)と同様であるため、説明を省略する。

【0110】

図4(D)に示す画素回路は、ダイオード45が発光素子39と、第1の電源線32との間に設けられている構成が、図4(C)に示す画素回路と異なる。

【0111】

駆動用トランジスタ36や電流制御用トランジスタ37がオンとなる状態よりも低抵抗であるダイオード45を経由して逆電圧を印加することができる。その結果、効率よく逆電圧を印加することができる。そして印加時間を短時間とことができ、書き込み期間

50

や保持期間を長く設けることができる。

【0112】

その他の構成は図4(C)と同様であるため、説明を省略する。

【0113】

図4(E)に示す画素回路は、駆動用トランジスタ36のゲート電極と、電流制御用トランジスタ37のゲート電極とを共通している構成が、図4(A)に示す画素回路と異なる。そのため、駆動用トランジスタ36と、電流制御用トランジスタ37を別に制御する場合、トランジスタの特性を異ならせる。図4(E)では、駆動用トランジスタ36をディブリーション型トランジスタ、電流制御用トランジスタ37をエンハンスマント型トランジスタとする。

10

【0114】

その他の構成は図4(A)と同様であるため、説明を省略する。

【0115】

図4(F)に示す画素回路は、ダイオード45が発光素子39と、第1の電源線32との間に設けられている構成が、図4(E)に示す画素回路と異なる。

【0116】

駆動用トランジスタ36や電流制御用トランジスタ37がオンとなる状態よりも低抵抗であるダイオード45を経由して逆電圧を印加することができる。その結果、効率よく逆電圧を印加することができる。そして印加時間を短時間とすることができます、書き込み期間や保持期間を長く設けることができる。

20

【0117】

その他の構成は図4(E)と同様であるため説明を省略する。

【0118】

本実施の形態のように、多様な画素構成を用いることができ、それらに対し逆電圧を印加することができる。その結果、表示装置の長寿命化が達成できる。

(実施の形態6)

【0119】

本実施の形態では、各画素回路の具体的なマスク図面について説明する。

【0120】

図6には、信号線801、第1の電源線802、第2の走査線803、第1の走査線804、スイッチング用トランジスタ805、消去用トランジスタ806、駆動用トランジスタ807、電流制御用トランジスタ808、発光素子の第1の電極809、第2の電源線811、容量素子812が設けられている。

30

【0121】

本実施の形態では、第1の電源線802に平行して第2の電源線が設けられ、第2の電源線811が駆動用トランジスタ807のゲート電極に接続されている。スイッチング用トランジスタ805、及び消去用トランジスタ806は半導体膜に対して二つのゲート電極を有するダブルゲート構造で形成されている。第1の走査線804、第2の走査線803の一部が半導体膜と重なり、スイッチング用トランジスタ805、及び消去用トランジスタ806のゲート電極として機能している。すなわち各トランジスタのゲート電極、第1の走査線804、及び第2の走査線803は同一の第1の導電膜をパターニングして形成している。

40

【0122】

信号線801、第1の電源線802、第2の電源線811は同一の第2の導電膜をパターニングして形成している。また第2の導電膜から、各トランジスタの第1の電極、及び第2の電極を形成する。

【0123】

容量素子812は少なくとも半導体膜、ゲート絶縁膜、第1の導電膜とが積層している。消去用トランジスタ806の第2の電極、及び容量素子812の一方の電極は、第1の電源線802と接続しており、消去用トランジスタ806がオンとなると、保持される電

50

荷を放電する。

【0124】

電流制御用トランジスタ808、及び駆動用トランジスタ807は、同極性のトランジスタから形成され、不純物領域は共有されており、それぞれのゲート電極によりオン・オフを制御している。なお電流制御用トランジスタ808と、駆動用トランジスタ807の特性を変える、例えば、一方をエンハンスメント型トランジスタとし、ディプリーション型トランジスタとする場合、不純物の添加濃度を変えればよい。

【0125】

特に図4(E)(F)に示すように電流制御用トランジスタ808、及び駆動用トランジスタ807のゲート電極を共有する場合は、各トランジスタの特性を変えるとよい。

10

【0126】

駆動用トランジスタ807の第2の電極と、発光素子の第1の電極809との接続は、絶縁膜のコンタクトを介して接続するよう示すが、駆動用トランジスタ807の第2の電極上に発光素子の第1の電極809を形成してもよい。

【0127】

駆動用トランジスタ807を飽和領域で動作させる場合、そのL/Wは、電流制御用トランジスタ808よりも大きくなるように設計する。例えば駆動用トランジスタのL/W:電流制御用トランジスタのL/W = 5~6000:1となるようにする。そのため本実施の形態では、駆動用トランジスタ807の半導体膜は矩形状に形成されている。

【0128】

なお駆動用トランジスタ807は、線形領域で動作させてもよい。駆動用トランジスタ807を線形領域で動作させる場合、駆動電圧を低くすることができる。そのため、表示装置の低消費電力化が期待できる。

20

【0129】

図7には、信号線821、第1の電源線822、第2の走査線823、第1の走査線824、スイッチング用トランジスタ825、消去用トランジスタ826、駆動用トランジスタ827、電流制御用トランジスタ828、発光素子の第1の電極829、第2の電源線831、容量素子832が設けられている。

【0130】

図7に示す上面図は、第2の電源線831の構成が図6に示す構成と異なり、第1の導電膜と、第2の電源線831とにより隣り合う画素の駆動用トランジスタ同士を接続している。具体的には、画素内では第1の導電膜を使用し、隣り合う画素間では第2の電源線831を使用して接続し、隣り合う画素の駆動用トランジスタ827の第1の電極間に交互に設けられている。そのため図7に示す構成は、図6に示す構成よりも開口部を広くすることができる。

30

【0131】

図8には、信号線841、第1の電源線842、第2の走査線843、第1の走査線844、スイッチング用トランジスタ845、消去用トランジスタ846、駆動用トランジスタ847、電流制御用トランジスタ848、発光素子の第1の電極849、容量素子852が設けられている。

40

【0132】

図8に示す上面図は、駆動用トランジスタ847のゲート電極が隣り合う画素同士で繋がっている。図8に示す上面図は、図4(C)に示すように、駆動用トランジスタのゲート電極を第2の走査線に接続する画素回路に相当する。

【0133】

図9には、信号線861、第1の電源線862、第2の走査線863、第1の走査線864、第3の走査線873、第4の走査線874、第5の走査線875、スイッチング用トランジスタ865、消去用トランジスタ866、駆動用トランジスタ867、電流制御用トランジスタ868、発光素子の第1の電極869、容量素子872が設けられている。

50

【0134】

図9に示す上面図は、各画素の駆動用トランジスタ867のゲート電極を、それぞれ第3の走査線873、第4の走査線874、第5の走査線875と接続している。そのため、RGB毎に駆動用トランジスタ867に印加する電圧を変えることができる。

【0135】

図10には、信号線881、第1の電源線882、第2の走査線883、第1の走査線884、スイッチング用トランジスタ885、消去用トランジスタ886、駆動用トランジスタ887、電流制御用トランジスタ888、発光素子の第1の電極889、容量素子892、第1の電極とゲート電極が接続したトランジスタ（ダイオードと表記する）893、ダイオードを制御するダイオード用電源線894が設けられている。図10では、ダイオード893としてnチャネル型トランジスタを用い、ゲート電極とドレイン電極とを第2の導電膜により接続する。ダイオード893としてpチャネル型トランジスタで形成する場合、ゲート電極と、ドレイン電極を第2の導電膜により接続すればよい。

10

【0136】

図10に示す上面図は、ダイオード893が、発光素子の第1の電極889と、第1の電源線882との間に設けられ、ダイオード用電源線894の一部がゲート電極となる。逆電圧を印加するときには、ダイオード用電源線894にダイオード893がオンとなる信号を入力する。図10に示す上面図は、図4（B）（D）（F）に示すよう画素部にダイオードを有する回路に相当する。

【0137】

20

ダイオード893は、本実施の形態で示す構成に限定されず、pn接合を有するように形成してもよい。

【0138】

本実施の形態のように、多様な上面図を有する画素構成に対し、逆電圧を印加することができる。その結果、表示装置の長寿命化が達成できる。

(実施の形態7)

【0139】

本発明を適用して作製される電子機器の一例として、デジタルカメラ、カーオーディオなどの音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（携帯電話、携帯型ゲーム機等）、家庭用ゲーム機などの記録媒体を備えた画像再生装置などが挙げられる。それら電子機器の具体例を図11に示す。

30

【0140】

図11（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。図11（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。図11（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。

【0141】

図11（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。図11（E）は記録媒体を備えた携帯型の画像再生装置であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体読込部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。図11（F）はゴーグル型ディスプレイであり、本体2501、表示部2502、アーム部2503を含む。

40

【0142】

図11（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。図11（H）は携帯端末のうちの携帯

50

電話機であり、本体 2701、筐体 2702、表示部 2703、音声入力部 2704、音声出力部 2705、操作キー 2706、外部接続ポート 2707、アンテナ 2708 等を含む。

【0143】

上記の電子機器において、経時劣化する性質がある発光素子を有するパネルを具備した場合であっても、ショートすることなく逆電圧を印加することができるため、経時劣化を抑制できる。従って、エンドユーザに渡った後も、ユーザが電子機器を使用していないタイミングに逆電圧を印加することで、機器本体の長寿命化が実現される。

【0144】

本実施の形態は、上記の実施の形態と自由に組み合わせができる。

10

(実施の形態 8)

【0145】

本実施の形態では、逆電圧印加用回路を信号線側へ接続する例を説明する。

【0146】

図 13 (A) には、順電圧を印加し、発光素子が発光している状態を示す。図 13 (A) に示す逆電圧印加用回路 116 は、n チャネル型トランジスタ 20、p チャネル型トランジスタ 21 を有するアナログスイッチ 28 を有する。n チャネル型トランジスタ 20 のゲート電極は、アノード線 18 に接続され、本実施の形態ではアノード線 18 は、5 V に保持されている。p チャネル型トランジスタ 21 のゲート電極は、一定の電位に保持された電源線、又はカソード線に接続され、本実施の形態では 0 V に固定された第 1 の電源線 19 に接続されている。アナログスイッチ 28 の出力配線 (出力端子) は、信号線 57 に接続されている。

20

【0147】

このように逆電圧印加用回路 116 を信号線側へ接続する場合、逆電圧印加用トランジスタ 17 は不要となる。

【0148】

その他の画素構成、及び画素が有するトランジスタは、図 1 (A) と同様であるため、説明を省略する。なお駆動用トランジスタのゲート電極を固定電位とすると、寄生容量や配線容量によるゲート・ソース間の電圧 V_{gs} が変化しないように動作させることができる。そのため実施の形態 1 と同様に、少なくとも順電圧印加時では、第 2 の電源線 60 の電位を固定電位とすると好ましい。

30

【0149】

以上のような回路構成において、例えば信号線駆動回路が有する第 2 のラッチ回路 113 からビデオ信号が出力され、アナログスイッチ 28 へ入力される。本実施の形態では、ビデオ信号は、Low (例えば 0 V) と、High (例えば 5 V) のパルス状の信号を有するものとする。なお本実施の形態において、アナログスイッチ 28 へビデオ信号が入力されればよく、ビデオ信号はシフトレジスタ、又は第 1 のラッチ回路から入力されたり、さらに加えてバッファ回路等を介して入力されることもある。

【0150】

このとき、アナログスイッチ 28 が有する n チャネル型トランジスタ 20、及び p チャネル型トランジスタ 21 のいずれかがオンとなる。具体的には、Low のビデオ信号が入力される場合、p チャネル型トランジスタ 21 がオンとなり、High のビデオ信号が入力される場合、n チャネル型トランジスタ 20 がオンとなる。そして、走査線 58 が選択され、スイッチング用トランジスタ 51 がオンとなるとき、信号線 57 を介してビデオ信号が画素 101 へ入力される。

40

【0151】

すると、駆動用トランジスタ 53、電流制御用トランジスタ 54 がオンとなり、発光素子 55 はビデオ信号に基づいて発光する。

【0152】

このとき必要に応じて、消去用トランジスタ 52 を動作させて、リセット線 59 を選択

50

し消去期間を設ける。本実施の形態において、消去用トランジスタ 5 2 は n チャネル型のトランジスタを用いる。消去用トランジスタ 5 2 は p チャネル型のトランジスタを用いてもよいことは言うまでもない。消去用トランジスタやその動作は、特開 2001-343933 号公報を参照すればよく、それらと組み合わせて用いることができる。

【 0 1 5 3 】

また、アノード線 1 8 及び第 2 の電源線 6 0 は、実施の形態 1 と同様に制御用回路 1 1 8 を接続してもよい。

【 0 1 5 4 】

以上のような状態のとき、カソード線 6 9 が -10V 、アノード線が 5V となっており、発光素子へは順電圧が印加される。

10

【 0 1 5 5 】

図 13 (B) には、逆電圧を印加している状態を示す。逆電圧を印加するときは、ビデオ信号を Low (例えは 0V) とする。すると、アナログスイッチ 2 8 が有するトランジスタは、両方ともオフとなり、ビデオ信号は画素へ入力されない。そのため、例え走査線 5 8 が選択されても、スイッチング用トランジスタ 5 1 へビデオ信号が入力されず、オフとなる。

【 0 1 5 6 】

逆電圧を印加する直前のビデオ信号が High (例えは 5V) であると、アナログスイッチ 2 8 がオンとなる恐れがある。そこで、逆電圧を印加する直前には、信号線 5 7 の電位を一度 Low (例えは 0V) にする。具体的には、逆電圧印加期間の開始直前に、 Low (例えは 0V) のビデオ信号を信号線 5 7 へ入力する。その後、アノード線とカソード線に逆電圧を印加する。例えば、アノード線 1 8 を -10V 、カソード線 6 9 を 5V とする。

20

【 0 1 5 7 】

このとき、駆動用トランジスタ 5 3 と、電流制御用トランジスタ 5 4 とをオンとし、逆電圧を効率よく印加する。特に、駆動用トランジスタ 5 3 を飽和領域で動作させる場合、 Low が大きくなるように設計されている場合、抵抗値が高いことが懸念される。

【 0 1 5 8 】

そのため実施の形態 1 と同様な制御用回路 1 1 8 を用い、第 1 の n チャネル型トランジスタ 6 1 をオンとし、第 2 の n チャネル型トランジスタ 6 2 をオフとし、駆動用トランジスタ 5 3 のゲート電極に接続される第 2 の電源線 6 0 の電圧を -10V とすると好ましい。

30

【 0 1 5 9 】

その結果、駆動用トランジスタ 5 3 のゲート電極へ印加されるゲート電圧を大きくでき、駆動用トランジスタ 5 3 の抵抗による逆電圧印加時の問題を低減することができる。なお駆動用トランジスタ 5 3 は、線形領域で動作させてもよい。

【 0 1 6 0 】

また、駆動用トランジスタ 5 3 や電流制御用トランジスタ 5 4 の抵抗を解消するために、発光素子の第 1 の電極 (本実施の形態では陽極) と、アノード線 1 8 との間にダイオードを設けてもよい。

40

【 0 1 6 1 】

このように逆電圧印加時にアナログスイッチ 2 8 をオフとすることにより、アノード線 1 8 と信号線 5 7 とがショートすることなく逆電圧を印加することができる。

【 0 1 6 2 】

次に、逆電圧から順電圧を印加する状態、つまり各電位を戻す場合について説明する。逆電圧から順電圧を印加するとき、駆動用トランジスタ 5 3 のゲート電極は、 -10V に保持されているため、この状態で順電圧を印加すると、ビデオ信号と関係なく、発光素子 5 5 が発光してしまう恐れがある。

【 0 1 6 3 】

そこで例えば、図 14 (A) に示すように、バッファ回路 1 4 1 、レベルシフタ 1 4 3

50

、NOR / NAND回路144、シフトレジスタ145を有する走査線駆動回路140において、バッファ回路141と、レベルシフタ143との間に第2の制御用回路142を設ける。なお、バッファ回路141の配置は適宜設計することができるため、第2の制御用回路142は少なくとも各リセット線と接続すればよい。つまり第2の制御用回路142は、画素部とレベルシフタ143との間に設ければよい。

【0164】

第2の制御用回路は、順電圧を印加しているときに走査線駆動回路から供給される走査線を選択する信号が入力され、逆電圧から順電圧に変えるときに駆動用トランジスタ53、又は電流制御用トランジスタ54をオフとするように制御する機能を有していればよい。

10

【0165】

図14(B)には、第2の制御用回路142の具体的な構成を示す。第2の制御用回路142は、一つのインバータ回路148、リセット線毎に設けられたpチャネル型のトランジスタ147、及びクロックドインバータ149を有する。トランジスタ147の第1の電極はリセット線59に接続され、ゲート電極は第3の電源線160に接続され、第2の電極は7Vに保持されている。インバータ回路148は、第3の電源線160、及び第4の電源線161に接続されている。クロックドインバータ149は、第1の端子と第3の電源線160が接続され、第2の端子と第4の電源線161が接続され、入力配線とリセット線59が接続され、出力配線とレベルシフタ143が接続されている。

【0166】

このような第2の制御用回路142では、第3の電源線160へ制御信号(REV)が入力され、リセット線59の電位を制御することができる。具体的には、第3の電源線160へLowの制御信号が入力されると、トランジスタ147がオンとなり、リセット線59は7Vとなる。そして、順電圧を印加するためアノード線を5Vとする。すると、消去用トランジスタ52はオンとなり、電流制御用トランジスタ54のゲート電位は5Vとなる。このとき、電流制御用トランジスタ54はオフとなる。その後、カソード線の電位を-10Vとし、順電圧を印加する。

20

【0167】

このように、第2の制御用回路142により、電流制御用トランジスタ54をオフとすることにより、発光素子55はビデオ信号に基づき発光することができる。なお本実施の形態では、電流制御用トランジスタ54をオフとする場合で説明したが、駆動用トランジスタ53をオフするよう制御しても構わない。

30

【0168】

第2の制御用回路142は、全リセット線59に接続されており、全リセット線59へ制御信号を同時に入力し、電流制御用トランジスタ54をオフとすることができます。

【0169】

また、このような動作をリセット線ごとに行ってもよい。この場合、逆電圧印加期間Trにおいて順にリセット線を選択し、順に制御信号を入力していくべき。

【0170】

以上のような動作により、逆電圧から順電圧に戻す場合、ビデオ信号と関係なく、発光素子55が発光することを防止できる。すなわち、ビデオ信号に基づいて発光素子は発光する。

40

【0171】

図14(C)には、逆電圧印加期間Trにおける、アノード線18、カソード線69に印加される電圧、及び第3の電源線160に入力される制御信号(REV)の具体的なタイミングチャートを示す。

【0172】

まず、アノード線18と、カソード線69とに逆電圧を印加する。具体的には、アノード線18を-10Vとし、カソード線69を5Vとする。このときREVはHighとなっている。所定の時間経過後、アノード線18の電位を5Vへ戻し、次いでREVの電位

50

を Low とすると、消去用トランジスタ 52 がオンとなる。そして、リセット線 69 の電圧を 7V となり、電流制御用トランジスタ 54 がオフとなる。このとき電流制御用トランジスタ 54 がオフとなっているため、発光素子 55 が発光することはない。

【0173】

なおアノード線の電位を 5V とするタイミングと、REV の電位を Low とするタイミングはどちらが先でも構わない。但し、アノード線の電位を 5V とした後、REV の電位を Low とすると、消去用トランジスタ 52 へ印加される電圧値を不要に大きくすることが防げるため好ましい。

【0174】

なお図 14 では、制御信号を Low の電位を有する場合で説明したが、インバータ回路 148 の入力と、出力を逆の接続とし、High の制御信号を第 4 の電源線 161 へ入力してもよい。

10

【0175】

図 15 (A) には、図 14 と異なる第 2 の制御用回路を、NOR 回路 146 とレベルシフタ 143 との間に設ける場合を示す。

【0176】

図 15 (B) には、第 2 の制御用回路 142 の具体的な構成を示す。第 2 の制御用回路は、クロック信号が入力される第 1 のインバータ回路 170 は、p チャネル型のトランジスタ 70、n チャネル型のトランジスタ 71 を有する。第 1 のインバータ回路 170 の出力配線に接続される第 2 のインバータ回路 171 は、p チャネル型のトランジスタ 72、n チャネル型のトランジスタ 73 を有する。第 2 のインバータ回路 171 の出力配線と、NOR 146 の出力配線に接続される NOR 172 は、直列に接続された p チャネル型のトランジスタ 74、75、並列に接続された n チャネル型のトランジスタ 76、77 を有する。

20

【0177】

このような第 2 の制御用回路では、High の制御信号が第 1 のインバータ回路 170 の入力配線から入力されると、p チャネル型トランジスタ 74 がオフ、n チャネル型トランジスタ 77 はオンとなり、Low の信号がバッファ回路へ出力される。このとき消去用トランジスタ 54 をオンとすることができます。その後カソード線 69 を -10V として順電圧を印加すると、電流制御用トランジスタ 54 をオフとすることができます。

【0178】

30

このように、第 2 の制御用回路 142 により、電流制御用トランジスタ 54 をオフとすることにより、発光素子 55 はビデオ信号に基づき発光することができる。なお本実施の形態では、電流制御用トランジスタ 54 をオフとする場合で説明したが、駆動用トランジスタ 53 をオフするよう制御しても構わない。

【0179】

図 15 (C) には、逆電圧印加期間 Tr における、アノード線 18、カソード線 69 に印加される電圧、制御信号 (REV) の具体的なタイミングチャートを示す。

【0180】

まず、アノード線 18 と、カソード線 69 とに逆電圧を印加する。具体的には、アノード線 18 を -10V とし、カソード線 69 を 5V とする。このとき REV は Low となっている。所定の時間経過後、アノード線 18 の電位を 5V へ戻し、次いで REV の電位を High とすると、消去用トランジスタ 52 がオンとなる。そして、リセット線 69 の電圧を 7V とする。このとき、電流制御用トランジスタ 54 がオフとなっているため、発光素子 55 が発光してしまうことはない。

40

【0181】

なおアノード線の電位を 5V とするタイミングと、REV の電位を High とするタイミングはどちらが先でも構わない。但し、アノード線の電位を 5V とした後、REV の電位を High とすると、消去用トランジスタ 52 へ印加される電圧値を不要に大きくすることが防げるため好ましい。

【0182】

50

以上のような動作により、逆電圧から順電圧に戻す場合、ビデオ信号と関係なく、発光素子55が発光することはない。すなわち、ビデオ信号に基づいて発光素子は発光する。

【0183】

なお本実施の形態では、発光素子の第1の電極は、陽極とするが、第1の電極が陰極となる画素構成を用いてもよい。

【0184】

本実施の形態により、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。

【0185】

10

なお、本実施の形態で示した電圧の値は一例であり、これに限定されるものではない。

【図面の簡単な説明】

【0186】

【図1】本発明の表示装置及びその駆動方法を説明する図。

【図2】本発明の表示装置及びその駆動方法を説明する図。

【図3】本発明のタイミングチャートを説明する図。

【図4】本発明の表示装置の画素回路を説明する図。

【図5】本発明の表示装置及びその駆動方法を説明する図。

【図6】本発明の表示装置の画素の上面図を説明する図。

【図7】本発明の表示装置の画素の上面図を説明する図。

20

【図8】本発明の表示装置の画素の上面図を説明する図。

【図9】本発明の表示装置の画素の上面図を説明する図。

【図10】本発明の表示装置の画素の上面図を説明する図。

【図11】本発明の電子機器を説明する図。

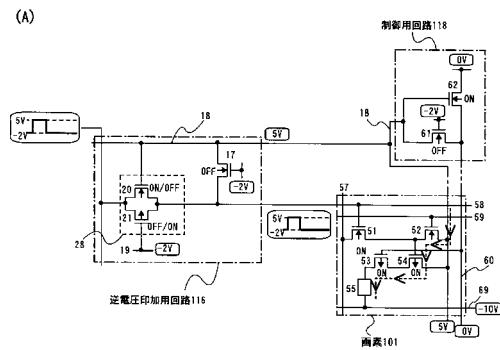
【図12】本発明の表示装置の上面図、及び断面図を説明する図。

【図13】本発明の表示装置及びその駆動方法を説明する図。

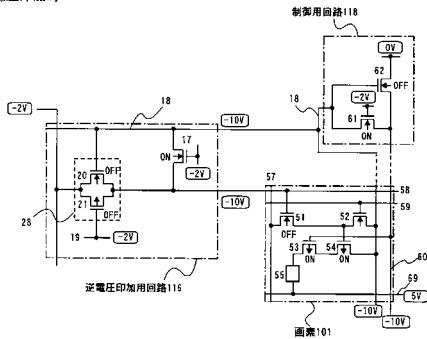
【図14】本発明の表示装置及びその駆動方法を説明する図。

【図15】本発明の表示装置及びその駆動方法を説明する図。

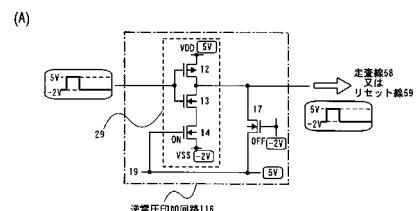
【 図 1 】



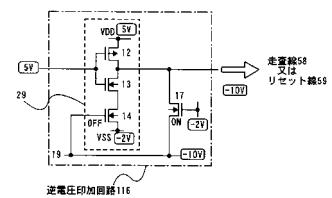
(B) 逆電圧印加時



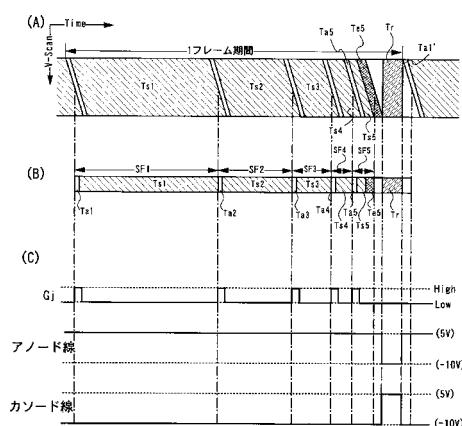
【 四 2 】



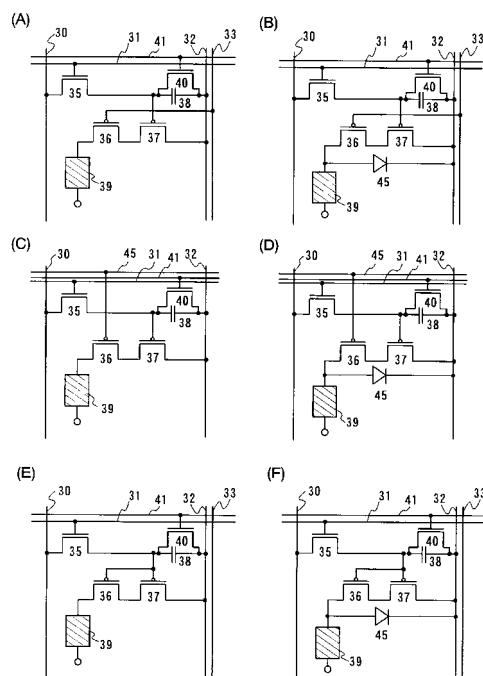
(B) 逆電圧印加時



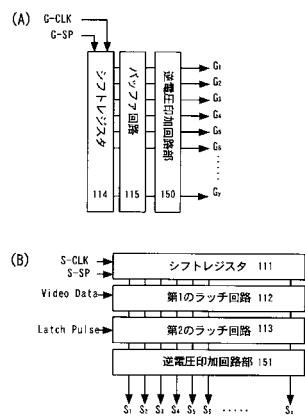
【 図 3 】



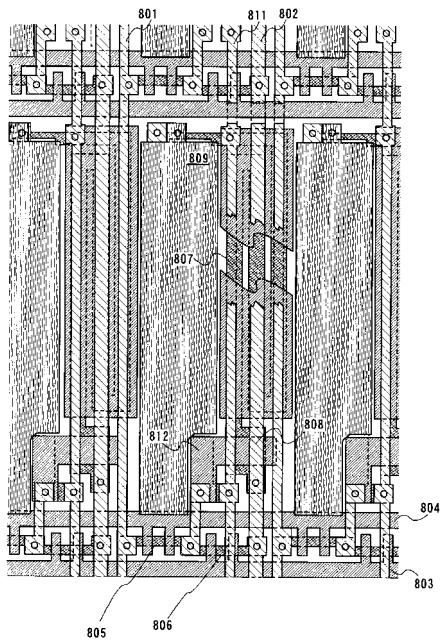
【 図 4 】



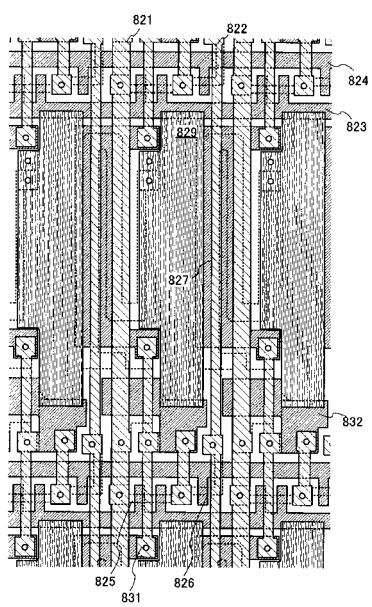
【図5】



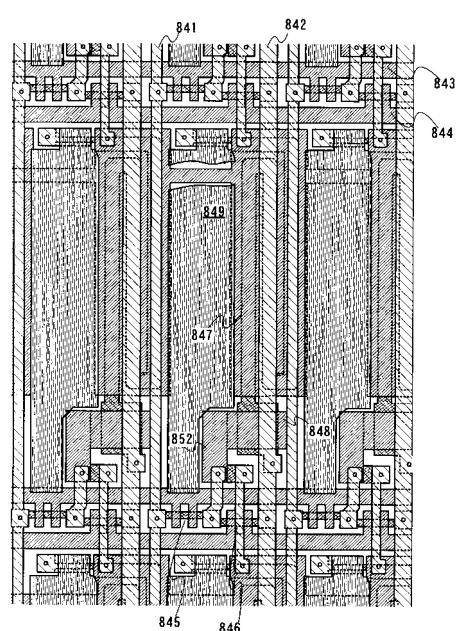
【図6】



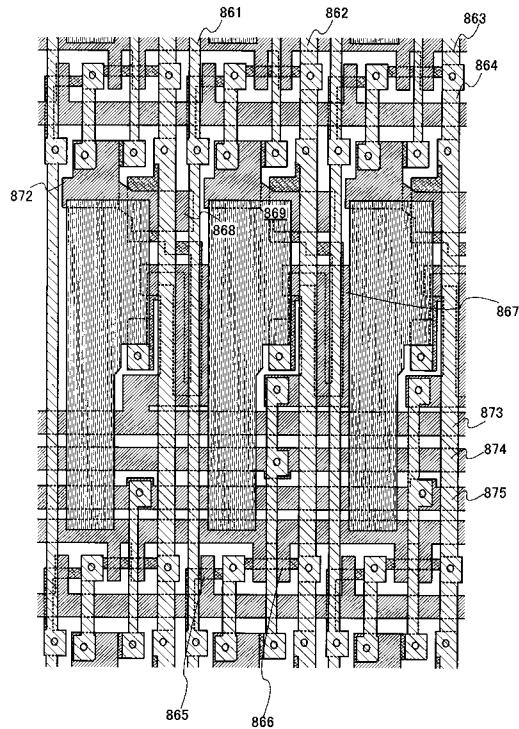
【図7】



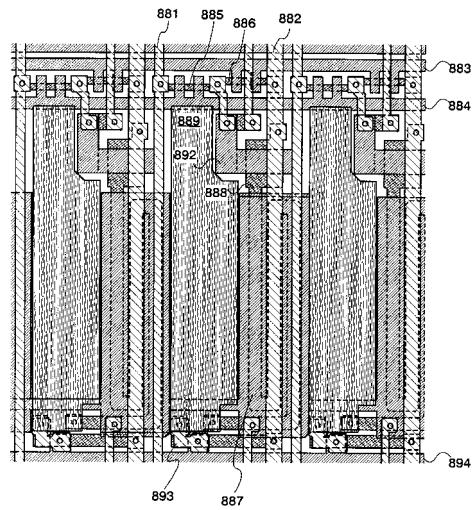
【図8】



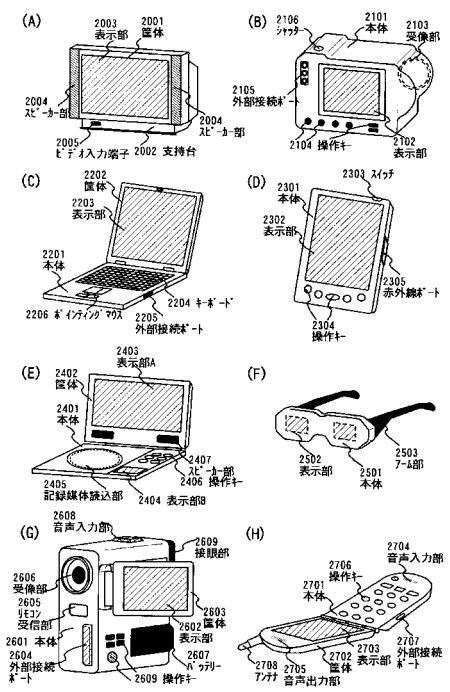
【図9】



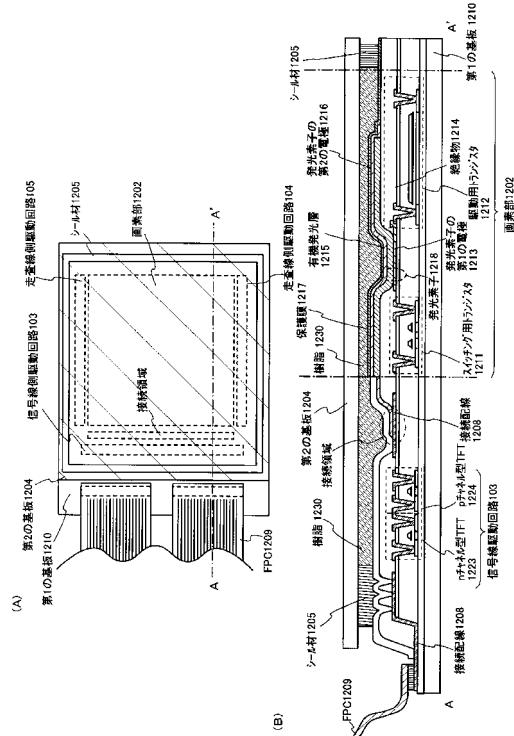
【 図 1 0 】



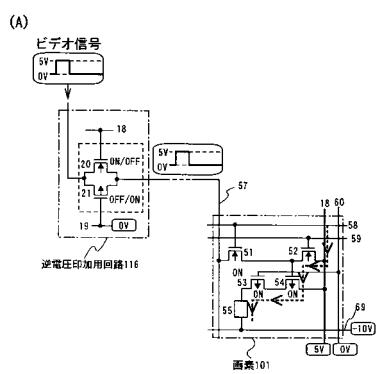
【 図 1 1 】



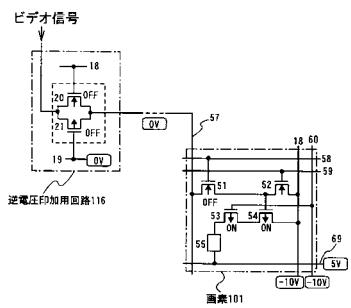
【 図 1 2 】



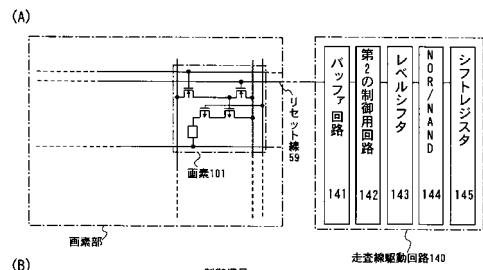
【図13】



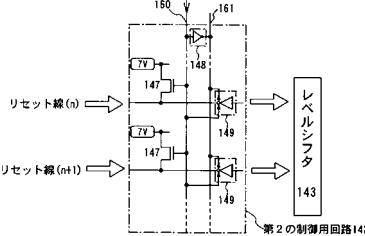
(B) 逆電圧印加時



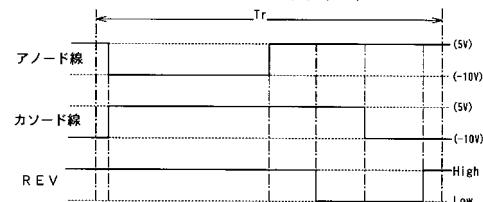
【図14】



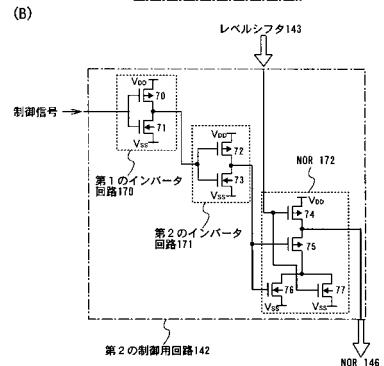
走査線駆動回路140



(C) 逆電圧印加期間: Trにおけるタイミングチャート



【図15】



(C) 逆電圧印加期間: Trにおけるタイミングチャート



フロントページの続き

(51)Int.Cl.	F I		
H 0 4 N 5/66	(2006.01)	G 0 9 G 3/20	6 4 1 E
H 0 1 L 51/50	(2006.01)	G 0 9 G 3/20	6 7 0 K
		H 0 1 L 29/78	6 1 4
		H 0 4 N 5/66	1 0 3
		H 0 5 B 33/14	A

審査官 堀部 修平

(56)参考文献 国際公開第2004/086344 (WO, A1)
特開2002-169510 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8