

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4641710号
(P4641710)

(45) 発行日 平成23年3月2日 (2011.3.2)

(24) 登録日 平成22年12月10日 (2010.12.10)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006.01)

G 0 9 F 9 / 3 0 (2006.01)

H 0 1 L 2 7 / 3 2 (2006.01)

G 0 9 G 3 / 2 0 (2006.01)

H 0 1 L 2 9 / 7 8 6 (2006.01)

G 0 9 G 3 / 3 0 J

G 0 9 F 9 / 3 0 3 3 8

G 0 9 F 9 / 3 0 3 6 5 Z

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 D

請求項の数 11 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2003-278484 (P2003-278484)
 (22) 出願日 平成15年7月23日 (2003.7.23)
 (65) 公開番号 特開2005-31598 (P2005-31598A)
 (43) 公開日 平成17年2月3日 (2005.2.3)
 審査請求日 平成18年7月18日 (2006.7.18)
 (31) 優先権主張番号 特願2003-174147 (P2003-174147)
 (32) 優先日 平成15年6月18日 (2003.6.18)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 納 光明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 安西 彩
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 優
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 福本 良太
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

アノード線と、カソード線と、信号線と、走査線と、画素と、アナログスイッチと、逆電圧印加用トランジスタと、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第1の電極が前記信号線に接続される第1のトランジスタと、

ゲート電極が前記第1のトランジスタの第2の電極に接続され、第1の電極が前記アノード線に接続される第2のトランジスタと、

第1の電極が前記第2のトランジスタの第2の電極に接続される第3のトランジスタと

10

第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が前記カソード線に接続される発光素子と、を有し、

前記アナログスイッチは、

ゲート電極が前記アノード線に接続される第4のトランジスタと、

ゲート電極が前記カソード線に接続される第5のトランジスタと、を有し、

前記第4のトランジスタの第1の電極と前記第5のトランジスタの第1の電極とは接続されて前記アナログスイッチの入力となり、

前記第4のトランジスタの第2の電極と前記第5のトランジスタの第2の電極とは接続されて前記アナログスイッチの出力となり、

20

前記逆電圧印加用トランジスタのゲート電極は前記カソード線に接続され、
第 1 の電極は前記アノード線に接続され、第 2 の電極は前記アナログスイッチの出力と前記走査線に接続され、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記アナログスイッチがオフとされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項 2】

アノード線と、カソード線と、信号線と、走査線と、画素と、クロックインバータと、逆電圧印加用トランジスタと、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第 1 の電極が前記信号線に接続される第 1 のトランジスタと、

ゲート電極が前記第 1 のトランジスタの第 2 の電極に接続され、第 1 の電極が前記アノード線に接続される第 2 のトランジスタと、

第 1 の電極が前記第 2 のトランジスタの第 2 の電極に接続される第 3 のトランジスタと、

第 1 の電極が前記第 3 のトランジスタの第 2 の電極に接続され、第 2 の電極が前記カソード線に接続される発光素子と、を有し、

前記クロックインバータは、

第 1 の電極が高電位電源線に接続される第 4 のトランジスタと、

ゲート電極が前記アノード線に接続され、第 1 の電極が低電位電源線に接続される第 5 のトランジスタと、

第 1 の電極が前記第 5 のトランジスタの第 2 の電極に接続される第 6 のトランジスタと、を有し、

前記第 4 のトランジスタのゲート電極と前記第 6 のトランジスタのゲート電極とは接続されて前記クロックインバータの入力となり、

前記第 4 のトランジスタの第 2 の電極と前記第 6 のトランジスタの第 2 の電極とは接続されて前記クロックインバータの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線に接続され、
第 1 の電極は前記アノード線に接続され、第 2 の電極は前記クロックインバータの出力と前記走査線に接続され、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記クロックインバータがハイインピーダンス状態とされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項 3】

アノード線と、カソード線と、信号線と、走査線と、画素と、アナログスイッチと、逆電圧印加用トランジスタと、制御用回路と、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第 1 の電極が前記信号線に接続される第 1 のトランジスタと、

ゲート電極が前記第 1 のトランジスタの第 2 の電極に接続され、第 1 の電極が前記アノード線に接続される第 2 のトランジスタと、

ゲート電極が電源線に接続され、第 1 の電極が前記第 2 のトランジスタの第 2 の電極に接続される第 3 のトランジスタと、

第 1 の電極が前記第 3 のトランジスタの第 2 の電極に接続され、第 2 の電極が前記カソード線に接続される発光素子と、を有し、

前記アナログスイッチは、

ゲート電極が前記アノード線に接続される第 4 のトランジスタと、

ゲート電極が前記カソード線に接続される第 5 のトランジスタと、を有し、

前記第 4 のトランジスタの第 1 の電極と前記第 5 のトランジスタの第 1 の電極とは接続

10

20

30

40

50

されて前記アナログスイッチの入力となり、

前記第4のトランジスタの第2の電極と前記第5のトランジスタの第2の電極とは接続されて前記アナログスイッチの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線に接続され、第1の電極は前記アノード線に接続され、第2の電極は前記アナログスイッチの出力と前記走査線に接続され、

前記制御用回路は、

ゲート電極が前記アノード線に接続され、第1の電極が前記電源線に接続される第6のトランジスタと、

第1の電極が前記アノード線に接続され、第2の電極が前記電源線に接続される第7のトランジスタと、を有し、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記アナログスイッチがオフとされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項4】

アノード線と、カソード線と、信号線と、走査線と、画素と、クロックインバータと、逆電圧印加用トランジスタと、制御用回路と、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第1の電極が前記信号線に接続される第1のトランジスタと、

ゲート電極が前記第1のトランジスタの第2の電極に接続され、第1の電極が前記アノード線に接続される第2のトランジスタと、

ゲート電極が電源線に接続され、第1の電極が前記第2のトランジスタの第2の電極に接続される第3のトランジスタと、

第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が前記カソード線に接続される発光素子と、を有し、

前記クロックインバータは、

第1の電極が高電位電源線に接続される第4のトランジスタと、

ゲート電極が前記アノード線に接続され、第1の電極が低電位電源線に接続される第5のトランジスタと、

第1の電極が前記第5のトランジスタの第2の電極に接続される第6のトランジスタと、を有し、

前記第4のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは接続されて前記クロックインバータの入力となり、

前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極とは接続されて前記クロックインバータの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線に接続され、第1の電極は前記アノード線に接続され、第2の電極は前記クロックインバータの出力と前記走査線に接続され、

前記制御用回路は、

ゲート電極が前記アノード線に接続され、第1の電極が前記電源線に接続される第7のトランジスタと、

第1の電極が前記アノード線に接続され、第2の電極が前記電源線に接続される第8のトランジスタと、を有し、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記クロックインバータがハイインピーダンス状態とされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項5】

請求項1又は3において、

前記第4のトランジスタと前記第5のトランジスタの極性は異なることを特徴とする表

10

20

30

40

50

示装置。

【請求項 6】

請求項 1 又は 2 において、

前記第 3 のトランジスタのゲート電極は一定の電位に保たれていることを特徴とする表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれかーにおいて、

前記第 1 のトランジスタは線形領域で動作させることを特徴とする表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、

前記第 2 のトランジスタは線形領域で動作させることを特徴とする表示装置。

10

【請求項 9】

請求項 1 乃至 8 のいずれかーにおいて、

前記第 3 のトランジスタは線形領域又は飽和領域で動作させることを特徴とする表示装置。

【請求項 10】

請求項 1 乃至 9 のいずれかーにおいて、

前記画素は、

前記第 2 のトランジスタのゲート電極に接続される容量素子と、

前記容量素子と並列に接続される消去用トランジスタと、を有することを特徴とする表示装置。

20

【請求項 11】

請求項 10 において、前記消去用トランジスタは線形領域で動作させることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子を備えた表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、発光素子（自発光素子）を用いた表示装置の研究開発が進められている。このような表示装置は、高画質、薄型、軽量などの利点を生かして、携帯電話の表示画面やパソコンのモニターとして幅広く利用されている。特に、このような表示装置は動画表示に適した速い応答速度、低電圧、低消費電力駆動などの特徴を有しているため、新世代の携帯電話や携帯情報端末（PDA）をはじめ、幅広い用途が見込まれている。

30

【0003】

発光素子は、経時変化によりその輝度が劣化してしまう。例えば、ある電圧 V_0 を印加すると電流 I_0 で所定の発光輝度が得られていたにもかかわらず、発光素子の経時変化により、電圧 V_0 を印加しても電流 I_0 しか発光素子へ流れないため、所定の輝度が得られなくなってしまった。また例えば、ある電流を流した場合であっても、発光素子の経時劣化により同一輝度が得られなくなってしまふ。

40

【0004】

これは電圧や電流を流すことで発光素子が発熱し、発光素子の膜質の界面や電極の界面での性質に変化が生じるためであると考えられる。さらに発光素子の劣化状態は、各発光素子で異なるためやきつきが生じてしまふ。

【0005】

発光素子の劣化を抑制し、信頼性を向上させるため、発光素子の発光時に印加される電圧とは逆方向の電圧を印加する方法がある（特許文献 1 参照）。

【0006】

【特許文献 1】特開 2001 - 117534 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0007】

発光素子を有する画素回路は、多様な構成を取り得る。そこで本発明は、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため、発光素子へ逆方向の電圧（以下、逆電圧と表記する）を印加する回路構成、及びその方法を提供することを課題とする。

【課題を解決するための手段】

【0008】

上記課題を鑑み本発明は、信号線に接続されるスイッチング用のトランジスタ（スイッチング用トランジスタと表記する）、発光素子に接続される駆動用のトランジスタ（駆動用トランジスタと表記する）、駆動用トランジスタに直列に接続される電流制御用のトランジスタ（電流制御用トランジスタと表記する）を少なくとも有する新たな画素回路において、発光素子へ逆電圧を印加する。

【0009】

好ましくは、駆動用トランジスタのゲート電位を固定電位とすることにより、寄生容量や配線容量によるゲート・ソース間の電圧 V_{gs} が変化しないように動作させることができる。その結果、駆動用トランジスタのゲート・ソース間電圧 V_{gs} のばらつきに起因する、表示ムラを抑えることができる。

【0010】

また本発明は、信号線に接続される電流制御用トランジスタをオフとする、例えば、電流制御用トランジスタに接続された容量素子の電荷を放電する消去用のトランジスタ（消去用トランジスタと表記する）を加えた画素回路において、発光素子へ逆電圧を印加する。

【0011】

駆動用トランジスタは、飽和領域及び線形領域で動作させることができ、スイッチング用トランジスタ、電流制御用トランジスタ、及び消去用トランジスタは、線形領域で動作させる。線形領域で動作させる場合、駆動用電圧を低くできるため、表示装置の低消費電力化を達成することができる。

【0012】

逆電圧（逆バイアスともいう）を印加する方法は、発光素子が有する陽極と、陰極に印加する電圧の大小関係が逆となるように電圧を印加する。つまり、陽極に導通しているアノード線と、陰極に導通しているカソード線との電位が反転する電圧を印加する。なお、アノード線、及びカソード線には、電源線が接続され、電源線により反転する電位が印加されてもよい。

【0013】

逆電圧を印加するための回路（以下、逆電圧印加用回路と表記する）は、アナログスイッチ、又はクロックドインバータ等の半導体回路と、逆電圧印加時にオンとなるトランジスタ（逆電圧印加用トランジスタとも表記する）とを有する。

【0014】

アナログスイッチは、少なくとも極性の異なる第1のトランジスタ、及び第2のトランジスタを有する。クロックドインバータは、少なくとも極性の異なる第1のトランジスタ、及び第2のトランジスタと、第3のトランジスタを有する。さらに第3のトランジスタと極性の異なる第4のトランジスタを有してもよい。

【0015】

トランジスタは、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

【発明の効果】

【 0 0 1 6 】

本発明により、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。さらに、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。その結果、表示装置を有する電子機器の長寿命化が達成できる。

【 0 0 1 7 】

以上により新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。

【発明を実施するための最良の形態】

10

【 0 0 1 8 】

以下に、本発明の実施の形態を図面に基づいて説明する。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 1 9 】

また以下の実施の形態において、トランジスタはゲート、ソース、ドレインの3端子を有するが、ソース電極、ドレイン電極に関しては、トランジスタの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース電極、ドレイン電極のうち一方を第1の電極、他方を第2の電極と表記する。

(実施の形態1)

20

【 0 0 2 0 】

本実施の形態では、少なくともスイッチング用トランジスタ、消去用トランジスタ、駆動用トランジスタ及び電流制御用トランジスタを有する画素回路に対し、アナログスイッチを有する逆電圧印加用回路を用いる具体例について説明する。

【 0 0 2 1 】

図1(A)には、順電圧(発光素子が発光する方向の電圧)を印加し、発光素子が発光している状態を示す。図1(A)に示す逆電圧印加用回路116は、nチャネル型トランジスタ20、pチャネル型トランジスタ21を有するアナログスイッチ28を有する。nチャネル型トランジスタ20のゲート電極は、アノード線18に接続され、本実施の形態ではアノード線18は、5Vに保持されている。pチャネル型トランジスタ21のゲート電極は、一定の電位に保持された電源線、又はカソード線に接続され、本実施の形態では-2Vに固定された第1の電源線19に接続されている。アナログスイッチ28の出力配線(出力端子)は、逆電圧印加用トランジスタ17の第1の電極と、走査線58、又は消去用トランジスタのゲート電極に接続されるリセット線59と、に接続される。本実施の形態ではアナログスイッチ28の出力配線は、逆電圧印加用トランジスタ17の第1の電極と、走査線58と、に接続されている。

30

【 0 0 2 2 】

逆電圧印加用トランジスタ17は、一定の電位に保たれた電源線、又はカソード線にゲート電極が接続され、アノード線に第1の電極が接続され、アナログスイッチ28の出力配線に第2の電極が接続される。本実施の形態では逆電圧印加用トランジスタ17のゲート電極は-2Vの電位に保持されている。さらに、逆電圧印加用トランジスタ17の第1の電極は、スイッチング用トランジスタのゲート電極に接続された走査線58に接続されている。また逆電圧印加用トランジスタの第1の電極は、消去用トランジスタのゲート電極に接続されたりリセット線59に接続してもよい。

40

【 0 0 2 3 】

このような回路構成において、走査線駆動回路が有するバッファ回路から、例えば5V、-2Vの電圧のパルス信号が出力され、アナログスイッチ28へ入力される。すると、nチャネル型トランジスタ20、及びpチャネル型トランジスタ21のどちらかがオンとなり、逆電圧印加用トランジスタ17はオフとなる。具体的には、Lowの信号が入力される場合、pチャネル型トランジスタ21がオンとなり、Highの信号が入力される場合

50

、nチャネル型トランジスタ20がオンとなる。そして、走査線58にはバッファ回路から出力された信号が入力される。

【0024】

このような信号がアナログスイッチ28に入力されるとき、画素101ではスイッチング用トランジスタ51がオンとなり、信号線57からビデオ信号が入力される。本実施の形態では、スイッチング用トランジスタ51はnチャネル型のトランジスタを用い、ビデオ信号は電圧値として入力する。スイッチング用トランジスタ51は、pチャネル型のトランジスタを用いてもよい。

【0025】

すると、駆動用トランジスタ53、電流制御用トランジスタ54がオンとなり、発光素子55が発光する。発光素子55の陰極は、-10Vに保持されたカソード線69に接続され、陽極は、5Vに保持されたアノード線18に接続されている。

10

【0026】

本実施の形態において、駆動用トランジスタ53、電流制御用トランジスタ54はpチャネル型のトランジスタを用いるが、nチャネル型のトランジスタを用いてもよい。なお、駆動用トランジスタ53と、電流制御用トランジスタ54は同一極性を用いる方が好ましい。

【0027】

このとき必要に応じて、消去用トランジスタ52を動作させて、リセット線59を選択し消去期間を設ける。本実施の形態において、消去用トランジスタ52はnチャネル型のトランジスタを用いる。消去用トランジスタ52はpチャネル型のトランジスタを用いてもよいことは言うまでもない。消去用トランジスタやその動作は、特開2001-343933号公報を参照すればよく、それらと組み合わせる用いることができる。

20

【0028】

また消去用トランジスタ52、及び電流制御用トランジスタ54の第1の電極が接続されるアノード線18及び駆動用トランジスタのゲート電極が接続される第2の電源線60は、制御用回路118が接続されている。なお駆動用トランジスタのゲート電極を固定電位とすると、寄生容量や配線容量によるゲート・ソース間の電圧 V_{gs} が変化しないように動作させることができる。そのため、少なくとも順電圧印加時では、第2の電源線60の電位を固定電位とすると好ましい。

30

【0029】

制御用回路118は二つのnチャネル型トランジスタを有し、第1のnチャネル型トランジスタ61の第1の電極と、第2のnチャネル型トランジスタ62のゲート電極とが、アノード線18に接続されている。第1のnチャネル型トランジスタ61の第2の電極と、第2のnチャネル型トランジスタ62の第1の電極とが、第2の電源線60に接続されている。第1のnチャネル型トランジスタ61のゲート電極は、-2Vに固定され、第2のnチャネル型トランジスタ62の第2の電極は、0Vに固定されている。

【0030】

このような制御用回路118は、順電圧印加時では、第1のnチャネル型トランジスタ61はオフとなり、第2のnチャネル型トランジスタ62はオンとなっている。その結果、駆動用トランジスタ53のゲート電極の電位は0Vとなっている。

40

【0031】

以上のような状態のとき、駆動用トランジスタ53はオンとなり、カソード線69が-10V、アノード線18が5Vであるため、発光素子へは順電圧が印加され、発光する。

【0032】

図1(B)には、逆電圧を印加している状態を示す。本実施の形態では、アノード線18を-10V、第1の電源線19を-2Vとする。すると、アナログスイッチ28が有するnチャネル型トランジスタ20、及びpチャネル型トランジスタ21は、両方ともオフとなり、逆電圧印加用トランジスタ17はオンとなり、走査線58は-10Vとなる。それに伴い、画素101ではスイッチング用トランジスタ51がオフとなる。

50

【 0 0 3 3 】

このときカソード線 6 9 の電圧を 5 V とし、逆電圧を印加する。そして、駆動用トランジスタ 5 3 と、電流制御用トランジスタ 5 4 とをオンとし、逆電圧を効率よく印加する。特に、駆動用トランジスタ 5 3 は、飽和領域で動作させるため、 L/W が大きくなるように設計されている場合、抵抗値が高いことが懸念される。そのため、制御用回路 1 1 8 では、第 1 の n チャネル型トランジスタ 6 1 をオンとし、第 2 の n チャネル型トランジスタ 6 2 をオフとし、駆動用トランジスタ 5 3 のゲート電極に接続される第 2 の電源線 6 0 の電圧を - 1 0 V とする。その結果、駆動用トランジスタ 5 3 のゲート電極へ印加されるゲート電圧を大きくできより効率高く逆電圧を印加することができる。その結果、駆動用トランジスタ 5 3 の抵抗による逆電圧印加時の問題を低減することができる。

10

【 0 0 3 4 】

なお駆動用トランジスタ 5 3 は、線形領域で動作させてもよい。駆動用トランジスタ 5 3 を線形領域で動作させる場合、駆動電圧を低くすることができる。そのため、表示装置の低消費電力化が期待できる。

【 0 0 3 5 】

以上のような状態のとき、駆動用トランジスタ 5 3、電流制御用トランジスタ 5 4 はオンとなり、カソード線 6 9 が 5 V、アノード線 1 8 が - 1 0 V であるため、発光素子へは逆電圧が印加される。

【 0 0 3 6 】

また、駆動用トランジスタ 5 3 や電流制御用トランジスタ 5 4 の抵抗を解消するために、発光素子の第 1 の電極（本実施の形態では陽極）と、アノード線 1 8 との間にダイオードを設けてもよい。なお本実施の形態では、発光素子の第 1 の電極は陽極とするが、第 1 の電極が陰極となる画素構成を用いてもよい。

20

【 0 0 3 7 】

本実施の形態により、新たな画素回路を有する表示装置に対して、発光素子の劣化を低減し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。

【 0 0 3 8 】

さらに本実施の形態により、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。

30

【 0 0 3 9 】

なお、本実施の形態で示した電圧の値は一例であり、これに限定されるものではない。（実施の形態 2）

【 0 0 4 0 】

本実施の形態では、クロックドインバータを有する逆電圧印加用回路に用いる具体例について説明する。

【 0 0 4 1 】

図 2 (A) には、順電圧を印加している状態を示す。図 2 (A) に示す逆電圧印加用回路 1 1 6 は、直列に接続された p チャネル型トランジスタ 1 2 と、 n チャネル型トランジスタ 1 3、1 4 を有するクロックドインバータ 2 9 を有する。なお、さらに加えて p チャネル型トランジスタを有するクロックドインバータを用いてもよい。 p チャネル型トランジスタ 1 2 のゲート電極と、 n チャネル型トランジスタ 1 3 のゲート電極は同電位であって、つまり接続されている。 p チャネル型トランジスタ 1 2 の第 1 の電極は、一定の電位に保持された電源線、例えば 5 V に保持された V D D （高電位電源線）に接続されている。 n チャネル型トランジスタ 1 4 の第 1 の電極は、一定の電位に保持された電源線、例えば - 2 V に保持された V S S （低電位電源線）に接続されている。またゲート電極は、一定の電位に保持された電源線、又はカソード線に接続され、本実施の形態では 5 V に保持された第 1 の電源線 1 9 に接続されている。クロックドインバータ 2 9 の出力配線は、逆電圧印加用トランジスタ 1 7 の第 1 の電極と、走査線 5 8 又はリセット線 5 9 とに接続されている。本実施の形態では、クロックドインバータ 2 9 の出力配線は、逆電圧印加用ト

40

50

ランジスタ 17 の第 1 の電極と、走査線 58 とに接続されている。

【0042】

逆電圧印加用トランジスタ 17 は、一定の電位に保たれた電源線、又はカソード線にゲート電極が接続され、アノード線に第 1 の電極の電極が接続され、クロックインバータ 29 の出力配線とに第 2 の電極が接続される。本実施の形態では逆電圧印加用トランジスタ 17 のゲート電極は - 2 V の電位に保たれている。また逆電圧印加用トランジスタの第 1 の電極はクロックインバータの出力配線と接続され、第 2 の電極は第 1 の電源線 19 に接続されている。さらに本実施の形態では、逆電圧印加用トランジスタ 17 の第 1 の電極は、スイッチング用トランジスタのゲート電極に接続された走査線に接続される。また逆電圧印加用トランジスタの第 1 の電極は、消去用トランジスタのゲート電極に接続されたりリセット線 59 に接続してもよい。

10

【0043】

走査線駆動回路が有するバッファ回路から、例えば 5 V、- 2 V のパルス信号が出力され、クロックインバータ 29 へ入力される。すると、n チャンネル型トランジスタ 14 がオンとなり、逆電圧印加用トランジスタ 17 はオフとなる。

【0044】

その結果、走査線 58 にはバッファ回路から出力された信号が入力される。本実施の形態では、スイッチング用トランジスタ 51 は n チャンネル型トランジスタを用い、ビデオ信号は電圧値として入力する。すると実施の形態 1 と同様に、駆動用トランジスタ 53、電流制御用トランジスタ 54 がオンとなり、発光素子 55 が発光する。

20

【0045】

その他の画素構成、動作、制御用回路 118 は図 1 (A) と同様であるため、説明を省略する。なお駆動用トランジスタのゲート電極を固定電位とすると、寄生容量や配線容量によるゲート・ソース間の電圧 V_{gs} が変化しないように動作させることができる。そのため実施の形態 1 と同様に、少なくとも順電圧印加時では、第 2 の電源線 60 の電位を固定電位とすると好ましい。

【0046】

このとき必要に応じて、消去用トランジスタ 52 を動作させて、リセット線 59 を選択し消去期間を設け、高階調表示を行なう。本実施の形態において、消去用トランジスタ 52 は n チャンネル型トランジスタを用いる。消去用トランジスタやその動作の詳細は、特開 2001 - 343933 号公報を参照すればよい。

30

【0047】

以上のような状態のとき、駆動用トランジスタ 53 はオンとなり、カソード線 59 が - 10 V、アノード線 18 が 5 V であるため、発光素子へは順電圧が印加され、発光する。

【0048】

図 2 (B) には、逆電圧を印加している状態を示し、第 1 の電源線 19 は - 10 V に保持される。すると、クロックインバータ 29 が有する n チャンネル型トランジスタ 14 は、ハイインピーダンス状態、つまりオフとなり、逆電圧印加用トランジスタ 17 はオンとなり、走査線 58 は - 10 V となる。それに伴い、画素 101 ではスイッチング用トランジスタ 51 がオフとなる。

40

【0049】

逆電圧を効率よく印加するため、駆動用トランジスタ 53 と、電流制御用トランジスタ 54 とをオンとする。このとき実施の形態 1 と同様な制御用回路 118 を用い、第 1 の n チャンネル型トランジスタ 61 をオンとし、第 2 の n チャンネル型トランジスタ 62 をオフとし、駆動用トランジスタ 53 のゲート電極に接続される第 2 の電源線 60 の電圧を - 10 V とする。

【0050】

以上のような状態のとき、駆動用トランジスタ 53 はオンとなり、カソード線 59 が 5 V、アノード線 18 が - 10 V となるため、発光素子へは逆電圧が印加される。

【0051】

50

また、駆動用トランジスタ 5 3 や電流制御用トランジスタ 5 4 の抵抗問題を解消するために、発光素子の第 1 の電極と、アノード線 1 8 との間にダイオードを設けてもよい。

【 0 0 5 2 】

本実施の形態により、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。

【 0 0 5 3 】

さらに本実施の形態により、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。

【 0 0 5 4 】

なお、本実施の形態で示した電圧の値は一例であり、これに限定されるものではない。
(実施の形態 3)

【 0 0 5 5 】

本実施の形態では、逆電圧印加用回路を有する走査線駆動回路、信号線駆動回路、及びそれらを有する表示装置について説明する。

【 0 0 5 6 】

図 5 (A) には、走査線駆動回路の構成を示し、シフトレジスタ 1 1 4、バッファ 1 1 5、逆電圧印加用回路 1 1 6 を有する逆電圧印加用回路部 1 5 0 を有する。

【 0 0 5 7 】

逆電圧印加用回路部 1 5 0 は、走査線、又はリセット線にそれぞれ接続される複数の逆電圧印加用回路 1 1 6 と逆電圧印加用トランジスタ 1 7 を有する。逆電圧印加用回路 1 1 6 は、アナログスイッチ 2 8、又はクロックドインバータ 2 9 を有する。

【 0 0 5 8 】

走査線駆動回路に逆電圧印加用回路部 1 5 0 を設ける場合、アノード線と、一定の電位に保たれた電源線、又はカソード線の電位を反転し、発光素子に逆電圧を印加すると同時に、アナログスイッチ 2 8、又はクロックドインバータ 2 9 をオフとし、逆電圧印加用トランジスタ 1 7 をオンとするように駆動する。そして、逆電圧印加回路 1 1 6 に接続される画素が有するスイッチング用トランジスタ 5 1、又は消去用トランジスタ 5 2 がオフとなる電位とする。その結果、アノード線 1 8 と信号線 5 7、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。

【 0 0 5 9 】

逆電圧印加用回路 1 1 6 を、信号線駆動回路に設けることもできる。図 5 (B) には、信号線駆動回路の構成を示し、シフトレジスタ 1 1 1、第 1 のラッチ回路 1 1 2、第 2 のラッチ回路 1 1 3、複数の逆電圧印加用回路 1 1 6 を有する逆電圧印加回路部 1 5 1 を有する。

【 0 0 6 0 】

信号線駆動回路に設けられた逆電圧印加用回路は、アナログスイッチ 2 8、又はクロックドインバータ 2 9 を有し、逆電圧印加用トランジスタ 1 7 は不要となる。アナログスイッチ、又はクロックドインバータの出力配線が、画素部の複数の信号線 (S 1 ~ S x) とそれぞれ接続されている。

【 0 0 6 1 】

さらに、信号線駆動回路が有する電源線とアノード線のショートを防止するため、スイッチを有する。スイッチは、アノード線と一定の電位に保たれた電源線、又はカソード線の電位差を利用して、オン、又はオフとなる。

【 0 0 6 2 】

信号線駆動回路に逆電圧印加用回路部 1 5 0 を設ける表示装置において、アノード線と一定の電位に保たれた電源線、又はカソード線の電位を反転し、発光素子に逆電圧を印加すると同時に、アナログスイッチ、又はクロックドインバータをオフとする。すると、アノード線と信号線との間に配置されたトランジスタをオフとすることができる。その結果、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショート

10

20

30

40

50

することなく逆電圧を印加することができる。

【0063】

また逆電圧を印加するとき、駆動用トランジスタのゲート電極が接続される電源線と、アノード線の電圧について説明する。逆電圧を印加する場合、駆動用トランジスタ、電流制御用トランジスタを介して発光素子へ逆電圧が印加される。そのため、駆動用トランジスタ、電流制御用トランジスタの抵抗は、より低くなると好ましい。しかし、特に駆動用トランジスタの場合、飽和領域で動作させる場合、チャネル形成領域のL/W比が大きくなり、抵抗が高くなることが懸念される。

【0064】

そこで、駆動用トランジスタ、電流制御用トランジスタを確実にオンとし、より高い電圧を印加するように、駆動用トランジスタのゲート電極が接続される電源線の電圧を制御する制御用回路118を有する。

10

【0065】

制御用回路は、アノード線にゲート電極が接続され、第1の電極が電源線に接続された第6のトランジスタと、ゲート電極が固定電位に保持され、第1の電極がアノード線に接続され、第2の電極が電源線に接続された第7のトランジスタとを有する。

【0066】

駆動用トランジスタに着目すると、順電圧を印加する場合、第6のトランジスタはオン、第7のトランジスタはオフとし、逆電圧を印加する場合、第6のトランジスタはオフ、第7のトランジスタはオンとする。そして逆電圧を印加する場合、電源線の電圧の絶対値を大きくし、駆動用トランジスタへ印加する電圧を大きくすることができる。

20

【0067】

図12(A)は上述のような信号線駆動回路、及び走査線駆動回路を有する表示装置の上面図を示し、第1の基板1210上に信号線側駆動回路103、走査線側駆動回路104、105、画素部1202が示されている。

【0068】

図12(B)は発光素子を有する表示装置のA-A'の断面図を示し、第1の基板1210上に、nチャネル型TFT1223とpチャネル型TFT1224とを有するCMOS回路を備えた信号線駆動回路1201が示されている。また、信号線駆動回路や走査線駆動回路を形成するTFTは、CMOS回路、PMOS回路又はNMOS回路で形成しても良い。また本実施の形態では、基板上に信号線駆動回路及び走査線駆動回路を形成したドライバー体型を示すが、走査線駆動回路と信号線駆動回路はICにより形成し、SOG法やTAB法により信号線、又は走査線等と接続してもよい。

30

【0069】

また、スイッチング用トランジスタ1221及び駆動用トランジスタ1212を有し、スイッチング用トランジスタ及び駆動用トランジスタを覆い、所定の位置に開口部を有する絶縁膜1214と、駆動用トランジスタ1212の一方の配線と接続された発光素子の第1の電極1213と、第1の電極上に設けられた有機発光層1215と、対向して設けられた発光素子の第2の電極1216を有する発光素子1218と、水分や酸素等による発光素子の劣化を防止するために設けられた保護膜1217を有する画素部1220が示されている。

40

【0070】

本実施の形態では保護膜1217にスパッタ法(DC方式やRF方式)により得られる窒化珪素または窒化酸化珪素を主成分とする絶縁膜、または水素を含むDLC膜(Diamond Like Carbon)を使用する。

【0071】

発光素子の第1の電極1213が駆動用トランジスタ1212の第1の電極と接している構成となっているため、発光素子の第1の電極1213の少なくとも下面は、半導体膜のドレイン領域とオーミックコンタクトのとれる材料とし、有機発光層と接する表面に仕事関数の大きい材料を用いて形成することが望ましい。また、発光素子の第1の電極12

50

13は、窒化チタン膜の単層としてもよいし、3層以上の積層を用いてもよい。また更に、発光素子の第1の電極1213として透明導電膜を用いれば両面発光型の発光素子を有する表示装置を作製することができる。

【0072】

絶縁物1214は有機樹脂膜又は珪素を含む絶縁膜で形成すればよい。ここでは、絶縁物1214として、ポジ型の感光性アクリル樹脂膜を用いて形成する。

【0073】

なお、後に形成する電極や有機発光層の段差被覆性を良好なものとするため、絶縁物1214の上端部又は下端部に曲率を有する曲面が形成されるようにすると好ましい。例えば、絶縁物1214の材料としてポジ型の感光性アクリルを用いた場合、絶縁物1214の上端部のみに曲率半径(0.2 μ m~3 μ m)を有する曲面を持たせるとよい。また、絶縁物1214として、感光性の光によってエッチャントに不溶解性となるネガ型、又は光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0074】

第1の電極1213上には、蒸着マスクを用いた蒸着法、又はインクジェット法によってRGBの発光が得られる有機発光層1215を選択的に形成する。そして有機発光層1215上には、第2の電極1216が形成される。

【0075】

また発光素子1218を白色発光とする場合、着色層とBM(ブラックマトリクス)からなるカラーフィルタを設ける必要がある。

【0076】

そして、第2の電極1216は、接続領域の絶縁膜1214に設けられた開口部(コンタクト)を介して接続配線1208と接続され、接続配線1208は異方性導電樹脂(ACF)によりフレキシブルプリント基板(FPC)1209に接続されている。そして、外部入力端子となるFPC1209からビデオ信号やクロック信号を受け取る。ここではFPCしか図示されていないが、このFPCにはプリント配線基板(PWB)が取り付けられていてもよい。

【0077】

また加圧や加熱によりACFを接着するときに、フィルム基板のフレキシブル性や加熱による軟化のため、クラックが生じないように注意する。例えば、接着領域に硬性の高い基板を補助として配置したりすればよい。

【0078】

また第1のフィルム基板の周縁部にはシール材1205が設けられ、第2の基板1204と張り合わせられ、封止されている。シール材1205はエポキシ系樹脂を用いるのが好ましい。

【0079】

第2の基板1204で封止すると、保護膜1217との間に空間が形成される。空間には、不活性ガス、例えば窒素ガスを充填したり、吸水性の高い材料を形成して、水分や酸素の侵入を防止する。本実施の形態では、透光性を有し、吸水性の高い樹脂1230を形成する。樹脂1230は透光性を有するため、発光素子からの光が第2の基板側へ出射される場合であっても、透過率を低減することなく形成することができる。

【0080】

本実施の形態により、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。さらに、アノード線と信号線、つまりアノード線と信号線駆動回路が有する電源線とがショートすることなく逆電圧を印加することができる。その結果、表示装置の長寿命化が達成できる。

(実施の形態4)

【0081】

本発明の表示装置をデジタル駆動する場合には、多階調の画像を表現するために時間階

10

20

30

40

50

調方式を用いる。本実施の形態では、逆電圧を印加するタイミングについて図3を用いて説明する。図3(A)は、縦軸は走査線、横軸は時間のときのタイミングチャートを示し、図3(B)はj行目の走査線G_jのタイミングチャートを示す。

【0082】

表示装置は、そのフレーム周波数を通常60Hz程度とする。つまり、1秒間に60回程度の画面の描画が行われ、画面の描画を1回行なう期間を1フレーム期間(単位フレーム期間)と呼ぶ。時間階調方式では、1フレーム期間を複数のサブフレーム期間(m(mは2以上の自然数)個のサブフレーム期間SF1、SF2、...、SFm)に分割する。このときの分割数は、階調ビット数に等しい場合が多く、ここでは簡単のために、分割数が階調ビット数に等しい場合を示す。つまり本実施の形態では5ビット階調を例示しているので、5つのサブフレーム期間SF1~SF5に分割した例を示す。

10

【0083】

各サブフレーム期間は、画素にビデオ信号を書き込む書き込み期間Ta1、Ta2、...、T_amと、発光素子が発光又は非発光する保持期間Ts1、Ts2、...、Ts_mを有する。保持期間Ts1~Ts5は、その長さの比をTs1:・・・:Ts5=16:8:4:2:1とする。つまり、nビット階調を表現する場合、n個の保持期間は、その長さの比を2⁽ⁿ⁻¹⁾:2⁽ⁿ⁻²⁾:・・・:2¹:2⁰とする。

【0084】

図3において、サブフレーム期間SF5は消去期間Te5を有する例を示す。消去期間Te5では、画素に書き込まれたビデオ信号をリセットする。消去期間は必要に応じて設ければよい。

20

【0085】

一フレーム期間に逆電圧印加期間Trを設ける。この逆電圧印加期間Trでは、全ての画素で同時に逆電圧が印加される。本実施の形態では、消去期間Te5の終了後、逆電圧印加期間Trを設ける場合を説明する。なお、逆電圧印加期間Trを長く設け、発光素子へ逆電圧を印加する時間を長くすると好ましい。

【0086】

図3(C)は図3(B)に対応する走査線G_j、アノード線、及びカソード線の電圧値を示す。図3(C)をみると、走査線G_jにはHighとLowのパルス信号が印加され、例えば実施の形態1又は2で示したように5V、-2Vの電圧の信号が印加される。書き込み期間Ta1~Ta5では、走査線G_jにはHighの信号が印加され、逆電圧印加期間TrではLowの信号が印加される。

30

【0087】

アノード線へ5V、カソード線へ-2Vの電圧が印加され、逆電圧印加期間Trでは、アノード線へ-2V、カソード線へ-5Vの電圧、つまり逆電圧が印加される。

【0088】

なお、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせばよい。また、サブフレーム期間の順序は、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいてもよい。さらにフレーム期間毎に、その順序が変化してもよい。また、あるサブフレーム期間をさらに分割していてもよい。

40

【0089】

また画素毎に、逆電圧を印加するか否かを決定してもよい。この場合、画素毎にスイッチを設け、逆電圧を印加しないときはオフとなるように制御する。

【0090】

また、画素毎に発光素子の劣化状態が異なる場合が考えられる。メモリ回路及びカウンタ回路とにより、ビデオ信号をカウント、記録し、その情報に基づきに発光素子の劣化状態に応じて印加すべき逆電圧の値を求めることができる。そして、印加する逆電圧の値に応じて、アノード線と、一定の電位に保持された電源線、又はカソード線の電位を設定してもよい。例えば、アノード線は発光素子毎に設けられるため、アノード線の電位を画素

50

毎に設定する。

【 0 0 9 1 】

本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

(実施の形態 5)

【 0 0 9 2 】

本実施の形態では、画素回路、及びその動作について説明する。

【 0 0 9 3 】

図 4 (A) に示す画素回路は、発光素子 3 9 と、ビデオ信号が入力される信号線 3 0、ビデオ信号の画素への入力を制御するスイッチング用トランジスタ 3 5、発光素子 3 9 へ流れる電流値を制御する駆動用トランジスタ 3 6、発光素子 3 9 への電流の供給を制御する電流制御用トランジスタ 3 7、書き込まれたビデオ信号の電位を消去する消去用トランジスタ 4 0、ビデオ信号の電位を保持するための容量素子 3 8 を有する。

10

【 0 0 9 4 】

本実施の形態では、スイッチング用トランジスタ 3 5、消去用トランジスタ 4 0 を n チャンネル型トランジスタとし、駆動用トランジスタ 3 6、電流制御用トランジスタ 3 7 を p チャンネル型トランジスタとする。また駆動用トランジスタ 3 6 を飽和領域で、電流制御用トランジスタ 3 7 を線形領域で動作させる。そのため、駆動用トランジスタ 3 6 のチャネル形成領域の L を W より長くし、好ましくは、駆動用トランジスタ 3 6 の W に対する L の比が 5 以上にするとよい。また各トランジスタの特性はエンハンスメント型トランジスタを用いてもよいし、ディプリーション型トランジスタを用いてもよい。

20

【 0 0 9 5 】

なお駆動用トランジスタ 3 6 は、線形領域で動作させてもよい。駆動用トランジスタ 3 6 を線形領域で動作させる場合、駆動電圧を低くすることができる。そのため、表示装置の低消費電力化が期待できる。

【 0 0 9 6 】

スイッチング用トランジスタ 3 5 のゲート電極は、走査線 3 1 に接続されている。スイッチング用トランジスタ 3 5 の第 1 の電極が信号線 3 0 に、第 2 の電極が電流制御用トランジスタ 3 7 のゲートに接続されている。駆動用トランジスタ 3 6 のゲートは第 2 の電源線 3 3 に接続されている。そして駆動用トランジスタ 3 6 及び電流制御用トランジスタ 3 7 は、第 1 の電源線 3 2 から供給される電流が、駆動用トランジスタ 3 6 及び電流制御用トランジスタ 3 7 のドレイン電流として発光素子 3 9 へ供給するように、第 1 の電源線 3 2、発光素子 3 9 と接続されている。

30

【 0 0 9 7 】

容量素子 3 8 が有する 2 つの電極の一方は、第 1 の電源線 3 2 に接続されており、他方は電流制御用トランジスタ 3 7 のゲートに接続されている。容量素子 3 8 はスイッチング用トランジスタ 3 5 が非選択状態 (オフ状態) にある時、容量素子 3 8 の電極間の電位差を保持するために設けられている。スイッチング用トランジスタ 3 5、駆動用トランジスタ 3 6、又は電流制御用トランジスタ 3 7 のゲート容量が大きく、各トランジスタからのリーク電流が許容範囲である場合、容量素子 3 8 は設ける必要はない。

【 0 0 9 8 】

消去用トランジスタ 4 0 ゲート電極は、リセット線 4 1 に接続され、第 1 の電極は第 1 の電源線 3 2 に、第 2 の電極は電流制御用トランジスタ 3 7 のゲートに接続されている。つまり、容量素子 3 8 の両端に消去用トランジスタの第 1 の電極と、第 2 の電極が接続されている。

40

【 0 0 9 9 】

次に、図 4 (A) に示す画素の動作について、書き込み期間、発光期間、消去期間とに分けて説明する。まず書き込み期間において走査線 3 1 が選択されると、走査線 3 1 に接続されているスイッチング用トランジスタ 3 5 がオンとなる。そして、信号線 3 0 に入力されたビデオ信号が、スイッチング用トランジスタ 3 5 を介して電流制御用トランジスタ 3 7 のゲートに入力される。なお、駆動用トランジスタ 3 6 はゲートが第 2 の電源線 3 3

50

に接続されているため、電流制御用トランジスタ 37 と別に制御することができる。

【0100】

ビデオ信号によって電流制御用トランジスタ 37 がオンとなる場合は、第 1 の電源線 32 を介して電流が発光素子 39 に供給される。このとき電流制御用トランジスタ 37 は線形領域で動作しているため、発光素子 39 に流れる電流は、飽和領域で動作する駆動用トランジスタ 36 と発光素子 39 の電圧電流特性によって決まる。そして発光素子 39 は、供給される電流に見合った輝度で発光する。

【0101】

またビデオ信号によって電流制御用トランジスタ 37 がオフとなる場合、発光素子 39 への電流の供給は行なわれない。

10

【0102】

保持期間では、走査線 31 の電位を制御することでスイッチング用トランジスタ 35 をオフとし、書き込み期間において書き込まれたビデオ信号の電位を保持している。書き込み期間において電流制御用トランジスタ 37 をオンとする場合、ビデオ信号の電位は容量素子 38 によって保持されているので、発光素子 39 への電流の供給は維持され、発光している。逆に、書き込み期間において電流制御用トランジスタ 37 をオフとする場合、ビデオ信号の電位は容量素子 38 によって保持されているので、発光素子 39 への電流の供給は行なわれず、非発光となっている。

【0103】

消去期間では、第 2 走査線 41 が選択されて消去用トランジスタ 40 がオンとなり、電源線 32 の電位が消去用トランジスタ 40 を介して電流制御用トランジスタ 37 のゲートに与えられる。よって、電流制御用トランジスタ 37 がオフとなるため、発光素子 39 に強制的に電流が供給されない状態を作り出すことができる。

20

【0104】

また逆電圧印加期間では、図 1 (B)、図 2 (B) で示したように駆動用トランジスタ 36、電流制御用トランジスタ 37 をオンとし、発光素子へ逆電圧が印加される。

【0105】

書き込み期間、保持期間、消去期間、及び逆電圧印加期間のタイミングチャートは実施の形態 4 を参照すればよい。

【0106】

30

図 4 (B) に示す画素回路は、ダイオード 45 が発光素子 39 と、第 1 の電源線 32 との間に設けられている構成が、図 4 (A) に示す画素回路と異なる。

【0107】

駆動用トランジスタ 36 や電流制御用トランジスタ 37 がオンとなる状態よりも低抵抗であるダイオード 45 を経由して逆電圧を印加することができる。その結果、効率よく逆電圧を印加することができる。そして印加時間を短時間とすることができ、書き込み期間や保持期間を長く設けることができる。

【0108】

図 4 (C) に示す画素回路は、駆動用トランジスタ 36 のゲート電極が走査線 30 に平行して設けられた第 3 の走査線 45 に接続されている構成が、図 4 (A) に示す画素回路と異なる。そのため、第 3 の走査線 45 に印加されるパルス信号により制御される。

40

【0109】

その他の構成は図 4 (A) と同様であるため、説明を省略する。

【0110】

図 4 (D) に示す画素回路は、ダイオード 45 が発光素子 39 と、第 1 の電源線 32 との間に設けられている構成が、図 4 (C) に示す画素回路と異なる。

【0111】

駆動用トランジスタ 36 や電流制御用トランジスタ 37 がオンとなる状態よりも低抵抗であるダイオード 45 を経由して逆電圧を印加することができる。その結果、効率よく逆電圧を印加することができる。そして印加時間を短時間とすることができ、書き込み期間

50

や保持期間を長く設けることができる。

【 0 1 1 2 】

その他の構成は図 4 (C) と同様であるため、説明を省略する。

【 0 1 1 3 】

図 4 (E) に示す画素回路は、駆動用トランジスタ 3 6 のゲート電極と、電流制御用トランジスタ 3 7 のゲート電極とを共通している構成が、図 4 (A) に示す画素回路と異なる。そのため、駆動用トランジスタ 3 6 と、電流制御用トランジスタ 3 7 を別に制御する場合、トランジスタの特性を異ならせる。図 4 (E) では、駆動用トランジスタ 3 6 をディプリーション型トランジスタ、電流制御用トランジスタ 3 7 をエンハンスメント型トランジスタとする。

10

【 0 1 1 4 】

その他の構成は図 4 (A) と同様であるため、説明を省略する。

【 0 1 1 5 】

図 4 (F) に示す画素回路は、ダイオード 4 5 が発光素子 3 9 と、第 1 の電源線 3 2 との間に設けられている構成が、図 4 (E) に示す画素回路と異なる。

【 0 1 1 6 】

駆動用トランジスタ 3 6 や電流制御用トランジスタ 3 7 がオンとなる状態よりも低抵抗であるダイオード 4 5 を経由して逆電圧を印加することができる。その結果、効率よく逆電圧を印加することができる。そして印加時間を短時間とすることができ、書き込み期間や保持期間を長く設けることができる。

20

【 0 1 1 7 】

その他の構成は図 4 (E) と同様であるため説明を省略する。

【 0 1 1 8 】

本実施の形態のように、多様な画素構成を用いることができ、それらに対し逆電圧を印加することができる。その結果、表示装置の長寿命化が達成できる。

(実施の形態 6)

【 0 1 1 9 】

本実施の形態では、各画素回路の具体的なマスク図面について説明する。

【 0 1 2 0 】

図 6 には、信号線 8 0 1、第 1 の電源線 8 0 2、第 2 の走査線 8 0 3、第 1 の走査線 8 0 4、スイッチング用トランジスタ 8 0 5、消去用トランジスタ 8 0 6、駆動用トランジスタ 8 0 7、電流制御用トランジスタ 8 0 8、発光素子の第 1 の電極 8 0 9、第 2 の電源線 8 1 1、容量素子 8 1 2 が設けられている。

30

【 0 1 2 1 】

本実施の形態では、第 1 の電源線 8 0 2 に平行して第 2 の電源線が設けられ、第 2 の電源線 8 1 1 が駆動用トランジスタ 8 0 7 のゲート電極に接続されている。スイッチング用トランジスタ 8 0 5、及び消去用トランジスタ 8 0 6 は半導体膜に対して二つのゲート電極を有するダブルゲート構造で形成されている。第 1 の走査線 8 0 4、第 2 の走査線 8 0 3 の一部が半導体膜と重なり、スイッチング用トランジスタ 8 0 5、及び消去用トランジスタ 8 0 6 のゲート電極として機能している。すなわち各トランジスタのゲート電極、第 1 の走査線 8 0 4、及び第 2 の走査線 8 0 3 は同一の第 1 の導電膜をパターンニングして形成している。

40

【 0 1 2 2 】

信号線 8 0 1、第 1 の電源線 8 0 2、第 2 の電源線 8 1 1 は同一の第 2 の導電膜をパターンニングして形成している。また第 2 の導電膜から、各トランジスタの第 1 の電極、及び第 2 の電極を形成する。

【 0 1 2 3 】

容量素子 8 1 2 は少なくとも半導体膜、ゲート絶縁膜、第 1 の導電膜とが積層している。消去用トランジスタ 8 0 6 の第 2 の電極、及び容量素子 8 1 2 の一方の電極は、第 1 の電源線 8 0 2 と接続しており、消去用トランジスタ 8 0 6 がオンとなると、保持される電

50

荷を放電する。

【0124】

電流制御用トランジスタ808、及び駆動用トランジスタ807は、同極性のトランジスタから形成され、不純物領域は共有されており、それぞれのゲート電極によりオン・オフを制御している。なお電流制御用トランジスタ808と、駆動用トランジスタ807の特性を変える、例えば、一方をエンハンスメント型トランジスタとし、ディプリーション型トランジスタとする場合、不純物の添加濃度を変えればよい。

【0125】

特に図4(E)(F)に示すように電流制御用トランジスタ808、及び駆動用トランジスタ807のゲート電極を共有する場合は、各トランジスタの特性を変えるとよい。

10

【0126】

駆動用トランジスタ807の第2の電極と、発光素子の第1の電極809との接続は、絶縁膜のコンタクトを介して接続するよう示すが、駆動用トランジスタ807の第2の電極上に発光素子の第1の電極809を形成してもよい。

【0127】

駆動用トランジスタ807を飽和領域で動作させる場合、そのL/Wは、電流制御用トランジスタ808よりも大きくなるように設計する。例えば駆動用トランジスタのL/W：電流制御用トランジスタのL/W = 5 ~ 6000 : 1となるようにする。そのため本実施の形態では、駆動用トランジスタ807の半導体膜は矩形状に形成されている。

【0128】

20

なお駆動用トランジスタ807は、線形領域で動作させてもよい。駆動用トランジスタ807を線形領域で動作させる場合、駆動電圧を低くすることができる。そのため、表示装置の低消費電力化が期待できる。

【0129】

図7には、信号線821、第1の電源線822、第2の走査線823、第1の走査線824、スイッチング用トランジスタ825、消去用トランジスタ826、駆動用トランジスタ827、電流制御用トランジスタ828、発光素子の第1の電極829、第2の電源線831、容量素子832が設けられている。

【0130】

図7に示す上面図は、第2の電源線831の構成が図6に示す構成と異なり、第1の導電膜と、第2の電源線831とにより隣り合う画素の駆動用トランジスタ同士を接続している。具体的には、画素内では第1の導電膜を使用し、隣り合う画素間では第2の電源線831を使用して接続し、隣り合う画素の駆動用トランジスタ827の第1の電極間に交互に設けられている。そのため図7に示す構成は、図6に示す構成よりも開口部を広くすることができる。

30

【0131】

図8には、信号線841、第1の電源線842、第2の走査線843、第1の走査線844、スイッチング用トランジスタ845、消去用トランジスタ846、駆動用トランジスタ847、電流制御用トランジスタ848、発光素子の第1の電極849、容量素子852が設けられている。

40

【0132】

図8に示す上面図は、駆動用トランジスタ847のゲート電極が隣り合う画素同士で繋がっている。図8に示す上面図は、図4(C)に示すように、駆動用トランジスタのゲート電極を第2の走査線に接続する画素回路に相当する。

【0133】

図9には、信号線861、第1の電源線862、第2の走査線863、第1の走査線864、第3の走査線873、第4の走査線874、第5の走査線875、スイッチング用トランジスタ865、消去用トランジスタ866、駆動用トランジスタ867、電流制御用トランジスタ868、発光素子の第1の電極869、容量素子872が設けられている。

50

【 0 1 3 4 】

図 9 に示す上面図は、各画素の駆動用トランジスタ 8 6 7 のゲート電極を、それぞれ第 3 の走査線 8 7 3、第 4 の走査線 8 7 4、第 5 の走査線 8 7 5 と接続している。そのため、R G B 毎に駆動用トランジスタ 8 6 7 に印加する電圧を変えることができる。

【 0 1 3 5 】

図 1 0 には、信号線 8 8 1、第 1 の電源線 8 8 2、第 2 の走査線 8 8 3、第 1 の走査線 8 8 4、スイッチング用トランジスタ 8 8 5、消去用トランジスタ 8 8 6、駆動用トランジスタ 8 8 7、電流制御用トランジスタ 8 8 8、発光素子の第 1 の電極 8 8 9、容量素子 8 9 2、第 1 の電極とゲート電極が接続したトランジスタ（ダイオードと表記する）8 9 3、ダイオードを制御するダイオード用電源線 8 9 4 が設けられている。図 1 0 では、ダイオード 8 9 3 として n チャネル型トランジスタを用い、ゲート電極とドレイン電極とを第 2 の導電膜により接続する。ダイオード 8 9 3 として p チャネル型トランジスタで形成する場合、ゲート電極と、ドレイン電極を第 2 の導電膜により接続すればよい。

10

【 0 1 3 6 】

図 1 0 に示す上面図は、ダイオード 8 9 3 が、発光素子の第 1 の電極 8 8 9 と、第 1 の電源線 8 8 2 との間に設けられ、ダイオード用電源線 8 9 4 の一部がゲート電極となる。逆電圧を印加するときには、ダイオード用電源線 8 9 4 にダイオード 8 9 3 がオンとなる信号を入力する。図 1 0 に示す上面図は、図 4 (B) (D) (F) に示すよう画素部にダイオードを有する回路に相当する。

【 0 1 3 7 】

ダイオード 8 9 3 は、本実施の形態で示す構成に限定されず、p n 接合を有するように形成してもよい。

20

【 0 1 3 8 】

本実施の形態のように、多様な上面図を有する画素構成に対し、逆電圧を印加することができる。その結果、表示装置の長寿命化が達成できる。

(実施の形態 7)

【 0 1 3 9 】

本発明を適用して作製される電子機器の一例として、デジタルカメラ、カーオーディオなどの音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(携帯電話、携帯型ゲーム機等)、家庭用ゲーム機などの記録媒体を備えた画像再生装置などが挙げられる。それら電子機器の具体例を図 1 1 に示す。

30

【 0 1 4 0 】

図 1 1 (A) は表示装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。図 1 1 (B) はデジタルスチルカメラであり、本体 2 1 0 1、表示部 2 1 0 2、受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0 6 等を含む。図 1 1 (C) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。

【 0 1 4 1 】

図 1 1 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。図 1 1 (E) は記録媒体を備えた携帯型の画像再生装置であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体読込部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示する。図 1 1 (F) はゴーグル型ディスプレイであり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。

40

【 0 1 4 2 】

図 1 1 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9 等を含む。図 1 1 (H) は携帯端末のうちの携帯

50

電話機であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。

【 0 1 4 3 】

上記の電子機器において、経時劣化する性質がある発光素子を有するパネルを具備した場合であっても、ショートすることなく逆電圧を印加することができるため、経時劣化を抑制できる。従って、エンドユーザに渡った後も、ユーザが電子機器を使用していないタイミングに逆電圧を印加することで、機器本体の長寿命化が実現される。

【 0 1 4 4 】

本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

10

(実施の形態 8)

【 0 1 4 5 】

本実施の形態では、逆電圧印加用回路を信号線側へ接続する例を説明する。

【 0 1 4 6 】

図 1 3 (A) には、順電圧を印加し、発光素子が発光している状態を示す。図 1 3 (A) に示す逆電圧印加用回路 1 1 6 は、n チャンネル型トランジスタ 2 0、p チャンネル型トランジスタ 2 1 を有するアナログスイッチ 2 8 を有する。n チャンネル型トランジスタ 2 0 のゲート電極は、アノード線 1 8 に接続され、本実施の形態ではアノード線 1 8 は、5 V に保持されている。p チャンネル型トランジスタ 2 1 のゲート電極は、一定の電位に保持された電源線、又はカソード線に接続され、本実施の形態では 0 V に固定された第 1 の電源線 1 9 に接続されている。アナログスイッチ 2 8 の出力配線 (出力端子) は、信号線 5 7 に接続されている。

20

【 0 1 4 7 】

このように逆電圧印加用回路 1 1 6 を信号線側へ接続する場合、逆電圧印加用トランジスタ 1 7 は不要となる。

【 0 1 4 8 】

その他の画素構成、及び画素が有するトランジスタは、図 1 (A) と同様であるため、説明を省略する。なお駆動用トランジスタのゲート電極を固定電位とすると、寄生容量や配線容量によるゲート・ソース間の電圧 V_{gs} が変化しないように動作させることができる。そのため実施の形態 1 と同様に、少なくとも順電圧印加時では、第 2 の電源線 6 0 の電位を固定電位とすると好ましい。

30

【 0 1 4 9 】

以上のような回路構成において、例えば信号線駆動回路が有する第 2 のラッチ回路 1 1 3 からビデオ信号が出力され、アナログスイッチ 2 8 へ入力される。本実施の形態では、ビデオ信号は、Low (例えば 0 V) と、High (例えば 5 V) のパルス状の信号を有するものとする。なお本実施の形態において、アナログスイッチ 2 8 へビデオ信号が入力されればよく、ビデオ信号はシフトレジスタ、又は第 1 のラッチ回路から入力されたり、さらに加えてバッファ回路等を介して入力されることもある。

【 0 1 5 0 】

このとき、アナログスイッチ 2 8 が有する n チャンネル型トランジスタ 2 0、及び p チャンネル型トランジスタ 2 1 のいずれかがオンとなる。具体的には、Low のビデオ信号が入力される場合、p チャンネル型トランジスタ 2 1 がオンとなり、High のビデオ信号が入力される場合、n チャンネル型トランジスタ 2 0 がオンとなる。そして、走査線 5 8 が選択され、スイッチング用トランジスタ 5 1 がオンとなると、信号線 5 7 を介してビデオ信号が画素 1 0 1 へ入力される。

40

【 0 1 5 1 】

すると、駆動用トランジスタ 5 3、電流制御用トランジスタ 5 4 がオンとなり、発光素子 5 5 はビデオ信号に基づいて発光する。

【 0 1 5 2 】

このとき必要に応じて、消去用トランジスタ 5 2 を動作させて、リセット線 5 9 を選択

50

し消去期間を設ける。本実施の形態において、消去用トランジスタ52はnチャネル型のトランジスタを用いる。消去用トランジスタ52はpチャネル型のトランジスタを用いてもよいことは言うまでもない。消去用トランジスタやその動作は、特開2001-343933号公報を参照すればよく、それらと組み合わせて用いることができる。

【0153】

また、アノード線18及び第2の電源線60は、実施の形態1と同様に制御用回路118を接続してもよい。

【0154】

以上のような状態のとき、カソード線69が-10V、アノード線が5Vとなっており、発光素子へは順電圧が印加される。

10

【0155】

図13(B)には、逆電圧を印加している状態を示す。逆電圧を印加するときは、ビデオ信号をLow(例えば0V)とする。すると、アナログスイッチ28が有するトランジスタは、両方ともオフとなり、ビデオ信号は画素へ入力されない。そのため、例えば走査線58が選択されても、スイッチング用トランジスタ51へビデオ信号が入力されず、オフとなる。

【0156】

逆電圧を印加する直前のビデオ信号がHigh(例えば5V)であると、アナログスイッチ28がオンとなる恐れがある。そこで、逆電圧を印加する直前には、信号線57の電位を一度Low(例えば0V)にする。具体的には、逆電圧印加期間の開始直前に、Low(例えば0V)のビデオ信号を信号線57へ入力する。その後、アノード線とカソード線に逆電圧を印加する。例えば、アノード線18を-10V、カソード線69を5Vとする。

20

【0157】

このとき、駆動用トランジスタ53と、電流制御用トランジスタ54とをオンとし、逆電圧を効率よく印加する。特に、駆動用トランジスタ53を飽和領域で動作させる場合、L/Wが大きくなるように設計されている場合、抵抗値が高いことが懸念される。

【0158】

そのため実施の形態1と同様な制御用回路118を用い、第1のnチャネル型トランジスタ61をオンとし、第2のnチャネル型トランジスタ62をオフとし、駆動用トランジスタ53のゲート電極に接続される第2の電源線60の電圧を-10Vとすると好ましい。

30

【0159】

その結果、駆動用トランジスタ53のゲート電極へ印加されるゲート電圧を大きくでき、駆動用トランジスタ53の抵抗による逆電圧印加時の問題を低減することができる。なお駆動用トランジスタ53は、線形領域で動作させてもよい。

【0160】

また、駆動用トランジスタ53や電流制御用トランジスタ54の抵抗を解消するために、発光素子の第1の電極(本実施の形態では陽極)と、アノード線18との間にダイオードを設けてもよい。

40

【0161】

このように逆電圧印加時にアナログスイッチ28をオフとすることにより、アノード線18と信号線57とがショートすることなく逆電圧を印加することができる。

【0162】

次に、逆電圧から順電圧を印加する状態、つまり各電位を戻す場合について説明する。逆電圧から順電圧を印加するとき、駆動用トランジスタ53のゲート電極は、-10Vに保持されているため、この状態で順電圧を印加すると、ビデオ信号と関係なく、発光素子55が発光してしまう恐れがある。

【0163】

そこで例えば、図14(A)に示すように、バッファ回路141、レベルシフタ143

50

、NOR / NAND回路 1 4 4、シフトレジスタ 1 4 5 を有する走査線駆動回路 1 4 0 において、バッファ回路 1 4 1 と、レベルシフタ 1 4 3 との間に第 2 の制御用回路 1 4 2 を設ける。なお、バッファ回路 1 4 1 の配置は適宜設計することができるため、第 2 の制御用回路 1 4 2 は少なくとも各リセット線と接続すればよい。つまり第 2 の制御用回路 1 4 2 は、画素部とレベルシフタ 1 4 3 との間に設ければよい。

【 0 1 6 4 】

第 2 の制御用回路は、順電圧を印加しているときに走査線駆動回路から供給される走査線を選択する信号が入力され、逆電圧から順電圧に変えるときに駆動用トランジスタ 5 3、又は電流制御用トランジスタ 5 4 をオフとするように制御する機能を有していればよい。

10

【 0 1 6 5 】

図 1 4 (B) には、第 2 の制御用回路 1 4 2 の具体的な構成を示す。第 2 の制御用回路 1 4 2 は、一つのインバータ回路 1 4 8、リセット線毎に設けられた p チャネル型のトランジスタ 1 4 7、及びクロックドインバータ 1 4 9 を有する。トランジスタ 1 4 7 の第 1 の電極はリセット線 5 9 に接続され、ゲート電極は第 3 の電源線 1 6 0 に接続され、第 2 の電極は 7 V に保持されている。インバータ回路 1 4 8 は、第 3 の電源線 1 6 0、及び第 4 の電源線 1 6 1 に接続されている。クロックドインバータ 1 4 9 は、第 1 の端子と第 3 の電源線 1 6 0 が接続され、第 2 の端子と第 4 の電源線 1 6 1 が接続され、入力配線とリセット線 5 9 が接続され、出力配線とレベルシフタ 1 4 3 が接続されている。

【 0 1 6 6 】

20

このような第 2 の制御用回路 1 4 2 では、第 3 の電源線 1 6 0 へ制御信号 (R E V) が入力され、リセット線 5 9 の電位を制御することができる。具体的には、第 3 の電源線 1 6 0 へ L o w の制御信号が入力されると、トランジスタ 1 4 7 がオンとなり、リセット線 5 9 は 7 V となる。そして、順電圧を印加するためアノード線を 5 V とする。すると、消去用トランジスタ 5 2 はオンとなり、電流制御用トランジスタ 5 4 のゲート電位は 5 V となる。このとき、電流制御用トランジスタ 5 4 はオフとなる。その後、カソード線の電位を - 1 0 V とし、順電圧を印加する。

【 0 1 6 7 】

このように、第 2 の制御用回路 1 4 2 により、電流制御用トランジスタ 5 4 をオフとすることにより、発光素子 5 5 はビデオ信号に基づき発光することができる。なお本実施の形態では、電流制御用トランジスタ 5 4 をオフとする場合で説明したが、駆動用トランジスタ 5 3 をオフするよう制御しても構わない。

30

【 0 1 6 8 】

第 2 の制御用回路 1 4 2 は、全リセット線 5 9 に接続されており、全リセット線 5 9 へ制御信号を同時に入力し、電流制御用トランジスタ 5 4 をオフとすることができる。

【 0 1 6 9 】

また、このような動作をリセット線ごとに行ってもよい。この場合、逆電圧印加期間 T_r において順にリセット線を選択し、順に制御信号を入力していけばよい。

【 0 1 7 0 】

以上のような動作により、逆電圧から順電圧に戻す場合、ビデオ信号と関係なく、発光素子 5 5 が発光することを防止できる。すなわち、ビデオ信号に基づいて発光素子は発光する。

40

【 0 1 7 1 】

図 1 4 (C) には、逆電圧印加期間 T_r における、アノード線 1 8、カソード線 6 9 に印加される電圧、及び第 3 の電源線 1 6 0 に入力される制御信号 (R E V) の具体的なタイミングチャートを示す。

【 0 1 7 2 】

まず、アノード線 1 8 と、カソード線 6 9 とに逆電圧を印加する。具体的には、アノード線 1 8 を - 1 0 V とし、カソード線 6 9 を 5 V とする。このとき R E V は H i g h となっている。所定の時間経過後、アノード線 1 8 の電位を 5 V へ戻し、次いで R E V の電位

50

をLowとすると、消去用トランジスタ52がオンとなる。そして、リセット線69の電圧を7Vとなり、電流制御用トランジスタ54がオフとなる。このとき電流制御用トランジスタ54がオフとなっているため、発光素子55が発光することはない。

【0173】

なおアノード線の電位を5Vとするタイミングと、REVの電位をLowとするタイミングはどちらが先でも構わない。但し、アノード線の電位を5Vとした後、REVの電位をLowとすると、消去用トランジスタ52へ印加される電圧値を不要に大きくすることが防げるため好ましい。

【0174】

なお図14では、制御信号をLowの電位を有する場合で説明したが、インバータ回路148の入力と、出力を逆の接続とし、Highの制御信号を第4の電源線161へ入力してもよい。

【0175】

図15(A)には、図14と異なる第2の制御用回路を、NOR回路146とレベルシフタ143との間に設ける場合を示す。

【0176】

図15(B)には、第2の制御用回路142の具体的な構成を示す。第2の制御用回路は、クロック信号が入力される第1のインバータ回路170は、pチャネル型のトランジスタ70、nチャネル型のトランジスタ71を有する。第1のインバータ回路170の出力配線に接続される第2のインバータ回路171は、pチャネル型のトランジスタ72、nチャネル型のトランジスタ73を有する。第2のインバータ回路171の出力配線と、NOR146の出力配線に接続されるNOR172は、直列に接続されたpチャネル型のトランジスタ74、75、並列に接続されたnチャネル型のトランジスタ76、77を有する。

【0177】

このような第2の制御用回路では、Highの制御信号が第1のインバータ回路170の入力配線から入力されると、pチャネル型トランジスタ74がオフ、nチャネル型トランジスタ77はオンとなり、Lowの信号がバッファ回路へ出力される。このとき消去用トランジスタ54をオンとすることができるため、その後カソード線69を-10Vとして順電圧を印加すると、電流制御用トランジスタ54をオフとすることができる。

【0178】

このように、第2の制御用回路142により、電流制御用トランジスタ54をオフとすることにより、発光素子55はビデオ信号に基づき発光することができる。なお本実施の形態では、電流制御用トランジスタ54をオフとする場合で説明したが、駆動用トランジスタ53をオフするよう制御しても構わない。

【0179】

図15(C)には、逆電圧印加期間Trにおける、アノード線18、カソード線69に印加される電圧、制御信号(REV)の具体的なタイミングチャートを示す。

【0180】

まず、アノード線18と、カソード線69とに逆電圧を印加する。具体的には、アノード線18を-10Vとし、カソード線69を5Vとする。このときREVはLowとなっている。所定の時間経過後、アノード線18の電位を5Vへ戻し、次いでREVの電位をHighとすると、消去用トランジスタ52がオンとなる。そして、リセット線69の電圧を7Vとする。このとき、電流制御用トランジスタ54がオフとなっているため、発光素子55が発光してしまうことはない。

【0181】

なおアノード線の電位を5Vとするタイミングと、REVの電位をHighとするタイミングはどちらが先でも構わない。但し、アノード線の電位を5Vとした後、REVの電位をHighとすると、消去用トランジスタ52へ印加される電圧値を不要に大きくすることが防げるため好ましい。

【0182】

10

20

30

40

50

以上のような動作により、逆電圧から順電圧に戻す場合、ビデオ信号と関係なく、発光素子 55 が発光することはない。すなわち、ビデオ信号に基づいて発光素子は発光する。

【0183】

なお本実施の形態では、発光素子の第 1 の電極は、陽極とするが、第 1 の電極が陰極となる画素構成を用いてもよい。

【0184】

本実施の形態により、新たな画素回路を有する表示装置に対して、発光素子の劣化を制御し、信頼性を向上させるため逆電圧を印加する回路構成、及びその方法を提供することができる。

【0185】

なお、本実施の形態で示した電圧の値は一例であり、これに限定されるものではない。

【図面の簡単な説明】

【0186】

【図 1】本発明の表示装置及びその駆動方法を説明する図。

【図 2】本発明の表示装置及びその駆動方法を説明する図。

【図 3】本発明のタイミングチャートを説明する図。

【図 4】本発明の表示装置の画素回路を説明する図。

【図 5】本発明の表示装置及びその駆動方法を説明する図。

【図 6】本発明の表示装置の画素の上面図を説明する図。

【図 7】本発明の表示装置の画素の上面図を説明する図。

【図 8】本発明の表示装置の画素の上面図を説明する図。

【図 9】本発明の表示装置の画素の上面図を説明する図。

【図 10】本発明の表示装置の画素の上面図を説明する図。

【図 11】本発明の電子機器を説明する図。

【図 12】本発明の表示装置の上面図、及び断面図を説明する図。

【図 13】本発明の表示装置及びその駆動方法を説明する図。

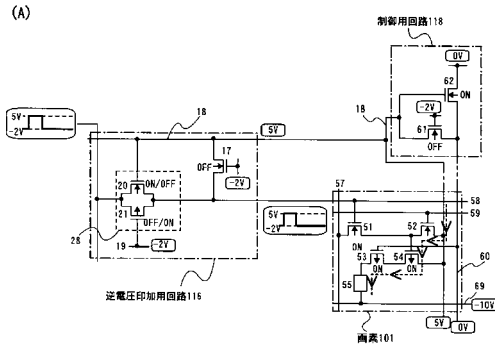
【図 14】本発明の表示装置及びその駆動方法を説明する図。

【図 15】本発明の表示装置及びその駆動方法を説明する図。

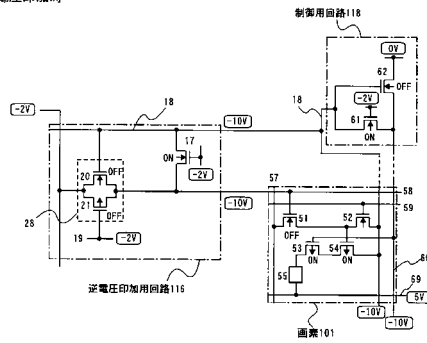
10

20

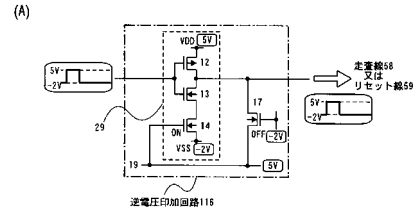
【図 1】



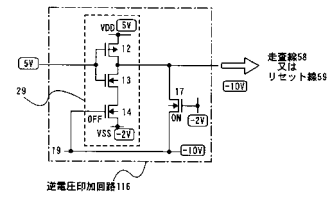
(B) 逆電圧印加時



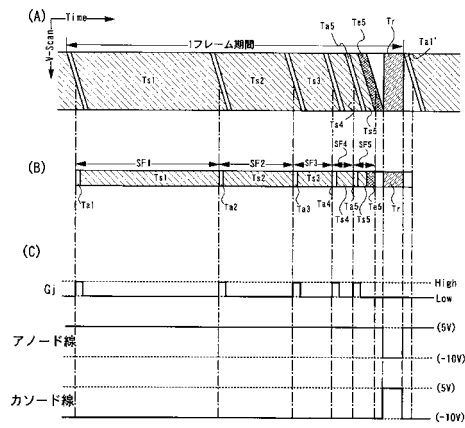
【図 2】



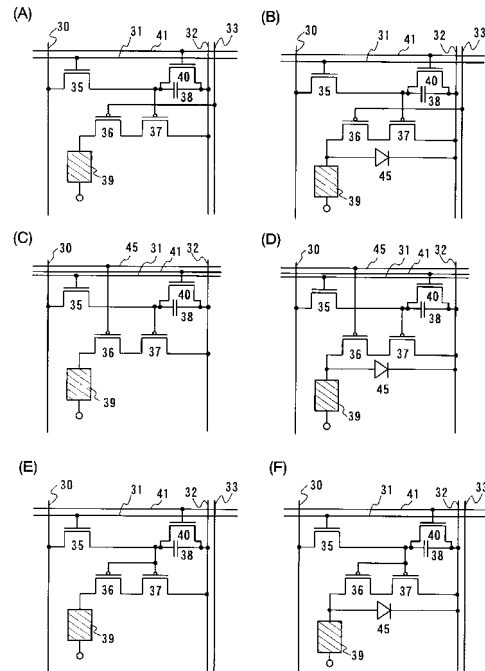
(B) 逆電圧印加時



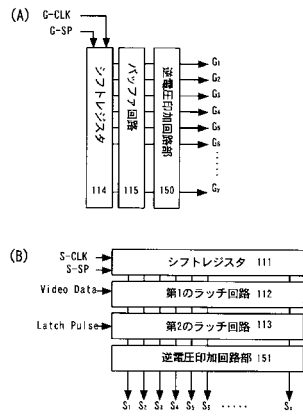
【図 3】



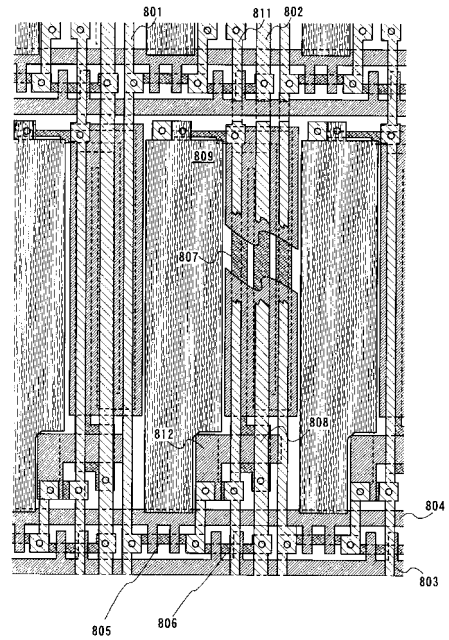
【図 4】



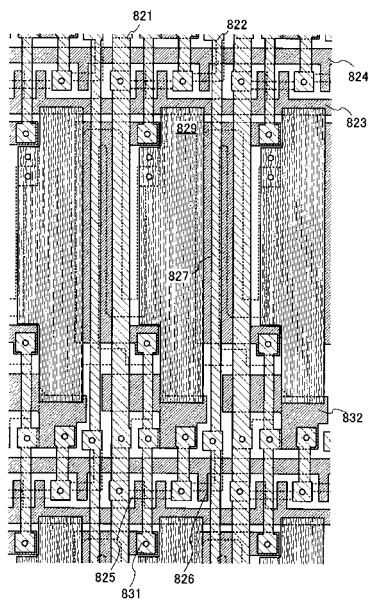
【図 5】



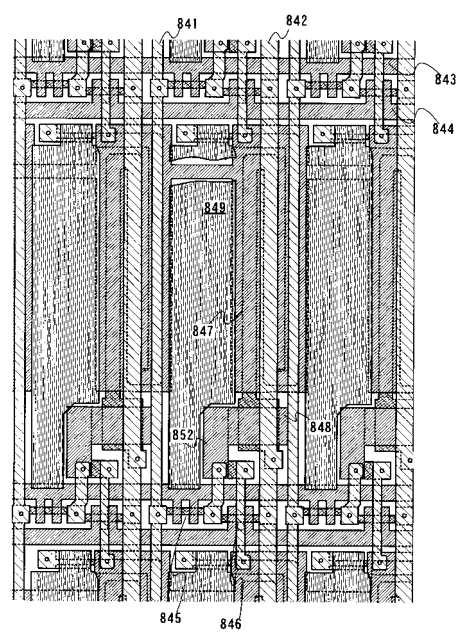
【図 6】



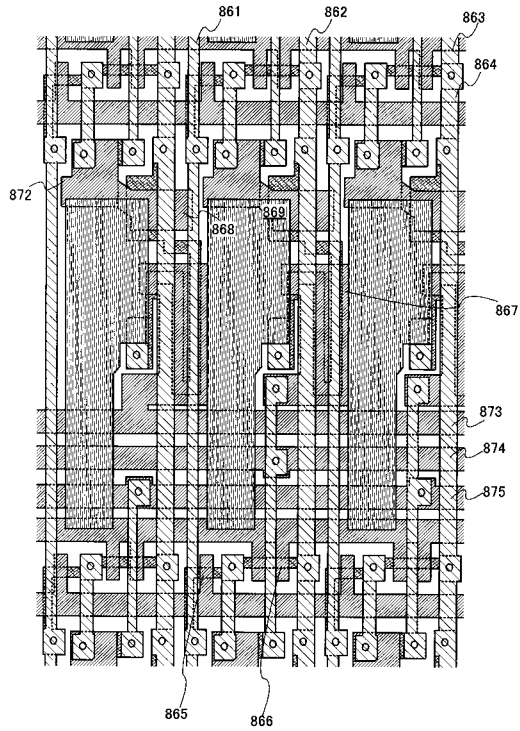
【図 7】



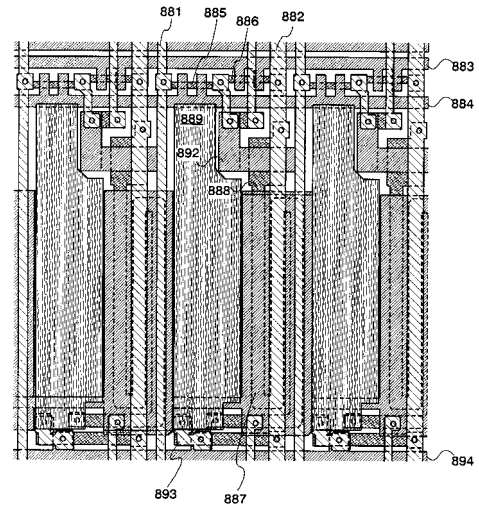
【図 8】



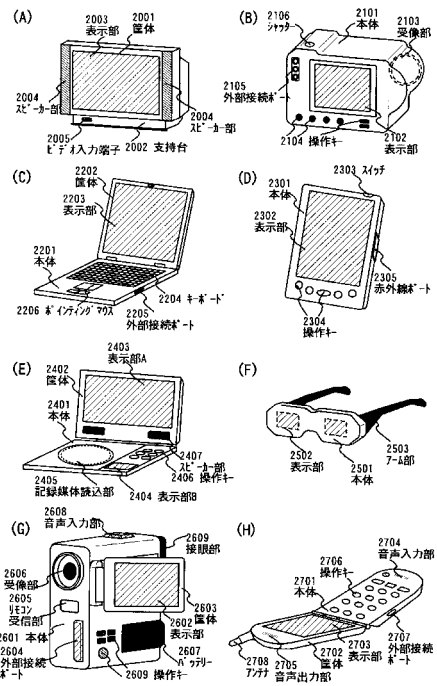
【 図 9 】



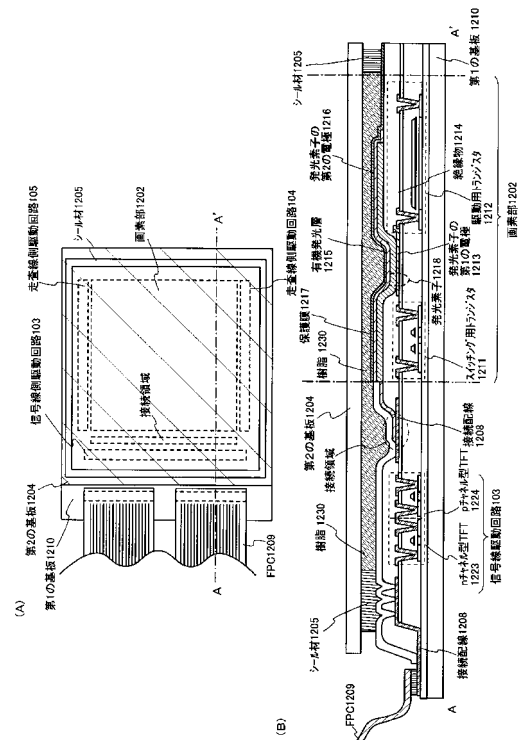
【 図 1 0 】



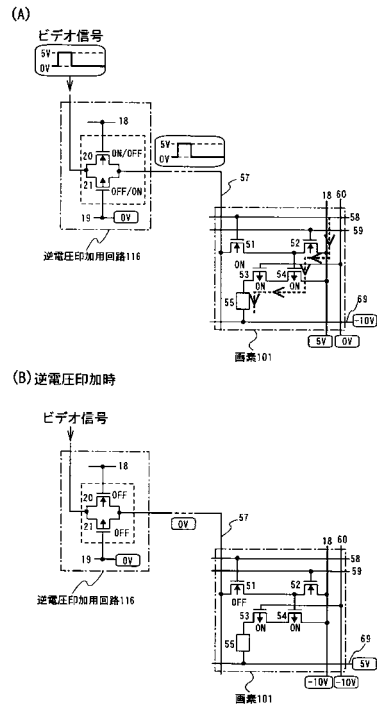
【 ㄨ 1 1 】



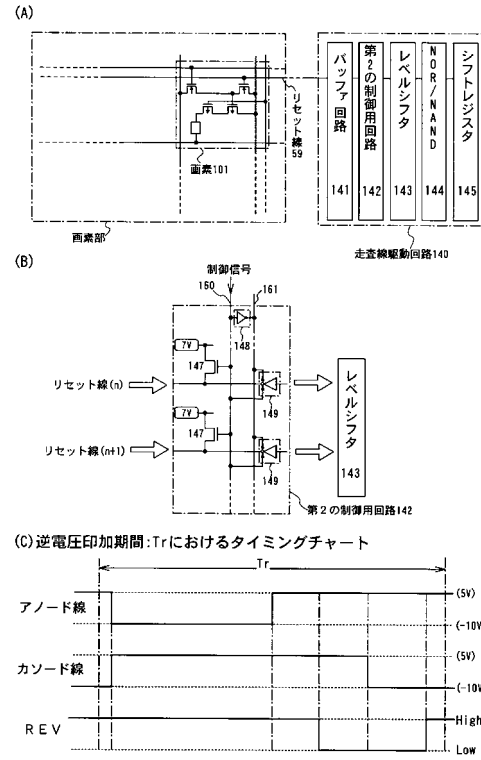
【 図 1 2 】



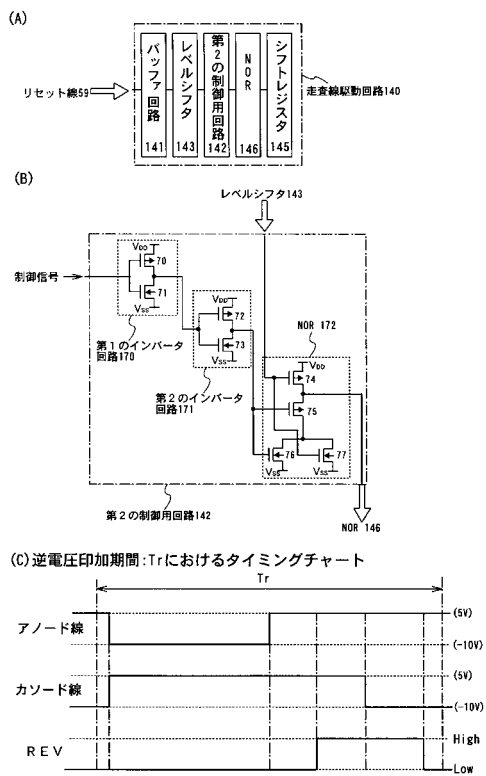
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/66 (2006.01) G 0 9 G 3/20 6 4 1 E
H 0 1 L 51/50 (2006.01) G 0 9 G 3/20 6 7 0 K
H 0 1 L 29/78 6 1 4
H 0 4 N 5/66 1 0 3
H 0 5 B 33/14 A

審査官 堀部 修平

(56)参考文献 国際公開第2004/086344(WO, A1)
特開2002-169510(JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8