

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/13 (2006.01)

G02F 1/1368 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200910052225.0

[43] 公开日 2009年12月9日

[11] 公开号 CN 101598859A

[22] 申请日 2009.5.31

[21] 申请号 200910052225.0

[71] 申请人 上海广电光电子有限公司

地址 200233 上海市徐汇区宜山路 757 号三
楼

[72] 发明人 丁婕琛 朱修剑

[74] 专利代理机构 上海申汇专利代理有限公司
代理人 白璧华

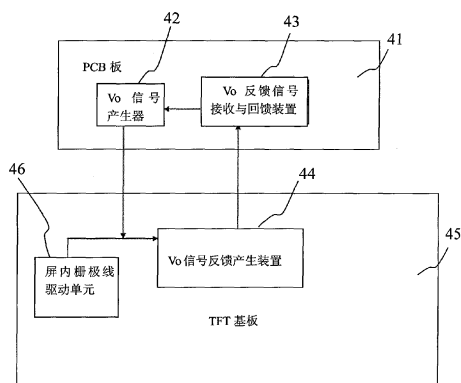
权利要求书 1 页 说明书 6 页 附图 5 页

[54] 发明名称

GIP 型液晶显示装置

[57] 摘要

本发明涉及一种 GIP 型液晶显示装置，包括液晶面板和 PCB 板；所述液晶面板上集成有栅极驱动器；所述 PCB 板上设置有信号产生器，为所述移位寄存器提供电平信号和正反时钟信号；所述多个级联的移位寄存器按奇偶行分别和所述正反时钟信号相连，在所述电平信号的作用下依次输出栅极线驱动信号；其中，所述液晶面板上设置有信号反馈产生装置，接收来自信号产生器的电平信号并实时产生反馈信号；所述 PCB 板上设置有反馈信号接收与回馈装置，根据接收到的反馈信号控制信号产生器的输出。本发明提供的 GIP 型液晶显示装置，通过在 GIP 架构中设置电压反馈系统，实时调整电平信号，从而避免因驱动电流过小而导致的驱动能力不足的问题。



1、 一种 GIP 型液晶显示装置，包括：

液晶面板和 PCB 板；

所述液晶面板上集成有栅极驱动器，所述栅极驱动器包括多个级联的移位寄存器，每个移位寄存器包括电平信号输入端，时钟信号输入端和栅极线输出端；

所述 PCB 板上设置有信号产生器，为所述移位寄存器提供电平信号和正反时钟信号；

所述多个级联的移位寄存器按奇偶行分别和所述正反时钟信号相连，在所述电平信号的作用下依次输出栅极线驱动信号；

其特征在于，所述液晶面板上设置有信号反馈产生装置，接收来自信号产生器的电平信号并实时产生反馈信号；所述 PCB 板上设置有反馈信号接收与回馈装置，根据接收到的反馈信号控制信号产生器的输出。

2、 根据权利要求 1 所述的 GIP 型液晶显示装置，其特征在于，所述反馈产生装置包括第一薄膜晶体管和第二薄膜晶体管，所述第一薄膜晶体管、第二薄膜晶体管的漏极相连作为信号输入端，所述第一薄膜晶体管、第二薄膜晶体管的源极相连作为反馈信号输出端，所述第一薄膜晶体管、第二薄膜晶体管的栅极分别和正反时钟信号相连。

3、 根据权利要求 1 所述的 GIP 型液晶显示装置，其特征在于，所述反馈产生装置包括第一薄膜晶体管组和第二薄膜晶体管组，所述第一薄膜晶体管组和第二薄膜晶体管组包括多个串联的薄膜晶体管，所述第一薄膜晶体管组、第二薄膜晶体管组的漏极相连作为信号输入端，所述第一薄膜晶体管组、第二薄膜晶体管组的源极相连作为反馈信号输出端，所述第一薄膜晶体管组、第二薄膜晶体管组的栅极分别和正反时钟信号相连。

4、 根据权利要求 1 所述的 GIP 型液晶显示装置，其特征在于，所述反馈产生装置包括第一薄膜晶体管组和第二薄膜晶体管组，所述第一薄膜晶体管组和第二薄膜晶体管组包括多个并联的薄膜晶体管，所述第一薄膜晶体管组、第二薄膜晶体管组的漏极相连作为信号输入端，所述第一薄膜晶体管组、第二薄膜晶体管组的源极相连作为反馈信号输出端，所述第一薄膜晶体管组、第二薄膜晶体管组的栅极分别和正反时钟信号相连。

GIP 型液晶显示装置

技术领域

本发明涉及一种液晶显示装置，尤其涉及一种改善驱动能力 GIP 型液晶显示装置。

背景技术

在平板显示领域中，液晶显示装置由于其具有重量轻、体积小、厚度薄等特点，已广泛地被应用在各种尺寸的终端显示设备中。如图 1 所示，一般来讲，一块液晶显示面板包括电路驱动模块 11、背光模块 12、下偏光片 13、TFT(薄膜晶体管)下基板 14、CF(彩色滤光板)上基板 16 以及上偏光片 17，在上下两块基板 14 和 16 中填充液晶分子层 15，此液晶层在外部电场的驱动下发生偏转，随着外部电场的不同其偏转方向也随之改变，从而呈现出不同的灰阶显示。

对于传统的液晶显示设备来讲，其驱动电路如图 2 所示，它是由栅极驱动器 21 和源极驱动器组 22 组成。其中栅极驱动器 21 用于选通水平方向的栅极驱动线，源极驱动器 22 用于将对应灰阶电压写入垂直方向的源极驱动线，从而使液晶分子的偏转随之发生改变以实现显示不同的灰阶的功能。在实际的液晶显示器中，栅极驱动器 21 和源极驱动器 22 都是经由 COF(chip on film) 23 和 24 分别与液晶面板 25 相连接。为了进一步节省成本，尤其是节省 COF，一种将栅极驱动器直接制作在液晶面板上的技术，即 GIP(gate in plane)技术随之产生。

对于 GIP 技术，其栅极驱动器的架构多种多样，总的来说是在液晶面板的基板上设置多个级联的移位寄存器，通过移位寄存器来控制水平栅极线的选通与关闭，以取代传统液晶面板中的栅极驱动 IC 和连接所用的 COF。

虽然采用 GIP 架构可以节省成本，但是由于实现 GIP 架构的移位寄存器主要是由非晶硅(a-Si)制作的薄膜晶体管(thin film transistor, TFT)制成，在实际的生产工艺中，由于氮化硅(SiNx)捕获电荷以及非晶硅膜中的偏压诱导使得深陷阱能级的结构发生变化等原因，使得 TFT 随着时间的推移发生其阈值电压 V_{th} 漂移的问题。而对于 TFT 结构来讲，由于其工作于线性区域，如图 3 所示。在此区域中，必须满足：①TFT 的栅源极电压 V_{gs} 大于阈值电压 V_{th} ，②源漏极电压 V_{ds}

小于栅源极电压与阈值电压的差值 $V_{gs}-V_{th}$ 。根据 I_{ds} 的表达式：

$$I_{ds} = \frac{W}{L} C_0 \mu [(V_{gs} - V_{th}) - \frac{1}{2} V_{ds}^2]$$

其中 W 和 L 是 TFT 的沟道宽度， C_0 是单位面积栅极绝缘膜的电容， μ 是电子迁移率。假如阈值电压 V_{th} 随时间发生漂移，比如变大，则用以驱动 TFT 工作的源漏极电流 I_{ds} 会随之变小。此时很有可能发生源漏极电流过小以致无法驱动 TFT 工作的现象，继而使液晶显示器无法正常显示。

除此缺陷之外，公式中 TFT 的电子迁移率 μ 也容易随温度的变化而漂移。上述两个因素，即阈值电压 V_{th} 和电子迁移率 μ 的漂移都会对 TFT 的工作特性产生较大影响，最终使得液晶显示器的显示质量受到影响。

发明内容

本发明所要解决的技术问题是提供一种 GIP 型液晶显示装置，避免 TFT 的驱动电流因温度、阈值电压等的漂移而引起驱动能力不足的问题。

本发明为解决上述技术问题而采用的技术方案是提供一种 GIP 型液晶显示装置，包括液晶面板和 PCB 板；所述液晶面板上集成有栅极驱动器，所述栅极驱动器包括多个级联的移位寄存器，每个移位寄存器包括电平信号输入端，时钟信号输入端和栅极线输出端；所述 PCB 板上设置有信号产生器，为所述移位寄存器提供电平信号和正反时钟信号；所述多个级联的移位寄存器按奇偶行分别和所述正反时钟信号相连，在所述电平信号的作用下依次输出栅极线驱动信号；其中，所述液晶面板上设置有信号反馈产生装置，接收来自信号产生器的电平信号并实时产生反馈信号；所述 PCB 板上设置有反馈信号接收与回馈装置，根据接收到的反馈信号控制信号产生器的输出。

上述 GIP 型液晶显示装置中，所述反馈产生装置包括第一薄膜晶体管和第二薄膜晶体管，所述第一薄膜晶体管、第二薄膜晶体管的漏极相连作为信号输入端，所述第一薄膜晶体管、第二薄膜晶体管的源极相连作为反馈信号输出端，所述第一薄膜晶体管、第二薄膜晶体管的栅极分别和正反时钟信号相连。

上述 GIP 型液晶显示装置中，所述反馈产生装置包括第一薄膜晶体管组和第二薄膜晶体管组，所述第一薄膜晶体管组和第二薄膜晶体管组包括多个串联的薄膜晶体管，所述第一薄膜晶体管组、第二薄膜晶体管组的漏极相连作为信号输入

端，所述第一薄膜晶体管组、第二薄膜晶体管组的源极相连作为反馈信号输出端，所述第一薄膜晶体管组、第二薄膜晶体管组的栅极分别和正反时钟信号相连。

上述 GIP 型液晶显示装置中，所述反馈产生装置包括第一薄膜晶体管组和第二薄膜晶体管组，所述第一薄膜晶体管组和第二薄膜晶体管组包括多个并联的薄膜晶体管，所述第一薄膜晶体管组、第二薄膜晶体管组的漏极相连作为信号输入端，所述第一薄膜晶体管组、第二薄膜晶体管组的源极相连作为反馈信号输出端，所述第一薄膜晶体管组、第二薄膜晶体管组的栅极分别和正反时钟信号相连。

本发明对比现有技术有如下的有益效果：本发明提供的 GIP 型液晶显示装置，通过在 GIP 架构中设置电压反馈系统，实时调整电平信号，从而避免因驱动电流过小而导致的驱动能力不足的问题，保证液晶显示装置正常工作。

附图说明

图 1 是现有技术中液晶显示装置的结构示意图。

图 2 是现有技术中液晶显示装置驱动示意图。

图 3 是 TFT 工作原理示意图。

图 4 是本发明的反馈装置示意图。

图 5 是本发明一种 GIP 型液晶显示装置架构示意图。

图 6 是本发明一种反馈产生装置的架构示意图。

图 7 是本发明另一种反馈产生装置的架构示意图。

图 8 是本发明另一种 GIP 型液晶显示装置架构示意图。

图中：

- | | |
|----------|----------------|
| 11 驱动电路 | 12 背光源 |
| 13 下偏光片 | 14 下基板 |
| 15 液晶分子 | 16 上基板 |
| 17 上偏光片 | 21 栅极驱动器 |
| 22 源极驱动器 | 23、24 COF |
| 25 液晶面板 | 41 PCB 板 |
| 42 信号产生器 | 43 反馈信号接收与回馈装置 |

- 44 信号反馈产生装置 45 液晶面板
46 屏内栅极驱动单元

具体实施方式

下面结合附图及典型实施例对本发明作进一步说明。

图 4 是本发明的反馈装置示意图。

请参照图 4，本发明的 GIP 型液晶显示装置包括液晶面板 45 和 PCB 板 41；所述液晶面板 45 上集成有屏内栅极驱动单元 46；所述 PCB 板 41 上设置有信号产生器 42，为所述屏内栅极驱动单元 46 提供电平信号和正反时钟信号；其中，所述液晶面板 45 上设置有信号反馈产生装置 44，接收来自信号产生器 42 的电平信号并实时产生反馈信号；所述 PCB 板 41 上设置有反馈信号接收与回馈装置 43，根据接收到的反馈信号控制信号产生器 42 的输出；屏内栅极驱动单元 46 包括多个级联的移位寄存器，每个移位寄存器包括电平信号输入端，时钟信号输入端和栅极线输出端；所述多个级联的移位寄存器按奇偶行分别和所述正反时钟信号相连，在所述电平信号的作用下依次输出栅极线驱动信号。

图 5 是本发明一种 GIP 型液晶显示装置架构示意图。

请参照图 5，本发明屏内栅极驱动单元包括多个级联的移位寄存器 SR_i ，其中 $i=1\cdots n$ ， n 为自然数，其中 $SR_1\sim SR_{n-1}$ 是驱动对应栅极线的移位寄存器，而 SR_n 作为 dummy 寄存器。对于每个移位寄存器，其输入端包括高电平端 VDD，接收高电平信号 VGH；低电平端子 VSS，接收低电平信号 VGL；置位端 SET 以及时钟信号端 CKV；输出端包括栅极线输出端 GOUT、进位端 COUT 和复位端 RESET。

具体工作原理说明如下：每个移位寄存器的 SET 端接收来自上一级的移位寄存器 COUT 端的信号作为本级移位寄存器的开始时序信号，RESET 端接收来自下一级的移位寄存器的 GOUT 端的信号。对于第一个移位寄存器来说，其 SET 端接收外部的 STV 信号作为开始信号。每个移位寄存器的 VDD 端与外部驱动电压 VGH 相连接以接收驱动电压，VSS 端与外部低电压 VGL 准位相连接以接收低电压准位。CKV 端接收外部时钟信号 CKV0/CVKE，CKV0、CVKE 相位相反，分别用以交替驱动相邻的栅极驱动线，比如 CKV0 用以驱动奇数代码的栅极驱动线，而 CKVE 用以驱动偶数代码的栅极驱动线。当 SET 端接收 STV 信号作为开始信号时，每个移位寄存

器的输出端 GOUT 相应于对应时钟信号的高电平，从而输出对应栅极线的输出；而 RESET 端则输出下一级的驱动信号。

对于此种架构的 GIP 装置，在本发明中其关键电压是 VGH，因此需要对此关键电压进行反馈调整，具体过程如下：信号反馈产生装置 44 产生 VGH 的反馈电压，并将此反馈后的电压输给反馈信号接收与回馈装置 63，反馈信号接收与回馈装置 63 根据反馈信号控制 VGH 输出。在对反馈后的电压进行处理时根据实际 TFT 的工作曲线，以一定的漏源电流为参考基准，当反馈后的电压对应的漏源电流大于此参考基准值时就不需对 VGH 进行调整；当反馈后的电压对应的漏源电流小于此参考基准值时就需要适当提高 VGH，为了尽可能不提高功耗，以刚刚可以驱动 TFT 所需的幅值为佳。如此就可以达到改善由于 TFT 阈值电压漂移和电子迁移率下降而引起的驱动电流过小的情况。

其中，信号反馈产生装置 44 采用流控模式，和相应的 TFT 通态特性相对应，可以更好地监控其工作状态，如图 6 所示，所述反馈产生装置 44 包括第一薄膜晶体管 T1 和第二薄膜晶体管 T2，其中输入端 VGH 与 T2 的漏极相连接，反馈端 FB 与 T2 的源极相连接，时钟信号 CKV0 与 T2 的栅极相连接，T1 的源极和漏极分别与 T2 的源极和漏极相连接，时钟信号 CKVE 与 T1 的栅极相连接。

为了进一步增加反馈系统的驱动能力，还可以采用图 7 所示单元的串联和并联方式，以，如图 7 所示，反馈产生装置包括第一薄膜晶体管组和第二薄膜晶体管组，所述第一薄膜晶体管组包括三个串联的薄膜晶体管 T3，T4 和 T5；第二薄膜晶体管组包括三个串联的薄膜晶体管 T6，T7 和 T8，所述第一薄膜晶体管组中 T3、第二薄膜晶体管组的 T6 的漏极相连作为信号输入端 VGH，第一薄膜晶体管组中 T5、第二薄膜晶体管组的 T8 的源极相连作为反馈信号输出端 FB，所述第一薄膜晶体管组的栅极和时钟信号 CKV0 相连，所述第二薄膜晶体管组的栅极和时钟信号 CKVE 相连。当然，也可以采用并联的方式，如 T9，T10 和 T11 并联组成第一薄膜晶体管组，T12，T13 和 T14 并联组成第二薄膜晶体管组，所述第一薄膜晶体管组、第二薄膜晶体管组的漏极相连作为信号输入端 VGH，所述第一薄膜晶体管组、第二薄膜晶体管组的源极相连作为反馈信号输出端 FB。

图 8 是本发明另一种 GIP 型液晶显示装置架构示意图。

请参照图 8，对于每个移位寄存器，其输入端包括时钟信号端 CK1、电平端子

FR、电平端子 GV、置位端 SET，输出端包括栅极线输出端 GOUT、进位端 COUT、复位端 RESET 和时钟信号端 CK2。具体工作原理说明如下：每个移位寄存器的 SET 端接收来自上一级的移位寄存器 COUT 端的信号作为本级移位寄存器的开始时序信号，RESET 端接收来自下一级的移位寄存器的 GOUT 端的信号，CK1 端接收来自上一级移位寄存器的 CK2 端的输出。对于第一个移位寄存器来说，其 SET 端接收外部的 STV 信号作为开始信号。每个移位寄存器的 GV 端与外部电源低电压相连接以接收低电压准位。CK1 端接收外部时钟信号，相邻的移位寄存器接收不同的时钟信号，比如奇数代码的移位寄存器接收 CKV 信号，而偶数代码的移位寄存器接收 CKVB 信号。当 SET 端接收 STV 信号作为开始信号时，每个移位寄存器的输出端 GOUT 相应于对应时钟信号的高电平，从而输出对应栅极线的输出；而 RESET 端则输出下一级的驱动信号。

对于此种架构的 GIP 装置，在本发明中其关键电压是 VGL，因此需要对此关键电压进行反馈调整，VGL 作为驱动电平信号，当反馈后的电压对应的漏源电流小于此参考基准值时就需要适当提高 VGL 以增加驱动能力，改善由于 TFT 阈值电压漂移和电子迁移率下降而引起的驱动电流过小的情况。

虽然本发明已以较佳实施例揭示如上，然其并非用以限定本发明，任何本领域技术人员，在不脱离本发明的精神和范围内，当可作些许的修改和完善，因此本发明的保护范围当以权利要求书所界定的为准。

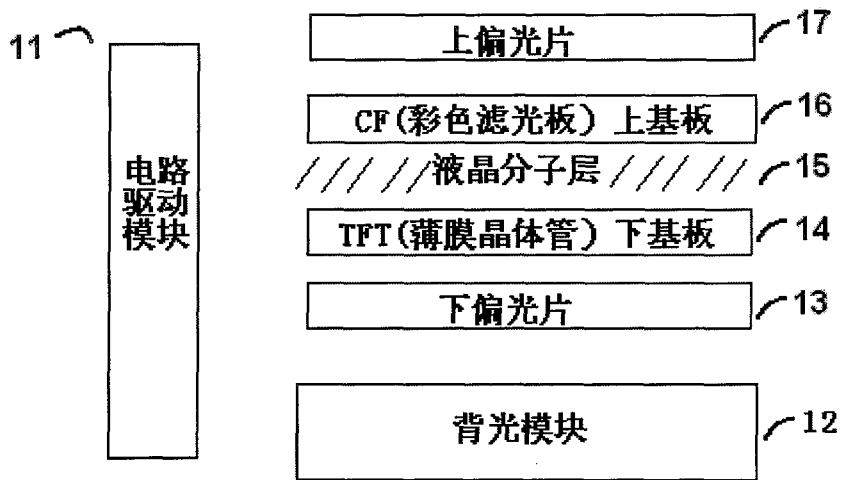


图 1

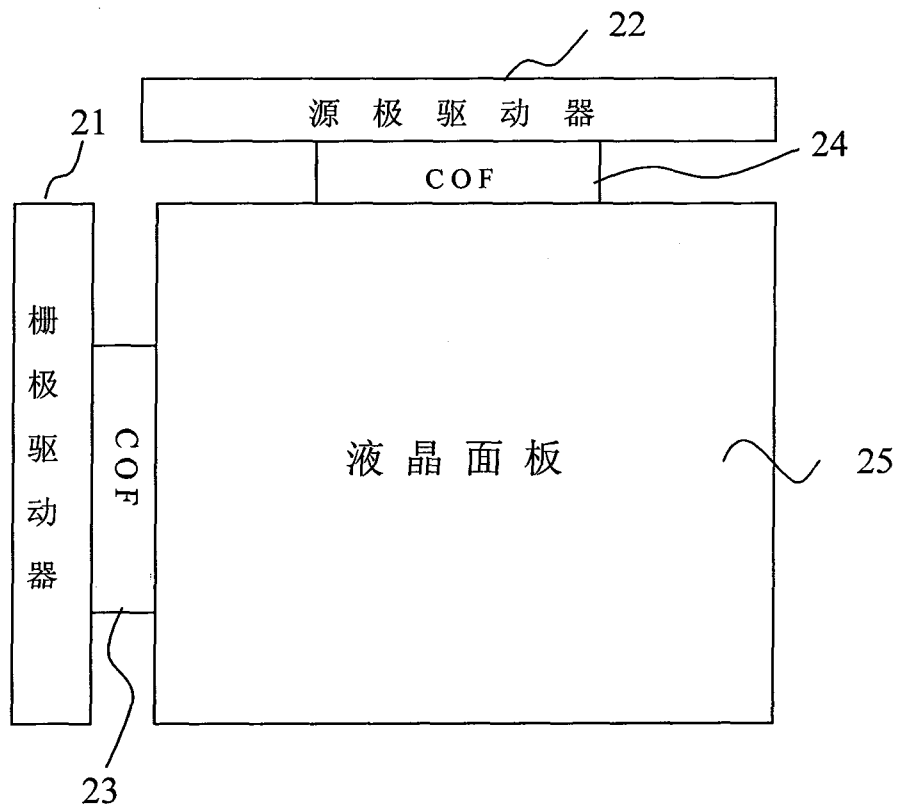


图 2

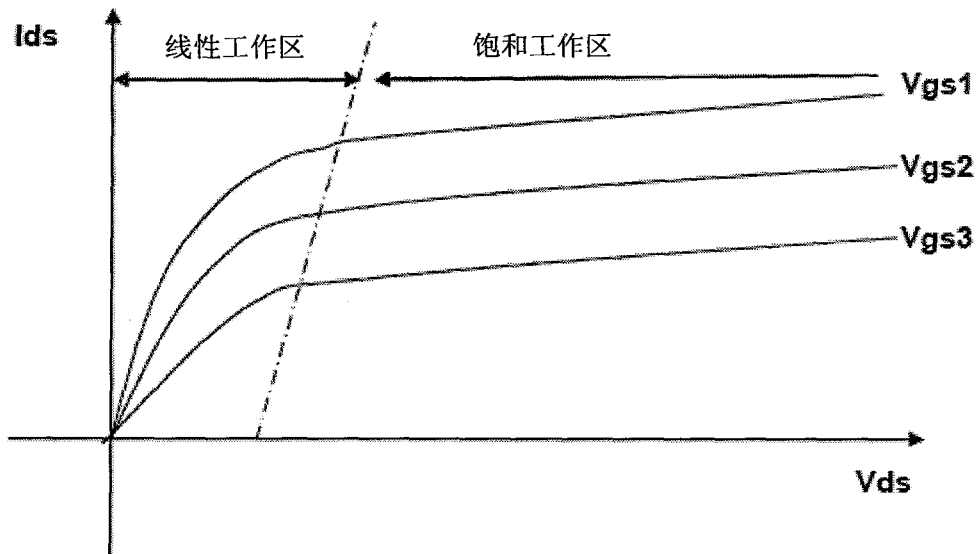


图 3

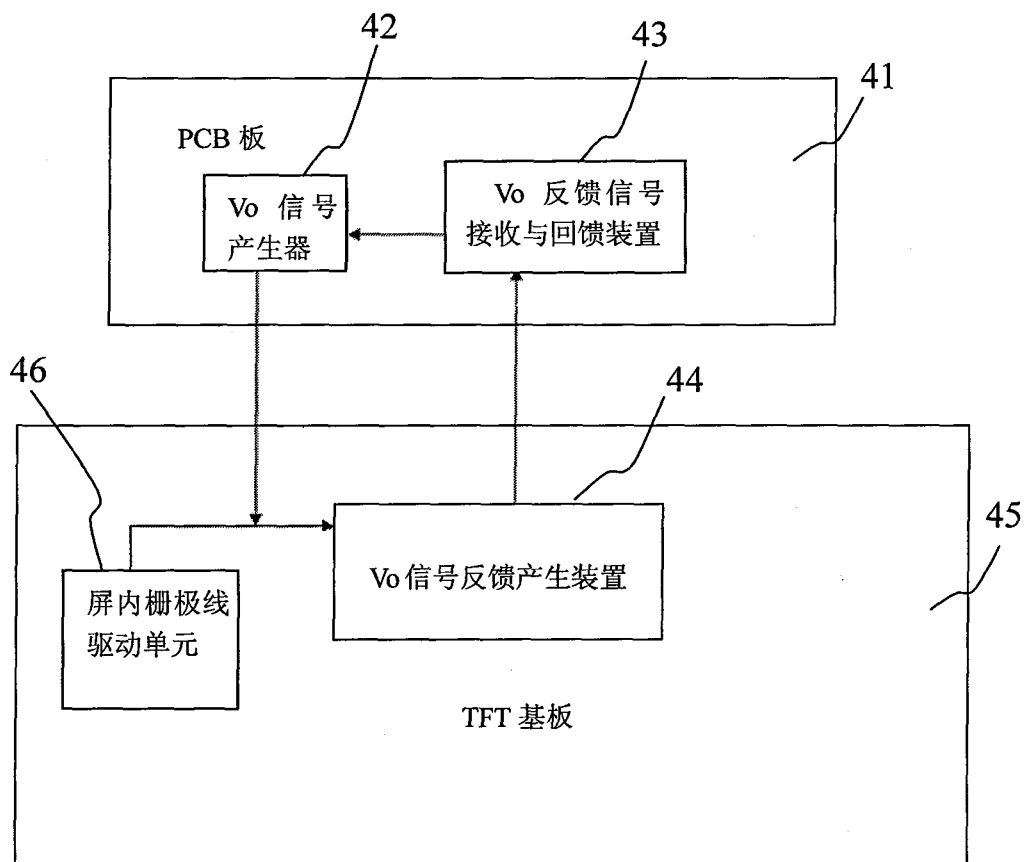


图 4

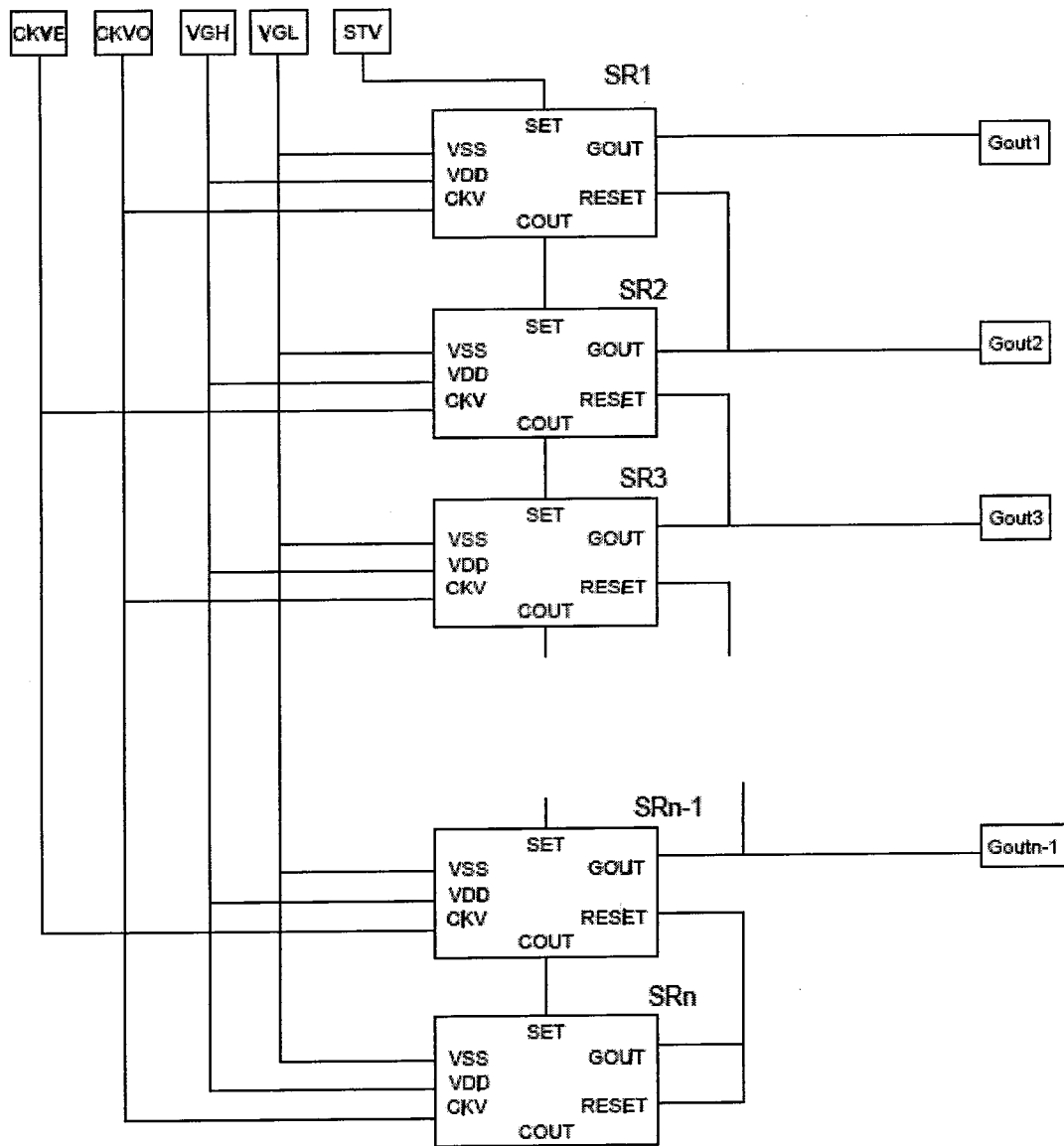


图 5

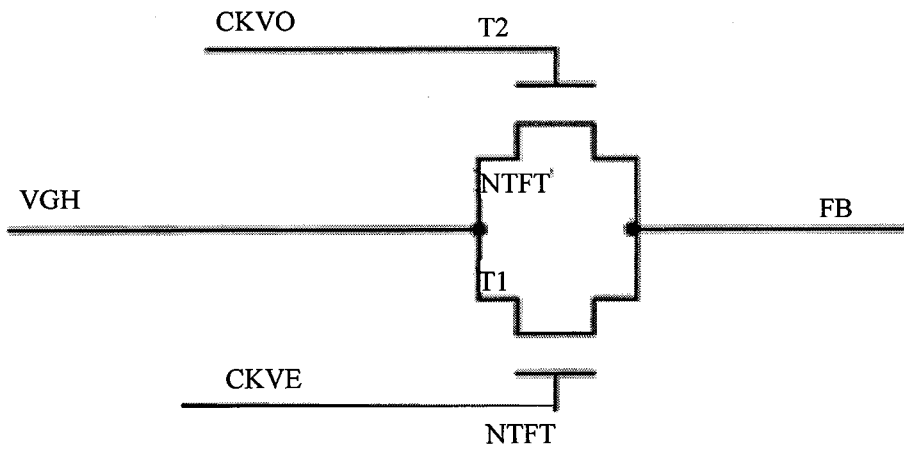


图 6

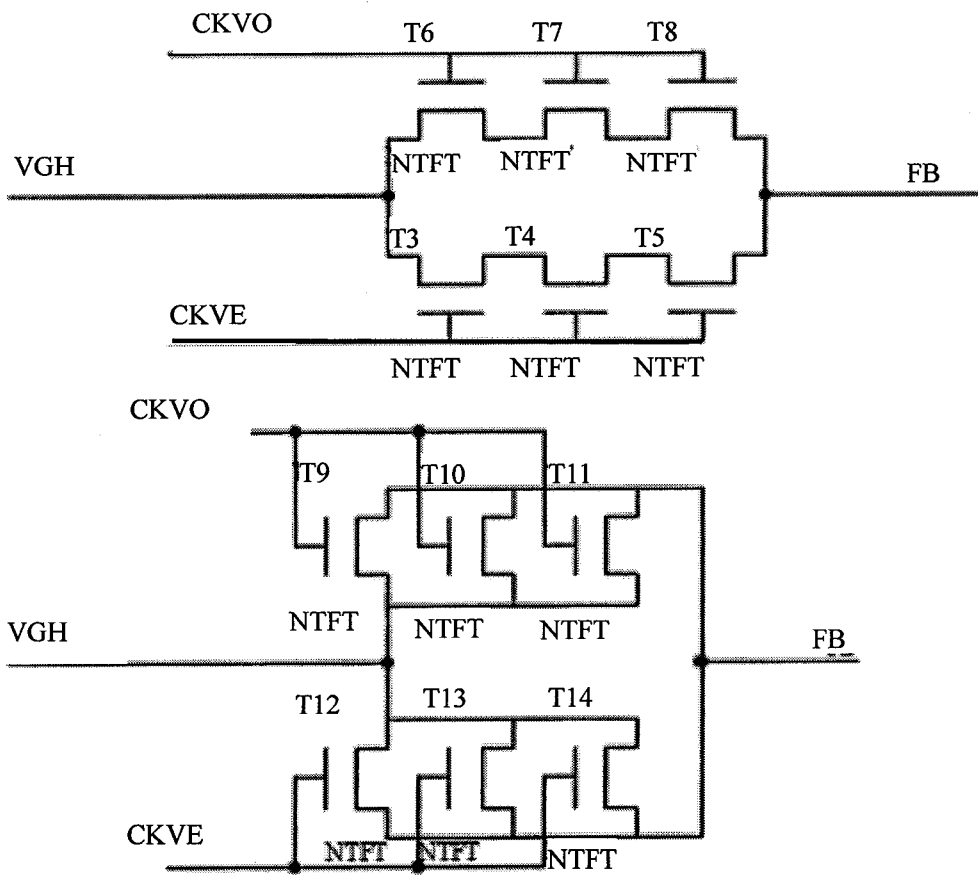


图 7

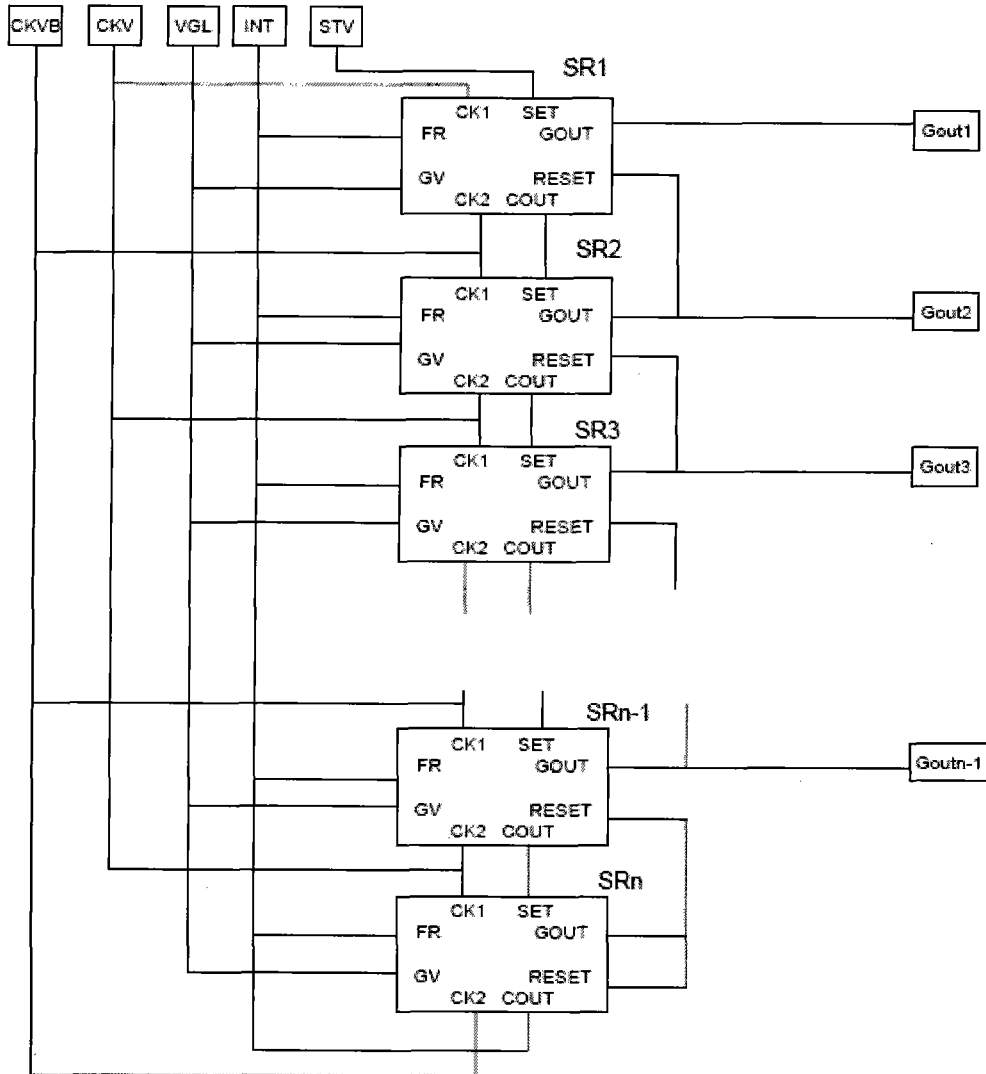


图 8