

公告本

302463

75063

申請日期	85 年 3 月 13 日
案 號	85103015
類 別	G09G 3/36

A4
C4Int. Cl⁶

302463

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	驅動裝置及顯示裝置
	英 文	
二、發明 創作人	姓 名	(1) 清水簡
	國 籍	(1) 日本 (1) 日本國埼玉縣浦和市東岸町二一〇
	住、居所	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區堀川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 佐藤文夫

裝

訂

線

302463

745063

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1995 年 3 月 22 日 P07-062238

☒無主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

〔產業上之利用領域〕

本發明係關於用以驅動液晶顯示裝置等顯示裝置的驅動裝置。

〔習知技術〕

液晶顯示裝置等之顯示裝置，爲了對應於該顯示裝置之大容量化，而將驅動顯示資料之驅動 IC 多數個串接成驅動電路據以驅動之。

於此種顯示裝置中，爲減低消費電力，係採用僅使裝置之動作中多數個驅動 IC 之中必要者動作，而使其他停止之方法。

例如，於特開平 3 - 2 4 8 1 2 2 號公報揭示有此種發明。亦即，如圖 6 所示般，用以驅動輸入於液晶面板之顯示訊號的驅動 IC (X 1 、 X 2 、 X n) ，係利用所謂能動鏈 (enable chain) 方式予以串接。

圖 7 爲圖 6 之驅動 IC 之電路圖。圖 8 爲該電路之控制訊號之時序圖。亦即，從端子 4 輸入之顯示資料係被儲存於正反器 (F F 1 、 F F 2 、 F F m) ，經串、並聯轉換後輸出至液晶面板。該正反器係以從端子 1 0 0 5 輸入之時鐘訊號 X C L ，及從正反器 1 0 1 0 輸出之能動 (enable) 訊號之邏輯積作爲時鐘輸入而作動作，並取入顯示資料。因此，當能動訊號停止時，正反器 (F F 1 、 F F 2 、 F F 3 、 F F m) 即停止動作，該能動訊號，係將端子 1 0 0 7 所輸入之能動訊號輸入

五、發明說明(2)

，藉由端子 1 0 0 8 所輸入之能動時鐘訊號 E C L 予以同步化而產生。

〔發明所欲解決之問題〕

但是，上述方法，因輸入於驅動 I C 之顯示資料或控制訊號之種類變多，結果，使驅動 I C 之驅動困難。例如，當由控制器輸入驅動 I C 之能動時鐘 E C L 相對於時鐘 X C L 延遲時，正反器 (F F 1 、 F F 2 、 … … … 、 F F m) 係以該延遲之時序被驅動，故無法取入本來之顯示資料，亦即無法正常顯示。當時鐘 X C L 變高速時，相對於能動時鐘之延遲之容許度即變小，因此若考量延遲因素則有必要降低時鐘 X C L 之頻率。但如此則將造成驅動 I C 之動作速度變慢，而不適於大容量顯示。

於此種習知技術，因為控制串接之驅動 I C 用之訊號，致使驅動 I C 之動作速度受到限制，此為問題。

本發明係有鑑於此種技術背景，目的在於提供可高速動作之驅動裝置，俾達成以高速驅動大容量之顯示裝置。

〔解決問題之方法〕

本發明相關之第 1 驅動裝置，其特徵為具有：

輸入部，其具有門鎖裝置俾輸入包含來自於外部之時鐘輸入，能動輸入及起動輸入的控制訊號以及顯示資料，並以同步於上述時鐘訊號之方式時上述起動訊號及顯示資料予以門鎖的門鎖裝置；

五、發明說明 (3)

用以響應於上述起動輸入之切換而對上述能動輸入進行取樣並輸出起動脈衝的裝置；

用以根據上述起動脈衝開始取入上述輸入部所輸出之顯示資料，並將特定期間分之顯示資料依序取入，儲存的資料保持裝置；及

用以將上述資料保持裝置所儲存之顯示資料轉換為驅動電壓並輸出的驅動部。

本發明相關之第2驅動裝置，其特徵為：上述輸入部具有掩碼 (Mask) 裝置，俾響應於上述資料保持裝置之資料取入終了並停止來自於門鎖裝置之顯示資料之輸出者。

本發明相關之第3驅動裝置，其特徵為具有門鎖部，俾於將上述資料保持裝置所輸出之顯示資料鎖固特定期間後輸出於上述驅動部者。

本發明相關之第4驅動裝置，其特徵為上述起動輸入係與上述控制訊號中之其他輸入在編碼領域作多工處理之狀態下輸入於上述輸入部者。

本發明相關之第5驅動裝置，其特徵為上述起動輸入係與上述控制訊號中之其他輸入在編碼領域作多工處理之狀態下輸入於上述輸入，且該其他輸入為上述門鎖部用以控制將顯示資料輸出至上述驅動部之時序的載入訊號者。

本發明相關之第6驅動裝置，其特徵為上述載入訊號被編碼為011，且上述起動訊號被編碼為10之狀態下被輸入者。

本發明相關之第7顯示裝置，其特徵為具有：

五、發明說明(4)

輸入部，其具有門鎖裝置，俾輸入包含來自於外部之時鐘輸入，能動輸入及起動輸入的控制訊號以及顯示資料，並以同步於上述時鐘訊號之方式時上述起動訊號及顯示資料予以門鎖的門鎖裝置；

用以響應於上述起動輸入之切換而對上述能動輸入進行取樣並輸出起動脈衝的裝置；

用以根據上述起動脈衝開始取入上述輸入部所輸出之顯示資料，並將特定期間分之顯示資料依序取入，儲存的資料保持裝置；

用以將上述資料保持裝置所儲存之顯示資料轉換為驅動電壓並輸出的驅動部；及

用以將上述驅動部所輸出之驅動電壓轉換成光學訊號的顯示裝置。

〔作用〕

根據本發明之驅動裝置及顯示裝置，則驅動 IC 開始取入顯示資料用之時序，係由藉由將能動輸入與時鐘訊號同步化之起動訊號所切換之時序來作決定。

因為該時鐘訊號為用以控制顯示資料之從驅動裝置之資料輸入部輸出之時序的訊號，故資料保持裝置之開始取入顯示資料之時序，係同步於來自於資料輸入部之顯示資料之輸出。

因此，驅動 IC 之串接之控制訊號，即起動訊號及時鐘訊號之於電路上之延遲被減小，故可達成時鐘訊號之高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

五、發明說明(5)

速化。

〔實施例〕

以下，參照圖面說明本發明之一實施例。

圖1為本實施例之液晶顯示裝置之方塊圖。LCD面板1具有掃描電極及訊號電極(未示出)，由該等電極之交叉點構成之液晶畫素被配置成矩陣狀，構成顯示畫面。

於LCD面板1之周邊部配置有Y驅動器2用以驅動掃描電極，及X驅動器3，4，5，6用以驅動訊號電極。另外，控制器7係由匯流排配線將該等驅動IC之控制訊號(Clock, SYNC)及顯示資料(DATA)輸出至各驅動器。

各X驅動器係藉由所謂能動鏈方式被連接。亦即，各驅動IC係根據輸入於EI端子之能動輸入來作動作，當驅動連接於該驅動IC本身之訊號電極用之顯示資料之取入終了時即停止動作，同時，從EO端子輸出用以使次段之驅動IC動作之能動輸出。如此則各驅動IC可於前段之驅動IC之動作終了之同時，開始資料之取入，並僅在本身之資料取入所必需之期間內動作後即停止。因此，當所有驅動IC結束本身之資料之取入時，即可根據來自於控制器7之控制訊號SYNC，從驅動IC將用以驅動訊號電極之顯示訊號輸出至LCD面板1。

接著，參照圖2說明各個X驅動器之構成，本實施例中，各X驅動器係由輸入部11，從屬連接控制電路12

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

五、發明說明(6)

，序列控制電路 1 3 ，並聯處理電路 1 4 ，資料暫存器 1 5 ，輸出部門鎖 1 6 ，及液晶驅動電路 1 7 所構成。

輸入部 1 1 係根據時鐘訊號 (C l o c k) 對由資料匯流排介由輸入端子輸入之顯示資料 (D A T A) 進行取樣，再介由並聯處理電路 1 4 輸出至資料暫存器 1 5 。進行彩色顯示時，輸入顯示資料之端子係依每一 R G B 設有該位元數分。

又，並聯電路 1 4 ，係當 X 驅動器內部之動作速度不足時，或 X 驅動器內部之正反器以多相時鐘驅動時被使用，使顯示資料並聯處理，據以減少資料之轉送頻度。

資料暫存器 1 5 係依序列控制電路 1 3 所輸出之控制訊號來進行顯示資料之取入。用以將顯示資料輸入資料暫存器 1 5 之匯流排配線，例如於進行彩色顯示時，係依每一 R G B 僅設置其位元數分。當資料暫存器 1 5 結束所要之顯示資料之取入時，輸出部門鎖 1 6 即依序列控制電路 1 3 所輸出之控制訊號將顯示資料輸出於液晶驅動電路 1 7 。

液晶驅動電路 1 7 將所輸入之顯示資料作數位／類比轉換後，作為液晶驅動電壓輸出至 L C D 面板 1 之訊號電極。

序列控制電路 1 3 用以控制資料暫存器 1 5 及輸出部門鎖 1 6 之訊號，係於從屬連接控制電路 1 2 產生。亦即，從屬連接控制電路 1 2 係以時鐘訊號，由輸入部所傳送之同步訊號 (S Y N C 訊號) ，及從 E I 端子輸入之能

五、發明說明(7)

動輸入作為輸入，並產生用以控制資料暫存器 1 5 之開始取入資料之時序的訊號 (S T A R T 訊號)，及用以控制輸出部門鎖 1 6 將顯示資料輸出於液晶驅動電路 1 7 之時序的訊號 (L O A D 訊號)。又，本實施例中，為使接於進行顯示資料之取入的輸入部 1 1 的時鐘訊號之延遲時間儘可能縮短，故將時鐘訊號介由緩衝器分配至其他電路。

接著，用圖 3 說明 X 驅動器之重要部份之電路圖。

首先，說明輸入部 1 1 之構成。

輸入部 1 1 係由正反器 F F (1 1)、F F (1 2)、F F (1 3)、... ..、F F (1 n)、F F (2)、F F (3)，及分別接於各正反器 F F (1 n) 的掩碼 (M a s k) 電路 1 1 1 及延遲電路 1 1 2 構成。

正反器 F F (1 n) 為依時鐘訊號之時序對顯示資料 (D A T A 1、D A T A 2、D A T A n) 進行取樣之電路。掩碼電路 1 1 1 為控制是否將顯示資料傳送至以後之內部電路的電路。亦即，顯示資料之傳送於內部電路時，資料暫存器 1 5 雖沒必要終止顯示資料之取入，但是繼續保持被取入於其他 X 驅動器之顯示資料之傳送，則電路內之浮遊容量等被充放電，結果造成消費電力之增大。因此，若進行停止顯示資料傳送之資料，則可減低內部電路之電力消費。

掩碼電路 1 1 1 係由反閘 (N A N D G A T E) 構成，係以正反器之輸出之顯示資料，及 E O 端子之輸出之能動輸出作為輸入。因此，當 X 驅動器終止顯示資料之取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

終

五、發明說明(8)

入，且能動輸出被輸出至次段之 X 驅動器時，顯示資料之往內部電路之傳送即被停止。

又，顯示資料之輸入端及輸入端 1 1 之間插入有緩衝器。亦即，當由於掩碼電路使顯示資料之輸入於一部分驅動 IC 之輸入被停止時，顯示資料之相對於匯流排線之負載即變動，當過度變動時，資料之傳送波形之失真變大，造成無法正常顯示。因此，於顯示資料之輸入部插入緩衝器，據以防止匯流排線上之資料之傳送波形之失真，使高速之資料傳送為可能。

延遲電路 1 1 2 係用以使輸入部 1 1 之輸出時序和其他電路之動作時序更一致者。亦即，因用以控制其他電路之動作時序之時鐘訊號，係介由緩衝器被分配，故產生緩衝電路之延遲。因此，藉由調整掩碼電路 1 1 1 及延遲電路 1 1 2 之延遲時間，即可使輸入部 1 1 之輸出時序和其他電路之動作時序一致。

又，正反器 FF (2) 為，根據時鐘訊號之時序對同步訊號輸入 (SYNC 訊號) 進行取樣成 SYNC ' 訊號，並輸出至從屬連接電路 1 2 的電路。

又，正反器 FF (3)，係根據時鐘訊號之時序對由 EI 端子輸入之能動輸入進行取樣，並以 EI ' 訊號輸出至從屬連接電路 1 2。

接著，說明從屬連接電路 1 2 之內部構成。從屬連接控制電路 1 2 係由正反器 FF (4 1)、FF (4 2)、FF (4 3)、FF (4 4)，及其他閘極電路構成。又

五、發明說明(9)

，從屬連接電路12係以輸入部11之輸出即SYNC⁻訊號及時鐘訊號，以及EI⁻訊號作為輸入，並以START訊號(控制資料暫存器15之開始取入資料之時序的訊號)，LOAD訊號(控制輸出部門鎖16將顯示資料輸出至液晶驅動電路17之時序的訊號)，及接至EO端子之能動輸出作為輸出。

正反器FF(41)及FF(42)為解碼電路，用以從所輸入之SYNC⁻訊號解碼出LOAD訊號及復原為START訊號之原來為START⁻訊號。亦即，LOAD訊號及START⁻訊號係以多工處理狀態輸入X驅動器IC。

接著，用圖4說明從屬連接控制電路12之動作。

首先，當SYNC⁻訊號變為「011」時，FF(42)為「0」，FF(41)為「1」。FF(3)為「1」之狀態，FF(42)之Q輸出及SYNC⁻訊號之邏輯積被從及閘(AND GATE)201輸入作為LOAD訊號「1」。結果，於前一期間被存於資料暫存器15之顯示資料即由輸出部16輸出，液晶驅動電壓即輸出至LCD面板，此時，FF(43)輸入有LOAD訊號之反轉訊號，結果，FF(43)被重置。

接著，當SYNC⁻訊號下降為「0」時，因僅有初段之X驅動器之EI⁻訊號為「1」，故僅有該驅動器之FF(43)被設定。

當SYNC⁻訊號變為「10」時，FF(41)變

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

為「1」，FF(3)變為「0」之狀態，FF(41)之Q輸出及SYNC'訊號之反轉訊號「1」之邏輯積被從及閘202輸出作為START'訊號。

START'訊號被輸入及閘203，EI'訊號及FF(43)之Q輸出之反轉訊號之邏輯積以及該START'訊號之邏輯積變為START訊號。

亦即，START'訊號被切換為「1」之時點，FF(43)之Q輸出為「0」，EI'訊號因僅有初段之X驅動器為「1」，故僅初段之X驅動器之START訊號為「1」，其他之X驅動器之START訊號乃保持為「0」。結果，於初級之X驅動器，輸入有該START訊號「1」之資料暫存器15即開始取入顯示資料，即取入80組之資料。

又，FF(44)，係於START'訊號為「1」時，對EI'訊與FF(43)之Q輸出之反轉訊號之邏輯積進行取樣。於初段之X驅動器，因EI'訊號、FF(43)之反轉輸出均同時為「1」，故FF(44)之Q輸出為「1」。因此，於初段之X驅動器之EO端子被輸出有能動輸出「1」。其餘之X驅動器，因EI'訊號為「0」，故能動輸出保持為「0」。

又，能動輸出較好係於SYNC訊號變為「10」之1~2時鐘後設定為「1」。亦即，雖然該能動輸出係作為次段之X驅動器之開始取入資料時被使用之訊號，但若時鐘訊號之上昇較慢時，例如第2段驅動IC之時鐘輸入

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

之臨界值電壓較第 1 段 I C 為高時，第 2 段之驅動 I C 之動作變慢。若該延遲時間較第 1 段能動輸出之延遲時為長時，則第 2 段之驅動 I C，將變成在與第 1 段驅動 I C 之變化能動輸出之時鐘為相同之時鐘之上昇時段取入該能動輸出。結果會發生第 2 段驅動 I C 取入與第 1 段驅動 I C 之顯示資料之一部分為重複之資料之情況。為避免此種現象，只需使第 1 段驅動 I C 之能動輸出相對於 S Y N C 訊號之變化延遲 1 ~ 2 時鐘延遲即可。

如上所述，當資料暫存器 1 5 結束顯示資料之取入時，使 S Y N C 訊號變為「0 1 0」，停止初段驅動器之資料取入，並進行次段驅動器之開始資料取入之控制。

亦即，當 S Y N C 訊號以「0 1 0」被輸入時，F F (4 2) 變為「0」，F F (4 1) 為「1」，F F (3) 為「0」。因此，L O A D 訊號保持「0」，另一方面，S T A R T 訊號變為「1」。；此時，雖然初段之 X 驅動器繼續輸入有能動輸入「1」，但因 F F (4 3) 之 Q 輸出為「1」，於及閘 2 0 3 連接有該反轉輸入，結果，初段之 X 驅動器之 S T A R T 訊號變為「0」。

另一方面，於第 2 段之 X 驅動器，F F (4 3) 為「0」，E I 訊號為「1」，因此，S T A R T 訊號變為「1」，第 2 段之 X 驅動器之資料暫存器 1 5 即開始取入顯示資料。另外，第 3 段及第 4 段之 X 驅動器，因 E I 訊號為「0」，故 S T A R T 訊號為「0」，未進行資料之取入。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

又，在 S T A R T 訊號為「1」之時點，F F (4 4) 對 E I 訊號與 F F (4 3) 之反轉之邏輯積 (A N D) 進行取樣。於初段之 X 驅動器，F F (4 3) 之 Q 輸出為「1」，F F (4 4) 之輸出為「0」，能動輸出亦變為「0」。另一方面，於第 2 段之 X 驅動器，F F (4 3) 之 Q 輸出為「0」，E I 訊號為「1」，故來自於 E O 端子之能動輸出變為「1」。另外，第 3 段及第 4 段之 X 驅動器，因 E I 訊號為「0」，故能動輸出為「0」。

又，輸入部 1 之掩碼 (M a s k) 電路，係僅當各驅動器之 E o 端子輸出為「1」之期間時將輸出資料傳送至內部電路。因而，如圖 4 之時序圖所示般，初段之 X 驅動器之 E o 端子輸出，於顯示資料之第 1 號～第 8 0 號之期間均為一致。

如上述般，當初段之 X 驅動器之資料取入終了之同時，第 2 段之 X 驅動器即開始資料之取入。以後同樣地，在第 3、第 4 段之 X 驅動器取入資料後，L O A D 訊號變為「1」，液晶驅動電壓被輸出至 L C D 面板 1。

如上說明段，於本實施例之顯示裝置中，用以控制能動鏈連接之驅動 I C 之動作的 S T A R T 訊號，係與顯示部之對顯示資料進行取樣用之時鐘訊號設定成同步。因此，調節雙方訊號之延遲時間的負擔可減輕，時鐘訊號之高速化為可能。

又，於本實施例中，S T A R T 訊號與 L O A D 訊號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

，係作為 S Y N C 訊號而於編碼區域被多工處理。該編碼之分配係利用，於 L O A D 訊號之後出現多次之 S T A R T 訊號，之後再度出現 L O A D 訊號等情況，選擇解碼之簡單之訊號。如此，則可減少驅動 I C 之輸入配線之線數，即可減少接於驅動電路之配線之於顯示裝置上之佔有面積。另外，可減少電磁波雜訊之干擾，使更高速為可能。另外，因輸入於驅動裝置之訊號減少，故多數輸入訊號間之時序之調整變為簡單。

再者，關於高速訊號之顯示資料及 S Y N C 訊號，於所有驅動 I C 均係由共用之匯流排配線被供至驅動 I C。因此，相對於顯示資料及 S Y N C 訊號之負載為相同，故於該等訊號間產生之延遲時間不會有較大差異。

又，本發明並不限於上述實施例而可作種種之變型。例如，當驅動 I C 之輸出端子數之合計大於液晶面板之電極數時，可採取在液晶面板側設不作顯示（與面板內部之畫素不作連接）虛擬電極，將驅動 I C 之多餘之輸出端子連接於該虛擬電極。

此時，較好是將各驅動 I C 之多餘端子設定為同數，將該多數端子連接於與其對應而設之面板上之虛擬電極。亦即，依此種方法，則相對於輸入訊號之負載，於各個驅動 I C 大致均等，可減輕驅動 I C 間之時序之不一致或輸出之不一致性。

此時，於每一驅動 I C，雖有必要停止多餘端子分之顯示資料之取入。但只要藉由適當變更上述 S T A R T 訊

五、發明說明 (14)

號，於取入作顯示用之端子分之顯示資料後，使次段之驅動 I C 動作，並開始該驅動 I C 之顯示用端子分之資料之取入即可。

〔發明之效果〕

如上述般，依本發明之驅動裝置及顯示裝置，則因驅動 I C 之串接之控制訊號，即 S T A R T 訊號和時鐘訊號之延遲之不一致性所造成之時序容許範圍較大，時鐘訊號之高速化為可能。因此，驅動 I C 可於高速動作，可得適合於大容量顯示之性能。

〔圖面之簡單說明〕

圖 1：本發明之一實施例之顯示裝置之方塊圖。

圖 2：本發明之一實施例之驅動裝置之方塊圖。

圖 3：圖 2 之驅動裝置之重要部分之電路圖。

圖 4：本發明之一實施例之顯示裝置之驅動波形之時序圖。

圖 5：習知顯示裝置之方塊圖。

圖 6：習知驅動裝置之方塊圖。

圖 7：習知顯示裝置之驅動波形之時序圖。

〔符號說明〕

1 L C D 面板

2 Y 驅動器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

3、4、5、6 X 驅動器

1 1 輸入部

1 2 從屬連接控制電路

1 3 序列控制電路

1 4 並串處理電路

1 5 資料暫存器

1 6 輸出部門鎖

1 7 液晶驅動電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

四、中文發明摘要(發明之名稱：

驅動裝置及顯示裝置)

本發明係關於使液晶顯示裝置之資料驅動器以所謂之能動鏈(enable-chain)方式驅動之方式，亦即，使用以控制驅動IC內之資料暫存器之用於開始取入顯示資料之時序的START訊號，同步於用以控制驅動IC內部之輸入部之用於門鎖顯示資料之時序的時鐘訊號。

依本發明可得效果為，控制驅動IC之時鐘訊號可高速化，則藉由使用此種驅動IC即可驅動大容量之顯示裝置。

英文發明摘要(發明之名稱：

)

六、申請專利範圍

1. 一種驅動裝置，其特徵為具有：

輸入部，其具有閘鎖裝置俾輸入包含來自於外部之時鐘輸入，能動輸入及起動輸入的控制訊號以及顯示資料，並以同步於上述時鐘訊號之方式時上述起動訊號及顯示資料予以閘鎖的閘鎖裝置；

用以響應於上述起動輸入之切換而對上述能動輸入進行取樣並輸出起動脈衝的裝置；

用以根據上述起動脈衝開始取入上述輸入部所輸出之顯示資料，並將特定期間分之顯示資料依序取入，儲存的資料保持裝置；及

用以將上述資料保持裝置所儲存之顯示資料轉換為驅動電壓並輸出的驅動部。

2. 如申請專利範圍第1項之驅動裝置，其中上述輸入部具有掩碼(Mask)裝置，俾響應於上述資料保持裝置之資料取入終了並停止來自於閘鎖裝置之顯示資料之輸出者。

3. 如申請專利範圍第1項之驅動裝置具有閘鎖部，俾於將上述資料保持裝置所輸出之顯示資料鎖固特定期間後輸出於上述驅動部者。

4. 如申請專利範圍第1項之驅動裝置上述起動輸入係與上述控制訊號中之其他輸入在編碼領域作多工處理之狀態下輸入於上述輸入部者。

5. 如申請專利範圍第4項之驅動裝置上述起動輸入係與上述控制訊號中之其他輸入在編碼領域作多工處理之

六、申請專利範圍

狀態下輸入於上述輸入，且該其他輸入為上述閘鎖部用以控制將顯示資料輸出至上述驅動部之時序的載入訊號者。

6. 如申請專利範圍第5項驅動裝置，其特徵為上述載入訊號被編碼為011，且上述起動訊號被編碼為10之狀態下被輸入者。

7. 一種顯示裝置，其特徵為具有：

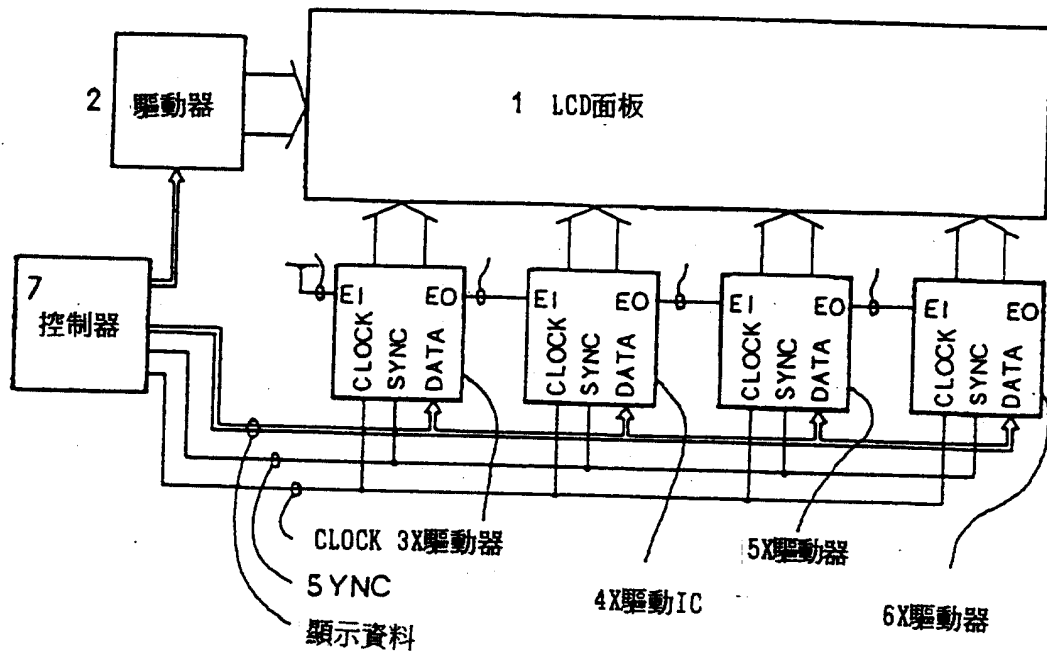
輸入部，其具有閘鎖裝置，俾輸入包含來自於外部之時鐘輸入，能動輸入及起動輸入的控制訊號以及顯示資料，並以同步於上述時鐘訊號之方式將上述起動訊號及顯示資料予以閘鎖的閘鎖裝置；

用以響應於上述起動輸入之切換而對上述能動輸入進行取樣並輸出起動脈衝的裝置；

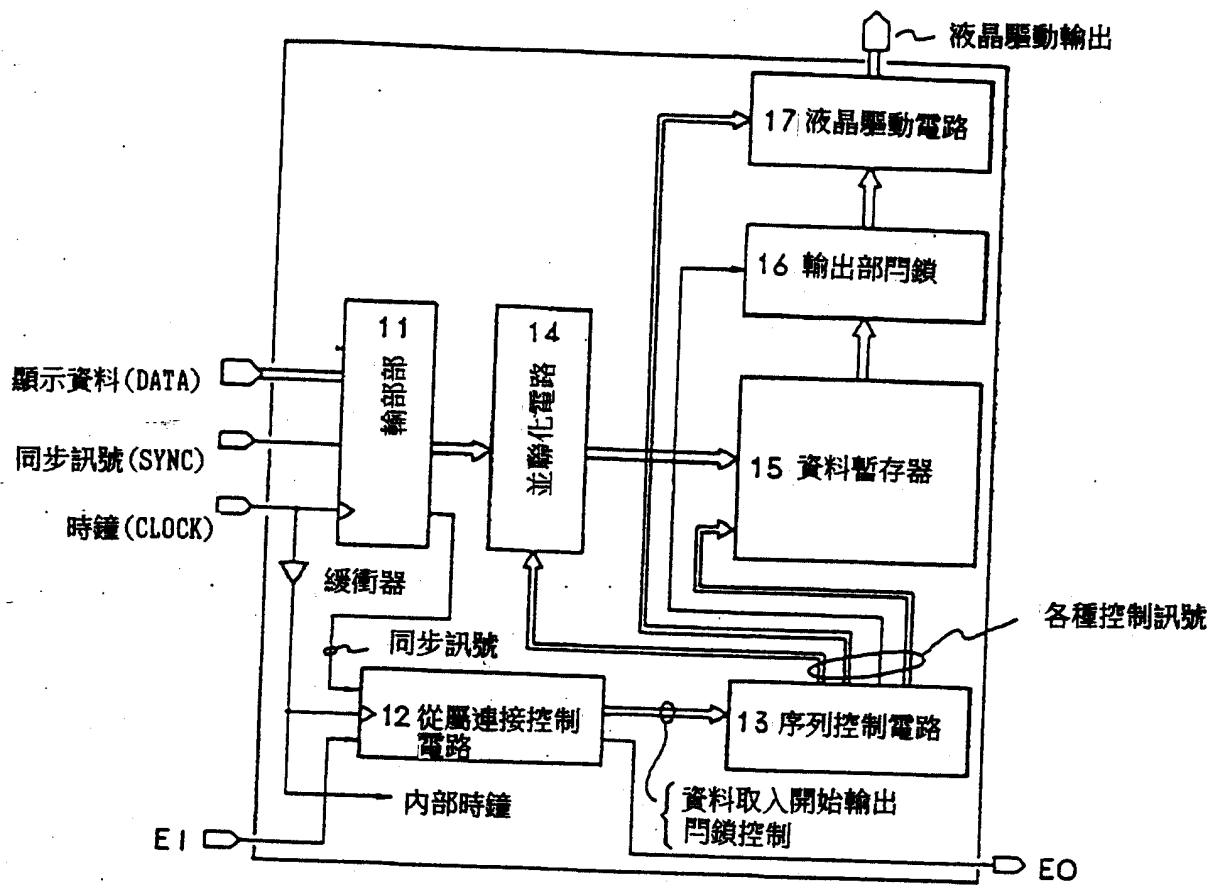
用以根據上述起動脈衝開始取入上述輸入部所輸出之顯示資料，並將特定期間分之顯示資料依序取入，儲存的資料保持裝置；

用以將上述資料保持裝置所儲存之顯示資料轉換為驅動電壓並輸出的驅動部；及

用以將上述驅動部所輸出之驅動電壓轉換成光學訊號的顯示裝置。

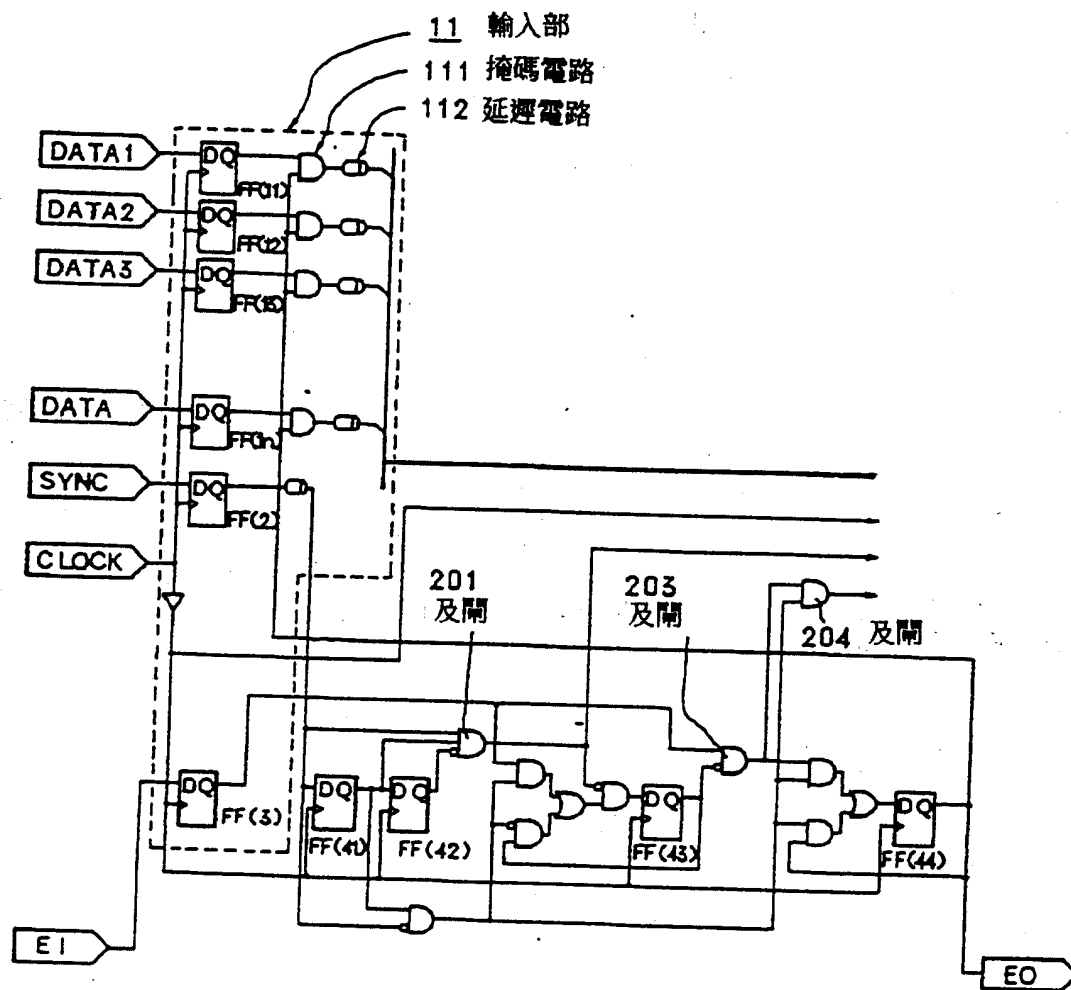


第 1 圖

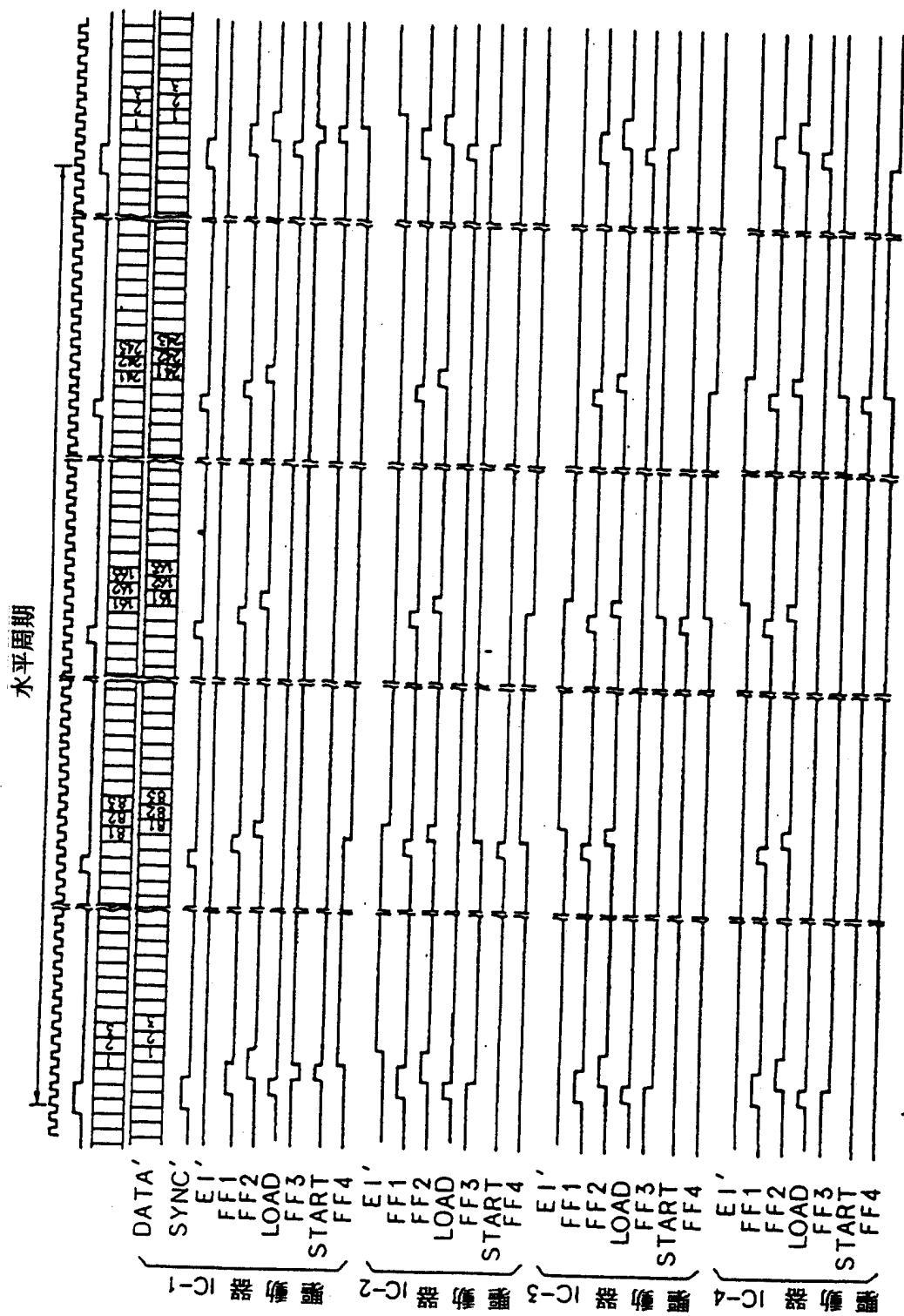


第 2 圖

302463

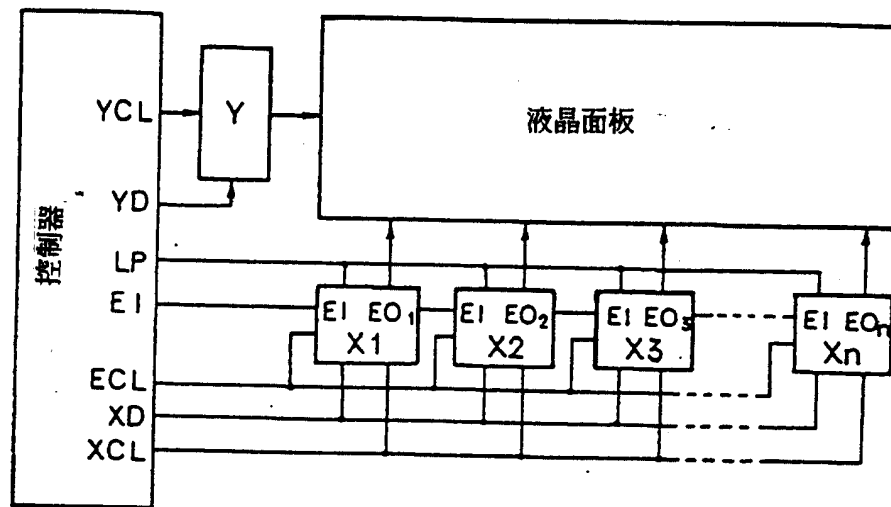


第 3 圖

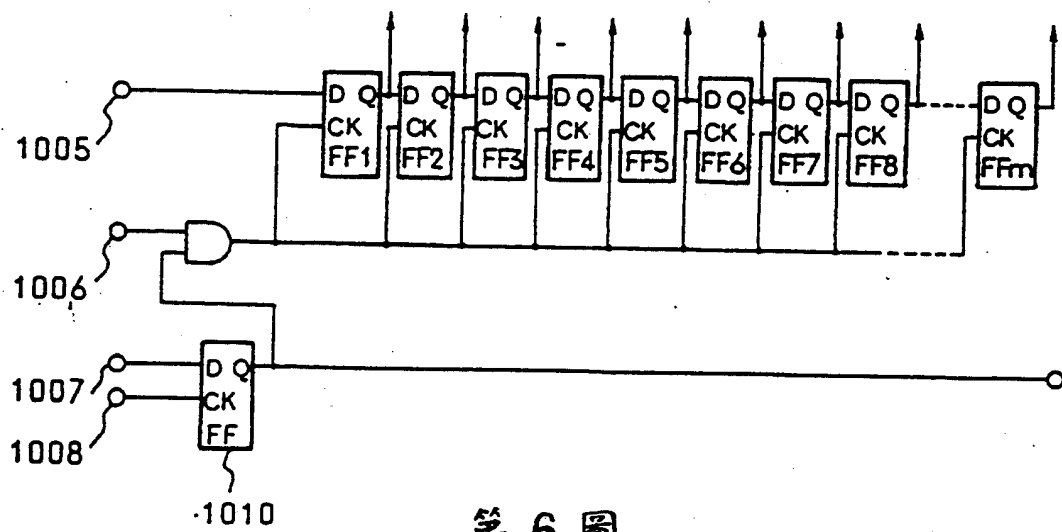


第 4 圖

302463

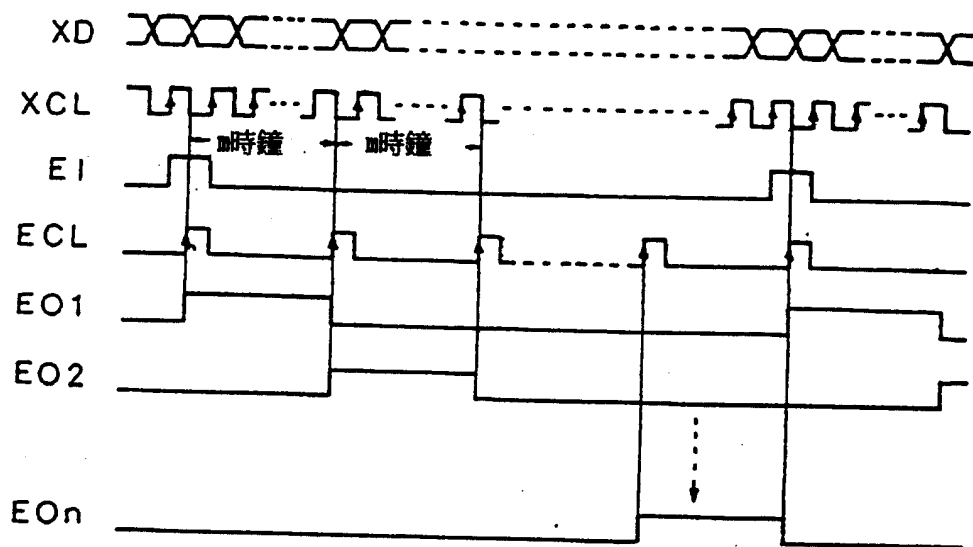


第 5 圖



第 6 圖

302463



第 7 圖