

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5052370号
(P5052370)

(45) 発行日 平成24年10月17日(2012.10.17)

(24) 登録日 平成24年8月3日(2012.8.3)

(51) Int.Cl.

F 1

G09F	9/30	(2006.01)	GO9F	9/30	338
H01L	29/786	(2006.01)	H01L	29/78	627C
H01L	21/336	(2006.01)	H01L	29/78	612C
H01L	21/28	(2006.01)	H01L	21/28	301B
H01L	51/05	(2006.01)	H01L	29/28	100A

請求項の数 2 (全 19 頁) 最終頁に続く

(21) 出願番号

特願2008-43124 (P2008-43124)

(22) 出願日

平成20年2月25日 (2008.2.25)

(65) 公開番号

特開2009-198990 (P2009-198990A)

(43) 公開日

平成21年9月3日 (2009.9.3)

審査請求日

平成22年10月29日 (2010.10.29)

(73) 特許権者 000005821

パナソニック株式会社

大阪府門真市大字門真1006番地

(74) 代理人 110000556

特許業務法人 有古特許事務所

(72) 発明者 鐘ヶ江 有宣

大阪府門真市大字門真1006番地 松下
電器産業株式会社内

審査官 田辺 正樹

最終頁に続く

(54) 【発明の名称】薄膜トランジスタアレイ基板の製造方法及び閾値補正方法

(57) 【特許請求の範囲】

【請求項 1】

基板を準備する工程と、前記基板上に、複数のゲート配線、およびゲート電極を形成する工程と、前記基板上、前記複数のゲート配線上、および前記ゲート電極上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、前記複数のゲート配線と交差した複数のソース配線、複数の閾値補正線、ソース電極、ドレイン電極、およびボディ端子を形成する工程と、前記ゲート電極に対応するゲート絶縁膜の上方に開口部を有するように隔壁を形成する工程と、前記開口部に有機半導体層をインクジェット法で形成する工程と、前記有機半導体層、および前記隔壁の上面を覆うようにパッシバーション膜を形成する工程を含み、前記有機半導体層は、前記インクジェット法に用いるインクジェットヘッドを前記ソース配線に対して平行に走査し、前記有機半導体層となるインクを前記インクジェットヘッドのノズルから噴射することで形成され、前記インクジェットヘッドは、前記インクジェットヘッドのノズルのピッチが、前記開口部のピッチに対応するように配置され、前記ボディ端子の少なくとも一部は、前記開口部に露出するように形成され、前記開口部から露出したボディ端子の少なくとも一部は、前記有機半導体層と接触し、

10

20

前記複数の閾値補正線は、前記複数のソース配線と平行に形成され、
前記閾値補正線は、前記ボディ端子に接続されている、
薄膜トランジスタアレイ基板の製造方法。

【請求項 2】

請求項 1 に記載の薄膜トランジスタアレイ基板の製造方法により製造された薄膜トランジスタアレイ基板において、

各前記閾値補正線に電圧を印加することにより、各閾値補正線に接続された前記薄膜トランジスタアレイ基板を構成する各々の薄膜トランジスタの閾値を前記閾値補正線単位で補正する、薄膜トランジスタアレイ基板の閾値補正方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、薄膜トランジスタアレイ基板の製造方法等に関し、特に、有機薄膜トランジスタを代表とする印刷型の薄膜トランジスタを備えるアレイ基板の製造方法等に関する。

【背景技術】

【0002】

従来のCRT (Cathode Ray Tube) に代わり、近年、FPD (Flat Panel Display) に対する関心が高まっている。代表的なFPDとして、LCD (Liquid Crystal Display)、PDP (Plasma Display Panel) が既に実現化されているが、以下に述べるような問題点を有していることが知られている。

20

【0003】

すなわち、一般的な大型LCDでは1画素毎に薄膜トランジスタ（以下、TFT（Thin Film Transistor））を有するアクティブラチクス駆動が必要であり、その結果、LCDの表示画面全体に数百万個のTFTを欠陥なく形成しなければならない。TFTを形成するために複数の薄膜層の形成及びパターニングといった半導体プロセスが必要であり、製造コストが高くなる傾向がある。これに対し、PDPはTFTを必要としない単純なプロセスで形成することが可能であるため、LCDに比べて製造コストを抑えることが可能である。一方、LCDを駆動するための電圧は数ボルトから数十ボルト程度であるので、LCDパネルを駆動するための外部駆動回路のサイズが小さい。そのため、その駆動回路のコストを抑えることが可能である。これに対し、PDPの駆動電圧は数百ボルトであるので駆動回路のサイズが大きい。そのため、PDPにはその駆動回路のコストが高くなるという問題がある。その結果、商品としては、コスト面において両者間に大きな差はないというのが現状である。

30

【0004】

ここで、LCDの製造コストを押し上げているTFTの製造プロセスを簡単に説明する。一般的には、大型LCDではアモルファスシリコンTFT、中型及び小型LCDではポリシリコンTFTが使用されており、各々の製造プロセスは互いに異なるが、半導体薄膜プロセスがベースであるという意味では両者に差異はない。ここではアモルファスシリコンTFTのプロセスについて説明する。まず、ガラス基板上にゲート電極が形成される。ゲート電極の材料として、一般的には、Mo, Ti, Ta, Al, Cu等の低抵抗金属が選ばれる。より一般的には、耐熱性を考慮して上記金属からなる層の上側及び下側にバリアメタル層が配置される。

40

【0005】

まず、これらの金属からなるゲート金属膜が、スパッタリング法により、真空中でガラス基板上に全面に渡って形成される。厚みは100nm~500nm程度である。その後、フォトレジストが塗布され、フォト工程における露光及び現像によりレジストがパターニングされる。その後、レジストパターンをマスクとして、ドライエッチやウェットエッチにより、レジストが載っていない箇所のゲート金属膜がエッチングされる。その後、レジストパターンが剥離され、ゲート金属膜のパターニングが完了する（ゲート電極が形成

50

される）。ドライエッティングも真空中において遂行される。その後、ゲート絶縁膜、及びアモルファスシリコン層がCVD法により順に形成される。CVDも真空中におけるプロセスである。これらの層は、100nm～300nm程度の厚みに形成される。その後、ゲート金属膜と同様にパターニングされる。続いて、ソース（及びドレイン）金属膜、パッシベーション膜、ITO膜の順番で成膜とパターニングとが繰り返されてTFTが完成する。

【0006】

以上に説明したように、TFTの形成には多数の真空プロセスを必要とし、製造コストが高くなるという問題がある。また、基板としてプラスティックに代表される材料を用いたフレキシブル基板を使用する場合にも真空プロセスは問題となる。

10

【0007】

そこで、これらの問題を解決するために、真空プロセスをできるだけ削減し、より安価な印刷プロセスでTFTを形成する印刷型のTFT実現に向けて精力的に研究開発がなされている（例えば特許文献1参照）。

【特許文献1】特開2003-258256号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、従来の印刷型TFTを複数個並べて表示装置のための薄膜トランジスタアレイ基板を構成しようとすると下記のような問題があった。すなわち、特許文献1に示されるような薄膜トランジスタアレイ基板をインクジェット印刷、ロール印刷、凸版印刷、凹版印刷、スクリーン印刷、ディスペンサー描画等、現在一般的に使用される印刷方式を用いて作製しようとすると、印刷具に起因した膜厚ムラが発生しやすい。例えば、インクジェット方式を例に取ると、インクを吐出する各ノズルの孔のばらつきを反映した膜厚ムラが発生し、その結果、印刷によって形成されたTFTに特性ムラが発生し、ひいては、そのTFTを用いた表示装置においてこれに起因する表示ムラが発生する。

20

【0009】

本発明はこのような課題を解決するためになされたもので、印刷型TFTの特性ムラを解消可能な薄膜トランジスタアレイ基板の製造方法等を提供することを目的としている。

【課題を解決するための手段】

30

【0010】

上記課題を解決するために、本発明に係る薄膜トランジスタアレイ基板の製造方法は、基板を準備する工程と、前記基板上に、複数のゲート配線、およびゲート電極を形成する工程と、前記基板上、前記複数のゲート配線上、および前記ゲート電極上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、前記複数のゲート配線と交差した複数のソース配線、複数の閾値補正線、ソース電極、ドレイン電極、およびボディ端子を形成する工程と、前記ゲート電極に対応するゲート絶縁膜の上方に開口部を有するように隔壁を形成する工程と、前記開口部に有機半導体層をインクジェット法で形成する工程と、前記有機半導体層、および前記隔壁の上面を覆うようにパッシベーション膜を形成する工程を含み、前記有機半導体層は、前記インクジェット法に用いるインクジェットヘッドを前記ソース配線に対して平行に走査し、前記有機半導体層となるインクを前記インクジェットヘッドのノズルから噴射することで形成され、前記インクジェットヘッドは、前記インクジェットヘッドのノズルのピッチが、前記開口部のピッチに対応するように配置され、前記ボディ端子の少なくとも一部は、前記開口部に露出するように形成され、前記開口部から露出したボディ端子の少なくとも一部は、前記有機半導体層と接触し、前記複数の閾値補正線は、前記複数のソース配線と平行に形成され、前記閾値補正線は、前記ボディ端子に接続されている。

40

【0011】

また、本発明に係る薄膜トランジスタアレイ基板の閾値補正方法は、上記薄膜トランジスタアレイ基板の製造方法により製造された薄膜トランジスタアレイ基板において、各前

50

記述した補正線に電圧を印加することにより、各閾値補正線に接続された前記薄膜トランジスタアレイ基板を構成する各々の薄膜トランジスタの閾値を前記閾値補正線単位で補正する。

【発明の効果】

【0018】

本発明は以上に説明したように構成され、印刷型TFTの特性ムラを解消可能な薄膜トランジスタアレイ基板の製造方法等を提供できるという効果を奏する。

【発明を実施するための最良の形態】

【0019】

以下、本発明の好ましい実施の形態を、図面を参照して説明する。なお、以下では、全ての図を通じて同一又は相当する要素には同一の参照符号を付してその重複する説明を省略する。

【0020】

(実施の形態1)

図1は本発明の実施の形態1に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。図2は図1の薄膜トランジスタアレイ基板の要部の半導体デバイスとしての構造を模式的に示す平面図である。図3は図1の薄膜トランジスタアレイ基板の要部の半導体デバイスとしての構造を模式的に示す断面図であって、図3(a)は図2のIIIA-IIIA線に沿った断面図、図3(b)は図2のIIIB-IIIB線に沿った断面図である。

【0021】

本実施の形態の薄膜トランジスタアレイ基板100は表示装置における表示パネルを構成する基板として用いられる。従って、実用する際には、薄膜トランジスタアレイ基板100に表示素子が形成されるが、本実施の形態では薄膜トランジスタアレイ基板100の用途を表示パネル用より細かくは限定しないので、表示素子を示さない。

【0022】

[構成]

図1に示すように、薄膜トランジスタアレイ基板100は基板31(図2及び図3参照)を備えている。基板31は表示装置のタイプに合わせて選択される材料で構成される。例えば、基板31として、ガラス基板、フレキシブル基板等が用いられる。また、基板31として、透明な基板と不透明な基板とが表示装置のタイプに応じて使い分けられる。

【0023】

基板31の上には、複数のソース線102が互いに並ぶように(ここでは平行に)形成されていて、これらがソース線群111を構成している。また、基板31の上には、複数のゲート線101が互いに並ぶように(ここでは平行に)形成されていて、これらがゲート線群112を構成している。ソース線群111とゲート線群112とは互いに立体的に交差する(ここでは直交する)ように形成されている。そして、基板31の厚み方向から見て複数のソース線102と複数のゲート線101とで区画された領域が画素を構成している。従って、画素はマトリクス状に形成されていて、全ての画素によって表示画面が構成されている。また、複数のソース線102及び複数のゲート線101は、ここでは、表示画面(換言すればトランジスタアレイ基板100)の列方向及び行方向にそれぞれ延びるように形成されている。各画素には図示されない表示素子が形成される。本発明において、ソース線とは、ソース信号(ライン毎の画像信号)を伝達する配線をいい、ゲート線とはソース信号を書き込むべき表示素子(換言すれば画素)を選択する制御信号(以下、ゲート信号という)を伝達する配線をいう。複数のソース線102と複数のゲート線101との立体交差点に対応するように(換言すれば各画素に)、TFT(薄膜トランジスタ)10が形成されている。TFT10は、ゲート端子11と、ソース端子12と、ドレイン端子13と、ボディ端子14との4端子を有している。ゲート端子11は、各TFT10の対応するゲート線101に接続されている。ソース端子12は、各TFT10の対応するソース線102に接続されている。ドレイン端子13は、各TFT10の対応する表示素子(図示せず)の電極に接続されている。ここで、TFT10のソース端子(ソース

10

20

30

40

50

) 12 及びドレイン端子(ドレイン)13は、構造上実質的に差異はなく、これらを機能上特に区別する意味はない。ソース端子及びドレイン端子の呼称は、ソース端子とドレイン端子との一対の端子の各々をそれぞれ特定するために用いられる。ある電子回路にトランジスタが用いられている場合、そのトランジスタがNチャンネル型であるかPチャンネル型であるかによって、そのトランジスタのソース端子とドレイン端子とが逆になる。

【0024】

さらに、基板31には、本発明を特徴付ける複数の閾値補正線105が形成されている。各閾値補正線105は、本実施の形態では、ソース線102に対応して、該ソース線102に平行に形成されている。閾値補正線105がソース線102に対応して形成されている理由は後述する。各閾値補正線105には、その対応するソース線102にそのソース端子12が接続された全てのTFT10のボディ端子14が接続されている。

【0025】

次に、TFT10の構成を詳しく説明する。図2及び図3に示すように、薄膜トランジスタアレイ基板100においては、TFT10のゲート電極20(図1のゲート端子11)が基板31の直上に形成されている。ゲート電極20は、同じく基板31の直上に形成されたゲート線101(図2及び図3に示さず)に接続されている。ゲート電極20及びゲート線101は、例えば、基板31の直上に形成された厚み50nmのMo層と、その上に形成された厚み200nmのAl層と、その上に形成された厚み50nmのMo層などで構成されている。そして、ゲート電極20およびゲート線101とこれらが形成されていない基板31の表面を覆うようにゲート絶縁膜21が形成されている。ゲート絶縁膜21は、例えば、PVP(ポリビニルフェノル)で構成されている。ゲート絶縁膜21の上には、ソース電極22A(図1のソース端子12)とドレイン電極22B(図1のドレイン端子13)とが形成されている。ソース電極22Aとドレイン電極22Bとは、ゲート電極2の上方に所定の間隔を置いて互いに対向するように形成されている(特に図3参照)。ソース電極22Aは、同じくゲート絶縁膜21の上に形成されたソース線102(図2及び図3に示さず)に接続されている。また、ドレイン電極22Bは、基板31の直上に形成された配線33を通じて表示素子(図2及び図3に示さず)の一方の電極に接続されている。また、ゲート絶縁膜21の上には、ソース電極22A及びドレイン電極22Bと離れてボディ電極32(図1のボディ端子14)が形成されている。ボディ電極32は、同じくゲート絶縁膜21の上に形成された閾値補正線105(図2及び図3に示さず)に接続されている。このように、ボディ電極32はソース電極22A及びドレイン電極22Bと同じレイヤーで構成されているので、4端子TFTを作成するために、新たなプロセスの増加が発生しない。ソース電極22A、ドレイン電極22B、ボディ電極32、ソース線102、及び閾値補正線105は、例えば、ゲート絶縁膜21の直上に形成されたCr層とその上に形成されたAu層などで構成されている。そして、ソース電極22A、ドレイン電極22B、ボディ電極32、ソース線102、及び閾値補正線105並びにこれらが形成されていないゲート絶縁膜の表面を覆うように隔壁膜23が形成されている。隔壁膜23は、例えば、1μm程度の厚みを有する感光性の樹脂材料等からなる絶縁膜で構成されている。隔壁膜23には半導体層24の位置を規定する(定義する)開口23aが形成されている。この開口23aは、ゲート電極20の上方に位置しかつソース電極22A、ドレイン電極22B、及びボディ電極32に跨るように形成されている。そして、この開口23aを埋めるように半導体層24が形成されている。従って、半導体層24はソース電極22A、ドレイン電極22B、及びボディ電極32に接触している。そして、半導体層24のソース電極22Aとドレイン電極22Bとの間に位置する部分がチャネル領域を構成し、その残りの部分がボディ領域を形成している。半導体層24は、例えば、厚み200nmのベンタセン層で構成されている。つまり、半導体層24は、ここでは、有機半導体層で構成されている。半導体層24の材料は、印刷によって半導体層を形成できるものであればよく、ベンタセン以外の有機半導体であってもよい。また、例えば、InGaZnO等の酸化物半導体、液体シリコン、シリコンナノワイヤ、カーボンナノチューブ等の無機物であってもよい。そして、隔壁膜23及び開口23a内の半導体層24を覆

10

20

30

40

50

うようにパッシベーション膜25が形成されている。パッシベーション膜25は、例えば、厚み300nmのBCB(ベンゾシクロブテン)膜で構成されている。そして、パッシベーション膜25の上に図示されない表示素子の電極(例えば、液晶表示素子であればITOからなる画素電極)が形成される。この表示素子の電極は配線33とコンタクトホール(図示せず)により接続されている。

なお、図2及び図3にはボトムゲート構造のTFTを示したが、トップゲート構造のTFTであってもよく、この場合でも4端子TFTを作成するために新たなプロセスの増加が発生することはない。

【0026】

[製造方法]

次に、薄膜トランジスタアレイ基板100の製造方法を説明する。

【0027】

図4(a)乃至図4(e)はトランジスタアレイ基板の要部の製造方法を示す工程別断面図である。

【0028】

図4(a)の工程において、基板31の全面にゲート金属膜が形成される。具体的には、ゲート金属膜として、基板31の上に、厚み50nmのMo層、厚み200nmのAl層、及び厚み50nmのMo層が順にスパッタリング法により形成される。その後、このゲート金属膜がフォトリソグラフィを用いてパターニングされる。具体的には、フォトレジストが2um程度の厚さに塗布され、その後、ゲート金属膜を残したい箇所にのみレジストが残るような露光及び現像が行われる。次いで、このレジストをマスクとして、ウェットエッティングによりゲート金属膜がエッティングされ、その後、レジストが剥離されてパターニングが終了する。これにより、基板31の上、ゲート電極20、配線33、及びゲート線101(図4(a)に示さず)が形成される。

【0029】

次に、図4(b)の工程において、ゲート電極20、配線33、及びゲート線101が形成された基板31の全面にゲート絶縁膜21が400nmの厚みに形成される。ゲート絶縁膜21はPVPを塗布することにより形成される。次いで、ゲート絶縁膜がフォトリソグラフィを用いてパターニングされる。

【0030】

次に、図4(c)の工程において、ゲート絶縁膜21の上に、ソース・ドレイン電極膜が形成される。ソース・ドレイン膜は、ゲート絶縁膜21の上にCr層及びAu層をスパッタリングにより順に200nmの合計厚みに成膜するようにして形成される。その後、ソース・ドレイン電極膜がフォトリソグラフィを用いてパターニングされ、それにより所定の位置にソース電極22A、ドレイン電極22B、ソース線102、ボディ電極32(図2参照)、閾値補正線105が形成される。

【0031】

次に、図4(d)の工程において、図4(c)の工程が遂行された基板31の全面に絶縁膜からなる隔壁膜23が形成される。隔壁層23は、隔壁23は感光性の樹脂材料等を1um程度の厚みに塗布することにより形成される。次いで、隔壁膜23の半導体層24を形成すべき領域にフォトリソグラフィを用いて開口23aが形成される。

【0032】

次いで、隔壁膜23の開口23a内に、インクジェット法によりベンタセンを含有するインクを噴射することにより厚み200nmの半導体層24が形成される。

【0033】

次いで、図4(e)に示す工程において、図4(d)の工程が遂行された基板31の全面に、パッシベーション膜25が形成される。パッシベーション膜25は、BCBを300nm程度の厚みに塗工することにより形成される。

【0034】

その後、パッシベーション膜25の上に図示されない表示素子の電極(例えば、液晶表

10

20

30

40

50

示素子であればITOからなる画素電極)が形成される。

【0035】

かくして、薄膜トランジスタアレイ基板100が完成する。

【0036】

次に、薄膜トランジスタアレイ基板の製造方法の構成について説明する。

【0037】

図5は薄膜トランジスタアレイ基板の製造方法の構成を示す模式図である。図5に示すように、薄膜トランジスタアレイ基板の製造方法は、ソース線群111を形成するソース線加工と、ゲート線群112を形成するゲート線加工と、閾値補正線105を形成する閾値補正線加工と、薄膜トランジスタ10を形成するトランジスタ加工と、を含んでいる(具体的な用途に適用する場合にはさらに表示素子加工を含む)。これらの加工は、本実施の形態では、図5に示すような順序で遂行される。そして、図4(c)の工程に例示されるように、これらの加工の一部又は全部が互いに並行して遂行される。もちろん、本発明の薄膜トランジスタアレイ基板の製造方法は、これに限定されるものではなく、製造プロセスに制約されない限り、これらの加工を任意の順序でかつその一部又は全部を互いに並行して遂行することができる。

【0038】

[作用効果]

次に、薄膜トランジスタアレイ基板の作用効果について説明する。

【0039】

図6は本発明の課題の遠因となるインクジェット装置のヘッドの構成を模式的に示す平面図である。

【0040】

図6に示すように、インクジェット装置は、直線状のヘッド120を備えている。ヘッド120にはその長軸方向に複数(以下所定数)のノズル(インク吐出孔)121が一定のピッチで一列に形成されている。ヘッド120は種々の仕様の薄膜トランジスタアレイ基板に共通に使用されるので、ノズル121のピッチは原則として薄膜トランジスタアレイ基板100の行方向(ゲート線101の延在方向、以下、単に行方向という場合がある)又は列方向(ソース線102の延在方向、以下、単に列方向という場合がある)における隔壁膜23の開口23a(図3参照)のピッチとは一致しない。そこで、ヘッド120は、ノズル121のピッチの行方向又は列方向への投影長さ(ピッチの行方向又は列方向の成分)が開口23aの行方向又は列方向のピッチに一致するように、その長軸の方向を開口23aの行方向又は列方向に対して傾けて使用される。そして、各ノズル121を開口23aの上方に位置させ、各ノズル121から半導体層24の材料(ここではベンタセン)を含有するインクを各開口23aに噴射することにより各開口23a内に半導体層24が形成される。このように、1つのノズル121で1つの半導体層24を形成するので、ヘッド120は一度に所定数(ノズル121の数に等しい数)の画素分の半導体層24を形成することができる。

【0041】

基板31の全面に渡って半導体層24を形成するには、例えば、このヘッド120を、その長軸の方向を薄膜トランジスタアレイ基板100(正確には基板31)の行方向に傾けた状態で、薄膜トランジスタアレイ基板100の列方向に各行毎に停止してその行に属する所定数の画素(正確にはTFT10)の半導体層24を一度に形成しながら移動させる。そして、全ての行について、この所定数の画素の半導体層24の形成を完了すると、1回のヘッド120のスキャンが終了し、それにより、1回の半導体層24の印刷が終了する。ノズル121の数(所定数)が各行に属する画素数に満たない場合は、必要な回数だけこのヘッド120のスキャン及びそれによる半導体層24の印刷を繰り返す。これにより、基板31の全面に渡って全画素分の半導体層24を形成することができる。このような半導体層24の印刷方式においては、各ノズル121によって遂行された各列に属する全てのTFT10の半導体層24の印刷(形成)が、実質的に1つの印刷を構成する。そ

10

20

30

40

50

ここで、本発明においては、実質的な印刷具（ここではノズル 121）によって遂行された1回分の印刷を「印刷単位」と定義する。本実施の形態では、1つのソース線 102に接続された全ての TFT10 の半導体層 24 が1つの印刷単位を形成する。

【0042】

一般的に、このようなインクジェット方式による印刷においては、各ノズル 121の性能のばらつき（具体的にはインク吐出孔の径のばらつき）により、各ノズル 121で形成された半導体層 24 の膜厚が、各ノズル 121間でばらつくことが多い。このようなノズルで例えば前記のように列方向に印刷すると、その結果、薄膜トランジスタアレイ基板 100における TFT10 の電気特性（正確にはドレイン電流 - ゲート - ソース間電圧特性）が列毎にばらついてしまう。しかしながら、本実施の形態では、各列に閾値補正線 105 が形成されていて、各閾値補正線 105 はその対応する列に属する TFT10（画素）のボディ端子 14 に接続されている。TFT10 のボディ端子に電圧を印加すると後述するように当該 TFT10 の電気特性が変化する。そこで、この閾値補正線 105 を通じて各列の TFT10 のボディ端子 14 に、列間における TFT10 の電気特性のばらつきを補正するような電圧を印加することにより、TFT10 の特性ムラを解消することができる。本実施の形態において、閾値補正線 105 をソース線 102 に対応するように形成した理由は、このように、インクジェット装置のヘッド 120 を列方向に移動させて TFT10 の半導体層 24 を形成するからである。10

【0043】

次に、TFT10 の電気特性の補正原理を説明する。20

【0044】

図 7 は 4 端子トランジスタのボディ電位をパラメータとしたドレイン電流 - ゲート - ソース間電圧特性を模式的に示すグラフである。

【0045】

図 7 に示すように、4 端子MISトランジスタのドレイン電流が流れ始めるゲート - ソース間電圧の閾値 V_t は、ソース電位に対するボディ電位（以下、単にボディ電位又はボディ電圧という）が大きくなるにつれて低くなる（基板バイアス効果）。換言すると、4 端子MISトランジスタでは、ゲート - ソース間電圧を一定に保った場合、ボディ電位が高くなるに連れてドレイン電流が増大する。トランジスタが TFT である場合にも同様の効果が起きることが確認されている。それ故、TFT10 のボディ端子 14 に適宜な電圧を印加することにより TFT10 のドレイン電流 - ゲート - ソース間電圧特性を所望の特性に変化させることができる。なお、図 7 は電子がキャリアとなる N チャンネル型トランジスタの特性を示している。正孔がキャリアとなる P チャンネル型トランジスタではボディ電位が増加するに連れてゲート - ソース間電圧の閾値 V_t が上昇する。30

【0046】

以上に説明したように、本実施の形態では、各ソース線 102 に接続された全ての TFT10 の半導体層 24 が1つの印刷単位を形成しており、それに対して各ソース線 102 に対応するように閾値補正線 105 が形成されている。それ故、各閾値補正線 105 を通じて各ソース線 102 に対応する TFT10 のボディ端子 14 に、各ソース線 105 間（列間）における TFT10 の電気特性のばらつきを補正するような電圧を印加することにより、TFT10 の電気特性のムラを解消することができる。40

【0047】

なお、印刷単位及び閾値補正配線の構造は上記のものには限定されず、例えば、各ゲート線 101 に接続された全ての TFT10 の半導体層 24 が1つの印刷単位を形成しつつ各ゲート線 101 に対応するように閾値補正線 105 を形成してもよい。

【0048】

（実施の形態 2）

本発明の実施の形態 2 は、実施の形態 1 の薄膜トランジスタアレイ基板を組み込んだ表示装置を例示するものである。

【0049】

図8は本実施の形態に係る表示装置の構成を示すブロック図である。図8に示すように、本実施の形態の表示装置50は、実施の形態1の薄膜トランジスタアレイ基板100を備えている。実施の形態1で述べたように、実用する際には薄膜トランジスタアレイ基板100の各画素にはTFT10のドレインには表示素子が形成され、薄膜トランジスタアレイ基板100は表示パネルとして機能する。

【0050】

表示装置50の種類としては、液晶表示装置、有機EL表示装置、無機EL表示装置、電子ペーパー等が挙げられる。但し、液晶表示装置以外の表示装置では、薄膜トランジスタアレイ基板の構成が実施の形態に示したものと異なる。有機EL表示装置については、実施の形態4にこれを例示する。しかし、これら以外の表示装置においても、印刷単位に10対応して閾値補正線を設け、各閾値補正線をその対応する印刷単位中のTFT10のボディ端子に接続する構成は共通している。それ故、以下では、液晶表示装置及び有機EL表示装置へ本発明を適用する場合を例示するにとどめるが、他の表示装置へ本発明を適用する場合の実施の形態は、これらの実施の形態から十分類推することができる。

【0051】

薄膜トランジスタアレイ基板100の各ソース線102(図1参照)にはソースドライバ53のソース信号出力端子が接続されている。ソースドライバ53画像信号からソース信号を生成してこれを各ソース線102に出力する。また、薄膜トランジスタアレイ基板100の各ゲート線101(図1参照)にはゲートドライバ52のゲート信号出力端子が接続されている。ゲートドライバ52は、各ゲート線101にゲート信号を出力する。

【0052】

ソースドライバ53及びゲートドライバ52には制御回路54が接続されている。制御回路54は、画像信号を入力されて、これをソースドライバ53に出力とともに、ソースドライバ53及びゲートドライバ52の動作を制御する。具体的には、制御回路54は、ゲートドライバ52が行を順に選択するようゲート信号を出力し、ソースドライバ43がこれにタイミングを合わせて、選択された行(画素)に書き込むべきソース信号を出力するよう、ゲートドライバ52及びソースドライバ53を制御する。これにより、各列に属する画素において、ゲート信号によって選択された順にTFT10がONし、選択された画素に順にその対応するソース信号が書き込まれる。それにより、薄膜トランジスタアレイ基板(表示パネル)100に、画像信号に応じた画像が表示される。

【0053】

また、薄膜トランジスタアレイ基板100の各閾値補正線105には補正回路55の閾値補正電圧の出力端子が接続されている。補正回路55には制御回路54に接続されている。補正回路55は、制御回路54の制御により、各閾値補正線105に、各ソース線105間(列間)におけるTFT10の電気特性のばらつきを補正するような電圧(以下、補正電圧という)を出力する。

【0054】

一般的に、表示素子を形成する前に、薄膜トランジスタアレイ基板100の電気特性を予め知る必要がある。これにはすでに公知となっているアレイ検査装置を使用してもよい(例えば、特許第3275103号掲載公報参照)。薄膜トランジスタアレイ基板100を検査することにより、これを構成する個々のTFT10の特性バラツキを検出することが可能である。この結果を元に各閾値補正線105に印加すべき電圧(TFT10の電気特性のばらつきを相殺する電圧)が算出され、その算出された電圧が、補正電圧として補正回路55に内蔵されたメモリ(図示せず)に記憶されている。

【0055】

これにより、表示装置50が点灯すると、補正回路55が補正電圧を出力し、その状態で表示が行われる。従って、TFT10の半導体層24の印刷に起因する輝度ムラが解消される。

【0056】

なお、上記以外の薄膜トランジスタアレイ基板100の特性検出方法を用いてもよい。

10

20

30

40

50

【0057】

また、制御回路54が補正回路55を内蔵してもよい。

【0058】**(実施の形態3)**

本発明の実施の形態3は、実施の形態2の表示装置が印刷型液晶表示装置である例を示したものである。

【0059】

図9は本実施の形態に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。図10は本実施の形態に係る液晶表示装置の構成を示すブロック図である。

【0060】

図9に示すように、本実施の形態では、薄膜トランジスタアレイ基板130の各画素において、TFT10のドレイン端子13に液晶表示素子35が接続されている。正確には、TFT10のドレイン端子13には、液晶表示素子35の画素電極が接続されている。薄膜トランジスタアレイ基板130のこれ以外の構成は、実施の形態1の薄膜トランジスタアレイ基板100と同じである。薄膜トランジスタアレイ基板130は液晶表示パネル21のアクティブマトリクス基板を構成している。

10

【0061】

図10を参照すると、液晶表示パネル210は、薄膜トランジスタアレイ基板130と、この薄膜トランジスタアレイ基板130と対向するように配置されたカラーフィルタ基板(図示せず)と、薄膜トランジスタアレイ基板130とカラーフィルタ基板との間に空間に封止された液晶層(図示せず)とを備えている。液晶表示装置が縦電界方式である場合には、カラーフィルタ基板に対向電極が形成され、液晶表示装置が横電界方式である場合には、薄膜トランジスタアレイ基板130に対向電極が形成される。

20

【0062】

液晶表示装置200は、この液晶表示パネル210と、ゲートドライバ220と、ソースドライバ230と、制御回路240と、補正回路250と、バックライト(図示せず)と、偏光板等の薄膜フィルムとを備えている。ゲートドライバ220、ソースドライバ230、制御回路240、及び補正回路250は、実施の形態2のものと同様に構成されているので、その説明を省略する。また、液晶表示装置200は、TFT10の電気特性補正に関する構成以外は、周知のように構成されているので、その詳細な説明及びその動作を省略する。

30

【0063】

本実施の形態によれば、印刷型液晶表示装置におけるTFT10の半導体層24の印刷に起因する輝度ムラを解消することができる。

【0064】**(実施の形態4)**

本発明の実施の形態4は、実施の形態2の表示装置が印刷型有機EL表示装置である例を示したものである。

【0065】

図11は本実施の形態に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。図12は本実施の形態に係る有機EL表示装置の構成を示すブロック図である。

40

【0066】

図11に示すように、本実施の形態の薄膜トランジスタアレイ基板140は、実施の形態1の薄膜トランジスタアレイ基板100と比較すると、以下の構成が異なっており、それ以外の構成は同じである。

【0067】

すなわち、本実施の形態の薄膜トランジスタアレイ基板140では、発光素子用電源線103が形成されている。そして、各画素に画素選択用TFT41が形成されていて、そのソース端子がソース線102に接続され、そのゲート端子がゲート線101に接続され

50

ている。また、各画素には発光素子駆動用 TFT40 が形成されていて、そのゲート端子 11 が画素選択用 TFT41 のドレン端子に接続され、そのドレン端子 13 が発光素子用電源線 103 に接続されている。そして、発光素子駆動用 TFT40 のゲート端子 11 とドレン端子 13 との間にコンデンサ 42 が接続されている。また、発光素子駆動用 TFT40 のソース端子 12 に発光素子 36 が接続されている。発光素子 36 は、ここでは有機 EL 素子で構成されている。そして、発光素子駆動用 TFT40 のボディ端子 14 が閾値補正線 105 に接続されている。本発明においては、表示素子（実施の形態 3 では液晶表示素子、本実施の形態では発光素子（有機 EL 素子））を実質的に駆動する（表示素子への画像信号伝達経路のゲートを構成するか又は表示素子を画像信号に応じて駆動する）TFT の電気特性が補正の対象となる。表示ムラを補正することが発明の目的であるからである。従って、本実施の形態では、その電気特性が補正の対象となる TFT は、画素選択用 TFT41 ではなく、発光素子駆動用 TFT41 である。従って、本発明においては、その電気特性を補正する対象となる TFT は、そのゲート端子 11 がソース線 102 に（画素選択用 TFT41 を介して）接続される（本実施の形態）か、又は、そのソース端子 12 がソース線 101 に接続され（実施の形態 1）、かつ、そのソース端子 12（本実施の形態）又はドレン端子 13（実施の形態 1）が表示素子に接続される。10

【0068】

図 12 を参照すると、有機 EL 表示装置 300 は、薄膜トランジスタアレイ基板 140 及びこの上に形成された印刷型有機 EL 層（図示せず）で構成される有機 EL パネル 310 と、ゲートドライバ 320 と、ソースドライバ 330 と、制御回路 340 と、補正回路 350 と、偏光板等の薄膜フィルム（図示せず）とを備えている。薄膜トランジスタアレイ 140 では、発光素子駆動用 TFT41 の半導体層 24 の印刷単位と印刷型有機 EL 層との印刷単位とは、それぞれ列毎に形成されている。印刷型有機 EL 層は、有機 EL の特性改善のために、発光層以外に正孔注入層、正孔輸送層、電子注入層、電子輸送層等を含んでいてもよい。また、ゲートドライバ 320、ソースドライバ 330、制御回路 340、補正回路 350 は、実施の形態 2 のものと同様に構成されているので、その説明を省略する。20

【0069】

以上のように構成された有機 EL 表示装置 300 では、選択された画素において、書き込み期間の間に、選択用 TFT41 を通じてソース線 102 からソース信号が発光素子駆動用 TFT41 のゲート端子に入力され、この入力されたソース信号に対応する電圧にコンデンサ 42 が充電される。これにより、発光素子駆動用 TFT41 は、そのゲート電圧（ソース-ゲート間電圧）であるコンデンサ 42 の電圧に応じたドレン電流を発光素子 36 に供給する。これにより、発光素子 36 がソース信号に応じた輝度で発光する。30

【0070】

一方、各発光素子駆動用 TFT41 は、補正回路 350 によって、その電気特性を補正される。その結果、印刷型有機 EL 表示装置における TFT10 の半導体層 24 の印刷に起因する輝度ムラが解消される。

【0071】

なお、本実施の形態においては、発光素子として、有機 EL 素子に代えて、無機 EL 素子を用いても良く、有機 EL 素子の場合と同様の効果が得られる。40

【0072】

（実施の形態 5）

図 13 は本発明の実施の形態 5 に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。

【0073】

本実施の形態では、全ての閾値補正線 105 が 1 つの共通配線 106 に接続されている。これ以外は、実施の形態 3 と同様である。このような構成によれば、共通配線 106 に所望の電圧を印加することにより、薄膜トランジスタアレイ基板 150 を構成する全ての TFT10 の電気特性を一度に補正することができる。50

【 0 0 7 4 】

なお、実施の形態1、2、4においても本実施の形態と同様に共通配線を形成することにより、同様の効果を得ることができる。

【 0 0 7 5 】**(実施の形態 6)**

図14は本発明の実施の形態6に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。

【 0 0 7 6 】

本実施の形態では、薄膜トランジスタ基板160の全ての半導体層24が複数回（ここではm回）の印刷によって形成されている。実施の形態1で説明したように、半導体層24の1回の印刷（以下、単に印刷という場合がある）はヘッド120（図6参照）の1回のスキャンによって遂行される。そして、ヘッド120の各ノズル121に対応する各閾値補正線105が、全ての回の印刷に共通して、各共通配線106に接続されている。換言すると、薄膜トランジスタ基板160には、1回の印刷における各印刷単位（ここでは、本実施の形態1で述べたように、各ソース線102に接続された全てのTFT10の半導体層24）に対応して、ヘッド120のノズル121の数（ここではn個）に等しい数（n本）の共通配線106-1～106-nが形成されている。そして、全ての回（m回）の印刷において、各印刷単位に対応する閾値補正線105は、各印刷単位に対応する共通配線106-1～106-nに接続されている。従って、各共通配線106-1～106-nにはm本の閾値補正線105が接続されている。

10

20

【 0 0 7 7 】

このような構成によれば、以下のような効果が得られる。ヘッド120の各ノズル121の性能のばらつきに起因する列間のTFT10の電気特性のばらつきは、各回の印刷毎に同様に発現する。そこで、各共通配線106-1～106-nに、所定の補正電圧を印加することにより、複数回の印刷により形成されたアレイ基板150を構成する全てのTFT10の電気特性を一度に補正することができる。

【 0 0 7 8 】

なお、実施の形態1、2、4においても本実施の形態と同様に共通配線を形成することにより、同様の効果を得ることができる。

【 0 0 7 9 】

30

(実施の形態 7)

図14は本発明の実施の形態7に係る印刷型液晶表示装置の構成を示すブロック図である。

【 0 0 8 0 】

本実施の形態の印刷型液晶表示装置500は、以下の相違点以外は、実施の形態3の印刷型液晶表示装置200と同じである。以下、この相違点を説明する。

【 0 0 8 1 】

本実施の形態の印刷型液晶表示装置500では、ソースドライバ230と液晶パネル210との間に電流測定回路520が挿入されている。電流測定回路520は、ソース線102を流れる電流を検出してこれを補正回路250に入力する。補正回路250は、電流測定回路520で検出される電流がある基準値よりも下がったときに、すなわちTFT10の電気特性が初期状態から劣化したときに、印刷のばらつきを補正する電圧にこの劣化を補正する電圧を加算した電圧を、当該劣化が検出された列（ソース線102）に対応する閾値補正線105に出力する。これにより、当該閾値補正線105に接続されたTFT10の電気特性の劣化が補正される。その結果、液晶表示装置500の輝度劣化が補正される。

40

【 0 0 8 2 】

なお、実施の形態4において、各列に、その列に属する全ての発光素子の駆動電流が流れる電流線を設け、上述の電流測定回路520をこの各電流線の電流を検出するよう構成するとともに補正回路250を上述のように構成することにより、印刷型有機EL表示装

50

置においても本実施の形態と同様の効果を得ることができる。

【0083】

なお、上述の輝度劣化補正方法は上記態様には限定されない。例えば、予め TFT の劣化特性を補正回路 250 が内蔵するメモリに記憶させておき、補正回路 250 が、その劣化特性を元に劣化補正用の電圧を算出してこれを印刷のばらつきを補正する電圧に加算するよう構成してもよい。また、補正回路 250 が、単純にタイマーを用いて表示装置の積算駆動時間を元に劣化補正用の電圧を算出するよう構成してもよい。

【0084】

なお、上記実施の形態では、印刷方式として、インクジェット方式が用いられたが、本発明はこれに限定されず、ロール印刷、凸版印刷、凹版印刷、スクリーン印刷、ディスペンサー描画等、現在一般的に使用される印刷方式を用いることができる。10

【産業上の利用可能性】

【0085】

本発明の薄膜トランジスタアレイ基板の製造方法及び閾値補正方法、表示装置の輝度補正方法、薄膜トランジスタアレイ基板、並びに表示装置は、コンピュータ用及び家電用を初めとする種々のディスプレイの製造方法及びディスプレイ等に有用である。

【図面の簡単な説明】

【0086】

【図1】本発明の実施の形態1に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。20

【図2】図1の薄膜トランジスタアレイ基板の要部の半導体デバイスとしての構造を模式的に示す平面図である。

【図3】図1の薄膜トランジスタアレイ基板の要部の半導体デバイスとしての構造を模式的に示す断面図であって、図3(a)は図2のIIIA-IIIA線に沿った断面図、図3(b)は図2のIIIB-IIIB線に沿った断面図である。

【図4】図4(a)乃至図4(e)はトランジスタアレイ基板の要部の製造方法を示す工程別断面図である。

【図5】薄膜トランジスタアレイ基板の製造方法の構成を示す模式図である。

【図6】本発明の課題の遠因となるインクジェット装置のヘッドの構成を模式的に示す平面図である。30

【図7】4端子トランジスタのボディ電位をパラメータとしたドレン電流 - ゲート - ソース間電圧特性を模式的に示すグラフである。

【図8】本発明の実施の形態2に係る表示装置の構成を示すブロック図である。

【図9】本発明の実施の形態3に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。

【図10】本発明の実施の形態3に係る液晶表示装置の構成を示すブロック図である。

【図11】本発明の実施の形態4に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。

【図12】本発明の実施の形態4に係る有機EL表示装置の構成を示すブロック図である。40

【図13】本発明の実施の形態5に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。

【図14】本発明の実施の形態6に係る薄膜トランジスタアレイ基板の電気的構成の概要を示す回路図である。

【図15】本発明の実施の形態7に係る印刷型液晶表示装置の構成を示すブロック図である。

【符号の説明】

【0087】

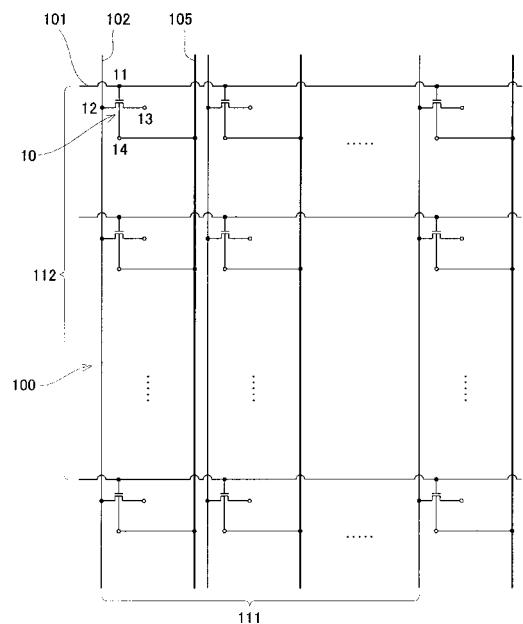
10 薄膜トランジスタ(TFT)

11 ゲート端子

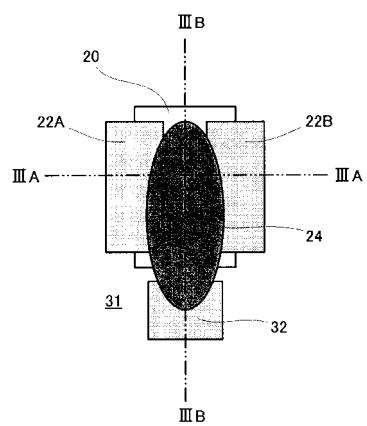
50

1 2	ソース端子	
1 3	ドレイン端子	
1 4	ボディ端子	
2 0	ゲート電極	
2 1	ゲート絶縁膜	
2 2 A	ソース電極	
2 2 B	ドレイン電極	
2 3	隔壁	
2 3	開口	
2 4	半導体層	10
2 5	パッシベーション膜	
3 2	ボディ電極	
3 3	配線	
3 5	液晶表示素子	
3 6	発光素子(有機EL素子)	
4 0	発光素子駆動用TFT	
4 1	画素選択用TFT	
5 0	表示装置	
5 2 , 2 2 0 , 3 2 0	ゲートドライバ	
5 3 , 2 3 0 , 3 3 0	ソースドライバ	20
5 4 , 2 4 0 , 3 4 0	制御回路	
5 5 , 2 5 0 , 3 5 0	補正回路	
1 0 0 , 1 3 0 , 1 4 0 , 1 5 0 , 1 6 0	薄膜トランジスタアレイ基板	
1 0 1	ゲート線	
1 0 2	ソース線	
1 0 3	発光素子用電源線	
1 0 5	閾値補正線	
1 0 6 , 1 0 6 - 1 ~ 1 0 6 - n	共通配線	
1 1 1	ソース線群	
1 1 2	ゲート線群	30
1 2 0	ヘッド	
1 2 1	ノズル	
2 0 0 , 5 0 0	印刷型液晶表示装置	
2 1 0	液晶パネル	
2 2 0	ゲートドライバ	
2 3 0	ソースドライバ	
3 0 0	印刷型有機EL表示装置	
3 1 0	有機ELパネル	
5 0 0	LCD表示装置	
5 2 0	電流測定回路	40

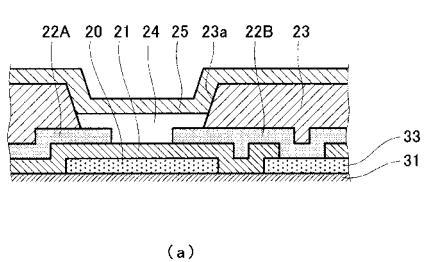
【図1】



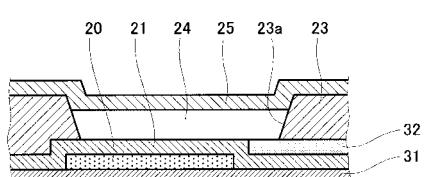
【図2】



【図3】

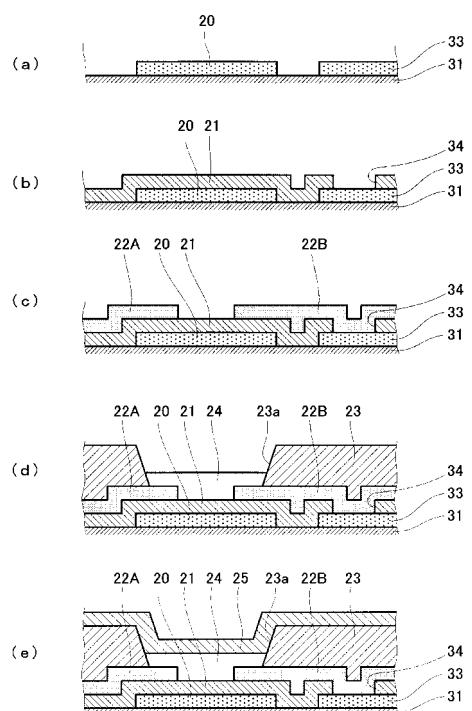


(a)

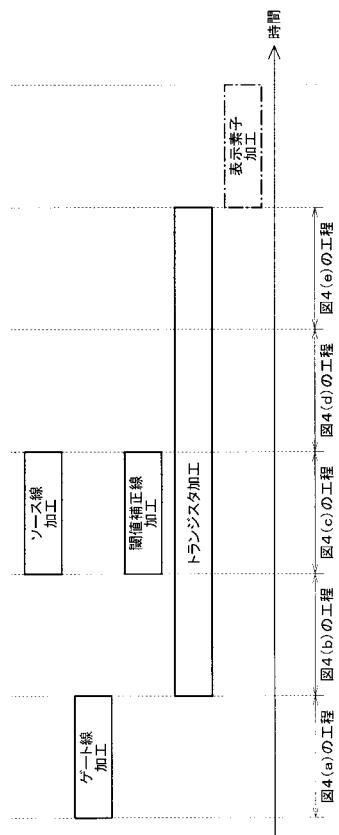


(b)

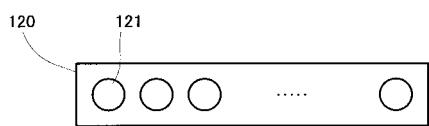
【図4】



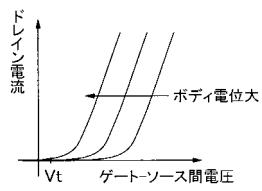
【図5】



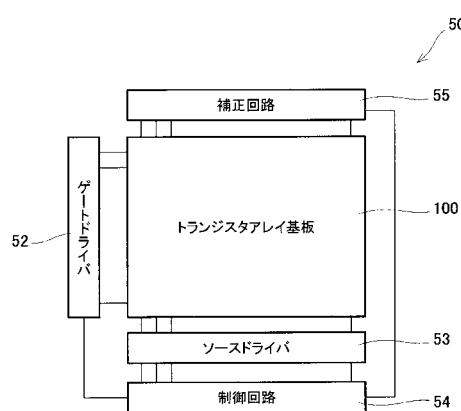
【図6】



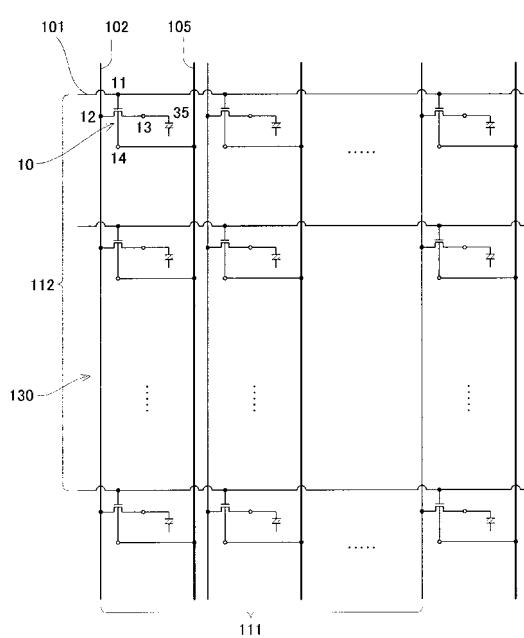
【図7】



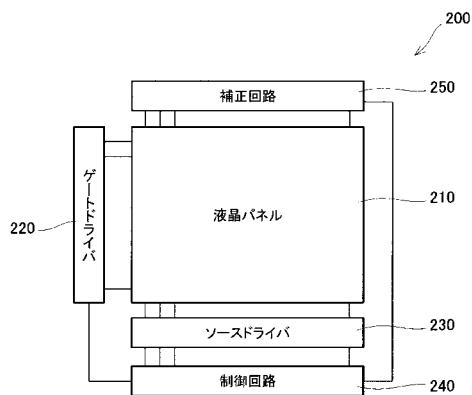
【図8】



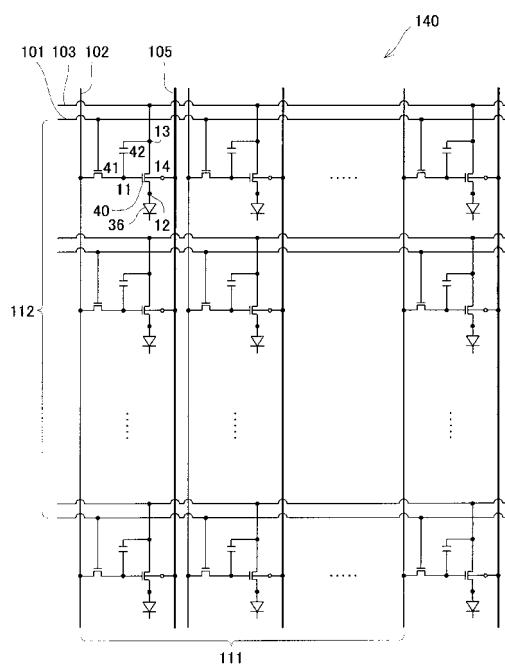
【図9】



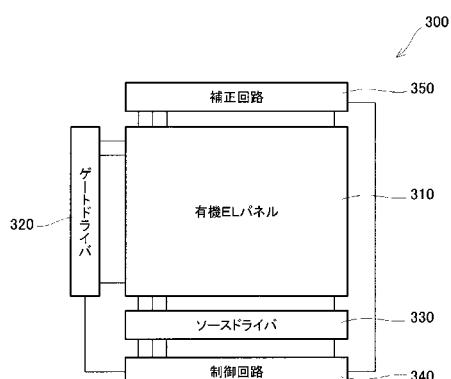
【図10】



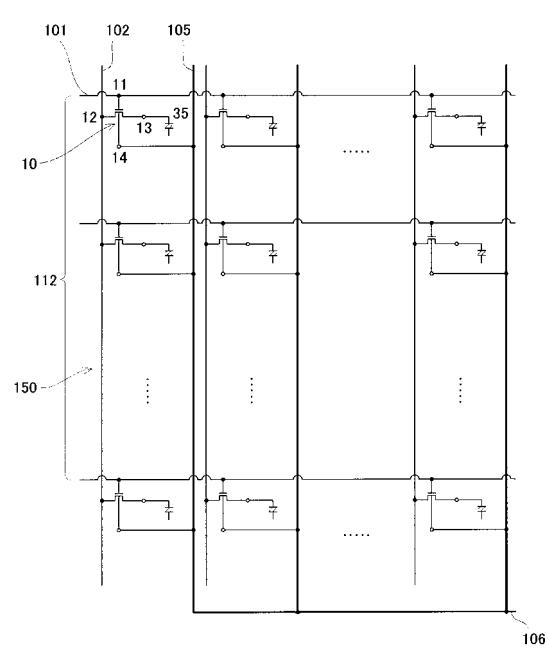
【図11】



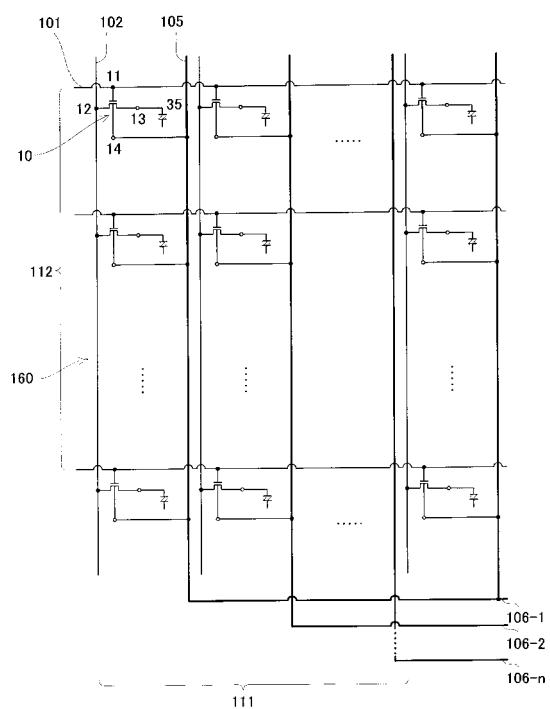
【図12】



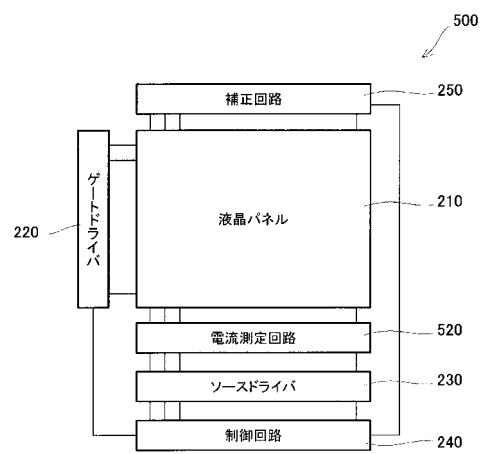
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.		F I
G 0 9 F	9/00 (2006.01)	G 0 9 F 9/00 3 3 8
G 0 9 G	3/36 (2006.01)	G 0 9 G 3/36
G 0 9 G	3/30 (2006.01)	G 0 9 G 3/30 J
G 0 9 G	3/20 (2006.01)	G 0 9 G 3/20 6 1 1 H
G 0 2 F	1/1368 (2006.01)	G 0 9 G 3/20 6 2 4 B
H 0 1 L	51/50 (2006.01)	G 0 9 G 3/20 6 4 2 A
H 0 5 B	33/10 (2006.01)	G 0 2 F 1/1368
		H 0 5 B 33/14 A
		H 0 5 B 33/10
		H 0 1 L 29/78 6 2 6 Z
		H 0 1 L 29/78 6 2 2

(56)参考文献 国際公開第2007/111352(WO,A1)

特開2007-164188(JP,A)

特開2005-004183(JP,A)

特開2003-140570(JP,A)

特開2004-103719(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 - 1 / 1 4 1

G 0 9 F 9 / 0 0 - 9 / 4 6

G 0 9 G 3 / 0 0 - 3 / 3 8

H 0 1 L 2 1 / 2 8 - 2 1 / 2 8 8、2 1 / 3 2 9、2 1 / 3 3 6、
2 1 / 4 4 - 2 1 / 4 4 5、2 7 / 3 2、2 9 / 4 0 - 2 9 / 4 9、
2 9 / 7 8 6、2 9 / 8 7 2、5 1 / 5 0

H 0 5 B 3 3 / 0 0 - 3 3 / 2 8